(54) 发明名称
一种性价比较好的 PCB 设计方法

(57) 摘要
本发明公开了一种性价比较好的 PCB 设计方法，所述 PCB 采用 PCB 材料混压设计方式，PCB 板上使用 normalloss 和 lowloss 材料两种，其中 PCB 板上高速信号走线层使用 Lowloss 材料，普通低速信号走线层使用 normalloss 材料。本发明提供了一种 PCB 材料混压设计方法，不仅能满足长 PCB 走线的高速信号质量，而且可有效降低产品开发成本，提升产品的性价比，满足高速信号质量和有效降低产品设计质量。
1. 一种性价比较好的 PCB 设计方法，其特征在于：所述 PCB 采用 PCB 材料混压设计方式，PCB 板上使用 normal loss 和 low loss 材料两种，其中，在 PCB 板上高速信号走线层使用 low loss 材料，普通低速信号走线层使用 normal loss 材料。

2. 根据权利要求 1 所述的一种性价比较好的 PCB 设计方法，其特征在于：将主板上的高速信号全部集中在 PCB 同层或几层上。

3. 根据权利要求 1 或 2 所述的一种性价比较好的 PCB 设计方法，其特征在于：根据 layout 实际走线模式，在 PCB 叠层中，位于某 Signal Layer 上的 PCIE trace 长度超出 spec 规定，而其他信号层 QPI/PCIE 长度均满足 spec 要求，将该信号层所在的 Prepreg 材料，由 normal loss 材料更换为 low loss 材料。

4. 根据权利要求 2 或 3 所述的一种性价比较好的 PCB 设计方法，其特征在于：对于 PCB 叠层中，当位于 CORE 层走线的信号较长时，其他信号仍满足 spec 要求时，将该信号走线布置到 Prepreg 材料层，同时将该 Prepreg 材料层由 normal loss 材料更换为 low loss 材料。
一种性价比比较好的 PCB 设计方法

技术领域
[0001] 本发明涉及一种性价比比较好的 PCB 设计方法。

背景技术
[0002] 目前主流设计时，为了考虑开发成本，提升产品市场竞争力。在电子器件和 PCB 材料选择上都趋向于成本较低的设计方案。因而，对于 PCB 材料的选择，一般会首先 normal loss 材料进行设计，当 PCB 打板信号测试出现问题时，再考虑更换性能较好的 low loss 材料进行设计。这样，不仅会延长产品的开发周期，而且，PCB 整板材料切换成 low loss 模式，将大幅提升产品开发费用。low loss 材料价格一般为 normal loss 材料的 3~4 倍，这样对于 PCB 板叠层数较高时（例如 10 层板以上），其材料替换后的产品开发将会更高。
[0003] 目前 Server 产品 PCB 设计正趋向于信号高密度，走线互连高密度方向发展。为提升高速信号设计余量，PCB 设计者可从以下方面考虑：
(1) Re-driver/Re-timer 的使用；
(2) 更好的 Connector/Cable 连接器；
(3) 更优化的 Trace 走线拓扑，如较短的 PCB 走线；
(4) 更好的 PCB 材料，如 low loss 材料等。
[0004] 其中，(1)、(2)、(4) 方法都是采用更好的器件及 PCB 材料来满足信号性能，这样会导致产品开发成本的大幅提升。而对于方法 3：缩短 PCB 走线长度的方式又存在一定的局限性，其受到 PCB 板上器件的摆放位置影响较大。
[0005] 以 Server 产品为例，传统 8 层板叠层设计及信号走线示例图 1 所示，QPI/PCIE 等高速信号在多层的信号板上均有分布，其 PCB 材料选择为 normal loss。因此，若设计存在差异化功能，可能会造成外层或内层高速信号 PCB trace 走线较长，引起信号衰减失效。
[0006] 因而，为满足设计的需求，一般会更换较好的材料，按图 2 所示，为满足设计需求，其 PCB 整板更换成较好的 low loss 材料，这样势必会增加产品开发费用，降低产品市场竞争力。

发明内容
[0007] 本发明要解决的技术问题是：提供一种性价比比较好的 PCB 设计方法。
[0008] 本发明所采用的技术方案为：
一种性价比比较好的 PCB 设计方法，所述 PCB 采用 PCB 材料混压设计方式，PCB 板上使用 normal loss 和 low loss 材料两种，其中，在 PCB 板上高速信号走线层使用 Low loss 材料，普通低速信号走线层使用 normal loss 材料。
[0009] 事先将主板上的高速信号全部集中 PCB 同层或几层上，这样，PCB 板上使用的 low loss 材料的数量将大幅降低。因此，可有效降低产品的开发成本。
[0010] 根据 layout 实际走线模式，在 PCB 板层中，位于某 Signal Layer 上的 PCIE trace
长度超出 spec 规定，而其他信号层 QPI/PCIE 长度均满足 spec 要求，将该信号层所在的 Prepreg 材料，由 normal loss 材料更换为 low loss 材料。

【0011】注：core 又叫内芯板；pp 的英文是 prepreg，也叫预浸或半固化片。PP 和 core 相比要软一些，并且有一定的粘性，它有很多种厚度可供选择，以便对电路板的叠层厚度进行调整以达到控制阻抗的目的。core 是两面带铜箔的，pp 就是单纯的介质。

【0012】对于 PCB 叠层中，当位于 CORE 层走线的信号较长时，其他信号仍满足 spec 要求时，将该信号走线布置到 Prepreg 材料层，同时将该 Prepreg 材料层由 normal loss 材料更换为 low loss 材料。

【0013】本发明的有益效果为：本发明提供了一种 PCB 材料混压设计方法，不仅能满足长 PCB 走线的高速信号质量，而且可有效降低产品开发成本，提升产品的性价比。

附图说明

【0014】图 1 为传统 8 层叠层及材料选择；
图 2 为 PCB 走线较长时，材料替换方式；
图 3 为 Layer1 上 PCIE 走线较长时，PCB 板材替换方式；
图 4 为芯板 core 更换 low loss 材料；
图 5 为化片 Prepreg 更换 low loss 材料。

具体实施方式

【0015】下面参照附图，通过具体实施方式，对本发明进一步说明：
一种性价比比较好的 PCB 设计方法，为满足高速信号质量且有效降低产品设计质量，所述 PCB 采用 PCB 材料混压设计方法，PCB 板材上使用 normal loss 和 low loss 材料两种，其中，在 PCB 板上高速信号走线层使用 Low loss 材料，普通速信号走线层使用 normal loss 材料。

【0016】事先将主板上的高速信号全部集中在 PCB 同层或几层上，这样，PCB 板上使用的低 loss 材料的数量将大幅降低。因此，可有效降低产品的开发成本。

【0017】根据 layout 实际走线模式，在 PCB 叠层中，位于某 Signal Layer 上的 PCIE trace 长度超出 spec 规定，而其他信号层 QPI/PCIE 长度均满足 spec 要求，将该信号层所在的 Prepreg 材料，由 normal loss 材料更换为 low loss 材料。

【0018】为满足产品设计需求和有效降低产品开发费用，对违反 spec 规定的设计，将采用 PCB 叠层材料压合设计模式，根据 layout 实际走线模式，确定材料替换及 layout 优化方式。如上图 1 在 PCB 叠层中，对于位于 Signal Layer1 上的 PCIE trace 长度超出 spec 规定，而其他信号层 QPI/PCIE 长度均满足 spec 要求，我们仅需更换 layer1 和 layer2 之间的 Prepreg 材料即可，如图 3 所示。

【0019】对于 PCB 叠层中，当位于 CORE 层走线的信号较长时，其他信号仍满足 spec 要求时，将该信号走线布置到 Prepreg 材料层，同时将该 Prepreg 材料层由 normal loss 材料更换为 low loss 材料。

【0020】如图 4 所示，由于器件摆放问题，原先内层走线的 QPI 信号较长，而外层 PCIE 仍满足 spec 要求时，通常会考虑更换 layer2 与 layer3 之间芯板 core1 和 layer6 与 layer7 之
间芯板 core3 的材料为 low loss 性能。

【0021】但经过咨询材料商，通常芯板 Core 的价格要高于化片 Prepreg。因此，我们将内层 QPI 信号布置到外层 Layer1&Layer2 进行布线，这样，不仅能有效保证信号质量，也可进一步降低产品开发成本，如图 5 所示。
<table>
<thead>
<tr>
<th>Layer Num</th>
<th>Plane Description</th>
<th>SM</th>
<th>Prepreg</th>
<th>GND</th>
<th>Core 1</th>
<th>Core 2</th>
<th>VCC1</th>
<th>VCC2</th>
<th>Prepreg</th>
<th>Signal</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td></td>
<td>0.5</td>
<td>1.5</td>
<td>1.0</td>
<td>1.0</td>
<td>2.0</td>
<td>2.7</td>
<td>2.6</td>
<td>1.0</td>
<td>1.0</td>
</tr>
<tr>
<td>2</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>3</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>4</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>5</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>6</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>7</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>8</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

<table>
<thead>
<tr>
<th>Layer Thickness</th>
<th>Copper</th>
<th>Prepreg</th>
<th>Prepreg</th>
<th>Prepreg</th>
<th>Prepreg</th>
<th>Prepreg</th>
<th>Prepreg</th>
<th>Prepreg</th>
<th>Prepreg</th>
</tr>
</thead>
<tbody>
<tr>
<td>0.5</td>
<td>1.5</td>
<td>1.0</td>
<td>1.0</td>
<td>1.0</td>
<td>2.0</td>
<td>2.7</td>
<td>2.6</td>
<td>1.0</td>
<td>1.0</td>
</tr>
</tbody>
</table>

图 1
<table>
<thead>
<tr>
<th>Layer num</th>
<th>Copper</th>
<th>Thickness</th>
<th>Plane Description</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td>signal</td>
<td>0.5</td>
<td>Prepreg</td>
</tr>
<tr>
<td>2</td>
<td>GND</td>
<td>1.9</td>
<td>Prepreg DDR3</td>
</tr>
<tr>
<td>3</td>
<td>core1</td>
<td>2.7</td>
<td>Prepreg DDR3</td>
</tr>
<tr>
<td>4</td>
<td>signal</td>
<td>1.3</td>
<td>Prepreg DDR3</td>
</tr>
<tr>
<td>5</td>
<td>VCC</td>
<td>2.6</td>
<td>Prepreg DDR3</td>
</tr>
<tr>
<td>6</td>
<td>core2</td>
<td>1.5</td>
<td>Prepreg DDR3</td>
</tr>
<tr>
<td>7</td>
<td>signal</td>
<td>1.3</td>
<td>Prepreg DDR3</td>
</tr>
<tr>
<td>8</td>
<td>GND</td>
<td>1.9</td>
<td>Prepreg DDR3</td>
</tr>
</tbody>
</table>

图 2
<table>
<thead>
<tr>
<th>Layer num</th>
<th>Plane Description</th>
<th>Copper</th>
<th>Thickness</th>
<th>PCB Material</th>
<th>Signals</th>
</tr>
</thead>
<tbody>
<tr>
<td>1</td>
<td>SM</td>
<td>0.5</td>
<td>1.5</td>
<td>low loss</td>
<td>PCIe, DDR3</td>
</tr>
<tr>
<td>2</td>
<td>Signal</td>
<td>1.9</td>
<td>2.7</td>
<td>normal loss</td>
<td>QPI, DDR3</td>
</tr>
<tr>
<td>3</td>
<td>Prepreg</td>
<td>2.7</td>
<td>1.3</td>
<td>normal loss</td>
<td>normal loss</td>
</tr>
<tr>
<td>4</td>
<td>GND</td>
<td>1.3</td>
<td>4</td>
<td>normal loss</td>
<td>normal loss</td>
</tr>
<tr>
<td>5</td>
<td>core1</td>
<td>4</td>
<td>2.6</td>
<td>normal loss</td>
<td>normal loss</td>
</tr>
<tr>
<td>6</td>
<td>Prepreg</td>
<td>2.6</td>
<td>4</td>
<td>normal loss</td>
<td>normal loss</td>
</tr>
<tr>
<td>7</td>
<td>VCC</td>
<td>2.6</td>
<td>1.3</td>
<td>normal loss</td>
<td>QPI, DDR3</td>
</tr>
<tr>
<td>8</td>
<td>Signal</td>
<td>1.5</td>
<td>0.5</td>
<td>normal loss</td>
<td>PCIe, DDR3</td>
</tr>
</tbody>
</table>

图3
<table>
<thead>
<tr>
<th>PCB Material</th>
<th>normal loss</th>
<th>low loss</th>
<th>normal loss</th>
<th>normal loss</th>
<th>low loss</th>
<th>normal loss</th>
</tr>
</thead>
<tbody>
<tr>
<td>Signals</td>
<td>PCIE, DDR3</td>
<td>QPI, DDR3</td>
<td>QPI, DDR3</td>
<td>QPI, DDR3</td>
<td>PCIE, DDR3</td>
<td>QPI, DDR3</td>
</tr>
<tr>
<td>Copper</td>
<td>1.5</td>
<td>1.0</td>
<td>2.0</td>
<td>2.0</td>
<td>1.5</td>
<td>1.0</td>
</tr>
<tr>
<td>Layer Thickness</td>
<td>0.5</td>
<td>1.9</td>
<td>2.7</td>
<td>2.6</td>
<td>4</td>
<td>1.3</td>
</tr>
<tr>
<td>Plane Description</td>
<td>SM</td>
<td>Layer num</td>
<td>1</td>
<td>2</td>
<td>3</td>
<td>4</td>
</tr>
<tr>
<td>SM</td>
<td>Signal</td>
<td>Prepreg</td>
<td>GND</td>
<td>core1</td>
<td>Signal</td>
<td>Prepreg</td>
</tr>
<tr>
<td>1</td>
<td>2</td>
<td>3</td>
<td>4</td>
<td>5</td>
<td>6</td>
<td>7</td>
</tr>
</tbody>
</table>

图 4
<table>
<thead>
<tr>
<th>Plane Description</th>
<th>Layer num</th>
<th>Layer Thickness</th>
<th>SM</th>
<th>Signal</th>
<th>Prepreg</th>
<th>GND</th>
<th>core1</th>
<th>Signal</th>
<th>Prepreg</th>
<th>VCC</th>
<th>core2</th>
<th>VCC1</th>
<th>Prepreg</th>
<th>Signal</th>
<th>core3</th>
<th>GND</th>
<th>Prepreg</th>
<th>Signal</th>
<th>SM</th>
</tr>
</thead>
<tbody>
<tr>
<td>PCB Material</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Signals</td>
<td></td>
<td></td>
<td>1.5</td>
<td>QPI, DDR3</td>
<td>PCIE, DDR3</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
</tr>
<tr>
<td>Copper</td>
<td></td>
<td></td>
<td>0.5</td>
<td>1.9</td>
<td>1.3</td>
<td>4</td>
<td>1.3</td>
<td>16</td>
<td>1.3</td>
<td>2.6</td>
<td>4</td>
<td>1.3</td>
<td>15</td>
<td>1.3</td>
<td>4</td>
<td>1.3</td>
<td>2.7</td>
<td>1.9</td>
<td>0.5</td>
</tr>
</tbody>
</table>

图 5