

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7027175号
(P7027175)

(45)発行日 令和4年3月1日(2022.3.1)

(24)登録日 令和4年2月18日(2022.2.18)

(51)国際特許分類	F I			
H 0 4 N 5/374(2011.01)	H 0 4 N	5/374		
H 0 4 N 5/365(2011.01)	H 0 4 N	5/365	1 0 0	
H 0 1 L 27/146(2006.01)	H 0 1 L	27/146		A
	H 0 1 L	27/146		E

請求項の数 11 (全25頁)

(21)出願番号	特願2018-4913(P2018-4913)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成30年1月16日(2018.1.16)	(74)代理人	100126240 弁理士 阿部 琢磨
(65)公開番号	特開2019-125907(P2019-125907 A)	(74)代理人	100124442 弁理士 黒岩 創吾
(43)公開日	令和1年7月25日(2019.7.25)	(72)発明者	笹子 知弥 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
審査請求日	令和3年1月6日(2021.1.6)	(72)発明者	田代 和昭 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
		審査官	松永 隆志

最終頁に続く

(54)【発明の名称】 半導体装置および機器

(57)【特許請求の範囲】

【請求項1】

半導体基板の上に設けられた光電変換層と、
前記光電変換層に入射した光に応じて検出する電位が変化して現れる第1導電型の第1半導体領域と、
前記第1半導体領域とPN接合を成す第2導電型の第2半導体領域と、
前記第1半導体領域が接続されたゲートを有する増幅トランジスタと、
前記第1半導体領域の電位をリセットするリセットトランジスタと、
前記第2半導体領域に電位を供給する電位供給部と、を備え、
前記リセットトランジスタのソースおよびドレインの一方は前記第1半導体領域に接続され、前記リセットトランジスタのソースおよびドレインの他方は前記第2半導体領域に接続され、
前記電位供給部は、前記リセットトランジスタがオンしている期間に第1電位を供給し、
前記電位供給部は、前記リセットトランジスタがオフしている期間に前記第1電位とは電位が異なる第2電位を供給することを特徴とする半導体装置。

【請求項2】

前記電位供給部は、導電部材を介して前記第2半導体領域に接続されている、請求項1に記載の半導体装置。

【請求項3】

前記導電部材は、前記第2半導体領域よりも不純物濃度が高い第2導電型の第3半導体領

域を介して前記第 2 半導体領域に接続されている、請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 半導体領域に接続された電位供給部を第 1 電位供給部として、前記第 1 半導体領域に接続された第 2 電位供給部を有する、請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

検出する電位が現れる第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域と P N 接合を成す第 2 導電型の第 2 半導体領域と、

前記第 1 半導体領域が接続されたゲートを有する増幅トランジスタと、

前記第 1 半導体領域の電位をリセットするリセットトランジスタと、

前記第 2 半導体領域に電位を供給する電位供給部と、を備え、

前記リセットトランジスタのソースおよびドレインの一方は前記第 1 半導体領域に接続され、前記リセットトランジスタのソースおよびドレインの他方は前記第 2 半導体領域に接続され、

前記電位供給部は、前記リセットトランジスタがオンしている期間に第 1 電位を供給し、

前記電位供給部は、前記リセットトランジスタがオフしている期間に前記第 1 電位とは電位が異なる第 2 電位を供給し、

前記第 2 半導体領域に接続された電位供給部を第 1 電位供給部として、前記第 1 半導体領域に接続された第 2 電位供給部を有する半導体装置。

【請求項 6】

前記第 2 電位供給部は、前記第 1 電位供給部が前記第 2 半導体領域に供給する電位とは異なる電位を前記第 1 半導体領域に供給する、請求項 4 または 5 に記載の半導体装置。

【請求項 7】

前記第 2 電位供給部は、容量を介して前記第 1 半導体領域に接続されている、請求項 4 または 5 に記載の半導体装置。

【請求項 8】

前記第 2 電位供給部は、前記増幅トランジスタから信号線への信号の出力のオンとオフを制御する、請求項 4 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 1 半導体領域は浮遊拡散領域であり、前記第 2 半導体領域はウェル領域である、請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記増幅トランジスタはソースフォロワ回路を構成する、請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

請求項 1 乃至 10 のいずれか 1 項に記載の半導体装置を備える機器であって、

前記半導体装置に結像する光学系、前記半導体装置を制御する制御装置、前記半導体装置から出力された信号を処理する処理装置、前記半導体装置で得られた情報を表示する表示装置、前記半導体装置で得られた情報を記憶する記憶装置、および、前記半導体装置から出力され信号に基づいて制御される機械装置の少なくともいずれかをさらに備えることを特徴とする機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は半導体装置に関する。

【背景技術】

【0002】

カメラのイメージセンサ等に用いられる半導体装置は、増幅トランジスタに接続されたノードの電位をリセットするリセットトランジスタを備える。特許文献 1 に記載の固体撮像装置では、増幅トランジスタのゲートにゼロバイアス容量が接続されている。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0003】

【文献】W02011/058684号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載の固体撮像装置には、リセットトランジスタのばらつきや、リセット電圧のばらつきによって、増幅トランジスタ106の出力信号がばらつくという課題がある。本発明は増幅トランジスタ106の出力信号のばらつきを抑制することを目的とする。

10

【課題を解決するための手段】

【0005】

上記課題を解決するための手段の1つの観点は、半導体基板の上に設けられた光電変換層と、前記光電変換層に入射した光に応じて検出する電位が変化して現れる第1導電型の第1半導体領域と、前記第1半導体領域とPN接合を成す第2導電型の第2半導体領域と、前記第1半導体領域が接続されたゲートを有する増幅トランジスタと、前記第1半導体領域の電位をリセットするリセットトランジスタと、前記第2半導体領域に電位を供給する電位供給部と、を備え、前記リセットトランジスタのソースおよびドレインの一方は前記第1半導体領域に接続され、前記リセットトランジスタのソースおよびドレインの他方は前記第2半導体領域に接続され、前記電位供給部は、前記リセットトランジスタがオンしている期間に第1電位を供給し、前記電位供給部は、前記リセットトランジスタがオフしている期間に前記第1電位とは電位が異なる第2電位を供給することを特徴とする。

20

また、別の1つの観点は、検出する電位が現れる第1導電型の第1半導体領域と、前記第1半導体領域とPN接合を成す第2導電型の第2半導体領域と、前記第1半導体領域が接続されたゲートを有する増幅トランジスタと、前記第1半導体領域の電位をリセットするリセットトランジスタと、前記第2半導体領域に電位を供給する電位供給部と、を備え、前記リセットトランジスタのソースおよびドレインの一方は前記第1半導体領域に接続され、前記リセットトランジスタのソースおよびドレインの他方は前記第2半導体領域に接続され、前記電位供給部は、前記リセットトランジスタがオンしている期間に第1電位を供給し、前記電位供給部は、前記リセットトランジスタがオフしている期間に前記第1電位とは電位が異なる第2電位を供給し、前記第2半導体領域に接続された電位供給部を第1電位供給部として、前記第1半導体領域に接続された第2電位供給部を有する半導体装置である。

30

【発明の効果】

【0006】

本発明によれば、増幅トランジスタの出力信号のばらつきを抑制することができる。

【図面の簡単な説明】

【0007】

【図1】半導体装置を説明するための模式図。

【図2】半導体装置を説明するための模式図。

【図3】半導体装置を説明するための模式図。

【図4】半導体装置を説明するための模式図。

【図5】半導体装置を説明するための模式図。

【図6】半導体装置を説明するための模式図。

【図7】半導体装置を説明するための模式図。

【図8】半導体装置を説明するための模式図。

【図9】半導体装置を説明するための模式図。

【図10】半導体装置を説明するための模式図。

【発明を実施するための形態】

【0008】

40

50

以下、図面を参照して、本発明を実施するための形態を説明する。また、本実施形態は以下に説明される実施形態のみに限定されない。本実施形態の趣旨を超えない範囲で、以下に説明される実施形態の一部の構成が変更されても本発明の範疇である。また、以下のいずれかの実施形態の一部の構成を、他の実施形態に追加した例、あるいは他の実施形態の一部の構成と置換した形態も、本発明の範疇である。なお、以下の説明および図面において、複数の図面に渡って共通の構成については共通の符号を付している。そして、共通する構成を断りなく複数の図面を相互に参照して説明する場合がある。また、共通の符号を付した構成については説明を省略する場合がある。

【0009】

<第1実施形態>

図1(a)は、第1実施形態の半導体装置APRの全体の回路構成を模式的に示す図である。図1(a)は、4行4列の行列状に配された16個の画素100を示している。1つの画素100は、ダイオード119、リセットトランジスタ108、増幅トランジスタ106、選択トランジスタ107を含むユニットである。画素100の選択トランジスタ107は画素100になくてもよい。1つの列に含まれる複数の画素100が、1つの出力信号線130に接続される。本例では、選択トランジスタ107が出力信号線130に接続されるが、選択トランジスタ107が省略される場合には、増幅トランジスタ106が出力信号線130に接続される。

【0010】

行駆動回路201から各行に設けられた共通電極101に、駆動電圧 V_s が供給される。行駆動回路201から各行の画素100に対して、電位供給線(V_{res} 線)132、リセット信号線($pRES$ 線)133、行選択信号線($pSEL$ 線)134が配される。電位供給線(V_{res} 線)132は、リセットトランジスタ108のノードCに供給される電位を伝搬する配線である。リセット信号線($pRES$ 線)133は、リセット信号 $pRES$ を伝達する配線である。行選択信号線($pSEL$ 線)134は、行選択信号 $pSEL$ を伝達する配線である。各配線は、アルミニウム、銅、および/またはタングステンなどの金属を主成分とする導電部材である。画素100内のリセットトランジスタ108のゲートにはリセット信号 $pRES$ が供給される。このリセット信号 $pRES$ によって、画素100内のノードBがリセット電圧 V_{res} にリセットされる。本実施形態において、リセット電圧 V_{res} は、電位供給部170から供給され、画素リセットとゼロバイアスリセットを行うように、その電圧値が制御される。

【0011】

画素100内の選択トランジスタ107のゲートに行選択信号 $pSEL$ が供給される。この行選択信号 $pSEL$ によって、選択トランジスタ107が制御される。1つの行に含まれる複数の画素100は共通のリセット信号線、駆動信号線に接続される。なお、図1(a)では、異なる行に供給される駆動信号を区別するために、 (n) 、 $(n+1)$ などの行を表す符号を付している。他の図面でも同様である。

【0012】

図1(a)は、光電変換部120の共通電極101の平面構造を模式的に示している。複数の画素の光電変換部120の端子は、共通電極101によって構成される。共通電極101は、光電変換部120のノードAを構成する。図1(a)が示すように、本実施形態において、ローリングシャッター動作時は、駆動電圧 V_s は固定電圧である。また、グローバルシャッター動作時は、駆動電圧 V_s は駆動モードに応じて制御される。

【0013】

それぞれの出力信号線130は、列回路140に接続される。列駆動回路141は、列回路140を列ごとに駆動する。具体的には、列駆動回路141は、駆動信号 $CSEL$ を複数の列回路140に供給している。なお、異なる列に供給される駆動信号を区別するために、 (m) 、 $(m+1)$ などの列を表す符号を付している。他の図面でも同様である。このような構成により、行ごとに並列に読み出された信号を、順次、増幅部203、AD変換部204に出力することができる。

10

20

30

40

50

【 0 0 1 4 】

次に列回路 1 4 0 について説明するが、列回路 1 4 0 の構成は一例にすぎない。図 1 (b) は、m 列目および m + 1 列目の列回路 1 4 0 の等価回路を示している。他の列の列回路 1 4 0 は図示されていない。出力信号線 1 3 0 の信号は、列アンプ 3 0 1 によって増幅される。列アンプ 3 0 1 の出力ノードは、S / H スイッチ 3 0 3 を介して容量 C T S に接続されている。また、列アンプ 3 0 1 の出力ノードは、S / H スイッチ 3 0 5 を介して容量 C T N に接続されている。S / H スイッチ 3 0 3 および S / H スイッチ 3 0 5 は、それぞれ、駆動信号 p T S および駆動信号 p T N によって制御される。このような構成により、増幅トランジスタ 1 0 6 の閾値ばらつきを含むダークレベル信号 N を容量 C T N に、増幅トランジスタ 1 0 6 の閾値ばらつきを含む光信号 S を容量 C T S に、それぞれ保持する。

10

【 0 0 1 5 】

容量 C T S は、水平転送スイッチ 3 0 7 を介して水平信号線 3 1 1 に接続されている。容量 C T N は、水平転送スイッチ 3 0 9 を介して水平信号線 3 1 3 に接続されている。水平転送スイッチ 3 0 7 および 3 0 9 は、列駆動回路 1 4 1 からの駆動信号 C S E L によって制御される。

【 0 0 1 6 】

水平信号線 3 1 1 と水平信号線 3 1 3 とはいずれも増幅部 2 0 3 に接続されている。増幅部 2 0 3 は、水平信号線 3 1 1 の信号と水平信号線 3 1 3 の信号との差分を A D 変換部 2 0 4 に出力する。信号 S と信号 N の差分をとることで、増幅トランジスタ 1 0 6 の閾値ばらつきを除去することができる。アナログ - デジタル変換器 (A D C) 2 0 4 は、入力されたアナログ信号をデジタル信号に変換する。

20

【 0 0 1 7 】

なお、列回路 1 4 0 はアナログ - デジタル変換回路であってもよい。この場合、アナログ - デジタル変換回路は、メモリやカウンタなどのデジタル信号を保持する保持部を有する。保持部には、ノイズ信号および光信号とノイズ信号がそれぞれデジタル信号に変換されて保持される。

【 0 0 1 8 】

図 2 (a) を用いて、画素 1 0 0 の詳細を説明する。図 2 (a) には、半導体装置 A P R の画素 1 0 0 の等価回路が示されている。図 3 (a) 、 (b) には、半導体装置 A P R の画素 1 0 0 の断面構造が模式的に示されている。実施形態の半導体装置 A P R は、半導体基板 2 0 0 と、半導体基板 2 0 0 の上に積層された光電変換層 1 0 3 を含む。半導体基板 2 0 0 には、光電変換層 1 0 3 で生じた信号電荷に基づく信号を受ける回路部が配される。いくつかの実施形態においては、半導体装置 A P R が複数の画素 1 0 0 を含む。これらの実施形態においては、複数の画素 1 0 0 に対応して複数の回路部が配される。複数の回路部のそれぞれは、信号を増幅する増幅手段を含んでいてもよい。

30

【 0 0 1 9 】

図 3 (a) 、 (b) において、半導体基板 2 0 0 の上には共通電極 1 0 1 が配される。共通電極 1 0 1 と半導体基板 2 0 0 との間に画素電極 1 0 5 が配される。共通電極 1 0 1 と画素電極 1 0 5 との間にブロッキング層 1 0 2 、光電変換層 1 0 3 、ブロッキング層 1 0 4 が配される。ブロッキング層 1 0 2 は信号電荷の注入阻止層であり、ブロッキング層 1 0 4 は信号電荷と極性の異なる電荷の注入阻止層である。本実施形態においては、信号電荷はホールとするが、電子を信号電荷としても、各バイアスの設定等を電子用に設定することにより、同様の効果を得られる。

40

【 0 0 2 0 】

図 2 (a) は、本実施形態になる半導体装置 A P R の画素 1 0 0 の構成を模式的に示している。画素 1 0 0 は、光電変換部 1 2 0 、増幅トランジスタ 1 0 6 、選択トランジスタ 1 0 7 、リセットトランジスタ 1 0 8 を含む。光電変換部 1 2 0 は、共通電極 1 0 1 、第 1 のブロッキング層 1 0 2 、光電変換層 1 0 3 、第 2 のブロッキング層 1 0 4 、画素電極 1 0 5 を含む。図 2 (a) は 1 つの画素 1 0 0 だけを示しているが、本実施形態の半導体装置 A P R は、複数の画素 1 0 0 を含む。

50

【 0 0 2 1 】

画素電極 1 0 5 は、ノード B を介して、半導体基板 2 0 0 内の浮遊拡散領域 1 1 0 に接続される。光電変換によって生じた電荷に基づく電位が、画素電極 1 0 5、ノード B および浮遊拡散領域 1 1 0 に現れる。画素電極 1 0 5、ノード B および浮遊拡散領域 1 1 0 に現れた電位が検出すべき電位である。検出すべき電位を増幅トランジスタ 1 0 6 によって信号として読み出すことにより、光を検知できる。浮遊拡散領域 1 1 0 はフローティングディフュージョンとも称することができ、浮遊拡散領域 1 1 0 と増幅トランジスタ 1 0 6 との組み合わせた回路はフローティングディフュージョンアンプと呼ぶことができる。浮遊拡散領域 1 1 0 は、第 1 導電型 (N 型) の半導体領域 (第 1 半導体領域) である。浮遊拡散領域 1 1 0 は、ウェル領域 1 0 9 の中に形成される。ウェル領域 1 0 9 は、第 1 導電型とは極性の異なる第 2 導電型 (P 型) の半導体領域 (第 2 半導体領域) である。ウェル領域 1 0 9 は、画素エリア全体に、共通に設ける。浮遊拡散領域 1 1 0 とウェル領域 1 0 9 は P N 接合を成しており、所定の容量を持ったダイオード 1 1 9 (図 1 (a) 参照) を形成する。本例のウェル領域 1 0 9 は P 型であるため、図 2 (a) にはウェル領域 1 0 9 に P W L と記載している。浮遊拡散領域 1 1 0 はウェル領域 1 0 9 とともにダイオード構造 (P N 接合構造) を成すために十分な程度に高い不純物濃度を有するため、ここでは浮遊拡散領域 1 1 0 を N + 型として記載している。

10

【 0 0 2 2 】

行駆動回路 2 0 1 は、ウェル領域 1 0 9 に接続された電位供給部 1 7 0 を備える。電位供給部 1 7 0 は、ノード C を介して、半導体基板 2 0 0 内のコンタクト領域 1 1 1、およびリセットトランジスタ 1 0 8 のドレインに接続される。電位供給部 1 7 0 は、上述したように、導電部材である電位供給線 (V r e s 線) 1 3 2 を介してウェル領域 1 0 9 に接続されている。

20

【 0 0 2 3 】

さらに、電位供給線 1 3 2 は、コンタクト領域 1 1 1 を介してウェル領域 1 0 9 に接続されている。コンタクト領域 1 1 1 は、ウェル領域 1 0 9 と同じ第 2 導電型 (P 型) であり、かつ、ウェル領域 1 0 9 よりも高不純物濃度の P + 型の半導体領域 (第 3 半導体領域) である。コンタクト領域 1 1 1 は、ウェル領域 1 0 9 の中に形成される。ウェル領域 1 0 9 は、コンタクト領域 1 1 1 を介して、リセット電位 V r e s が制御される。浮遊拡散領域 1 1 0 は、リセットトランジスタ 1 0 8 を介して、その電位が制御される。コンタクト領域 1 1 1 は導電部材と半導体基板とのコンタクト抵抗を低減する目的で設けられるものであり、コンタクト領域 1 1 1 を設けなくてもコンタクト抵抗が十分に低ければ、コンタクト領域 1 1 1 は省略可能である。第 1 実施形態においては、コンタクト領域 1 1 1、およびリセットトランジスタ 1 0 8 のドレインに電位供給部 1 7 0 が接続され、電位供給部 1 7 0 によりウェル領域 1 0 9 の電位および浮遊拡散領域 1 1 0 の電位を制御する。

30

【 0 0 2 4 】

光電変換部 1 2 0 は、図 2 (a) のノード A に接続された端子と、ノード B に接続された端子を含むフォトダイオードを形成する。本実施形態においてはホールを信号電荷とするため、ノード A がフォトダイオードのカソード、ノード B がアノードとなる。ノード A には、電位供給部 1 6 0 を介して、バイアス電圧 V s が印加される。

40

【 0 0 2 5 】

ノード B は、増幅トランジスタ 1 0 6 のゲートに接続される。したがって、浮遊拡散領域 1 1 0 は増幅トランジスタ 1 0 6 のゲートに接続される。ノード B はリセットトランジスタ 1 0 8 のソースに接続される。増幅トランジスタ 1 0 6 のゲートは、増幅部の入力ノードである。このような構成により、増幅部において光電変換部 1 2 0 からの信号を増幅することができる。

【 0 0 2 6 】

ここでは、ホールを信号電荷として検出する例を示したため、ノード B はリセットトランジスタ 1 0 8 のソースに接続されるが、電子を信号電荷として検出する場合には、ノード B はリセットトランジスタ 1 0 8 のドレインに接続される。つまり、リセットトランジスタ

50

タ 1 0 8 のソースおよびドレインの一方が浮遊拡散領域 1 1 0 に接続される。そして、リセットトランジスタ 1 0 8 のソースおよびドレインの他方がウェル領域 1 0 9 に接続されていけばよい。

【 0 0 2 7 】

増幅トランジスタ 1 0 6 のドレインは、電源電圧 V_{dd} (例えば 3 . 3 V) が供給されたノードに接続される。増幅トランジスタ 1 0 6 のソースは、選択トランジスタ 1 0 7 を介して、出力信号線 1 3 0 に接続される。出力信号線 1 3 0 には、電流源 1 5 0 が接続される。増幅トランジスタ 1 0 6 および電流源 1 5 0 はソースフォロワ回路を構成し、光電変換部 1 2 0 からの信号を出力信号線 1 3 0 に出力する。出力信号線 1 3 0 には、さらに列回路 1 4 0 が接続される。出力信号線 1 3 0 に出力された画素 1 0 0 からの信号は、列回路 1 4 0 に入力される。共通電極 1 0 1 はノード A を介して、電位供給部 1 6 0 に接続される。電位供給部 1 6 0 は、共通電極 1 0 1 に、バイアス電圧 V_s を供給する。

10

【 0 0 2 8 】

本実施形態においては、上述したようにコンタクト領域 1 1 1、およびリセットトランジスタ 1 0 8 のドレインに電位供給部 1 7 0 が接続され、電位供給部 1 7 0 によりウェル領域 1 0 9 の電位および浮遊拡散領域 1 1 0 の電位を制御することを特徴とする。リセットトランジスタ 1 0 8 をオンにすることにより、ウェル領域 1 0 9 と浮遊拡散領域 1 1 0 を短絡して、ウェル領域 1 0 9 と浮遊拡散領域 1 1 0 を略等電位にする、つまり、ゼロバイアスリセットを行うことができる。ウェル領域 1 0 9 と浮遊拡散領域 1 1 0 に同じ電源 (電位供給部 1 7 0) から供給することで、ゼロバイアスリセットによる画素ごと暗電流のばらつきを抑えることができる。

20

【 0 0 2 9 】

次に、本実施形態の半導体装置 A P R の平面構造、断面構造について説明する。

【 0 0 3 0 】

図 2 (b) は、2 行 2 列の行列状に配された 4 個の画素 1 0 0 の平面構造を模式的に示している。その他の画素も同様の平面構造を有している。ここでは画素電極 1 0 5 より上部に積層される光電変換層 1 0 3 は省略している。

【 0 0 3 1 】

図 3 (a)、(b) は、図 2 (b) における X - Y の一点破線に沿った半導体装置 A P R の画素 1 0 0 の断面構造を模式的に示している。また、図 6 は、図 2 (b) における X ' - Y ' の一点破線に沿った半導体装置 A P R の画素 1 0 0 の断面構造を模式的に示している。なお、図 2 (a) と同じ機能を有する部分には同じ符号を付してある。トランジスタについては対応するゲートに符号が付されている。ここでは画素電極 1 0 5 の上部に積層される光電変換部も表示している。

30

【 0 0 3 2 】

以下、図 2 (b)、図 3 (a)、(b) を用いて画素の構造について説明する。半導体装置 A P R は半導体基板 2 0 0 を含む。半導体基板 2 0 0 に、P 型の半導体領域であるウェル領域 1 0 9 が設けられる。本例のウェル領域 1 0 9 は P 型であるため、図 2 (a) にはウェル領域 1 0 9 に P W と記載している。本実施例において、画素エリア全体に、共通にウェル領域 1 0 9 を設ける。ウェル領域 1 0 9 中に画素トランジスタのソースおよびドレインを含めた、N 型の半導体領域である浮遊拡散領域 1 1 0 が配される。画素トランジスタとは、例えば、増幅トランジスタ 1 0 6、選択トランジスタ 1 0 7 であり、N M O S トランジスタである。また、ウェル領域 1 0 9 中にウェル領域 1 0 9 に電圧を供給するためのコンタクトを形成する、P 型の半導体領域である、コンタクト領域 1 1 1 が配される。また、半導体基板 2 0 0 の上に、画素トランジスタのゲート、および、配線を構成する導電部材を含む複数の配線層 2 0 2 が配される。

40

【 0 0 3 3 】

半導体基板 2 0 0 の上には、共通電極 1 0 1 が配される。共通電極 1 0 1 と半導体基板 2 0 0 との間に画素電極 1 0 5 が配される。画素電極 1 0 5 は接続部 2 1 9 を介して、増幅トランジスタ 1 0 6 のゲートに接続される。そして、共通電極 1 0 1 と画素電極 1 0 5 と

50

の間に光電変換層 103 が配される。共通電極 101 と光電変換層 103 との間に第 1 のブロッキング層 102 が配される。光電変換層 103 と画素電極 105 との間に第 2 のブロッキング層 104 が配される。第 1 のブロッキング層 102 は、光電変換部 120 が逆バイアス状態の時に、ホールが共通電極 101 から光電変換層 103 に注入されるのを阻止する働きを有する。第 2 のブロッキング層 104 は、電子が画素電極 105 から光電変換層 103 に注入されるのを阻止する働きを有する。これにより、暗電流が低減される。

【0034】

図 2 (a) および図 3 (a)、(b) が示す通り、各画素 100 の光電変換部 120 は、共通電極 101 と、ブロッキング層 102 と、光電変換層 103 と、第 2 のブロッキング層 104 と画素電極 105 とを少なくとも含む。

10

【0035】

共通電極 101 は、図 1 (a) が示す通り、行ごとに電氣的に絶縁されている。一方で、図 3 (a)、(b) が示す通り、1 つの行に含まれる複数の画素 100 の共通電極 101 は、共通の導電部材で構成される。また、各画素 100 の画素電極 105 は、他の画素 100 の画素電極から電氣的に絶縁されている。つまり、複数の画素に対してそれぞれ個別に複数の画素電極が設けられている。本実施形態においては、電源 V_{dd} は専用電源線 135 から各行の画素に供給されているが、共通電極の電源 V_s から電源 V_{dd} を供給してもよい。そうすることにより電源 V_{dd} の専用電源線を省くことができ、より画素の面積を縮小できる。そのためには、信号電荷をホールとし、画素トランジスタが NMOS トランジスタであり、不図示の共通電極の電源 V_s を固定にする場合など、電源電圧 V_{dd} と電極電圧 V_s の電圧値が共有すればよい。電源 V_s を固定にする場合とは、例えば、後述のように、ローリングシャッター動作のみで、グローバルシャッター動作を行わない場合などである。

20

【0036】

電位供給線 (V_{res} 線) 132 はコンタクト領域 111 およびリセットトランジスタ 108 のドレインに接続される。ウェル領域 109 は、コンタクト領域 111 を介して電位 V_{res} が供給される。つまり、ウェル領域 109 は、電位供給線 132 によって電位が制御される。このような構成により、電位供給線 132 はウェル領域 109 の電位および浮遊拡散領域 110 の電位を制御することができる。

【0037】

光電変換部 120 の具体的な構成について詳細に説明する。光電変換部 120 の共通電極 101 は、光の透過率の高い導電部材で構成される。例えば、ITO (Indium Tin Oxide) などのインジウム、またはスズを含む化合物や、ZnO などの化合物が、共通電極 101 の材料として用いられる。このような構成によれば、多くの光を光電変換層 103 に入射させることができる。そのため、感度を向上させることができる。他の例として、所定の量の光が透過する程度の薄さを有するポリシリコンや金属を、共通電極 101 として用いてもよい。金属は抵抗が低いため、金属を共通電極 101 の材料に用いた実施形態は、低消費電力化あるいは高速化に有利である。

30

【0038】

共通電極 101 と光電変換層 103 との間には、第 1 のブロッキング層 102 が配される。第 1 のブロッキング層 102 には、光電変換層 103 に用いられる半導体と同じ種類であって、光電変換層 103 に用いられる半導体よりも不純物濃度の高い N 型あるいは P 型の半導体を用いることができる。例えば、光電変換層 103 に a - Si が用いられる場合、第 1 のブロッキング層 102 には、比較的の不純物濃度の高い a - Si が用いられる。不純物濃度の違いによりフェルミ準位の位置が異なるため、電子およびホールのうち一方に対してのみ、ポテンシャルバリアを形成し、電極からの電荷の注入を防止する。信号電荷と極性の異なる電荷に対しては、速やかに注入を行う構造になっている。本実施形態においては、信号電荷がホールであるため、ホールの注入を阻止するため第 1 のブロッキング層 102 は N 型とする。もしくは、光電変換層 103 とは異なる材料で第 1 のブロッキング層 102 を構成することができる。このような構成によればヘテロ接合が形成される。

40

50

材料の違いによりバンドギャップが異なるため、電子およびホールのうち一方に対してのみ、ポテンシャルバリアを形成することができる。

【0039】

光電変換層103は、光電変換層103に入射した光を光電変換する。光電変換層103の少なくとも一部が、上記の光電変換の機能を持っていればよい。光電変換層103は、真性のアモルファスシリコン(以下、a-Si)、不純物濃度が比較的低いa-Siなどの半導体材料で形成される。あるいは、光電変換層103は、化合物半導体材料で形成されてもよい。例えば、BN、GaAs、GaP、AlSb、GaAlAsPなどのIII-V族化合物半導体、CdSe、ZnS、HdTeなどのII-VI族化合物半導体、PbS、PbTe、CuOなどのIV-VI族化合物半導体が挙げられる。あるいは、光電変換層103は、有機半導体材料で形成されてもよい。例えば、フラーレン、クマリン6(C6)、ローダミン6G(R6G)、亜鉛フタロシアニン(ZnPc)、キナクリドン、フタロシアニン系化合物、ナフタロシアニン系化合物などを用いることができる。さらに、上述の半導体材料で構成された量子ドットを含む層を光電変換層103に用いることができる。量子ドットは、20.0nm以下の粒径を有する粒子である。

10

【0040】

光電変換層103が半導体材料で構成される場合、当該半導体材料の不純物濃度が低いか、あるいは、当該半導体材料は真性であるとよい。このような構成によれば、光電変換層103に空乏層を十分に広げることができるため、高感度化、低ノイズ化などの効果を得ることができる。

20

【0041】

光電変換層103と画素電極105との間には、第2のブロッキング層104が配される。第2のブロッキング層104には、光電変換層103に用いられる半導体と同じ種類であって、光電変換層103に用いられる半導体よりも不純物濃度の高い半導体を用いることができる。例えば、光電変換層103にa-Siが用いられる場合、第1のブロッキング層102に不純物濃度の高いa-Siが用いられる。不純物濃度の違いによりフェルミ準位の位置が異なるため、電子およびホールのうち一方に対してのみ、ポテンシャルバリアを形成し、電極からの電荷の注入を阻止する。本例においては信号電荷をホールとするので、ホールと反対極性の電子の注入を阻止するため第2のブロッキング層104はP型とする。

30

【0042】

ブロッキング層の半導体材料は、シリコン、ゲルマニウム、ガリウム砒素などの無機半導体材料、および、有機半導体材料から選択されうる。光電変換層103を形成する半導体材料と、ブロッキング層を形成する半導体材料とが異なってもよい。あるいは、蓄積層を形成する半導体材料のバンドギャップとブロッキング層を形成する半導体材料のバンドギャップとが異なってもよい。バンドギャップは、伝導帯(conduction band)の最低のエネルギー準位と、価電子帯(valence band)の最高のエネルギー準位との差である。ブロッキング層を形成する材料は半導体材料に限定されない。

【0043】

単層で構成された光電変換層103が、互いに異なる特性を有する第1の部分と第2の部分とを含んでもよい。このような構成により、第1の部分および第2の部分が、それぞれ、光電変換層103およびブロッキング層として機能しうる。例えば、光電変換層103が半導体材料で形成される実施形態では、第1の部分の不純物濃度と第2の部分の不純物濃度とが異なる半導体材料を利用してもよい。

40

【0044】

もしくは、光電変換層103とは異なる材料でブロッキング層を構成することができる。このような構成によればヘテロ接合が形成される。材料の違いによりバンドギャップが異なるため、電子およびホールのうち一方に対してのみポテンシャルバリアを形成することができる。

50

【 0 0 4 5 】

第1のブロッキング層102と第2のブロッキング層104は、光電変換部120がダイオード特性を有するように構成される。つまり、第1のブロッキング層102にN型の半導体を用いた場合、第2のブロッキング層にはP型の半導体を用いる。このとき信号電荷はホールである。

【 0 0 4 6 】

画素電極105は金属などの導電部材で構成される。画素電極105には、配線を構成する導電部材、あるいは、外部と接続するためのパッド電極を構成する導電部材と同じ材料が用いられる。このような構成によれば、画素電極105と、配線を構成する導電部材、あるいは、パッド電極とを同時に形成することができる。したがって、製造プロセスを簡略化することができる。

10

【 0 0 4 7 】

図3(c)には、ウェル領域109の変形例を示す。図3(a)、(b)の例では、画素エリア全体に、共通にウェル領域109を設けるので画素サイズが小さい(2.5 μm未満)場合に好適である。そして、全画素同時にウェル領域109の電位を制御できるので、後述のグローバルシャッター動作を行うことができる。これに対して、図3(c)の変形例は、行ごとの画素にウェル領域109を設けているので画素サイズが大きい(2.5 μm以上)に好適である。この場合は、ウェル領域109の電位を制御する場合、行ごとにウェル領域109の電位を制御できるので、後述のグローバルシャッター動作のほか、ローリングシャッター動作も行うことができる。

20

【 0 0 4 8 】

[光電変換部の機能とグローバルシャッター動作の説明]

次に、本実施形態における画素100の動作、ならびに、第1のブロッキング層102、光電変換層103、第2のブロッキング層104の機能について詳しく説明する。

【 0 0 4 9 】

図4(a)、(b)は、光電変換部120におけるエネルギーバンドとバイアス電圧を印加した場合のポテンシャルを模式的に示している。図4(a)は光電変換モード(信号電荷蓄積モード)に対応し、図4(b)はグローバルシャッターモードを示す。

【 0 0 5 0 】

図4(a)、(b)には、共通電極101、第1のブロッキング層102、光電変換層103、第2のブロッキング層104、画素電極105のエネルギーバンドが示されている。本実施形態において第1のブロッキング層102は、共通電極101からホールが光電変換層103に注入することを阻止している。また第2のブロッキング層104は、画素電極105から電子が光電変換層103に注入することを阻止している。

30

【 0 0 5 1 】

図4(a)、(b)では、第1のブロッキング層102と光電変換層103と第2のブロッキング層104がホモ接合を構成している。つまり、それぞれ同じ半導体材料で形成される。ブロッキング特性を実現するために、光電変換層103の不純物濃度と第1のブロッキング層102、第2ブロッキング層104の不純物濃度とが異なる。例えば、第1のブロッキング層102はN型の半導体材料で形成され、光電変換層103は真性半導体で形成され、第2のブロッキング層104がP型の半導体材料で形成される。

40

【 0 0 5 2 】

図4(a)、(b)の縦軸は電子に対するポテンシャルを表しており、上側ほど電子に対するポテンシャルが高く、下側ほど電圧が高くなる。Ef1、Ef2は、各電極におけるフェルミ準位を示している。第1のブロッキング層102、光電変換層103、第2のブロッキング層104に関しては、伝導帯と価電子帯との間のバンドギャップが示されている。

【 0 0 5 3 】

図4(a)の光電変換(信号電荷蓄積)モードでは、光電変換部120で光電変換を行い、信号電荷を画素電極105に蓄積している状態のポテンシャルを示す。これらのモード

50

の切り替えは駆動電圧 V_s を制御することによって行う。光電変換によって生じた電子およびホールが、それぞれ、黒丸および白丸で示されている。この実施形態では信号電荷はホールである。光電変換部 120 には、共通電極 101 に駆動電圧 V_{s1} (例えば V_{dd} と同じ 3.3V) が印加され、逆バイアス状態に設定される。このとき光電変換層 103 は空乏状態になる。光電変換層 103 で光電変換された電荷のうちホールは、バイアス電圧により画素電極 105 にドリフトし、所望の蓄積期間中に信号電荷として蓄積され、蓄積された信号電荷量に応じてノード B の電位は上昇する。光電変換部 120 は逆バイアス状態であり、第 1 のブロッキング層 102 により、ホールが共通電極 101 から光電変換層 103 に注入されないため、暗電流の発生を抑えることができる。電荷蓄積が進むと、光電変換層 103 はフラットバンド状態に向かって変化する。

10

【0054】

一方、光電変換層 103 で発生した電子は、バイアス電圧により、共通電極 101 に向かってドリフトして、光電変換部 120 の外部に排出されるため、電子は信号に寄与しない。第 2 のブロッキング層 104 により、電子が画素電極 105 から光電変換層 103 に注入されないため、光電変換層 103 に蓄積された信号電荷が漏出することはない。

【0055】

図 4 (b) のグローバルシャッターモードでは、光電変換部 120 のポテンシャルがほぼフラットになるようにバイアスする。このとき共通電極 101 に駆動電圧 V_{s2} (例えば V_{res} と同じ 1.5V) を印加する。ホール蓄積なので $V_{s2} < V_{s1}$ の関係がある。このフラットバンドに近い状態では、共通電極 101 からの電子の注入はほとんどなく、また光電変換層 103 にかかるバイアスも小さい。そのため、注入された電子が画素電極 105 (ノード B) に蓄積された信号電荷のホールと再結合して漏出することもなく、光電変換層 103 で光生成した信号電荷のホールが、画素電極 105 に蓄積されることもない。光電変換部 120 は不感状態となり、光照射中も画素電極のノード B に蓄積された信号電荷を保持することができる。本実施形態の動作を行うことで、全画素同時に信号蓄積開始(一括リセット)と、信号蓄積終了(一括シャッター)を行うことができ、いわゆるグローバルシャッター動作を実現できる。ただし本実施形態では、図 2 (a) の画素回路を用いているので、ノード B の信号読み出し中は、光電変換による信号電荷をノード B に蓄積することはできない。尚、信号電荷を保持するメモリを持つことで、ノード B の信号読み出し中でも、光電変換による信号電荷をノード B に蓄積することが可能である。

20

30

【0056】

[ゼロバイアスリセットについての説明]

以下、図面を用いて本実施形態におけるゼロバイアスリセットについて述べる。図 4 (c) は、画素電極 105 が接続される浮遊拡散領域 110 の暗時の I-V 特性を示す模式図である。浮遊拡散領域 110 とウェル領域 109 はダイオードを構成している。縦軸がダイオードに流れる電流、横軸がダイオードに印加されるバイアス電圧 V_b である。

【0057】

図 4 (c) において、点 P1 は逆バイアス状態を示し、P2 はゼロバイアス状態、P3 は順バイアス状態を示す。ダイオード 119 は P 型の半導体領域と N 型の半導体領域を電氣的に分離するために、点 P1 の逆バイアス状態に設定される。しかしながら、PN 接合には欠陥が生じやすく、その欠陥を介してリーク電流が流れる。リーク電流は P 型の半導体領域と N 型の半導体領域の間に印加された逆バイアス電圧に依存するので、点 P1 ではリーク電流が多くなる。図 4 (c) では、リーク電流による成分も含めて示してある。リーク電流は光電変換時(信号蓄積時)の暗電流となり、S/N を劣化させる。

40

【0058】

リーク電流が最も問題になるのは、画素 100 をリセットした直後、信号蓄積始めの期間である。そこでリーク電流の影響を最小にするためには、N+型の半導体領域(浮遊拡散領域 110)と P 型の半導体領域(ウェル領域 109)との間のバイアス電圧 V_b が 0V になるように、点 P2 に設定するのが好ましい。これをゼロバイアスリセット、あるいはゼロバイアス駆動と言う。

50

【 0 0 5 9 】

[セミグローバルシャッター動作の説明]

次に、本実施形態における半導体装置 A P R の駆動方法について説明する。図 5 (a) は、本実施形態の半導体装置 A P R に用いられる駆動信号のタイミングチャートを示している。図 5 (a) には、簡単のため n 行目と $n + 1$ 行目の 2 行分の信号読み出し動作に対応した駆動信号が示されている。

【 0 0 6 0 】

行選択信号 p S E L は選択トランジスタ 1 0 7 のゲートに供給される。電位供給線 V r e s の電圧はリセットトランジスタ 1 0 8 のドレインとウェル領域 1 0 9 に供給される。リセット信号 p R E S はリセットトランジスタ 1 0 8 のゲートに供給される。駆動信号 p T S は S / H スイッチ 3 0 3 に供給される。駆動信号 p T N は S / H スイッチ 3 0 5 に供給される。駆動信号 C S E L は列回路 1 4 0 に供給される。

10

【 0 0 6 1 】

行選択信号 p S E L、リセット信号 p R E S、駆動信号 p T S、駆動信号 p T N がハイレベルの時に、対応するトランジスタまたはスイッチがオンする。行選択信号 p S E L、リセット信号 p R E S、駆動信号 p T S、駆動信号 p T N がローレベルの時に、対応するトランジスタまたはスイッチがオフする。

【 0 0 6 2 】

電位供給部 1 7 0 はリセットトランジスタ 1 0 8 がオンである、期間 (時刻 $t_7 \sim t_8$) にハイレベルの電位を供給する。リセットトランジスタ 1 0 8 がオフである、期間 (時刻 $t_3 \sim t_6$) および時刻 $t_9 \sim t_{12}$ の期間にローレベルの電位を供給する。

20

【 0 0 6 3 】

セミグローバルシャッター動作において、電位供給線 V r e s は全行同時に制御される。

【 0 0 6 4 】

時刻 t_1 から時刻 t_2 の間、光電変換部 1 2 0 を、図 4 (a) に示される光電変換モード領域になるように、全行の共通電極 1 0 1 に電圧 V_{s1} (例えば 3 . 3 V) を印加する。また同時に、電位供給線 V r e s はハイレベル (たとえば 1 . 5 V) となり、ゼロバイアスリセットとなる。この間全画素一括で光電変換が行われ、光信号電荷が画素電極に蓄積される (一括露光) 。

【 0 0 6 5 】

時刻 t_2 において、光電変換部 1 2 0 が、一括シャッターモードになるように、全行の共通電極 1 0 1 に電圧 V_{s2} (例えば 1 . 5 V) を印加する。この間全画素一括で光電変換部の感度がゼロとなる。

30

【 0 0 6 6 】

時刻 t_3 において、電位供給線 V r e s がローレベル (例えば 0 V) になり、画素トランジスタが動作可能となる。本実施例においては、画素領域全体に、共通にウェル領域 1 0 9 を設け、すべての画素トランジスタはウェル領域 1 0 9 中に形成される。ウェル領域 1 0 9 は、画素トランジスタのバックゲートを兼ねているので、画素トランジスタを動作させる場合には、V r e s をローレベル (例えば 0 V) にする必要がある。このとき、ゼロバイアスリセットではなくなる。また、同時に駆動信号 p S E L (n) がハイレベルになり、 n 行目の画素 1 0 0 の選択トランジスタ 1 0 7 がオンする。これにより、 n 行目の画素 1 0 0 の増幅トランジスタ 1 0 6 が信号を出力する。

40

【 0 0 6 7 】

駆動信号 p T S (n) が、時刻 t_4 においてハイレベルになり、時刻 t_5 においてローレベルになる。これにより、ノード B に蓄積された光信号と増幅トランジスタ 1 0 6 の閾値ばらつきとを含む信号 S が、列回路 1 4 0 の容量 C T S に保持される。

【 0 0 6 8 】

時刻 t_6 において、電位供給線 V r e s がハイレベル (例えば 1 . 5 V) になる。このとき、再びゼロバイアスリセットとなる。

【 0 0 6 9 】

50

時刻 t_7 において、駆動信号 $pRes(n)$ がハイレベルになり、 n 行目の画素のリセットトランジスタ 108 がオンする。これにより n 行目の画素 100 のノード B の電位供給線 $Vres$ のリセット電圧にリセットされる。その後、 t_8 において、駆動信号 $pRES(n)$ がローレベルになり、リセットトランジスタ 108 はオフする。

【0070】

時刻 t_9 において、電位供給線 $Vres$ がローレベル（例えば 0 V）になり、画素トランジスタが動作可能となる。このとき、ゼロバイアスリセットではなくなる。

【0071】

その後、時刻 t_{10} において駆動信号 $pTN(n)$ がハイレベルになり、時刻 t_{11} においてローレベルになる。これにより、増幅トランジスタ 106 の閾値ばらつきを含む信号 N が、列回路 140 の容量 CTN に保持される。

10

【0072】

時刻 t_{12} において、電位供給線 $Vres$ がハイレベル（例えば 1.5 V）になり、ゼロバイアスリセットとなる。

【0073】

時刻 t_{13} において、駆動信号 $pSEL(n)$ がローレベルになり、 n 行目の画素 100 から列回路 140 への信号の読み出しが終了する。

【0074】

列回路 140 に読み出されたノイズ信号 N と光信号 S は、駆動信号 $CSEL$ に基づいて、列ごとに増幅部 203 に出力される。増幅部 203 は信号 S と信号 N との差分をアナログ - デジタル変換部 (ADC) 204 に出力する。

20

【0075】

時刻 t_{14} において、駆動信号 $pSEL(n+1)$ がハイレベルになり、 $n+1$ 行目の画素 100 の選択トランジスタ 107 がオンする。以降、 $n+1$ 行目の画素 100 からの信号の読み出しが行われる。この動作は時刻 t_2 から時刻 t_{13} と同様なので、説明を省略する。

【0076】

各行の信号読み出し中、全行の共通電極 101 には電圧 Vs_2 が印加されており、シャッター状態に設定される。

【0077】

以下同様に最後の行まで信号を読み出す。

30

【0078】

その後再び光電変換部 120 を、光電変換モードになるように、全行の共通電極 101 に電圧 Vs_1 （例えば 3.3 V）を印加する。この間全画素一括で光電変換モードに設定される（一括露光）。

【0079】

本実施形態において、上述したように、電位供給線 $Vres$ がローレベルの時刻 t_3 から t_6 および時刻 t_9 から t_{12} はゼロバイアス状態から外れる。そのため、この間は暗電流が発生する。ウェル領域 109 は全画素共通であり、電位供給線 $Vres$ は全画素一括で制御されるため、 n 行目で発生した暗電流は、 $(n+1)$ 行目で信号として読み出される。以降の読み出し行でも同様に暗電流が発生し、信号として読み出される。尚、本実施例では、セミグローバルシャッター動作を説明したが、信号電荷を保持するメモリを持つことでグローバルシャッター動作も可能である。

40

【0080】

[ローリングシャッター動作の説明]

図 5 (a) でセミグローバルシャッター動作の説明を行ったが、図 3 (c) に示した本実施形態の変形例においてはローリングシャッター動作も行うことができる。以下、ローリングシャッター動作の説明を行う。

【0081】

図 5 (b) は、本実施形態の半導体装置 APR に用いられるローリングシャッター動作に

50

おける駆動信号のタイミングチャートを示している。図5(b)には、簡単のためn行目とn+1行目の2行分の信号読み出し動作に対応した駆動信号が示されている。

【0082】

ここで、駆動電圧 V_s (不図示)は、光電変換部のノードAに供給されている。ローリングシャッター動作では、駆動電圧 V_s は、光電変換部120が常に弱バイアス状態で光電変換モードとなるように固定値(V_{dd} と同じ3.3V)に設定される。

【0083】

時刻 t_1 より前には、n行目の画素100の光電変換部120、および、(n+1)行目の画素100の光電変換部120は信号電荷を蓄積している状態である。また、同時に電位供給線 $V_{res}(n)$ 、および、電位供給線 $V_{res}(n+1)$ は、ハイレベル(例えば1.5V)であり、ゼロバイアスリセット状態となる。

10

【0084】

時刻 t_1 において、電位供給線 $V_{res}(n)$ がローレベル(例えば0V)になり、画素トランジスタが動作可能となる。このとき、ゼロバイアスリセット状態ではなくなる。また、同時に行選択信号 $pSEL(n)$ がハイレベルになり、n行目の画素100の選択トランジスタ107がオンする。これにより、n行目の画素100の増幅トランジスタ106が信号を出力する。

【0085】

時刻 t_2 において、駆動信号 $pTS(n)$ がハイレベルになり、時刻 t_4 においてローレベルになる。この間に、ノードBに蓄積された光信号と増幅トランジスタ106の閾値ばらつきを含む信号Sが、列回路140の容量CTSに保持される。

20

【0086】

時刻 t_4 において、電位供給線 $V_{res}(n)$ がハイレベル(例えば1.5V)になり、ゼロバイアスリセット状態となる。

【0087】

時刻 t_5 において、駆動信号 $pRes(n)$ がハイレベルになり、n行目の画素のリセットトランジスタ108がオンする。これによりn行目の画素100のノードBの電位供給線 $V_{res}(n)$ のリセット電圧にリセットされる。その後、 t_6 において、駆動信号 $pRES(n)$ がローレベルになり、リセットトランジスタ108はオフする。

【0088】

時刻 t_7 において、電位供給線 $V_{res}(n)$ はローレベル(例えば0V)になり、ゼロバイアスリセット状態ではなくなる。

30

【0089】

その後すみやかに時刻 t_8 において駆動信号 $pTN(n)$ がハイレベルになり、時刻 t_9 においてローレベルになる。この間に、増幅トランジスタ106の閾値ばらつきを含む信号Nが、列回路140の容量CTNに保持される。光電変換部120が光電変換モードになった状態で光が入射していると、光により電荷が生成され始めるので、時刻 t_8 と時刻 t_9 の間隔は狭い方がよい。

【0090】

時刻 t_{10} において、電位供給線 $V_{res}(n)$ はハイレベル(例えば1.5V)になり、ゼロバイアスリセット状態となる。

40

【0091】

この後、n行目の画素100は、次のフレームの信号電荷の蓄積を開始する。信号電荷の蓄積中の、光電変換部120のエネルギーバンドの状態が、図4(a)に示されている。

【0092】

時刻 t_{11} において、行選択信号 $pSEL(n)$ がローレベルになり、n行目の画素100から列回路140への信号の読み出しが終了する。

【0093】

列回路140に読み出されたノイズ信号Nと光信号Sは、駆動信号 $CSEL$ に基づいて、列ごとに増幅部203に出力される。増幅部203は信号Sと信号Nとの差分をAD変換

50

部 204 に出力する。

【0094】

以降、図 5 (b) に示すように、 $n + 1$ 行目の画素 100 からの信号の読み出しが行われる。この動作は時刻 t_1 から時刻 t_{11} と同様なので、説明を省略する。

【0095】

上述したように、電位供給線 $V_{res}(n)$ がローレベルの時刻 t_1 から t_4 および時刻 t_7 から t_{10} はゼロバイアス状態から外れる。そのため、この間は暗電流が発生する。本変形例において、ウェル領域 109 は行ごとに設けられ、電位供給線 V_{res} は行ごとに制御されるため、 n 行目で発生した暗電流は、 $(n + 1)$ 行で信号として読み出されない。以降の読み出し行でも同様である。これは、上述のセミグローバルシャッター動作を

10

図 3 (c) に示した変形例で行った場合も同様である。図 3 (c) に示した変形例では、図 3 (a)、(b) の例よりも暗電流の発生期間を短くし、信号への影響を抑制することができる。

【0096】

< 第 2 実施形態 >

[画素回路の説明]

図 6 (a) は、第 2 実施形態の半導体装置 A P R の画素 100 の構成を模式的に示している。図 2 (a) と同じ機能を有する部分には、同じ符号を付してある。第 1 実施形態と異なる部分のみを説明する。

【0097】

第 2 実施形態においては、ウェル領域 109 に接続された電位供給部 170 を第 1 電位供給部として、浮遊拡散領域 110 に接続された電位供給部 180 を有する。電位供給部 180 は、電位供給部 170 がウェル領域 109 に供給する電位とは異なる電位を浮遊拡散領域 110 に供給する。第 2 実施形態は、ノード B のバイアスを制御する制御容量 112 を備える。制御容量 112 は容量値 C_p に設定されている。図 6 (a) に示すように、制御容量 112 の第一の端子はノード B に接続される。制御容量 112 の第二の端子は、電位供給部 180 に接続され、電圧 V_p が供給される。このように、電位供給部 180 は、制御容量 112 を介して浮遊拡散領域 110 に接続されている。電位供給部 180 は、制御容量 112 を介してノード B の電圧を制御する。ウェル領域 109 およびリセットトランジスタ 108 のドレインにはノード C を介して、電位供給部 170 から接地電位が供給される。

20

【0098】

第 2 実施形態においては、上述したようにリセットトランジスタ 108 のドレインおよびウェル領域 109 にノード C を介して接地電位が供給され、電位供給部 180 により制御容量 112 を介してノード B の電圧を制御する。リセットトランジスタ 108 のドレインおよびウェル領域 109 にノード C を介して接地電位が供給されることで、ゼロバイアスリセットによる暗電流低減の画素ごとのばらつきを抑えることができる。また、電位供給部 180 によりノード B の電圧を制御することで、画素トランジスタを動作させて信号読み出しを行うことができる。

30

【0099】

次に、第 2 実施形態の半導体装置 A P R の平面構造、断面構造について説明する。

40

【0100】

図 7 (a) は、第 2 実施形態の 2 行 2 列の行列状に配された 4 個の画素 100 の平面構造を模式的に示している。その他の画素も同様の平面構造を有している。ここでは画素電極 105 より上部に積層される光電変換部は省略している。

【0101】

図 7 (b) は、図 7 (a) における X - Y の一点破線に沿った半導体装置 A P R の画素 100 の断面構造を模式的に示している。図 2 (a) と同じ機能を有する部分には、同じ符号を付してある。第 1 実施形態と異なる部分のみを説明する。トランジスタについては、対応するゲートに符号が付されている。ここでは画素電極 105 の上部に積層される光電

50

変換部も表示している。

【0102】

以下、図7(a)、図7(b)を用いて画素100の構造について説明する。制御容量112は、上電極501および下電極502を含む。上電極501および下電極502は、間に絶縁体を介して互いに対向している。このような構成により、制御容量112の容量値の設計自由度を高くすることができる。リソグラフィーなどの半導体プロセスを用いることにより、簡単に上電極501および下電極502の平面形状を決めることができるからである。なお、これ以外の構造を制御容量112に用いてもよい。他の例として、所定の値より大きな容量値を持つPN接合容量を用いてもよい。

【0103】

また、制御容量112の上電極501、および下電極502は、光電変換部120の画素電極105よりも下の配線層202に配されている。上電極501および下電極502は、平面視において、共通電極101あるいは画素電極105と少なくとも部分的に重なっている。このような構成によれば、画素のサイズを小さくすることができる。また、上電極501および下電極502は、それぞれ、リセットトランジスタ108および増幅トランジスタ106のいずれとも重なっていない部分を含んでいる。

【0104】

第2実施形態の制御容量112は、例えば、MIM(Metal Insulator Metal)容量である。具体的には、上電極501および下電極502は、それぞれ、金属などの導電部材によって構成されている。あるいは、制御容量112は、PIP(Poly-Si Insulator Poly-Si)容量であってもよい。具体的には、上電極501および下電極502は、それぞれ、ポリシリコンによって構成される。あるいは、制御容量112は、MOS(Metal Oxide Semiconductor)容量であってもよい。具体的には、上電極501が金属や高濃度にドーパされたポリシリコンなどの金属的な性質を示す導電部材で構成され、下電極502が半導体領域で構成される。

【0105】

バイアス電位を供給する電位供給線136は制御容量112の下電極502に接続される。リセット電位Vresを供給する電位供給線132はリセットトランジスタ108のドレインおよびウェル領域109に接続される。

【0106】

[セミグローバルシャッター動作の説明]

次に、第2実施形態における半導体装置APRの駆動方法について説明する。

【0107】

図6(b)は、本実施形態の半導体装置APRに用いられる駆動信号のタイミングチャートを示している。図6(b)には、簡単のためn行目とn+1行目の2行分の信号読み出し動作に対応した駆動信号が示されている。基本的に第1実施形態のセミグローバルシャッター動作と同様なので、第1実施形態と異なる部分のみの説明を行う。

【0108】

第2実施形態のセミグローバルシャッター動作において、電位供給線132からは、リセット電位Vresとして、接地電位がノードCに供給される。

【0109】

時刻t1から時刻t2の間、光電変換部120を、図4(a)に示される光電変換モード領域になるように、全行の共通電極101に電圧Vs1(例えば3.3V)を印加する。また同時に、Vp(n)はローレベルとなり、制御容量112を介してノードBの電位が振り下げられる。このとき、ゼロバイアスリセットとなる。この間全画素一括で光電変換が行われ、光信号電荷が画素電極に蓄積される(一括露光)。

【0110】

時刻t2において、光電変換部120が、一括シャッターモードになるように、全行の共通電極101に電圧Vs2(例えば0V)を印加する。この間全画素一括で光電変換部の

10

20

30

40

50

感度がゼロとなる。

【 0 1 1 1 】

時刻 t_3 において、 $V_p(n)$ がハイレベルになり、制御容量 1 1 2 を介してノード B の電位が振り上げられる。このとき、増幅トランジスタ 1 0 6 が動作可能となる。また、ゼロバイアスリセットではなくなる。同時に駆動信号 $pSEL(n)$ がハイレベルになり、 n 行目の画素 1 0 0 の選択トランジスタ 1 0 7 がオンする。これにより、 n 行目の画素 1 0 0 の増幅トランジスタ 1 0 6 が信号を出力する。

【 0 1 1 2 】

駆動信号 $pTS(n)$ が、時刻 t_4 においてハイレベルになり、時刻 t_5 においてローレベルになる。これにより、ノード B に蓄積された光信号と増幅トランジスタ 1 0 6 の閾値ばらつきを含む信号 S が、列回路 1 4 0 の容量 CTS に保持される。

10

【 0 1 1 3 】

時刻 t_6 において、 V_p がローレベルになり、制御容量 1 1 2 を介してノード B の電位が振り下げられる。このとき、再びゼロバイアスリセットとなる。

【 0 1 1 4 】

時刻 t_7 において、駆動信号 $pRes(n)$ がハイレベルになり、 n 行目の画素のリセットトランジスタ 1 0 8 がオンする。これにより n 行目の画素 1 0 0 のノード B がリセットされる。その後、 t_8 において、駆動信号 $pRES(n)$ がローレベルになり、リセットトランジスタ 1 0 8 はオフする。

【 0 1 1 5 】

時刻 t_9 において、 V_p がハイレベルになり、制御容量 1 1 2 を介してノード B の電位が振り上げられる。このとき、増幅トランジスタ 1 0 6 が動作可能となる。このとき、ゼロバイアスリセットではなくなる。

20

【 0 1 1 6 】

その後、時刻 t_{10} において駆動信号 $pTN(n)$ がハイレベルになり、時刻 t_{11} においてローレベルになる。これにより、増幅トランジスタ 1 0 6 の閾値ばらつきを含む信号 N が、列回路 1 4 0 の容量 CTN に保持される。

【 0 1 1 7 】

時刻 t_{12} において、 V_p がローレベルになり、制御容量 1 1 2 を介してノード B の電位が振り下げられる。このとき、ゼロバイアスリセットとなる。

30

【 0 1 1 8 】

時刻 t_{13} において、駆動信号 $pSEL(n)$ がローレベルになり、 n 行目の画素 1 0 0 から列回路 1 4 0 への信号の読み出しが終了する。

【 0 1 1 9 】

列回路 1 4 0 に読み出されたノイズ信号 N と光信号 S は、駆動信号 $CSEL$ に基づいて、列ごとに増幅部 2 0 3 に出力される。増幅部 2 0 3 は信号 S と信号 N との差分を AD (アナログ - デジタル) 変換部 2 0 4 に出力する。

【 0 1 2 0 】

時刻 t_{14} において、駆動信号 $pSEL(n+1)$ がハイレベルになり、 $n+1$ 行目の画素 1 0 0 の選択トランジスタ 1 0 7 がオンする。以降、 $n+1$ 行目の画素 1 0 0 からの信号の読み出しが行われる。この動作は時刻 t_2 から時刻 t_{13} と同様なので、説明を省略する。

40

【 0 1 2 1 】

各行の信号読み出し中、全行の共通電極 1 0 1 には電圧 V_{s2} が印加されており、シャッター状態に設定される。以下、同様に最後の行まで信号を読み出す。

【 0 1 2 2 】

その後再び光電変換部 1 2 0 を、光電変換モードになるように、全行の共通電極 1 0 1 に電圧 V_{s1} (例えば $0V$) を印加する。この間全画素一括で光電変換モードに設定される (一括露光)。

【 0 1 2 3 】

50

上述したように、 $V_p(n)$ がハイレベルの時刻 t_3 から t_6 および時刻 t_9 から t_{12} はゼロバイアス状態から外れる。そのため、この間は暗電流が発生する。本実施例において、 V_p は行ごとに制御されるため、 n 行目で発生した暗電流は、 $(n+1)$ 行で信号として読み出されない。以降の読み出し行でも同様である。第2実施形態は、第1実施形態よりも暗電流の発生期間を短くし、信号への影響を抑制することができる。尚、第1実施形態と同様にセミグローバルシャッター動作を説明したが、信号電荷を保持するメモリを持つことでグローバルシャッター動作も可能である。

【0124】

<第3実施形態>

第3実施形態では、選択トランジスタ107を用いずに行選択ができる構成を示す。第2実施形態と同じ部分については、説明を省略し、異なる部分のみを説明する。第3実施形態においては、電位供給部180が制御容量112を介してノードBを制御することで、行選択を行う。つまり、電位供給部180は、増幅トランジスタ106から出力信号線130への信号の出力のオンとオフを制御する。これにより第2実施形態に対して選択トランジスタを省略し、pSEL制御線を省略することができる。

10

【0125】

以下、図面を用いて本変形例における制御容量112と電位供給部180の機能について詳述する。図8(b)は、増幅トランジスタ106および電流源150により構成される画素ソースフォロワ回路の入力電圧(FD電圧) V_{fd} と出力電圧 V_{out} の関係を示す模式図である。 V_{min} は画素ソースフォロワ回路がリニアリティを確保できるダイナミックレンジの最小値、 V_{max} はダイナミックレンジの最大値を示す。P型半導体基板をGND(0V)に設定しており、 V_{min} は1.5V、 V_{max} は2.5Vとする。

20

【0126】

第3実施形態では、ホールを信号電荷としている。画素電極105、浮遊拡散領域110のリセット電圧は、回路のリニアリティを確保するため V_{min} 以上に設定する必要がある。そこでリセット電圧を1.5として、画素電極105、浮遊拡散領域110をリセットする。ホールが浮遊拡散領域110に蓄積されるに従い、浮遊拡散領域110の電圧は上昇する。読み出し回路のダイナミックレンジで決まる飽和電圧は V_{max} の2.5Vとなる。

【0127】

リセット直後の画素電極105が接続された浮遊拡散領域110の電位は1.5Vであり、P型の半導体基板200の電位は0Vであり、1.5Vの逆バイアス状態となり、非常にリーク電流が多い条件になってしまう。一方ゼロバイアスリセットを行うため、0V近傍にリセット電位を設定すると、読み出し系のダイナミックレンジから外れてしまう。

30

【0128】

そこで第3実施形態は、リセット電圧が読み出し回路のダイナミックレンジに収まる値(本実施形態では1.5V)に設定する。そして、信号蓄積中は、制御容量112と電位供給部180の制御により、画素電極105、浮遊拡散領域110の電位を振り下げて、動作点を0V付近にシフトさせる。読み出しのときは画素電極105、浮遊拡散領域110の電位を振り上げて、シフトを元に戻し、通常のダイナミックレンジに収まるようにして信号を読み出す。これによりリーク電流を低減しつつ、信号読み出しも正しくできるようになる。信号読み出し時のFD電位は画素ソースフォロワ回路のダイナミックレンジを気にすることなく、画素電極105のゼロバイアスリセット動作を行うことができる。

40

【0129】

制御容量112と、電位供給部180の制御によるノードBの電圧の制御量(不利下げ幅、振り上げ幅)は、電圧 V_p の変化量 dV_p に対して、制御容量112の容量値 C_p とノードBが有する容量の容量値 C_B との比に応じて決まる。ノードBの電圧の変化量 dV_B は、 $dV_B = dV_p \times C_p / (C_p + C_b)$ と表される。ノードBが有する容量の容量値には、光電変換部120が有する容量の容量値、ノードB周辺の他の寄生容量等の容量値を含む。第3実施形態においては、ノードBが有する容量の容量値は、光電変換部120

50

が有する容量の容量値が支配的である。制御容量 112 の容量値 C_p は、適宜設計されることにより、ノード B の電圧の変化量 dV_B を制御することができる。

【0130】

第3実施形態では信号電荷がホールで画素トランジスタがNMOSトランジスタの場合で説明したが、信号電荷が電子で画素トランジスタがPMOSトランジスタの構成でも同様の効果を得ることができる。

【0131】

[セミグローバルシャッター動作の説明]

図8(a)は、第3実施形態の半導体装置APRに用いられるセミグローバルシャッター動作における駆動信号のタイミングチャートを示している。基本的に実施例2のセミグローバルシャッター動作と同様なので、実施例2と異なる部分のみの説明を行う。

10

【0132】

時刻 t_3 において、 $V_p(n)$ がハイレベル V_{p2} (例えば 1.5V) になる。このとき制御容量 112 を介してノード B の電位が振り上げられる。図8(b)で説明したように、この動作によりノード B、浮遊拡散領域 110 はゼロバイアスリセット状態から、増幅トランジスタ 106 と電流源 150 で構成される画素ソースフォロワ回路のダイナミックレンジに入る読み出し状態に設定される。このとき n 行目の画素ソースフォロワ回路は動作状態となる。その他の行の画素ソースフォロワ回路は非動作状態となっている。つまり $V_p(n)$ をハイレベル V_{p2} (例えば 1.5V) に設定することで、 n 行目を選択する選択動作を行っている。

20

【0133】

時刻 t_4 において、駆動信号 $pTS(n)$ がハイレベルになり、時刻 t_5 においてローレベルになる。この間に、ノード B に蓄積された光信号と増幅トランジスタ 106 の閾値ばらつきを含む信号 S が、列回路 140 の容量 C_{TS} に保持される。

【0134】

時刻 t_7 において、リセット信号 $pRES(n)$ がハイレベルになり、時刻 t_8 においてローレベルになる。この間に、 $V_p(n)$ はハイレベル V_{p2} (例えば 1.5V) に維持されているので、ノード B と浮遊拡散領域 110 の信号電荷がリセットされる。

【0135】

その後、時刻 t_{10} において駆動信号 $pTN(n)$ がハイレベルになり、時刻 t_{11} においてローレベルになる。この間に、増幅トランジスタ 106 の閾値ばらつきを含む信号 N が、列回路 140 の容量 C_{TN} に保持される。

30

【0136】

時刻 t_{12} において、 $V_p(n)$ がローレベル V_{r1} (例えば 0V) になる。このとき制御容量 112 を介してノード B、浮遊拡散領域 110 の電位が振り下げられる。この動作によりノード B、浮遊拡散領域 110 はゼロバイアスリセット状態に設定され、増幅トランジスタ 106 と電流源 150 で構成される画素ソースフォロワ回路のダイナミックレンジから外れる。これにより n 行目の画素ソースフォロワ回路は非動作状態となり、非選択動作を実現することができる。

【0137】

$V_p(n)$ の電圧を V_{p1} 、 V_{p2} と制御する動作により、選択トランジスタ 107 の働きを代用できるので、選択トランジスタ 107、 $pSEL$ 信号線を省略することができる。画素面積をさらに低減することができる。

40

【0138】

<第4実施形態>

図9は第4実施形態における半導体装置APRの断面図を示している。第4実施形態は、浮遊拡散領域 110 とウェル領域 109 を有する半導体基板 200 の中に設けられた光電変換部 120 を備える。光電変換部 120 に入射した光に応じて、浮遊拡散領域 110 の電位が変化する点では第1~3実施形態と同様である。

【0139】

50

図9(a)の例では、光電変換部120は、P型の半導体領域であるウェル領域109と、N型の半導体領域であり、ウェル領域109とPN接合を成す電荷蓄積領域113とを含む。光電変換によって生成された電荷は、電荷蓄積領域113に蓄積され、転送信号TXによってオンとオフが制御される転送ゲート151を介して浮遊拡散領域110に転送される。浮遊拡散領域110に転送された電荷量と、浮遊拡散領域110とウェル領域109で構成されたPN接合の接合容量に応じた電位が浮遊拡散領域110に現れる。このように図9(a)の例では、転送ゲート151をゲート、電荷蓄積領域113をソース、浮遊拡散領域110をドレインとする転送トランジスタを半導体基板200が備える。

【0140】

図9(b)の例では、光電変換部120は、P型の半導体領域であるウェル領域109と、N型の半導体領域であり、ウェル領域109とPN接合を成す浮遊拡散領域110とを含む。浮遊拡散領域110は光電変換部120の光電変換領域を兼ねており、浮遊拡散領域110における光電変換によって生成された電荷は、浮遊拡散領域110に蓄積される。

【0141】

図9(a)、図9(b)の両方において、ウェル領域109とリセットトランジスタ108のソース(またはドレイン)が接続されている。そして、浮遊拡散領域110とリセットトランジスタ108のドレイン(またはソース)とが接続されている。リセットトランジスタ108のゲートに入力されたリセット信号pRESによってリセットトランジスタ108がオンになると、浮遊拡散領域110とウェル領域109にリセット電位Vresが供給され、ゼロバイアスリセットがなされる。図9(a)、図9(b)の両方において、ウェル領域109とリセットトランジスタ108との接続は、P型のウェル領域109よりも不純物濃度が高いP+型のコンタクト領域11を介して行われている。コンタクト領域11は、第1~3実施形態のコンタクト領域111と同様の機能や構造を有する。

【0142】

他の例として、電荷蓄積領域113と、転送ゲート151を有する半導体層(光電変換層)を、半導体層とは別の半導体基板に積層することもできる。この時、別の半導体基板には行駆動回路201や列回路140、列駆動回路141、増幅部203、AD変換部204等を設けることができる。リセットトランジスタ108や増幅トランジスタ106は、浮遊拡散領域110が設けられた半導体層に設けてもよいし、別の半導体基板に設けてもよい。

【0143】

<第5実施形態>

図10は、半導体装置APRを説明する模式図である。図10には、半導体装置APRを備える機器EQPを示している。半導体装置APRは、半導体基板200を含む半導体デバイスICのほかに、半導体デバイスICを実装するためのパッケージPKGを含む。パッケージPKGは、半導体デバイスICが固定された基体と、半導体デバイスICに対向するガラス等の蓋体と、基体に設けられた端子と半導体デバイスICに設けられた端子とを接続するボンディングワイヤや bumps等の接続部材と、を含みうる。上述した実施形態の半導体装置APRは光電変換装置である。半導体デバイスICは、画素回路PXCがマトリクス配列された画素領域PXとその周辺の周辺領域PRを有する。周辺領域PRには周辺回路を設けることができる。

【0144】

機器EQPは、光学系OPT、制御装置CTRL、処理装置PRCS、表示装置DSSL、記憶装置MMRY、機械装置MCHNの少なくともいずれかをさらに備え得る。光学系OPTは半導体装置APRに結像するものであり、例えばレンズやシャッター、ミラーである。制御装置CTRLは半導体装置APRを制御するものであり、例えばASICなどの光電変換装置である。処理装置PRCSは半導体装置APRから出力された信号を処理するものであり、AFE(アナログフロントエンド)あるいはDFE(デジタルフロントエンド)を構成するための、CPUやASICなどの光電変換装置である。表示装置DSSLは半導体装置APRで得られた情報(画像)を表示する、EL表示装置や液晶表示装

10

20

30

40

50

置である。記憶装置 M M R Y は、半導体装置 A P R で得られた情報（画像）を記憶する、磁気デバイスや半導体デバイスである。記憶装置 M M R Y は、S R A M や D R A M などの揮発性メモリ、あるいは、フラッシュメモリやハードディスクドライブなどの不揮発性メモリである。機械装置 M C H N はモーターやエンジン等の可動部あるいは推進部を有する。機器 E Q P では、半導体装置 A P R から出力された信号を表示装置 D S P L に表示したり、機器 E Q P が備える通信装置（不図示）によって外部に送信したりする。そのために、機器 E Q P は、半導体装置 A P R が有する記憶回路や演算回路とは別に、記憶装置 M M R Y や処理装置 P R C S を更に備えることが好ましい。機械装置 M C H N は、半導体装置 A P R から出力され信号に基づいて制御されてもよい。

【 0 1 4 5 】

図 1 0 に示した機器 E Q P は、撮影機能を有する情報端末（例えばスマートフォンやウェアラブル端末）やカメラ（例えばレンズ交換式カメラ、コンパクトカメラ、ビデオカメラ、監視カメラ）などの電子機器でありうる。カメラにおける機械装置 M C H N はズームングや合焦、シャッター動作のために光学系 O P T の部品を駆動することができる。また、機器 E Q P は、車両や船舶、飛行体などの輸送機器でありうる。輸送機器における機械装置 M C H N は移動装置として用いられうる。輸送機器としての機器 E Q P は、半導体装置 A P R を輸送するものや、撮影機能により運転（操縦）の補助および/または自動化を行うものに好適である。運転（操縦）の補助および/または自動化のための処理装置 P R C S は、半導体装置 A P R で得られた情報に基づいて移動装置としての機械装置 M C H N を操作するための処理を行うことができる。あるは、機器 E Q P は内視鏡や放射線診断機器などの医療機器や、測距センサなどの計測機器、電子顕微鏡のような分析機器であってもよい。

【 0 1 4 6 】

本実施形態による半導体装置 A P R を用いれば、半導体装置の高性能化が可能となる。そのため、半導体装置 A P R を機器 E Q P に搭載して機器 E Q P の外部の撮影や外部環境の測定を行う際に優れた画質や測定精度を得ることができる。また、機器 E Q P に搭載可能なように信頼性を高めることができる。よって、機器 E Q P の製造、販売を行う上で、本実施形態の半導体装置 A P R の機器 E Q P への搭載を決定することは、機器 E Q P の性能を高める上で有利である。

【 0 1 4 7 】

上述した実施形態では光電変換部 1 2 0 を用いて光を検知する半導体装置を例示したが、光に限らず、電磁波、放射線、機械量、熱、化学物質などを検出する様々なセンサに適用できる。

【符号の説明】

【 0 1 4 8 】

- 1 1 0 浮遊拡散領域
- 1 0 9 ウェル領域
- 1 1 1 コンタクト領域
- 1 0 6 増幅トランジスタ
- 1 0 8 リセットトランジスタ
- 1 3 0 出力信号線
- 1 7 0 電位供給部
- 1 3 2 電位供給線
- 1 8 0 電位供給部
- 1 1 2 制御容量

10

20

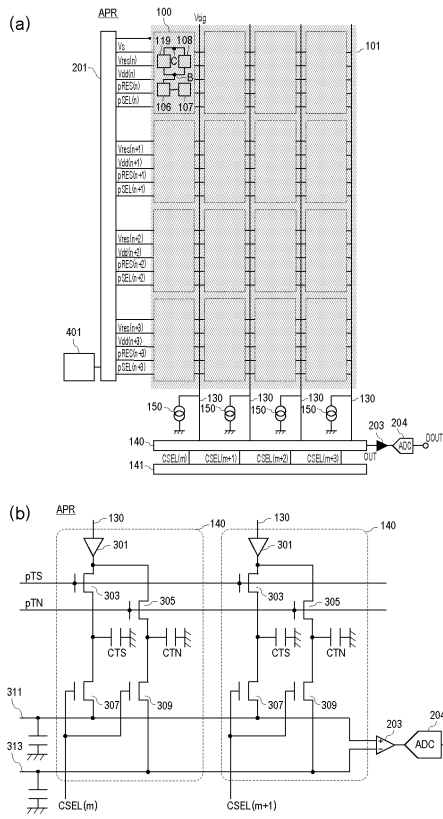
30

40

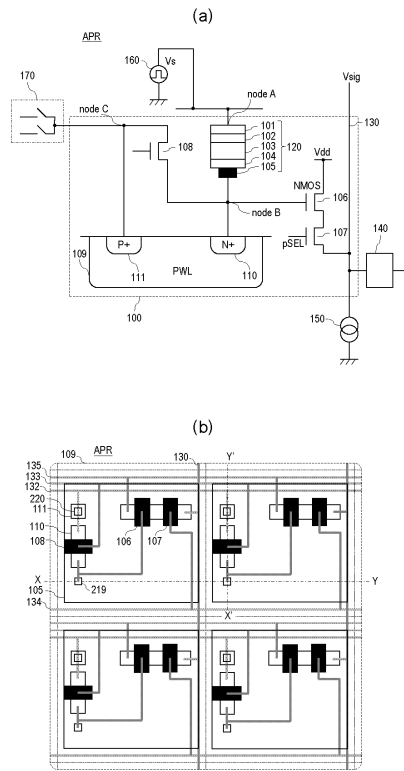
50

【 図 面 】

【 図 1 】



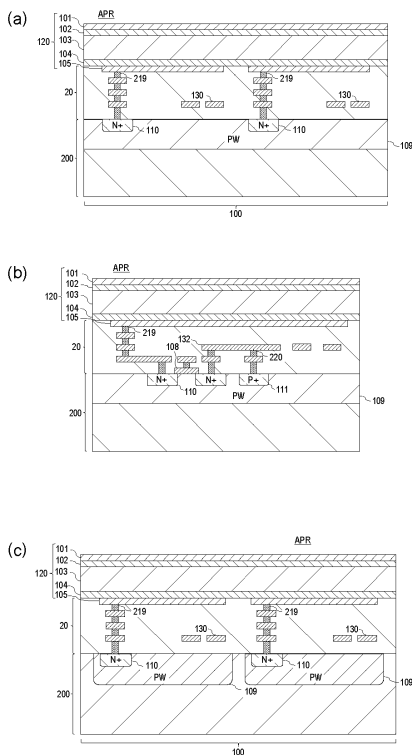
【 図 2 】



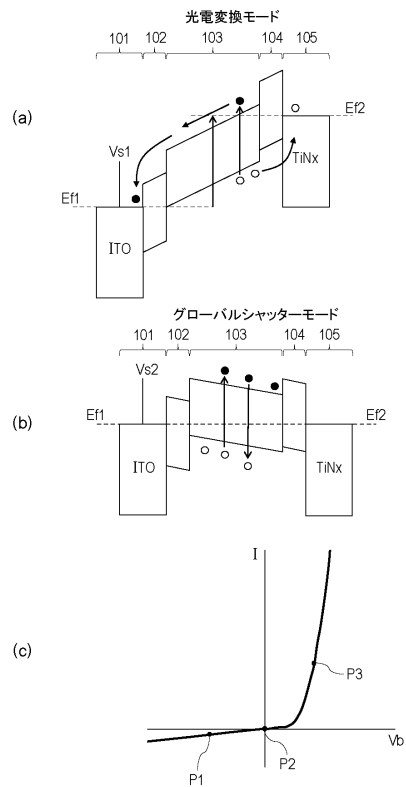
10

20

【 図 3 】



【 図 4 】

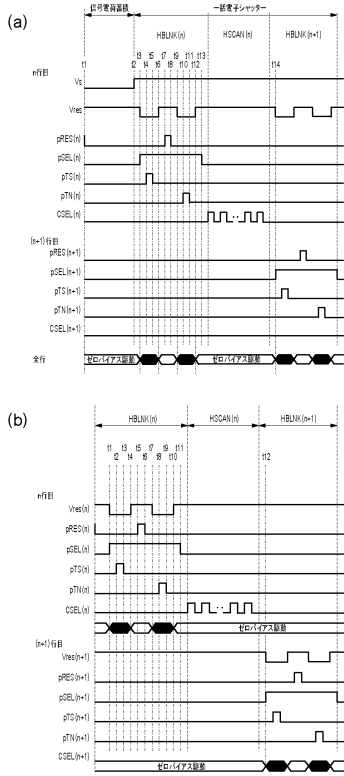


30

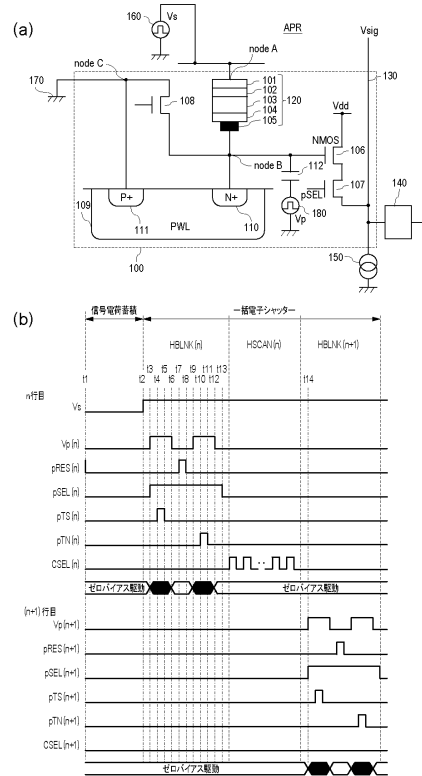
40

50

【図5】



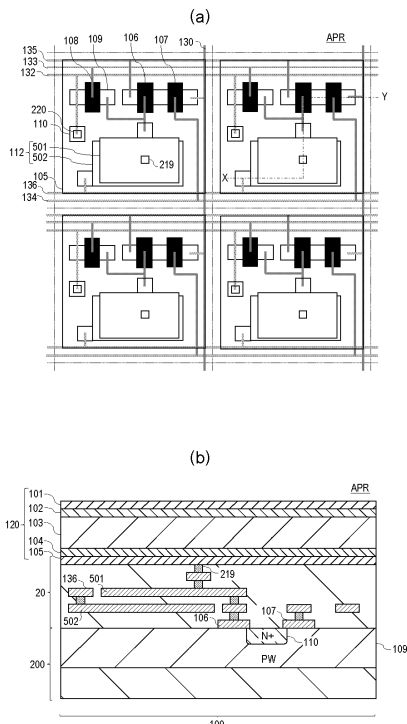
【図6】



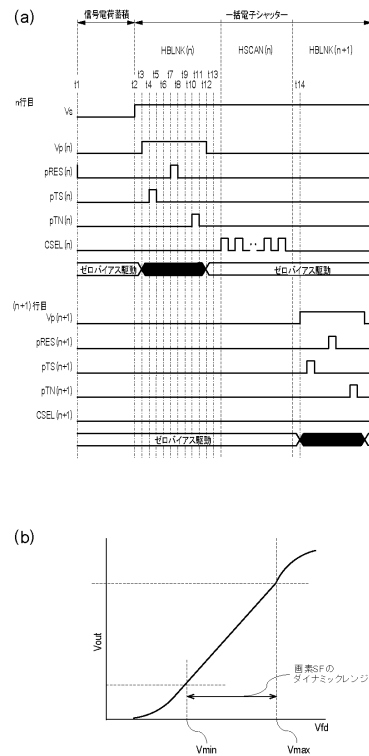
10

20

【図7】



【図8】



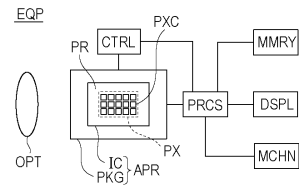
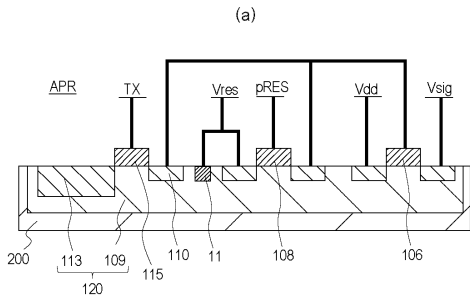
30

40

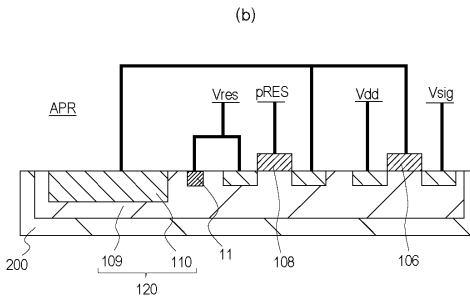
50

【 図 9 】

【 図 10 】



10



20

30

40

50

フロントページの続き

(56)参考文献 米国特許出願公開第2017/0359537 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H04N 5/225 - 5/378

H04N 9/00 - 9/11

H01L 27/146