



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월07일

(11) 등록번호 10-1480198

(24) 등록일자 2014년12월31일

(51) 국제특허분류(Int. Cl.)

H01L 21/306 (2006.01) H01L 21/28 (2006.01)

H01L 21/304 (2006.01)

(21) 출원번호 10-2008-7030079

(22) 출원일자(국제) 2007년06월09일

심사청구일자 2012년06월08일

(85) 번역문제출일자 2008년12월09일

(65) 공개번호 10-2009-0017581

(43) 공개일자 2009년02월18일

(86) 국제출원번호 PCT/US2007/070820

(87) 국제공개번호 WO 2007/146848

국제공개일자 2007년12월21일

(30) 우선권주장

11/760,722 2007년06월08일 미국(US)

60/804,425 2006년06월09일 미국(US)

(56) 선행기술조사문헌

US20060003570 A1*

US20040023453 A1*

US20050153073 A1*

JP2004190109 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

램 리써치 코퍼레이션

미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650

(72) 발명자

콜리치 어르투르

미국 94568 캘리포니아주 더블린 돌지 레인 10739

리 난하이

미국 95131 캘리포니아주 샌호세 버크메도우 레인 1530

(뒷면에 계속)

(74) 대리인

오세일

전체 청구항 수 : 총 26 항

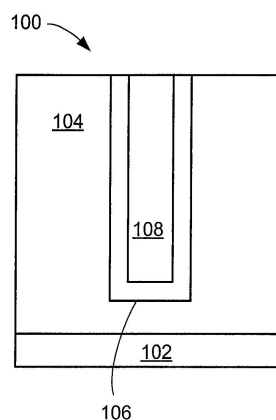
심사관 : 김종희

(54) 발명의 명칭 오염 및 표면 열화를 최소화하기 위한 중간 유전체의 표면 개질

(57) 요약

반도체 시스템은 유전체층 (104) 을 제공하는 단계; 유전체층 (104) 에서 도전체 (108) 를 제공하는 단계 (도전체 (108) 는 유전체층 (104) 의 상부에서 노출됨); 노출된 도전체 (108) 를 캡핑하는 단계; 및 낮은 pH 용액에 도전체 (108) 를 용해하고, 도전체 (108) 이온들 하에서 유전체층 (104) 을 용해하고, 기계적으로 개선된 세정, 또는 유전체층 (104) 에 소수성 층 (800) 을 화학흡수시킴으로써 유전체층 (104) 으로부터 도전체 (108) 이온들을 세정하는 단계를 포함하는 유전체층 (104) 의 표면을 개질하는 단계를 포함한다.

대표도 - 도2



(72) 발명자

폴리안스카야 마리나

미국 95037 캘리포니아주 모건 힐 커리 애비뉴 151

웨이즈 마크

미국 94536 캘리포니아주 프레몬트 노리스 로드
4023

코넬리 제이슨

미국 94088 캘리포니아주 써니베일 피오 박스
60129

특허청구의 범위

청구항 1

유전체층을 제공하는 단계;

상기 유전체층에, 상기 유전체층의 상부에서 노출된 도전체를 제공하는 단계;

상기 노출된 도전체를 금속성 캡 재료로 캡핑하는 단계;

도전체 이온들을 2 보다 더 낮은 pH 용액에 용해시키거나 상기 도전체 이온들 하에서 상기 유전체층을 용해시킴으로써 상기 유전체층으로부터 상기 도전체 이온들을 세정하는 단계; 및

상기 캡핑하는 단계 이전에 상기 유전체층에 소수성 층을 화학흡수시키는 단계를 포함하고,

상기 세정하는 단계는 상기 캡핑하는 단계 이후에 부식 억제제, 산소 스캐빈저(scavenger) 및 pH 조절제를 포함하는 스크립 용액을 사용하여 상기 유전체층으로부터 상기 도전체 이온들을 스크립하는 단계를 포함하고,

상기 스크립 용액의 pH는 1.5 내지 2.0 사이이고,

상기 부식 억제제의 농도는 100 내지 2000 ppm 사이이고, 상기 산소 스캐빈저의 농도는 1000 내지 5000 ppm 사이이고, 상기 pH 조절제의 농도는 5 내지 15 g/L 사이인, 인터커넥트 디바이스의 제작 방법.

청구항 2

제 1 항에 있어서,

상기 캡핑하는 단계 이전에 불활성 또는 진공 환경에서의 베이킹, 또는 뜨거운 불활성 가스에 의한 열처리하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 3

제 1 항에 있어서,

상기 캡핑하는 단계 후에 초임계 가스를 이용하여 임계점 건조하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 4

제 1 항에 있어서,

상기 캡핑하는 단계 후에 탈수제, 물 반응성 화학 물질, 또는 그 조합물을 이용하여 건조하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 5

제 1 항에 있어서,

상기 캡핑하는 단계 후에 플라즈마 세정, 초임계 가스 세정, 또는 그 조합을 수행하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 6

제 1 항에 있어서,

상기 유전체층으로부터 상기 도전체 이온들을 세정하는 단계는 착물화 (complexation) 에 의해 달성되는, 인터커넥트 디바이스의 제작 방법.

청구항 7

제 1 항에 있어서,

상기 유전체층으로부터 상기 도전체 이온들을 세정하는 단계는 상기 도전체의 전하 및 상기 유전체층의 표면 전하를 변경시키는 단계를 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 8

유전체층을 제공하는 단계;

상기 유전체층에, 상기 유전체층의 상부에서 노출된 도전체를 제공하는 단계;

상기 노출된 도전체를 금속성 캡 재료로 캡핑하는 단계; 및

상기 유전체층, 캡핑 층, 또는 그 조합물 상에 소수성 층을 생성하는 단계를 포함하고,

상기 소수성 층은 증착 용액 배쓰에서의 컴포넌트에 의해 상기 노출된 도전체를 캡핑하는 단계 동안 형성되는, 인터커넥트 디바이스의 제작 방법.

청구항 9

제 8 항에 있어서,

상기 캡핑하는 단계 이전에 불활성 또는 진공 환경에서의 베이킹, 또는 뜨거운 불활성 가스에 의한 열처리하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 10

제 8 항에 있어서,

상기 캡핑하는 단계 후에 초임계 가스를 이용하여 임계점 건조하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 11

제 8 항에 있어서,

상기 캡핑하는 단계 후에 탈수제, 물 반응성 화학 물질, 또는 그 조합물을 이용하여 건조하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 12

제 8 항에 있어서,

상기 캡핑하는 단계 후에 플라즈마 세정, 초임계 가스 세정, 또는 그 조합을 수행하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 13

제 8 항에 있어서,

착물화에 의해 상기 유전체층으로부터 상기 도전체 이온들을 세정하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 14

제 8 항에 있어서,

상기 도전체의 전하 및 상기 유전체의 표면 전하를 변경시킴으로써 상기 유전체층으로부터 도전체 이온들을 세정하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 15

인터커넥트 디바이스의 제작 방법으로서,

유전체층을 제공하는 단계;

상기 유전체층에, 상기 유전체층의 상부에서 노출된 도전체를 제공하는 단계;

상기 노출된 도전체를 금속성 캡 재료로 캡핑하는 단계;

상기 금속성 캡 재료를 형성한 직후에 소수성 층을 형성하는 단계; 및

상기 인터커넥트 디바이스의 표면으로부터 수분을 제거하는 단계를 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 16

제 15 항에 있어서,

상기 수분을 제거하는 단계는, 30℃ 내지 150℃의 온도에서 상기 캡핑하는 단계 이전에 불활성 또는 진공 환경에서의 베이킹, 또는 뜨거운 불활성 가스에 의한 열처리를 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 17

제 15 항에 있어서,

상기 수분을 제거하는 단계는, 상기 캡핑하는 단계 후에 이산화탄소를 이용한 임계점 건조를 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 18

제 15 항에 있어서,

상기 수분을 제거하는 단계는, 상기 캡핑하는 단계 후에 탈수 알코올, 물 반응성 디-tert-부틸 디카보네이트 또는 무수 아세트산, 또는 그 조합물로 건조하는 단계를 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 19

제 15 항에 있어서,

상기 캡핑하는 단계 후에 비반응성 가스 플라즈마 세정, 초임계 이산화탄소 세정, 또는 그 조합을 수행하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 20

제 15 항에 있어서,

HEDTA 또는 시안화물을 이용한 착물화에 의해 상기 유전체층으로부터 도전체 이온들을 세정하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 21

제 15 항에 있어서,

2 보다 더 낮은 pH 용액을 이용하여 상기 도전체의 전하 및 상기 유전체층의 표면 전하를 변경시킴으로써 상기 유전체층으로부터 도전체 이온들을 세정하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 22

제 15 항에 있어서,

2 보다 더 낮은 pH 용액에 상기 도전체를 용해시키고, 도전체 이온들 하에서 상기 유전체층을 용해시킴으로써 오염물질을 리프트-오프 (lift-off) 하고, 기계적 스크럽 세정하거나, 또는 그 조합에 의해 상기 유전체층으로부터 상기 도전체 이온들을 세정하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 23

제 15 항에 있어서,

상기 소수성 층을 형성하는 단계는, 상기 유전체층에 비-아민 (non-amine) 또는 비-티올 (non-thiol) 실란 소수성 층을 화학흡수시키는 단계를 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 24

제 15 항에 있어서,

상기 소수성 층을 형성하는 단계는, 상기 유전체층, 상기 캡핑 층, 또는 그 조합물 상에 실란, 시클릭 아자실란, 또는 포스포네이트 소수성 층을 생성하는 단계를 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 25

제 15 항에 있어서,

상기 소수성 층을 형성하는 단계는, 실란 증기, 또는 에틸 알코올, i-프로판올, 1-메틸-2-피롤리딘 또는 클로로포름, 알킬포스포네이트, 또는 알킬포스페이트를 포함하는 용매에 대한 노출에 의해 소수성 층을 상기 유전체층, 상기 캡핑 층, 또는 그 조합물 상에 생성하는 단계를 포함하는, 인터커넥트 디바이스의 제작 방법.

청구항 26

제 15 항에 있어서,

산소가 20 체적% 미만인 분위기에서 부식 억제제 또는 산소 스캐빈저(scavenger)를 이용하여 웨이퍼를 습윤 세정하는 단계를 더 포함하는, 인터커넥트 디바이스의 제작 방법.

명세서

[0001] **기술분야**

[0002] 본 발명은 일반적으로 반도체 시스템에 관한 것이고, 더 상세하게는 발달된 반도체 제조 시스템 및 디바이스 시스템에 관한 것이다.

[0003] **배경기술**

[0004] 반도체 디바이스는 핸드폰, 라디오, 및 텔레비전과 같은 제품에 광범위하게 이용된다. 반도체 디바이스는 절연 재료가 내장된 전도성 와이어에 의해 접속된 집적 회로를 포함한다.

[0005] 반도체 디바이스 사이즈의 감소 및 저 유전 상수 (low k) 층간 유전체 (ILD) 절연 재료의 이용으로 인해, 신뢰성 있는 반도체 디바이스를 획득하는 것이 점점 더 어려워졌다. 특히, 신뢰성 문제는 누설, 전하이동 (electromigration), 응력 이동 (stress migration), 파괴 전압, 및 시간 의존성 절연 파괴 (TDDB; time dependent dielectric breakdown) 등의 형태로 구리 (Cu) 와이어 및 로우-k ILD 재료의 계면에서 발생한다.

[0006] Cu 는 용이하게 실리콘 (Si) 으로 확산하고 유전체 재료의 열화를 야기한다. Cu 는 또한 산화 및 부식되기 쉽다. 따라서, 실리콘 질화물 (SiN) 또는 실리콘 탄화물 (SiC) 과 같은 재료의 캡핑 층은 패시베이션 층으로서 Cu 표면에 위치하여 Cu 산화 및 ILD 로의 Cu 마그네이션을 방지한다. 그러나, Cu/캡핑 층 계면은 여전히 Cu 와 캡핑 층 사이의 약한 접착성으로 인해 주요한 실패 경로 중 하나이다.

[0007] 유전체층은 제조 프로세스 (예를 들어, CoWP (cobalt tungsten phosphorous) 와 같이, 금속성 캡핑 층의 무전해 도금 또는 Cu CMP (chemical mechanical polishing)) 에서 표면 오염된 상태이다. 이들 오염물질은 특히 스트레스 (고온 및 전계) 하에서 차징되고 이동성이다. 이들 오염물질의 이동성은 높은 누설 전류를 야기하고, 이들이 계면을 따라 이동하는 경우에 유전체 재료에 손상을 야기할 수도 있다.

[0008] 로우 k 재료 (특히 다공성 로우 k 재료) 는 실리콘 산화물 (SiO₂) 유전체 재료보다 덜 밀집되어 있고, 더 약한 기계적 특성을 가지며; 즉, 화학 결합이 더 파괴되기 쉽다.

[0009] 습윤 화학 또는 산화 플라즈마 세정 공정에 의해 유도된 손상은 증가하는 탱글링 결합 밀도, 더욱 친수성인 실리콘 하이드록사이드 (Si-OH) 기로의 말단 실리콘-메틸 (Si-CH₃) 결합의 변형으로 명백해진다. 이러한 변형은 습윤 접촉각을 감소시키고, 수분 흡수를 더 높이고, k-값을 증가시키며, 누설 전류를 악화시킨다.

[0010] 둘러싸인 유전체 재료로의 Cu 이동을 방지하기 위해, Cu 가 배리어 층에 놓인다. 수분 빌드-업의 증가는 배리어/Cu 경계에서의 배리어 층과 Cu 의 산화를 촉진할 수 있다. 이러한 프로세스는 TDDB 수명을 감소시키는 것으로 알려져 있다.

[0011] 다공성 로우 k 유전체는 수분 흡수에 보다 더 민감하여서, 유전체 파괴 성능에 대한 관심이 증가하였다.

[0012] 요약하면, 디바이스 신뢰도에 영향을 미치는 팩터의 일부는 Cu/캡핑 층 계면의 성질, 유전체 재료의 표면 오염,

및 기계적 손상에 의해 야기되는 로우 k 유전체 열화, 소수성에서 친수성으로의 표면 개질, 및 수분 흡수이다.

[0013] 구리 인터커넥트에서 금속/금속 합금 캡핑 층을 적용함으로써 디바이스 신뢰도를 향상시키는 많은 시도가 있어 왔던 반면, 계면 신뢰도 문제에 대한 해결책이 오랫동안 모색되어 왔지만, 당업자들은 장기간 해결하지 못했다.

[0014] **발명의 개시**

[0015] 본 발명은, 반도체 시스템을 제공하는데, 이 반도체 시스템은, 유전체층을 제공하고; 유전체층에 도전체를 제공하고 (도전체는 유전체층의 상부에서 노출됨); 노출된 도전체를 캡핑하고; 및 유전체층의 표면을 개질하며, 여기서, 상기 유전체층의 표면을 개질하는 것은 낮은 pH 용액에 도전체를 용해하고, 도전체 이온들 하에서 유전체층을 용해하고, 기계적으로 개선된 세정, 또는 유전체층에 소수성 층을 화학흡수시킴으로써 유전체층로부터 도전체 이온들을 세정하는 것을 포함한다.

[0016] 본 발명의 일정 실시형태는 상기 언급한 실시형태에 추가하여 또는 이를 대신하여 다른 장점을 가진다. 장점은 첨부 도면을 참조하여 취하는 경우에 다음의 상세한 설명을 읽음으로써 당업자에게 명백하게 된다.

[0017] **도면의 간단한 설명**

[0018] 도 1 은 본 발명의 제 1 실시형태에 따른 CMP 단계 후의 반도체 인터커넥트의 상세도이다.

[0019] 도 2 는 본 발명의 제 1 실시형태에 따른 산화물 제거 단계 후의 반도체 인터커넥트의 상세도이다.

[0020] 도 3 은 본 발명의 제 1 실시형태에 따른 소수성 층 형성 단계 후의 반도체 인터커넥트의 상세도이다.

[0021] 도 4 는 본 발명의 제 1 실시형태에 따른 캡핑 단계 후의 반도체 인터커넥트의 상세도이다.

[0022] 도 5 는 본 발명의 제 2 실시형태에 따른 CMP 단계 후의 반도체 인터커넥트의 상세도이다.

[0023] 도 6 은 본 발명의 제 2 실시형태에 따른 산화물 제거 단계 후의 반도체 인터커넥트의 상세도이다.

[0024] 도 7 은 본 발명의 제 2 실시형태에 따른 캡핑 단계 후의 반도체 인터커넥트의 상세도이다.

[0025] 도 8 은 본 발명의 제 2 실시형태에 따른 증착 후 처리 (post deposition treatment) 단계 후의 반도체 인터커넥트의 상세도이다.

[0026] 도 9 는 본 발명의 일 실시형태를 실시하는데 이용되는 반도체 시스템을 도시한 것이다.

[0027] 도 10 은 본 발명의 다른 실시형태에 따른 반도체 시스템의 흐름도이다.

[0028] **상세한 설명**

[0029] 당업자가 본 발명을 생산 및 사용할 수 있도록 다음의 실시형태를 충분히 상세하게 설명한다. 본 명세서에 기초하여 다른 실시형태가 명백하고, 시스템, 프로세스, 또는 기계적 변경이 본 발명의 범위를 벗어나지 않고 이루어질 수도 있다는 것을 이해하여야 한다.

[0030] 다음의 기재에서, 다수의 상세한 설명이 발명의 완전한 이해를 제공하도록 주어진다. 그러나, 본 발명은 이들 상세한 설명 없이 실시될 수도 있다는 것이 명백하다. 본 발명을 불명확하게 하는 것을 피하기 위해, 일부 공지된 회로, 시스템 구성, 및 프로세스 단계는 상세히 개시되지 않는다.

[0031] 마찬가지로, 시스템의 실시형태를 도시한 도면은 반(semi)-도식적이고 비율적이지 않으며, 특히, 치수의 일부는 표시의 명확화를 위한 것이고 도면에서는 심하게 과장되게 도시된다.

[0032] 또한, 다수의 실시형태가 공통된 일부 특징을 갖는 것으로 개시 및 설명되는 경우, 그 도시, 설명 및 이해의 명확화 및 용이함을 위해, 유사하거나 동일한 특징은 보통 동일한 참조부호로 설명한다. 실시형태는 설명의 편의상 제 1 실시형태, 제 2 실시형태 등으로 번호를 매기고, 임의의 다른 의미를 갖거나 본 발명에 제한을 제공하려는 의도가 아니다.

[0033] 해설 목적으로, 여기서 사용되는 용어 "수평"은 방향과 무관하게 집적 회로의 평면 또는 표면에 평행한 평면으로 정의된다. 용어 "수직"은 방금 정의한 수평과 수직인 방향을 지칭한다. "위(above)", "아래(below)", "하부", "상부", ("측벽"에서와 같은) "측", "더 높은", "더 낮은", "상위(upper)", "바로 위(over)", 및 "바로 아래(under)"와 같은 용어는 수평 평면에 대해 정의된다. 용어 "상(on)"은 엘리먼트들 사이에 직접적인 접촉이 있다는 것을 의미한다.

[0034] 여기서 사용되는 용어 "프로세싱"은 재료의 증착, 패터닝, 노출, 현상, 에칭, 세정, 몰딩, 및/또는 재료의 제거

를 포함하거나, 설명된 구조를 형성하는데 필요한 바대로 포함한다.

- [0035] 여기서 사용된 용어 "시스템"은 용어가 사용되는 내용에 따라 본 발명의 방법 및 장치를 의미 및 지칭한다.
- [0036] 본 발명은 누설 전류를 더 높이고, 전압 파괴를 더 낮추며, 시간 대 유전 파괴를 더 저하시키는 표면 열화 및 ILD 오염을 최소화 또는 제거함으로써 유전체-유도된 신뢰도 문제를 고치는 것에 관한 것이다.
- [0037] Cu 인터커넥트 상에 캡핑 층을 형성하는 프로세스 흐름은 일반적으로 수개의 단계들로 이루어져 있고, 이 단계들은 다음을 포함할 수도 있다.
- [0038] • 구리 산화물 및 강력하게 결합된 유기 화합물이 없는 표면을 성립하기 위해 구리 표면을 세정하는 단계; 동일한 프로세스 단계는 또한 유전체 표면으로부터 오염물질을 제거하기 위한 역할을 함;
- [0039] • 웨이퍼 표면으로부터 세정 화학 물질을 린스제거하는 단계;
- [0040] • 구리 피처 상에 금속/금속 합금 캡을 선택적 증착하는 단계;
- [0041] • 증착-유도된 ILD 오염을 최소화하고 및/또는 필름의 내부식성을 증진시키기 위해 금속/금속 합금 캡 및/또는 ILD 을 후처리하는 단계;
- [0042] • 탈이온수로 웨이퍼 표면을 린스하는 단계; 및/또는
- [0043] • 웨이퍼를 건조하는 단계.
- [0044] 본 발명의 실시형태들은 일반적으로 주어진 포인트에서 프로세스 단계를 상술한 프로세스 흐름에 추가한다.
- [0045] 1. Cu 구조물 상에 금속/금속 합금 캡을 형성한 후에 상이한 건조 방법에 의해 수분 제거.
- [0046] 구리 인터커넥트 상에 캡핑 층(들)을 선택적으로 증착한 직후에 이용되는 스핀 린스/건조 기술은 수분을 완전히 제거할 수 없다. 다음 프로세스 중 하나로 수분의 상당한 감소가 달성될 수 있다.
- [0047] a. 캡핑 층 증착 후의 열처리
- [0048] i. 불활성 (N₂ 등) 환경 또는 진공 환경에서 베이킹 또는
- [0049] ii. 뜨거운 불활성 가스로 건조;
- [0050] 상기 둘 다는 약 30℃ 내지 약 150℃의 온도에서 수행된다.
- [0051] b. 금속 캡 층 증착 후에 수행되는, 초임계 CO₂ 를 이용한 임계점 건조 (임계점 건조는 기체 및 액체 당량의 밀도를 유지하면서 기체-액체 계면을 피하기 위해서 미임계 유체에서 초임계 유체로 취해진 용액을 이용한다);
- [0052] c. 금속 캡 층 증착 후에 수행되는, 탈수 알코올과 같은, 그러나 이에 제한되지 않는 탈수제(들)로 건조; 또는
- [0053] d. 디-tert-부틸 디카보네이트, 무수 아세트산 등과 같은, 그러나 이에 제한되지 않는 물 반응성 화학 물질로 건조. 물과 이들 화합물의 반응은 식 1 및 식 2 에 의해 간략히 설명된다.
- [0054] $(CH_3)_3COCOCOCOC(CH_3)_3 + H_2O = 2CO_2 + 2(CH_3)_3COH$
- [0055] 무수 아세트산의 경우
- [0056] $CH_3COOCOCH_3 + H_2O = 2CH_3COOH$
- [0057] 이들 개시 화학 물질의 추가 장점은 그 반응 생성물이 기체 화합물 또는 휘발성 화합물 중 하나라는 것이다.
- [0058] 이 프로세스는 전체 금속 캡 층 증착 프로세스 시퀀스의 최종 건조 부분에서 구현된다. 더 상세하게는, 금속/금속 합금 캡 증착 프로세스 후에, 단순 화학 린스 또는 스크럽과 조합된 화학 린스, 이후 다시 DI 내의 화학 물질을 이용하거나 또는 이용하지 않는 린스에 의해 웨이퍼를 일반적으로 후세정한 후, 웨이퍼를 스핀-건조하여 부착되지 않은 물을 제거한다. 이 단계 후에 물 반응성 화학 물질이 웨이퍼에 도입된다. 전체 웨이퍼 표면 상에 물 반응성 액체를 분산시킨 후에 그리고 적절한 반응 시간 후에 웨이퍼를 스핀-건조하고 프로세

스를 종료한다. 물 반응성 액체의 반응은 실온 또는 상승 온도에서 수행되어 반응 시간 및 반응 수율을 변경시킬 수 있다.

이들 프로세스는 프로세스 흐름에서 가장 최종 단계, 즉, 건조로서 적용된다.

2. 하기에 의해 Cu 구조물 상에 금속 또는 금속 합금 캡을 형성한 직후의 표면 오염 제거:

a. 프로세스 흐름에서 건조 단계 후에 도입된 플라즈마 (예를 들어, Ar, N₂, NH₃, H₂, ...) 세정에 의함;

b. 프로세스 시퀀스에서 최종 단계로서 초임계 CO₂ 건조;

c. 이하를 통해 유전체 표면으로부터 금속 이온을 제거에 의함;

i. 착물화 (히드록시에틸에틸렌디아민테트라아세트산 (HEDTA), 시안화물 등과 같은 화학 물질을 이용하여 발열 프로세스에서 결합을 형성) 또는

ii. ILD 표면 상의 금속 화합물의 전하뿐만 아니라 ILD의 표면 전하를 전환하는 것 (즉, 낮은 pH 용액 (pH < 2))은 표면뿐만 아니라 금속 화합물이 양으로 차징되게 하며; 후자는 금속 이온에 부착된 화합물에 양자를 가함으로써 금속 화합물/착화합물을 분해함으로써 달성된다;

d. ILD 상에 형성되면 금속을 낮은 pH 용액에 용해;

e. ILD를 용해함으로써 오염물질을 리프트-오프 (lift-off);

f. 상기의 조합; 또는

g. 기계적으로 개선된 세정 (예를 들어, 스크립)과 상기 중 임의의 것의 조합.

일 실시형태에서, 습윤 세정 포물레이션은 또한 캡핑 층으로부터의 금속/금속 합금 제거를 최소화하기 위해 부식 억제제 및/또는 산소 스캐빈저 (scavenger)를 함유하여야 한다. 다른 실시형태에서, 습윤 세정 프로세스는 산소 부족 분위기 (O₂ < 20 체적%)에서 수행된다.

프로세스 c, d, 및 e는 캡핑 프로세스의 후처리 단계에 포함된다.

3. 소수성 층(들)에 의한 표면 개질. Cu 구조물 상에 금속 또는 금속 합금 캡의 형성 직전 (ILD에 대해) 또는 직후 (ILD, 금속 캡, 또는 둘 다에 대해). 이 소수성 층은 금속/금속 합금 캡 상에서, 유전체에 선택적으로 화학흡착하거나 또는 (CoWP, CoWB 등과 같은) 금속성 캡핑 층과 유전체 표면 모두를 커버할 수 있다.

이러한 소수성 층들은, 소수성 기 또는 장쇄 알킬 또는 아릴 등의 기들에 부착된 다른 무기 음이온 또는 기관에 다른 기능성을 통해 실란을 결합시킨 후에 표면 상에 보유된 적어도 하나의 무극성 기를 함유한 실란을 이용하여 (그러나 이에 제한되지 않음) 형성될 수 있다. 실란 상의 반응성 관능기는 Si-OR, Si-X 또는 Si-NH-Si (여기서 R은 알킬 또는 아릴기이고 X는 할로젠이다)일 수 있지만 이에 제한되지 않는다.

상기 분류에 직접 들어가지 않지만 소수성 층의 형성에 이용될 수 있는 실란의 또 다른 기는 시클릭 아자실란이다.

비실란 화합물의 몇몇 실시예는 알킬 포스페이트 또는 포스포네이트이다. 표면 반응성 관능기는 캡핑 프로세스 중에 그리고 그 이후에 표면 상에 보유될 정도로 충분히 강력하게 표면에 결합되어야 한다.

캡핑 프로세스 전에 (즉, Cu 구조물 상에 금속 또는 금속 합금 캡의 형성 전에) 이용되는 경우, ILD뿐만 아니라 내장된 Cu 구조물 둘 다를 세정하여야 한다. 세정은 바람직하게는 Cu 구조물 상의 실란 층 형성을 피하기 위해 구리 구조물로부터 구리 산화물을 제거하여야 한다. 산화물이 없는 구리에 대한 실란 부착이 약하기 때문에 (실란 화합물이 강력하게 결합된 기, 예를 들어, 아민, 티올 등을 함유하지 않으면), 실란 층 형성은 유전체 영역으로 한정된다.

이 프로세스는 소수성 층을 생성하여서, 물에서 프로토네이션/디프로토네이션 (protonation/deprotonation) 반응 또는 수소 결합을 하는 임의의 관능기의 사용이 추천되지 않는다. 물에 민감하지 않은 기능성은 바람직하게 알킬, 아릴, 또는 그 유도체이며, 여기서 하나 이상의 (또는 궁극적으로 모든) 수소 원자는 불소, 염소,

브롬, 요오드와 같은 할로겐 원자로 교환되며, 불소가 가장 바람직하다.

[0078] 가장 수분에 민감한 실란 또는 가수분해에 덜 민감한 실란에 대한 수용액뿐만 아니라 알킬포스포네이트 및 알킬 포스페이트를 함유한, (휘발성 실란에 대해) 실란 증기 또는 용매, 예를 들어, 에틸 알코올, i-프로판올, 1-메틸-2-피롤리디논 또는 클로로포름 (그러나 이에 제한되지 않음) 에 기판을 노출시킴으로써 층을 형성할 수 있다. 그러나, 후자의 화합물, 예를 들어, 가수분해에 덜 민감한 실란뿐만 아니라 알킬포스포네이트 및 알킬포스페이트는 또한 비수용액에 적용될 수도 있다.

[0079] 또한, 필요하다면 임의의 용매를 이용하지 않고 실란 화합물에 직접 기판을 노출시킬 수 있다. 바람직하게 노출은 실온에서 수행되지만 보다 높거나 보다 낮은 온도가 또한 층의 두께 및 가교를 제어하는데 이용될 수 있다. 표 1 은 상이한 유형의 유전체에 대한 실란 처리로 획득된 결과를 나타낸다.

표 1

기판	접촉각 (°)		
	프로세스 없음	전체 프로세스	소수성 층/전체 프로세스
SiO ₂	21	<9	96
블랙 다이아몬드	39	16	92

[0081] 상술한 프로세스로부터 형성된 소수성 층은 또한 프로세스후 수분 흡수에 대한 배리어의 역할을 한다. 저장 동안의 인스턴스에 대한 이러한 수분 흡수는 캡핑 층의 산화 및 부식을 유도하여, 궁극적으로 ILD 오염을 더 높게 하고 결과적으로 누설 전류를 높이며, 전압 파괴를 불량하게 하고, TDDB 성능을 감소시킨다. 또한, 확산에 대한 캡핑 층의 배리어 성능은 부식에 의해 나쁜 영향을 미친다.

[0082] 상기에서 개괄한 소수성 층은 실제 캡핑 층 증착 전에, 캡핑 층 형성 (후술) 직후 또는 후처리의 일부로서 형성될 수 있다.

[0083] 4. 증착 용액 배스로 컴포넌트를 형성하는 소수성 층을 포함하는 표면 개질.

[0084] 상기 언급한 방법의 임의의 조합은 실용적이다. 실시예로서 Cu 인터커넥트에 제한되지 않는 Cu 인터커넥트로 적용하여 설명한다.

실시예 1

[0086] 패터닝된 웨이퍼를 세정 용액에 노출시켜, 표면으로부터 구리 산화물을 제거한 다음, 린싱 및 건조한다. 계속해서, 웨이퍼를 실온에서 300 초 동안 톨루엔 트리메톡시 실란 증기에 노출시킨 후, i-프로판올 및 DI 린스를 수행한다. 이들 단계 후에, 웨이퍼는 추가 세정 단계(들)을 받거나, 또는 필요하다면 후세정이 뒤따르는 무전해 증착처리된 후, 린스 및 건조된다. 이러한 방법으로 획득된 표면은 전체 증착 프로세스 후에도 강한 소수성을 유지한다. 대부분의 경우에, 표면의 접촉각은 프로세싱되지 않은 웨이퍼보다 실란 처리한 전체 프로세스 이후에 더 높다. 실란 처리가 없으면, 접촉각은 프로세싱되지 않은 웨이퍼의 접촉각보다 상당히 더 작다. 이러한 기술은 실리콘 산화물 또는 블랙 다이아몬드와 같은 유전체 재료를 포함한 다른 실리콘 산화물에 대해서도 유효하다.

[0087] 이제 도 1 을 참조하면, 본 발명의 제 1 실시형태에 따른 CMP 단계 후의 반도체 인터커넥트 (100) 의 상세한 도면이 도시된다.

[0088] 반도체 웨이퍼 (102) 는 실리콘, 갈륨 비화물, 다이아몬드 등과 같은 재료로 이루어질 수도 있다. 반도체 웨이퍼 (102) 는 프로세싱되어 반도체 소자, 예를 들어, 트랜지스터를 그 내부에 그리고 그 위에 형성하였다.

[0089] 유전체층 (104), 예를 들어, ILD 는 반도체 웨이퍼 (102) 상에 증착되었다. 유전체층 (104) 은 유전율이 4.2 내지 3.9 인 실리콘 산화물 (SiO_x), 테트라에톡시실란 (TEOS), 보로포스포실리케이트 (BPSG) 유리 등과 같은 유전체 재료 또는 유전율이 3.9 미만인 플루오르화 테트라에톡시실란 (FTEOS), 수소 실세스퀴옥산 (HSQ), 벤조시클로부텐 (BCB) 등과 같은 저유전율 유전체 재료로 된다. 초저유전 상수 유전체 재료는 2.5 미만인 유전율을 가진 유전체 재료이다. 이러한 재료의 예는 상용 테플론, 테플론-AF, 테플론 마이크로에멀전, 폴리이미드 나노폼, 실리카 에어로젤, 실리카 크세로젤, 및 메소포러스 실리카를 포함한다.

- [0090] 유전체층 (104) 은 프로세싱되어 그 내부에 형성된 채널 또는 비아를 가지며, 이는 배리어 층 (106) 과 일렬로 된다. 배리어 층 (106) 은 탄탈 (Ta), 탄탈 질화물 (TaN), 티타늄 (Ti), 텅스텐 (W), 그 합금, 및 그 화합물과 같은 재료로 이루어진다.
- [0091] 배리어 층 (106) 은 구리 (Cu), 알루미늄 (Al), 금 (Au), 은 (Ag), 그 합금, 및 그 화합물과 같은 도전체 (108) 로 채워진다.
- [0092] 반도체 인터커넥트 (100) 는 CMP 처리되었고, 도전체 (108) 는 산화되어 산화물 층 (110) 을 형성하였다. 도전체 (108) 가 구리인 일 실시형태에서, 산화물 층 (110) 은 구리 산화물이다.
- [0093] 이제 도 2 를 참조하면, 본 발명의 제 1 실시형태에 따른 산화물 제거 단계 후의 반도체 인터커넥트 (100) 의 상세도가 도시된다.
- [0094] 산화물 제거 단계는 도 1 의 산화물 층 (110) 을 제거한다.
- [0095] 이제 도 3 을 참조하면, 본 발명의 제 1 실시형태에 따른 소수성 층 형성 단계 후의 반도체 인터커넥트 (100) 의 상세도가 도시된다.
- [0096] 일 실시형태에서의 소수성 층 (300) 은 실란 층일 수 있다. 소수성 층 (300) 의 성질로 인해, 배리어 층 (106) 또는 도전체 (108) 상에 형성되지 않지만 표면 반응성 관능기를 가져서 유전체층 (104) 에 강력하게 결합되어 추가 프로세싱 동안에 유지된다.
- [0097] 이제 도 4 를 참조하면, 본 발명의 제 1 실시형태에 따른 캡핑 단계 후의 반도체 인터커넥트 (100) 의 상세도가 도시된다.
- [0098] 캡핑 층 (400) 은 이후 배리어 층 (106) 및 도전체 (108) 상에 증착된다. 캡핑 층 (400) 은 무전해 증착에 의해 증착되는 코발트 (Co) 또는 코발트 텅스텐 인화물 (CoWP), 코발트 텅스텐 붕소화물 (CoWB), 코발트 텅스텐 인화 붕소화물 (CoWPB) 등과 같은 금속 또는 금속 화합물일 수 있다.

[0099] **실시예 2**

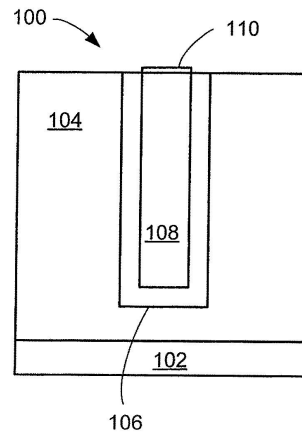
- [0100] 캡핑 층을 증착하고 웨이퍼 표면을 린스하여 증착 용액을 제거한 후에, 웨이퍼는 스크립처리되어 표면으로부터 오염물질을 제거한다. 스크립 용액은 부식 억제제 (즉, 톨루올 트리아졸, 벤조트리아졸과 같은 트리아졸 화합물), 산소 스캐빈저 (즉, L-아스코르브산), 및 착화제를 함유하며, 이들은 또한 세정 용액의 pH 조절제의 역할도 한다. 하나의 이러한 pH 조절제는 옥살산이다. 이 용액의 pH 는 1.5 내지 2.0 사이이다. 억제제의 농도는 0.1 내지 10000 ppm 사이이고, 가장 바람직하게는 100 내지 2000 ppm 사이이다. 산소 스캐빈저 농도는 0 내지 10000 ppm 사이이고, 가장 바람직하게는 1000 내지 5000 ppm 사이이다. 옥살산 농도는 2 내지 50 g/L 사이이고, 가장 바람직하게는 5 내지 15 g/L 사이이다.
- [0101] 본 발명의 실시형태들에 따른 방법의 단계는 다음과 같다:
- [0102] 1. Cu 구조물 상에 금속 또는 금속 합금 캡을 형성한 후의 상이한 건조 방법에 의한 수분 제거:
- [0103] a. Cu CMP 와 캡핑 층 증착 사이의 열처리:
- [0104] i. 불활성 (N_2 , Ar 등) 환경 또는 진공 환경에서의 베이킹 또는
- [0105] ii. 뜨거운 불활성 가스로 건조;
- [0106] b. 초임계 CO_2 로 임계점 건조;
- [0107] c. 탈수 알코올과 같은 그러나 이에 제한되지 않는 탈수제(들)로 건조; 또는
- [0108] d. 물 반응성 화학 물질로 건조.
- [0109] 2. Cu 구조물 상에 금속 또는 금속 합금 캡을 형성한 후의 표면 오염 제거
- [0110] a. 플라즈마 (예를 들어, Ar, N_2 , NH_3 , H_2 ...) 표면 세정에 의함;
- [0111] b. 초임계 CO_2 표면 세정;

- [0112] c. 이하를 통해 유전체 표면으로부터 금속 이온을 제거함에 의함;
- [0113] i. 착물화 (예를 들어, HEDTA, 시안화물) 또는
- [0114] ii. ILD 표면 상의 금속 화합물의 전하뿐만 아니라 ILD 의 표면 전하를 전환;
- [0115] d. 낮은 pH 용액에 금속을 용해;
- [0116] e. ILD 를 용해함으로써 오염물질을 리프트-오프;
- [0117] f. 상기의 조합; 또는
- [0118] g. 기계적으로 개선된 세정 (예를 들어, 스크립) 과 상기 중 임의의 것의 조합.
- [0119] 3. 소수성 층(들)을 생성함으로써 표면 개질. 다관능기 실란(들) (여기서 관능기의 적어도 하나는 무극성이고 소수성 층 형성 프로세스 동안 그리고 그 후에 그대로 유지되며, 다른 기 또는 기들은 기관과 반응하고 실란을 표면에 결합시킨다), 또는 소수성 기능성으로 이루어진 임의의 하이브리드 화합물 및 캡핑 프로세스 도중 그리고 그 이후에 표면에 유지될 정도로 충분히 강력하게 표면에 결합되는 적어도 하나의 무기산기를 이용하여, Cu 구조물 상에 금속 또는 금속 합금 캡의 형성하기 이전 (ILD 에 대해) 또는 이후 (ILD, 금속 캡, 또는 둘 다에 대해).
- [0120] 4. 증착 용액 배스로 컴포넌트를 형성하는 소수성 층을 포함함으로써 표면 개질.
- [0121] 상기 언급한 방법의 임의의 조합은 본 발명의 실시형태의 일부이다. 출원은 실시예로서 Cu 인터커넥트를 이용하여 논의하였지만 Cu 인터커넥트에 제한되지 않는다.
- [0122] 이제 도 5 를 참조하면, 본 발명의 제 2 실시형태에 따른 CMP 단계 후의 반도체 인터커넥트 (100) 의 상세도가 도시된다. 구조는 도 1 과 동일하다.
- [0123] 이제 도 6 을 참조하면, 본 발명의 제 2 실시형태에 따른 산화물 제거 단계 후의 반도체 인터커넥트 (100) 의 상세도가 도시된다. 구조는 도 2 와 동일하다.
- [0124] 이제 도 7 을 참조하면, 본 발명의 제 2 실시형태에 따른 캡핑 단계 후의 반도체 인터커넥트 (100) 의 상세도가 도시된다.
- [0125] 캡핑 층 (700) 은 이후 배리어 층 (106) 및 도전체 (108) 상에 증착된다. 캡핑 층 (700) 은 무전해 증착에 의해 증착되는 코발트 (Co) 또는 코발트 텅스텐 인화물 (CoWP) 과 같은 금속 또는 금속 화합물일 수 있다.
- [0126] 이제 도 8 을 참조하면, 본 발명의 제 2 실시형태에 따른 증착 후 처리 단계 후의 반도체 인터커넥트 (100) 의 상세도가 도시된다.
- [0127] 일 실시형태에서의 소수성 층 (800) 은 실란 층일 수 있다. 소수성 층 (800) 은 캡핑 층 (700) 바로 위에 형성되고 표면 반응성 관능기를 가져서 유전체층 (104) 에 강력하게 결합되어 추가 프로세싱 동안에 유지된다.
- [0128] 이제 도 9 를 참조하면, 본 발명의 실시형태를 실시하는데 이용되는 반도체 시스템 (900) 이 도시된다.
- [0129] 반도체 시스템 (900) 은 실시예로서 표면 조제, 개시, 옵션 린스, 증착, 및 증착 후 처리를 포함하는 다중 단계 프로세스를 수행할 수 있다. 반도체 시스템 (900) 은 웨이퍼 프로세싱 챔버와 관련 시스템 (902) 및 디스펜싱 (dispensing) 과 관련 시스템 (904) 을 포함한다.
- [0130] 이제 도 10 을 참조하면, 본 발명의 다른 실시형태에 따른 반도체 시스템 (1000) 의 흐름도가 도시된다. 반도체 시스템은, 블록 1002 에서 유전체층을 제공하는 단계; 블록 1004 에서 유전체층에 도전체를 제공하는 단계 (도전체는 유전체층의 상부에서 노출됨); 블록 1006 에서 노출된 도전체를 캡핑하는 단계; 및 블록 1008 에서 유전체층의 표면을 개질하는 단계 (여기서 표면을 개질하는 단계는 낮은 pH 용액에 상기 도전체를 용해하고, 상기 도전체 이온들 하에서 상기 유전체층을 용해하고, 기계적으로 개선된 세정, 또는 상기 유전체층에 소수성 층을 화학흡수시킴으로써 상기 유전체층로부터 도전체 이온들을 세정하는 단계를 포함) 를 포함한다.
- [0131] 도전체의 추가 층 및 유전체층을 빌드-업하기 위한 유사한 종류의 추가 프로세싱 후에, 웨이퍼는 개별 반도체 칩으로 단일화되고, 집적 회로 패키지로 패키징화된다.
- [0132] 본 발명은 특정의 최상 모드와 관련하여 설명하였지만, 많은 변경, 변형, 및 변화가 기술한 설명의 관점에서 당업자에게 명백하다는 것을 이해하여야 한다. 따라서, 포함된 청구범위의 범위 내의 이러한 변경, 변형, 및

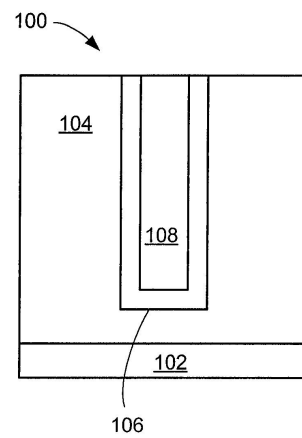
변화를 포괄하도록 의도된다. 첨부 도면에 도시 또는 여기에 지금까지 개시된 모든 것은 예시적이며 제한할 의도가 아닌 것으로 해석되어야 한다.

도면

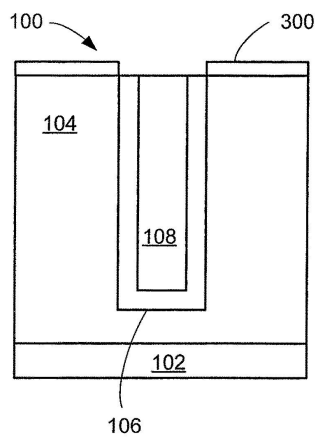
도면1



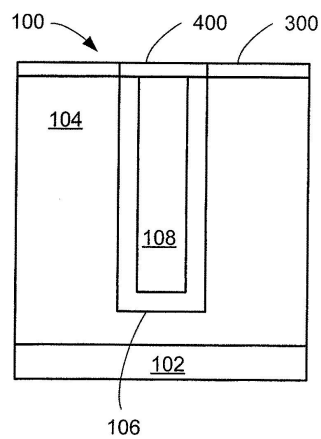
도면2



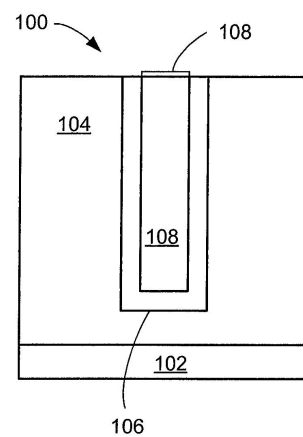
도면3



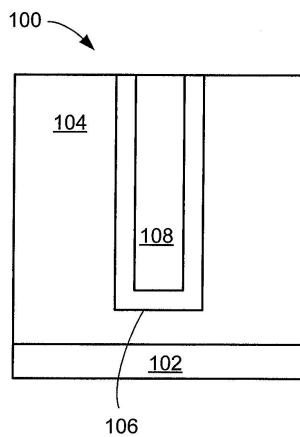
도면4



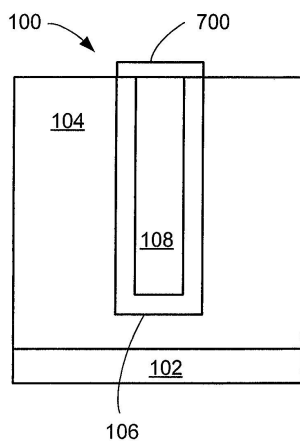
도면5



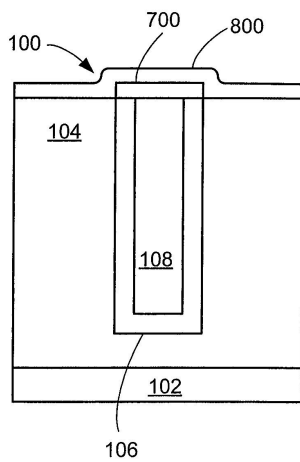
도면6



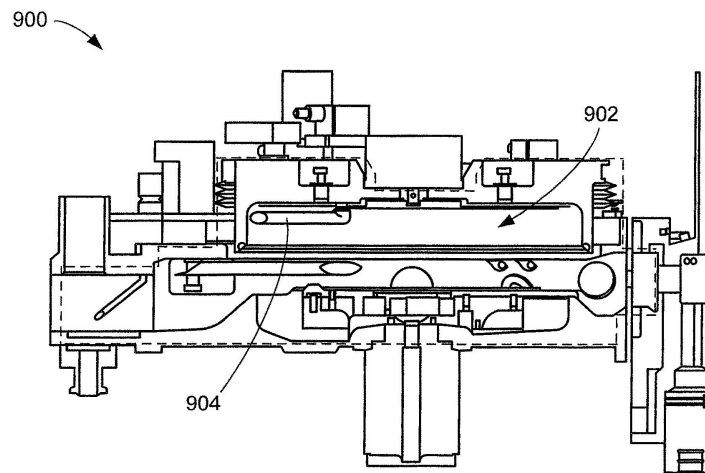
도면7



도면8



도면9



도면10

