

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成28年10月6日 (2016.10.6)

【公表番号】特表2015-529356(P2015-529356A)
 【公表日】平成27年10月5日 (2015.10.5)
 【年通号数】公開・登録公報2015-062
 【出願番号】特願2015-527632(P2015-527632)
 【国際特許分類】

G 0 6 F 12/08 (2016.01)

【 F I 】

G 0 6 F 12/08 5 0 5 B

G 0 6 F 12/08 5 4 3 B

G 0 6 F 12/08 5 0 9 B

【手続補正書】
 【提出日】平成28年8月15日 (2016.8.15)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

第 1 のキャッシュに関連付けられた第 1 のプリフェッチャで、前記第 1 のプリフェッチャによって決定されるメモリアドレスのシーケンス内のいくつかの数のメモリアドレスからデータをプリフェッチするための要求を発行するのをバイパスすることであって、前記数は、第 2 のキャッシュに関連付けられた第 2 のプリフェッチャから受け取った要求に示されており、前記第 2 のプリフェッチャで未決のプリフェッチ要求の数に基づいている、ことと、

前記バイパスされたメモリアドレスの後のメモリアドレスからデータをプリフェッチするための要求を、前記第 1 のプリフェッチャから発行することと、
 を含む方法。

【請求項 2】

前記第 1 のプリフェッチャで、少なくとも 1 つの第 1 のアドレスに対する少なくとも 1 つのキャッシュミスを検出することに応じて、データを前記第 1 のキャッシュのラインにプリフェッチするためのメモリアドレスの前記シーケンスを決定することを含み、メモリアドレスの前記シーケンスは、前記少なくとも 1 つの第 1 のアドレスを基準にして決定される、請求項 1 に記載の方法。

【請求項 3】

前記第 2 のプリフェッチャで未決のプリフェッチ要求の数を示す情報を記憶することを含む、請求項 1 に記載の方法。

【請求項 4】

前記未決のプリフェッチ要求の数を示す情報を記憶することは、前記第 2 のプリフェッチャが、プリフェッチ要求を発行することと、未決のプリフェッチ要求の数を前記第 2 のプリフェッチャによって発行された前記プリフェッチ要求に関連付けられたストリームエントリに追加することと、に応じて、未決のプリフェッチ要求の数をカウントすることを含む、請求項 3 に記載の方法。

【請求項 5】

前記未決のプリフェッチ要求の数を示す情報を、前記第 2 のプリフェッチャから前記第

1のキャッシュに送られるプリフェッチ要求とともに前記第1のキャッシュに送ることを含む、請求項4に記載の方法。

【請求項6】

メモリアドレスの前記シーケンスは、対応する複数のフラグによって示されており、前記いくつかのメモリアドレスからデータをプリフェッチするための要求を発行するのをバイパスすることは、前記バイパスされたメモリアドレスの数に対応する数の前記フラグをセットしていない状態とすることと、少なくとも1つの以後のフラグをセットして、前記対応するメモリアドレスに対する未決のプリフェッチ要求を示すことと、を含む、請求項1に記載の方法。

【請求項7】

前記データをプリフェッチするための要求を発行することは、セットされている前記少なくとも1つの以後のフラグに対応する前記メモリアドレスからデータをプリフェッチするための要求を発行することを含む、請求項6に記載の方法。

【請求項8】

第1のプリフェッチャによって決定されたメモリアドレスのシーケンス内のいくつかのメモリアドレスからデータをプリフェッチするための要求を発行するのをバイパスするように構成可能な前記第1のプリフェッチャであって、前記数は、第2のキャッシュに関連付けられた第2のプリフェッチャから受け取った要求に示されており、前記数は、前記第2のプリフェッチャで未決のプリフェッチ要求の数に基づいており、前記第1のプリフェッチャは、前記バイパスされたメモリアドレスの後のメモリアドレスからデータをプリフェッチするための要求を発行するように構成可能である、第1のプリフェッチャを備える、
装置。

【請求項9】

前記第1のプリフェッチャに関連付けられた第1のキャッシュを備え、前記第1のプリフェッチャは、少なくとも1つの第1のアドレスに対する少なくとも1つのキャッシュミスを検出することに応じて、データを前記第1のキャッシュのラインにプリフェッチするためのメモリアドレスの前記シーケンスを決定するように構成可能であり、メモリアドレスの前記シーケンスは、前記少なくとも1つの第1のアドレスを基準にして決定される、請求項8に記載の装置。

【請求項10】

前記第2のプリフェッチャを備え、前記第2のプリフェッチャは、前記第2のプリフェッチャで前記未決のプリフェッチ要求の数を示す情報を記憶するように構成可能である、請求項8に記載の装置。

【請求項11】

前記第2のプリフェッチャは、プリフェッチ要求を発行することに応じて未決のプリフェッチ要求の数をカウントするように構成可能であり、未決のプリフェッチ要求の数を、前記第2のプリフェッチャによって発行される前記プリフェッチ要求に関連付けられたストリームエントリに追加するように構成可能である、請求項10に記載の装置。

【請求項12】

前記第2のプリフェッチャは、前記未決のプリフェッチ要求の数を示す情報を、前記第2のプリフェッチャから前記第1のキャッシュに送られるプリフェッチ要求とともに前記第1のキャッシュに送るように構成可能である、請求項11に記載の装置。

【請求項13】

メモリアドレスの前記シーケンスは、対応する複数のフラグによって示されており、前記第1のプリフェッチャは、前記バイパスされたメモリアドレスの数に対応する数の前記フラグをセットしていない状態とするように構成可能であり、少なくとも1つの以後のフラグをセットして、前記対応するメモリアドレスに対する未決のプリフェッチ要求を示すように構成可能である、請求項8に記載の装置。

【請求項14】

前記第 1 のプリフェッチャは、セットされている前記少なくとも 1 つの以後のフラグに対応する前記メモリアドレスからデータをプリフェッチするための要求を発行するように構成可能である、請求項 1 3 に記載の装置。

【請求項 1 5】

メモリに関連付けられた第 1 のキャッシュと、

前記第 1 のキャッシュ内にデータをプリフェッチするための第 1 のプリフェッチャと、

前記第 1 のキャッシュに関連付けられた第 2 のキャッシュと、

前記第 2 のキャッシュ内にデータをプリフェッチするための第 2 のプリフェッチャであって、前記第 1 のプリフェッチャは、前記第 1 のプリフェッチャによって決定されたメモリアドレスのシーケンス内のいくつかの数のメモリアドレスからデータをプリフェッチするための要求を発行するのをバイパスするように構成可能であり、前記数は、前記第 2 のプリフェッチャから受け取った要求に示されており、前記第 1 のプリフェッチャは、前記バイパスされたメモリアドレスの後のメモリアドレスからデータをプリフェッチするための要求を発行するように構成可能である、第 2 のプリフェッチャと、

を備え、

前記第 2 のプリフェッチャは、プリフェッチ要求を発行することに応じて未決のプリフェッチ要求の数をカウントするように構成可能であり、未決のプリフェッチ要求の数を、前記第 2 のプリフェッチャによって発行される前記プリフェッチ要求に関連付けられたストリームエントリに追加するように構成可能である、プロセッサベースのシステム。

【請求項 1 6】

前記第 2 のプリフェッチャは、前記未決のプリフェッチャ要求の数を示す情報を、前記第 2 のプリフェッチャから前記第 1 のキャッシュに送られるプリフェッチ要求とともに前記第 1 のキャッシュに送るように構成可能である、請求項 1 5 に記載のプロセッサベースのシステム。

【請求項 1 7】

実行されると、半導体デバイスの製造に用いられる製造プロセスを構成可能な命令を含むコンピュータ可読記憶媒体であって、

集積回路は、

第 1 のキャッシュに関連付けられた第 1 のプリフェッチャであって、第 1 のプリフェッチャによって決定されたメモリアドレスのシーケンス内のいくつかのメモリアドレスからデータをプリフェッチするための要求を発行するのをバイパスするように構成可能であり、前記バイパスされたメモリアドレスの後のメモリアドレスからデータをプリフェッチするための要求を発行するように構成可能な前記第 1 のプリフェッチャと、

第 2 のキャッシュに関連付けられた第 2 のプリフェッチャがプリフェッチ要求を発行したことに応じて、前記第 2 のプリフェッチャで未決のプリフェッチ要求の数をカウントするためのカウンタと、を備え、

前記第 2 のプリフェッチャは、未決のプリフェッチ要求の数を、前記第 2 のプリフェッチャによって発行される前記プリフェッチ要求に関連付けられたストリームエントリに追加するように構成可能である、

コンピュータ可読記憶媒体。

【請求項 1 8】

前記集積回路は、前記未決のプリフェッチ要求の数を示す情報を、第 2 のプリフェッチャから前記第 1 のキャッシュに送られるプリフェッチ要求とともに前記第 1 のキャッシュに送るように構成可能な第 2 のプリフェッチャを備える、請求項 1 7 に記載のコンピュータ可読記憶媒体。