

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 01514

(54) Circuit à retard de valeur fixe, applicable notamment à des multiplicateurs et des discriminateurs de fréquences.

(51) Classification internationale (Int. Cl. ³). H 04 N 5/783.

(22) Date de dépôt..... 27 janvier 1981.

(33) (32) (31) Priorité revendiquée : Japon, 29 janvier 1980, n° 8.349/80.

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 31 du 31-7-1981.

(71) Déposant : NIPPON HOSO KYOKAI, résidant au Japon.

(72) Invention de : Takuji Sekiguchi.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Harlé et Léchopiez,
21, rue de La Rochefoucauld, 75009 Paris.

La présente invention concerne un circuit à retard de valeur fixe, dont lequel des intervalles entre impulsions d'une séquence d'impulsions d'entrée sont mesurés dans l'ordre et où, en réponse au résultat, même si les intervalles mesurés entre impulsions ont varié, on peut obtenir une séquence d'impulsions de sortie, dont chaque impulsion est retardée d'une valeur fixe indépendamment de l'intervalle avec l'impulsion immédiatement précédente.

Du fait des progrès réalisés dans la conversion numérique des enregistreurs à bande vidéo (VTR), il est nécessaire d'extraire des informations de synchronisation à partir d'un signal d'information numérique se présentant sous une forme telle qu'un code d'édition, par exemple /^{un}code de temps SMPTE utilisé classiquement pour l'édition ou la mise en forme de signaux vidéo. Dans le cas de la reproduction ordinaire à l'aide d'un enregistreur VTR à une vitesse de bande fixe, les impulsions d'horloge contenues dans le signal d'information numérique reproduit sont réparties à intervalles égaux de sorte qu'il est possible d'extraire les impulsions d'horloge à l'aide d'un circuit de reproduction d'horloge classique.

D'autre part, dans le cas de l'édition de signaux vidéo par un enregistreur à bande vidéo VTR, la recherche d'images par reproduction rapide est la confirmation de découpages par une reproduction à vitesse lente doivent obligatoirement être réalisées en réponse à une demande d'édition ou bien au contenu des images et en outre une reproduction à vitesse variable/^{et}de façon continue est indispensable pour l'efficacité et la commodité de l'édition. Dans une telle reproduction à vitesse variable effectuée avec un enregistreur à bande vidéo VTR, des impulsions d'horloge contenues dans les codes d'édition reproduits ne sont pas plus espacées d'intervalles égaux. En outre, lors de la reproduction rapide des signaux provenant d'un enregistreur VTR, la vitesse de bande n'est pas commandée avec une précision aussi grande que dans la reproduction à vitesse ordinaire et en outre le code de temps est enregistré classiquement dans une direction longitudinale d'une bande magnétique par une tête magnétique /,^{fixe} de sorte que les intervalles entre impulsions d'horloge

qui sont obtenus dans la reproduction à vitesse rapide varient en réponse à la variation de la vitesse de bande. En conséquence, les intervalles entre les impulsions d'horloge reproduites donnent lieu à une différence augmentée cent fois
5 entre la reproduction à grande vitesse et la reproduction à basse vitesse, de sorte qu'il est nécessaire de prévoir un circuit de reproduction d'horloge du fait qu'on ne peut obtenir une reproduction correcte des signaux d'horloge qu'en extrayant ces signaux de façon stable et fixe, même si les
10 intervalles entre signaux ont varié excessivement comme indiqué ci-dessus.

D'autre part, on connaît un type de signal d'information numérique qui convient pour son édition par un enregistreur à bande vidéo et dans lequel les intervalles entre
15 les impulsions d'horloge reproduites sont modifiés comme mentionné ci-dessus, par exemple un signal d'information numérique/^{du} type à modulation biphase, notamment par exemple du type à espace biphase, du type à repère biphase et semblable, dans lequel des bits de données d'information sont
20 répartis individuellement entre des composants d'horloge espacés d'intervalles égaux et où des informations numériques se composant de "1" et de "0" sont discriminées en réponse à l'existence de ces bits d'informations intermédiaires.

Un signal d'information numérique de ce type est
25 fréquemment adopté, puisqu'on peut assurer une reproduction correcte des informations, même si la reproduction de différents modes, par exemple des reproductions à grande vitesse, à basse vitesse, et en sens inverse, sont effectuées par l'enregistreur à bande vidéo VTR en étant accompagnées
30 par des flottements excessifs de la synchronisation d'horloge. Cependant, même si on adopte un signal d'information numérique du type à modulation biphase, il faut également prévoir le circuit de reproduction d'horloge mentionné ci-dessus pour effectuer une reproduction stable et sûre d'impulsions
35 d'horloge à vitesse variable.

Pour la reproduction stable et sûre d'impulsions d'horloge à vitesse variable, comme mentionné ci-dessus, il est suffisant de détecter successivement les intervalles entre impulsions

puis de produire une séquence d'impulsions dont chaque impulsion est retardée d'une valeur définie indépendamment de l'intervalle avec l'impulsion détectée immédiatement avant dans l'ordre considéré, comme cela va être expliqué dans la
5 suite.

Des impulsions d'horloge sont espacées, par nature, d'intervalles égaux dans la condition ordinaire, même lorsque d'autres bits d'informations sont individuellement interposés entre elles. Au contraire, la variation de la vitesse de bande
10 vidéo d'enregistreur VTR se produit pendant une période d'une durée bien ^{plus} longue que les intervalles entre impulsions. Il en résulte que chaque impulsion de la séquence d'impulsions d'horloge peut être extraite en agissant sur elle avec un signal de commande qui est engendré entre deux impulsions
15 successives de la séquence, retardées respectivement d'une valeur fixe par rapport aux intervalles entre impulsions immédiatement précédentes, conformément à une prévision basée sur l'intervalle avec l'impulsion détectée immédiatement avant en vue d'une discrimination des impulsions
20 d'horloge à partir de bits interposés représentant d'autres informations.

Pour la raison indiquée ci-dessus, il est indispensable de disposer d'un circuit à retard de valeur fixe pour une reproduction stable et fiable d'impulsions d'horloge
25 qui sont séparées par des intervalles variant excessivement. Cependant, le circuit à retard classique est formé d'un multivibrateur monostable ou bien d'un générateur d'impulsions retardées présentant une certaine constante de temps CR. Ainsi, dans le circuit à retard classique, il est impossible d'établir le retard de valeur fixe mentionné ci-dessus
30 pour faire varier le temps de retard en réponse à la variation des intervalles entre impulsions de la séquence où lesdits intervalles entre impulsions varient excessivement.

D'autre part, il est vrai que, pour effectuer
35 ledit retardement de valeur fixe mentionné ci-dessus, on utilise d'une manière classique un circuit logique à verrouillage de phase entre impulsions, qui est désigné dans le domaine connu par le symbole PLL, pour engendrer une

impulsion retardée d'une valeur fixe sur la base d'un intervalle moyen entre impulsions; on a également utilisé traditionnellement un circuit d'un fonctionnement compliqué pour engendrer l'impulsion retardée de valeur fixe sur la base de l'intervalle avec l'impulsion immédiatement précédente qui a été détectée. Cependant, ces circuits à retard de valeur fixe de types classiques ne peuvent pas suivre des variations excessives des intervalles entre impulsions, comme mentionné ci-dessus, et en outre ils présentent une structure extrêmement complexe de sorte que ces circuits classiques donnent lieu à de nombreux inconvénients importants lorsqu'ils sont employés en pratique.

L'invention a en conséquence pour objet de fournir un circuit à retard de valeur fixe ayant une configuration simple et permettant d'engendrer de façon stable et fixe une séquence d'impulsions retardées d'une valeur fixe par rapport à l'intervalle avec l'impulsion immédiatement précédente, considérée dans l'ordre.

L'invention a également pour but de fournir un circuit à retard de valeur fixe qui convient pour former un circuit de reproduction d'horloge servant à extraire des impulsions d'horloge à partir du signal d'information numérique reproduit, du type à modulation biphase, par détection de la synchronisation d'horloge à partir dudit signal.

L'invention a en outre pour but de fournir un circuit à retard de valeur fixe, qui est approprié pour reproduire des impulsions d'horloge à partir de signaux numériques vidéo et audio reproduits à des vitesses variables, par détection de la synchronisation d'horloge à partir desdits signaux.

L'invention a en outre pour but de fournir un circuit à retard de valeur fixe, qui convient pour former un multiplieur de fréquence numérique ayant un coefficient intégral arbitraire de multiplication.

L'invention a également pour but de fournir un circuit à retard de valeur fixe, qui convient pour former un circuit de discrimination de différence de fréquence utilisable pour une discrimination de fréquences dans une large gamme.

Suivant une caractéristique de la présente invention, en considérant les nombres binaires successifs allant de "00...00000" jusqu'à "11...11111", la configuration de "0" et de "1", pour des chiffres successifs de ces nombres

5 binaires dans des ordres inférieurs à un chiffre spécifié présente le même motif de répétition entre les configurations de "0" et de "1" pour le chiffre spécifié, et en correspondance un nombre binaire 2^n peut être divisé par une valeur de 2^m par un décalage décroissant de chiffres successifs

10 dudit nombre de m positions, n et m étant des nombres entiers positifs liés par la relation $n > m$; le retardement de valeur fixe d'une séquence d'impulsions présentant des intervalles entre impulsions qui varient à tout moment d'une valeur fixe par rapport à l'intervalle/^{avec} l'impulsion immédiatement précédente est effectué en décalant inférieurement

15 des chiffres du code binaire, qui représente un nombre d'impulsions d'horloge correspondant à la valeur fixe, puis en détectant, à l'aide de plusieurs portes OU exclusif la coïncidence entre les chiffres successifs qui ont été

20 décalés inférieurement et les chiffres successifs originaux suivants du code binaire, de façon à déterminer un instant où la séquence d'impulsions est retardée de la valeur fixe.

D'autres avantages et caractéristiques de l'invention

25 seront mis en évidence à la suite de la description, donnés à titre d'exemple non limitatif, en référence aux dessins annexés dans lesquels:

Figs. 1a et 1b sont des schémas synoptiques montrant des modes de réalisation d'un circuit à retard de valeur fixe

30 conforme à l'invention et d'un circuit de différentiation et de retardement fixe qui est utilisé dans le circuit selon l'invention;

Fig. 2 est un diagramme donnant des formes d'ondes de signaux dans différentes parties dudit circuit;

35 Fig. 3 est un schéma synoptique représentant un mode de réalisation d'un circuit de reproduction d'horloge se composant de circuits à retard de valeur fixe conformes à la présente invention,

Fig.4 est un diagramme donnant des formes d'ondes de signaux dans différentes parties dudit circuit;

Fig.5 est un schéma synoptique représentant un mode de réalisation d'un multiplicateur de fréquence se composant de circuits à retard de valeur fixe conformes à la présente invention;

Fig.6 est un diagramme donnant des formes d'ondes de signaux obtenues dans différentes parties du circuit de la figure 5;

Fig.7 est un schéma synoptique d'un autre mode de réalisation d'un multiplicateur de fréquence numérique se composant de circuits à retard de valeur fixe conformes à la présente invention;

Fig.8 est un diagramme donnant les formes d'ondes de signaux obtenues dans différentes parties du circuit de la figure 7;

Fig.9 est un schéma synoptique représentant un mode de réalisation d'un discriminateur de différence de fréquence se composant de circuits à retard de valeur fixe conformes à la présente invention ; et

Fig.10 est un diagramme donnant des formes d'ondes de signaux obtenues dans différentes parties du circuit de la figure 9.

En premier lieu, on va expliquer le principe du retard de valeur fixe qui est utilisé conformément à la présente invention pour atteindre les objectifs définis ci-dessus.

Un nombre décimal défini par un code binaire, qui est formé par un décalage décroissant d'une position de la configuration de "0" et de "1" se trouvant dans des positions successives de chiffres d'un code binaire d'origine de n chiffres, représentant un nombre décimal d'origine, correspond à un $1/2^n$, c'est-à-dire à la moitié du nombre décimal d'origine. De même, un autre nombre décimal défini par un autre code binaire, qui est formé par un décalage décroissant de deux chiffres de la configuration de "0" et de "1" se trouvant dans des positions successives de chiffres du code binaire d'origine, correspond à $1/2^2$, c'est-à-dire au quart du nombre

décimal d'origine. En termes généraux, lorsque "m" est un nombre entier inférieur au nombre "n" précité, encore un autre nombre décimal défini par un autre code binaire qui est formé par un décalage décroissant de m position de la configuration de "0" et de "1" ^{constituant} les chiffres successifs du code binaire d'origine, correspond à $1/2^m$, c'est-à-dire à un 2^m -ième du nombre décimal d'origine. Par exemple, un code binaire "0...00110", qui est formé par un décalage décroissant d'une position de la configuration de "0" et de "1" constituant les chiffres successifs d'un code binaire d'origine "0...01100" correspondant à un nombre décimal d'origine "12", correspond à un nombre décimal "6", c'est-à-dire la moitié du nombre décimal d'origine "12". De même, un autre code binaire "0...00011", qui est formé par un décalage décroissant de deux positions de la configuration de "0" et de "1" ^{constituant} les chiffres successifs du code binaire d'origine "0...01100", correspond à un autre nombre décimal "3", c'est-à-dire le quart du nombre décimal d'origine "12".

Conformément à la présente invention, pour obtenir un temps de retard représenté par $1/2^m$, c'est-à-dire un 2^m -ième du nombre décimal d'origine correspondant à un résultat de comptage d'un nombre d'impulsions d'horloge qui représente un intervalle entre impulsions d'une séquence d'impulsions d'entrées, par rapport au nombre décimal d'origine, en utilisant les relations précitées existant entre les codes binaires, des chiffres successifs d'un code binaire d'origine, correspondant au nombre décimal d'origine et résultant du comptage des impulsions d'horloge, sont enregistrés temporairement à l'aide d'un certain nombre de circuits de verrouillage dans l'ordre existant, puis un code binaire retardé est formé par un décalage décroissant de m positions de la configuration de "0" et de "1" pour des chiffres successifs du code binaire enregistré, de manière à être comparé avec un code binaire suivant représentant un résultat suivant de comptage d'impulsions d'horloge. Le temps de retard nécessaire, correspondant à $1/2^m$, c'est-à-dire à un 2^m -ième de l'intervalle entre impulsions de la séquence d'impulsions d'entrée, peut-être

obtenu en détectant la coïncidence entre chacun des chiffres successifs du code binaire retardé et du code binaire suivant lors de leur comparaison.

D'une façon plus détaillée, le code binaire qui a
5 subi un décalage décroissant de m chiffre et le code binaire
suivant, qui représentent les résultats successifs de
comptage de nombres d'impulsions d'horloge correspondant
respectivement à des intervalles entre impulsions successives
de la séquence d'impulsions d'entrée, sont appliqués à un
10 certain nombre de portes OU exclusif, individuellement
pour des chiffres successifs desdits codes et dans l'ordre
existant. On obtient à la sortie desdites portes OU
exclusif des valeurs "0" lors d'une coïncidence entre les
entrées et des valeurs "1" lors d'une discordance entre les
15 entrées. Ainsi, lorsque des chiffres successifs du code
binaire, qui a subi un décalage décroissant de m positions et du code
binaire suivant coïncident respectivement l'un avec l'autre,
on peut obtenir des valeurs "0" à la sortie de toutes les
portes OU exclusif. En conséquence, une sortie d'une porte
20 NI qui reçoit les signaux de sortie desdites portes OU
exclusif prend la valeur "1" pour la coïncidence définie
ci-dessus, qui est obtenue à l'expiration d'une période de
temps correspondant à $1/2^m$, c'est-à-dire à un $1/2^m$ -ième de l'inter-
valle entre impulsions de la séquence d'impulsions d'entrée,
25 de manière à indiquer le temps de retard imposé de valeur
fixe $1/2^m$.

Un mode de réalisation d'un circuit à retard de
valeur fixe permettant la mise en pratique du principe de la
présente invention qui a été défini ci-dessus, a été
30 représenté sur la figure 1a, tandis qu'une configuration
détaillée d'une partie du circuit a été représentée sur la
figure 1b; en outre des formes d'ondes de signaux obtenues
dans différentes parties du circuit ont été indiquées sur
la figure 2.

35 En référence à l'agencement de principe du circuit
à retard de valeur fixe conforme à la présente invention,
un générateur d'impulsions 6 produit une séquence d'impulsions
d'horloge qui présente un intervalle de répétition

extrêmement court par comparaison à celui d'une séquence d'impulsions d'entrée à retarder d'une valeur fixe nécessaire, de manière à les utiliser comme des impulsions d'horloge pour l'opération logique de retardement de valeur fixe .

- 5 Ces impulsions d'horloge sont appliquées à un compteur binaire 3 et des valeurs successives $a_1, a_2, \dots, a_n$ d'un code binaire obtenu à la suite du comptage des impulsions d'horloge appliquées au compteur binaire 3 sont appliquées en parallèle à un circuit de verrouillage composite 4.
- 10 Parmi ces valeurs successives $a_1, a_2, \dots, a_n$, a_1 constitue celle qui est de poids le plus faible tandis que a_n constitue celle qui est de poids le plus fort.

- Sur la figure 2, qui montre des exemples de formes d'ondes de signaux obtenues dans différentes parties du circuit
- 15 à retard de valeur fixe représenté sur la figure 1(a) dans la situation où le retard de valeur fixe $1/2$ a été établi , les formes d'ondes (d), (e), (f) et (g) représentent des exemples des valeurs successives a_1, a_2, a_3 et a_4 du code binaire par suite du comptage des impulsions d'horloge
- 20 dans les conditions définies ci-dessus.

- En considérant le sujet d'une façon générale, c'est-à-dire en dehors des exemples précités correspondant à la valeur fixe $1/2$, on peut envisager que, dans le mode de réalisation du circuit à retard de valeur fixe représenté
- 25 sur la figure 1 a , un signal d'information numérique d'entrée du type à modulation déphasée , correspondant à une forme d'onde telle que celle indiquée en (a) sur la figure 2, est appliqué à un générateur d'impulsions différentielles 1 de manière à obtenir une séquence d'impulsions différentielles
- 30 ayant des formes d'ondes telles que celles indiquées en (b) sur la figure 2 pour chacun des bords avant et des bords arrière de la forme d'onde (a) du signal d'information numérique d'entrée , dans l'ordre correspondant, afin d'utiliser ces impulsions différentielles, comme signaux
- 35 de verrouillage/et comme impulsions de remise à zéro , comme cela sera décrit dans la suite. Cependant, dans la situation où un signal numérique d'entrée approprié se composant d'une séquence d'impulsions , qui ont chacune initialement

une forme appropriée pour former lesdits signaux de verrouillage et les impulsions de remise à zéro, et qui correspond à la forme d'onde (p) de la figure 2, il est évident qu'on peut se passer du générateur d'impulsions différentielles 1 mentionné ci-dessus dans le circuit à retard de valeur fixe conforme à la présente invention .

La séquence précitée d'impulsions différentielles est appliquée au circuit de verrouillage composite 4 sous la forme de signaux de verrouillage , ainsi qu'à /^{up} Circuit à retard fixe 2, de façon à retarder chaque impulsion de ladite séquence d'un petit intervalle qui est suffisamment plus court que des intervalles de répétition desdites impulsions d'horloge utilisées pour l'opération logique de retardement de valeur fixe, lesdits intervalles de répétition étant égaux à une largeur d'impulsion a_1 sortant du compteur binaire et correspondant à la valeur de poids le plus faible , qui est indiquée par la forme d'onde (d) sur la figure 2. La séquence retardée d'impulsions différentielles, qui sortent /^{du} circuit à retard fixe 2 avec des formes d'ondes correspondant à ce qui a été indiqué en (c) sur la figure 2, est appliquée au compteur binaire 3 sous la forme d'impulsions de remise à zéro. En conséquence, comme le montre un examen des formes d'ondes (b) à (g) sur la figure 2, les valeurs successives a_1 , a_2 , a_3 et a_4 du code binaire représentant le résultat du comptage du nombre des impulsions d'horloge correspondant à l'intervalle avec l'impulsion immédiatement précédente de la séquence d'impulsions d'entrée, qui provient du compteur binaire 3, sont enregistrées dans le circuit de verrouillage composite 4 en réponse à l'application du signal de verrouillage défini ci-dessus, puis elles sont extraites du compteur sous la forme du code binaire enregistré b_1 , b_2 , b_3 et b_4 , et en outre, immédiatement après, le compteur binaire 3 est remis à zéro en réponse à l'application de l'impulsion de remise à zéro mentionnée ci-dessus, en vue de la répétition du comptage des impulsions d'horloge, comme indiqué par les formes d'ondes (d) à (g) sur la figure 2. A cet instant, le code binaire enregistré défini ci-dessus est maintenu

disponible aux bornes de lecture correspondantes.

Comme expliqué ci-dessus, à chaque fois que chaque impulsion de la séquence d'impulsions d'entrée, ou bien de la séquence d'impulsions différentielles, parvient dans le

5 compteur binaire 3, le comptage précité des impulsions d'horloge est répété de manière à retarder la séquence d'impulsions d'entrée d'une valeur fixe et égale à $1/2^m$. Les valeurs successives $a_1, a_2, \dots, a_n$ du code binaire, qui sont obtenues de façon répétée par le comptage d'impulsions

10 d'horloge dans le compteur binaire 3, sont appliquées aux premières entrées respectives d'un certain nombre de portes OU exclusif 5-1, 5-2, ..., 5-n. D'autre part, les valeurs successives $b_1, b_2, \dots, b_n$ du code binaire enregistré et du code binaire qui a subi un décalage

15 décroissant de m positions sortant du circuit de verrouillage composite 4, sont appliquées respectivement aux autres entrées $c_1, c_2, \dots, c_n$ desdites portes OU exclusif 5-1, 5-2, ..., 5-n.

D'une façon plus détaillée, ces valeurs successives

20 $b_1, b_2, \dots, b_n$ du code binaire provenant du circuit de verrouillage composite 4 subissent un décalage décroissant respectif de m positions de façon à former les valeurs successives, décalées vers le bas de m positions et désignées par $b_{1+m}, b_{2+m}, \dots, b_n$, puis les valeurs successives ayant

25 subi un décalage décroissant $b_{1+m}, b_{2+m}, \dots, b_n$ sont appliquées respectivement aux entrées $c_1, c_2, \dots, c_{n-m}$, parmi lesdites entrées $c_1, c_2, \dots, c_n$. Les entrées restantes $c_{n-m+1}, c_{n-m+2}, \dots, c_n$ sont affectées respectivement de niveaux logiques bas L.

Il en résulte par exemple que, lorsqu'il est nécessaire

30 que la synchronisation d'horloge de la séquence d'impulsions d'entrée, telle que la séquence d'impulsions différentielles qui est obtenue à partir du signal d'information numérique d'entrée du type à modulation biphase, soit extraite dudit signal par retardement de la valeur fixe de $1/2$,

35 c'est-à-dire la moitié de l'intervalle entre impulsions de la séquence d'impulsions d'entrée, les entrées $c_1, c_2, \dots, c_{n-1}$ des portes OU exclusif 5-1, 5-2, ..., 5-n reçoivent

respectivement les valeurs successives $b_2, b_3, \dots, b_n$,
tandis que l'entrée restante c_n est affectée du niveau
logique bas L.

Comme mentionné ci-dessus, le code binaire enregistré
5 et le code binaire qui a subi un décalage décroissant de m
positions, qui proviennent du circuit de verrouillage composite
4, sont appliqués aux entrées $c_1, c_2, \dots, c_n$ des portes OU
exclusifs 5-1, 5-2, ..., 5-n avec des valeurs successives,
à chaque fois que le signal de verrouillage ayant la forme
10 d'onde b de la figure 2 est appliqué au circuit de verrouilla-
ge composite 4, et sont ensuite maintenus dans cette condition
jusqu'à un instant C mis en évidence sur la figure 2, et
correspondant à l'application du signal de verrouillage suivant.
En conséquence, aussi souvent que la synchronisation d'horloge
15 de la séquence d'impulsions d'entrée, par exemple les
impulsions différentielles obtenues à partir du signal
d'information numérique d'entrée, est modifiée, le temps de
retard de valeur fixe " $1/2^m$ " du nouvel intervalle entre
impulsions résultant, qui est indiqué par le code binaire
20 décalé vers le bas de m-positions, est maintenu aux entrées
des portes OU exclusif jusqu'à la variation suivante de la
synchronisation d'horloge. D'autre part, les valeurs
successives instantanées $a_1, a_2, \dots, a_n$, provenant du compteur
binaire 3 et appliquées directement aux autres entrées
25 des portes OU exclusif 5-1, 5-2, ..., 5-n, sont renouvelées à
tout moment, du fait que le compteur binaire 3 est remis à
zéro par l'impulsion de remise à zéro correspondant à la
forme d'onde (c) et qui suit immédiatement le signal de
verrouillage ayant la forme d'onde (b); le comptage répété
30 des impulsions d'horloge représentant l'intervalle instantané
entre impulsions de la séquence d'impulsions d'entrée
est enclenché de façon répétée.

En outre, dans la situation où la séquence d'impul-
sions d'entrée devant être appliquée au circuit à retard
35 de valeur fixe conforme à la présente invention se compose
des impulsions différentielles obtenues à partir du signal
d'information numérique d'entrée, comme décrit ci-dessus,
on fait alors intervenir le générateur d'impulsions

différentielles 1 qui est placé juste en amont du circuit à retard fixe 2 .

Ces deux circuits 1 et 2 peuvent être agencés en pratique comme indiqué par exemple sur la figure 1b . Dans le circuit de différentiation et de retardement de valeur fixe qui a été indiqué sur la figure 1b , le signal d'information numérique d'entrée correspondant à la forme d'onde a est appliqué à un registre à décalage 14 , auquel la séquence précitée d'impulsions d'horloge, présentant un intervalle de répétition approprié ~~est~~ bien plus court que celui du signal d'information numérique d'entrée , est également appliquée par un autre générateur d'impulsions 15, en vue de produire le décalage du signal d'information numérique d'entrée dans ledit registre.

Il en résulte que des impulsions décalées successivement Q_A , Q_B , Q_C et d'autres impulsions, provenant du registre à décalage 14 en réponse à des niveaux successifs "1" ou "0" du signal d'information numérique d'entrée et en correspondance à chaque instant d'arrivée des impulsions d'horloge servant à leur décalage, sont appliquées à deux portes OU exclusif 16 et 17, à savoir successivement deux par deux , de façon à former le signal de verrouillage précité et l'impulsion de remise à zéro précitée ; lesdites impulsions peuvent provenir des portes OU exclusif 16 et 17 , lorsque deux entrées respectives desdites portes sont différentes l'une de l'autre en réponse à un changement de niveau , c'est-à-dire pour le bord avant et le bord arrière du signal d'information numérique d'entrée . Il est à noter que le générateur d'impulsions 15 peut être remplacé par une fréquence d'impulsions qui est formée par multiplication de la séquence d'impulsions d'horloge venant du générateur d'impulsions 6 ou bien par application de cette séquence inchangée.

Dans les portes OU exclusif 5-1, 5-2, ... 5-n qui reçoivent respectivement les valeurs successives instantanées $a_1, a_2, \dots, a_n$ provenant du compteur binaire 3 et les valeurs successives enregistrées et décalées inférieurement de m positions $b_{1+m}, b_{2+m}, \dots, b_n$ dans l'ordre considéré

les niveaux logiques bas L peuvent être dérivés des sorties desdites portes, seulement lorsque les deux entrées respectives coïncident l'une avec l'autre, tandis que les niveaux logiques hauts H peuvent être dérivés des sorties desdites portes, quand les deux entrées respectives sont différentes l'une de l'autre, comme cela a été précisé ci-dessus. Ainsi, pour obtenir la séquence d'impulsions de sortie retardée de la valeur fixe $1/2^m$ en correspondance à l'intervalle avec l'impulsion immédiatement précédente de la séquence d'impulsions d'entrée, il est nécessaire que les valeurs successives enregistrées et décalées inférieurement de m positions $b_{1+m}, b_{2+m}, \dots, b_n$ et les valeurs successives instantanées $a_1, a_2, \dots, a_{n-m}$ qui sont obtenues par comptage des impulsions d'horloge correspondant à l'intervalle avec l'impulsion suivante coïncident respectivement l'une avec l'autre dans lesdites portes OU exclusif 5-1, 5-2, ..., 5-n, dans l'ordre correspondant, de manière à obtenir le niveau logique bas L, c'est-à-dire la valeur "0" à la sortie des portes OU exclusif, et en correspondance le niveau logique haut H, c'est-à-dire la valeur "1" à la sortie de la porte NI 7 pour produire une séquence d'impulsions retardées d'une valeur fixe.

Par exemple, dans la situation où, comme indiqué par les formes d'ondes (b) et (d) à (g) sur la figure 2, le résultat du comptage des impulsions d'horloge représentant l'intervalle avec l'impulsion immédiatement précédente dans la séquence d'impulsions d'entrées^{et} qui proviennent du compteur binaire 3 à l'instant C où le signal de verrouillage est appliqué au circuit de verrouillage composite, se traduit par un code binaire "0...01110" correspondant à un nombre décimal "14"; lorsqu'on doit obtenir une séquence d'impulsions de sortie retardées d'une valeur fixe de $1/2^m$ pour $m = 1$, c'est-à-dire $1/2$, le code binaire "0...0111" précité est verrouillé dans le circuit de verrouillage composite 4 et il subit un décalage vers le bas d'une position par un décalage décroissant de l'ordre des connexions dudit circuit avec les portes OU exclusif 5 successives, en vue de l'application d'un code binaire

décalé vers le bas "0...00111" correspondant à la moitié du nombre décimal d'origine 14, c'est-à-dire "7", aux entrées $c_1, c_2, \dots, c_n$ des portes OU exclusif 5-1, 5-2, ..., 5-n dans l'ordre correspondant, tandis qu'un autre code binaire

5 représentant le résultat suivant du comptage des impulsions d'horloge et qui provient du compteur binaire 3, remis à zéro immédiatement après le verrouillage du code binaire précédent défini ci-dessus, est appliqué aux autres entrées desdites portes OU exclusif 5-1, 5-2, ..., 5-n

10 dans l'ordre correspondant. Il en résulte que les sorties $d_1, d_2, \dots, d_n$ desdites portes OU exclusif 5-1, 5-2, ..., 5-n sont modifiées successivement en réponse à la variation du résultat du comptage des impulsions d'horloge qui a commencé à partir d'un code binaire initial "0...00000"

15 dans le compteur binaire 3, comme indiqué successivement par les formes d'onde (h) à (k) sur la figure 2, puis, à un instant D correspondant à l'expiration de la durée égale à la moitié de l'intervalle avec l'impulsion immédiatement précédente de la séquence d'impulsions d'entrée, le résultat

20 précité du comptage des impulsions d'horloge est défini par un autre code binaire "0...00111", qui coïncide parfaitement avec le code binaire précédemment décalé et verrouillé, de sorte que toutes les valeurs successives $d_1, d_2, \dots, d_n$ qui proviennent desdites portes OU exclusif

25 5-1, 5-2, ..., 5-n prennent la valeur "0", c'est-à-dire le niveau logique bas L, en vue de produire la séquence d'impulsions retardées de la valeur fixe de $1/2$.

D'autre part, dans la situation où le résultat du comptage d'impulsions d'horloge qui est verrouillé à l'instant C, est un code binaire "0...01111" correspondant à un

30 nombre décimal "15", la séquence d'impulsions de sortie est retardée de la valeur fixe de $1/2$ peut être obtenue sous la forme d'un code binaire résultant "0...00111", qui correspond à un autre nombre décimal "7" formé en

35 rejetant une fraction d'une moitié "7,5" du nombre décimal d'origine "15" afin d'obtenir le nombre entier correspondant en négligeant la virgule décimale.

En conséquence, dans le circuit à retard de valeur fixe conforme à la présente invention, il est possible d'obtenir toujours d'une manière stable et précise l'impulsion retardée de valeur fixe, qui est retardée à partir de l'instant de verrouillage, d'une durée correspondant au résultat de la multiplication de l'intervalle avec l'impulsion immédiatement précédente dans la séquence d'impulsions d'entrée ^{et définie} par la valeur fixe correspondant au résultat du comptage des impulsions d'horloge à l'instant de verrouillage.

On va maintenant décrire, en référence aux figures 3 et 4 un exemple d'une configuration d'un circuit de reproduction d'horloge comprenant au moins deux circuits à retard de valeur fixe conformes à la présente invention et dans lequel des impulsions d'horloge séparées par des intervalles excessivement variables peuvent être extraites d'un signal de modulation de fréquence numérique, tel qu'un signal d'information numérique, par exemple du type à repère biphase correspondant aux normes IEC, qui est couramment utilisé pour l'édition de signaux vidéo à l'aide d'un enregistreur à bande vidéo VTR; différentes formes de signaux obtenues dans diverses parties dudit circuit de reproduction d'horloge sont indiquées sur la figure 4.

Lors de l'édition de signaux vidéo à l'aide d'un enregistreur VTR, la vitesse de reproduction des signaux vidéo varie considérablement en fonction de différents modes d'utilisation, par exemple le mode de reproduction à vitesse rapide, le mode de reproduction à vitesse lente, le mode de lecture, etc., de sorte que les intervalles entre les impulsions contenues dans le signal d'information numérique reproduit varient excessivement. Il est par conséquent nécessaire d'effectuer la reproduction d'horloge à partir du signal d'information numérique reproduit en extrayant d'une manière stable et sûre l'information d'horloge qu'il contient et en prenant en considération la synchronisation d'horloge suivante qui est prédéfinie par une détection de l'intervalle avec l'impulsion immédiatement précédente. Dans le circuit de reproduction d'horloge agencé comme indiqué sur la figure 3, pour produire une impulsion de commande utilisable

pour extraire la synchronisation d'impulsion d'horloge suivante, qui peut être prédéfinie par l'intervalle avec l'impulsion immédiatement précédente dans la séquence d'impulsions d'entrée, en le maintenant entre deux impulsions successives retardées respectivement de valeurs fixes, on peut définir les bords avant et arrière de l'impulsion de commande d'une manière stable et correcte en se référant au résultat de la détection de l'intervalle avec l'impulsion immédiatement précédente dans le circuit à retard de valeur fixe conforme à la présente invention.

Par exemple, dans la situation où la séquence d'impulsions d'horloge est reproduite à partir d'un signal d'information numérique du type à modulation biphase, le circuit de reproduction d'horloge représenté sur la figure 3 est utilisé de la façon suivante.

Des générateurs d'impulsions de synchronisation 8 et 11, qui correspondent au circuit de différentiation et de retardement fixe représentés sur la figure 1b, produisent respectivement un signal de verrouillage et une impulsion de remise à zéro, comme décrit en référence à la figure 1b, du fait qu'ils ont une structure semblable à la combinaison du générateur d'impulsions différentielles 1 et du circuit à retard fixe 2 représenté sur la figure 1a. Un circuit de retardement de valeur $1/4$, désigné par 10, et un circuit de retardement de valeur $1/2$, désigné par 12, sont respectivement d'une construction semblable à la combinaison du compteur binaire 3, du circuit de verrouillage 4, des portes OU exclusif 5 et du circuit NI 6 représentés sur la figure 1a, de manière à retarder une séquence d'impulsions d'entrée respectivement de valeurs fixes $1/4$ et $1/2$ en correspondance aux intervalles avec des impulsions respectives immédiatement précédentes.

Un signal d'information numérique d'entrée du type à modulation biphase, comme indiqué par la forme d'onde a' sur la figure 4, est appliqué au générateur d'impulsions de synchronisation 8, de manière à engendrer des signaux de verrouillage et des impulsions de remise à zéro qui sont légèrement retardés pour chaque bord avant et

chaque bord arrière du signal d'information numérique d'entrée, comme indiqué par la forme d'onde m de la figure 4. Ces signaux de verrouillage et ces impulsions de remise à zéro sont appliqués au circuit 10 de retard de valeur $1/4$ par l'intermédiaire d'un circuit de répartition 9, de façon à être retardés d'une valeur fixe de $1/4$ par rapport à une séquence d'impulsions d'horloge contenue dans le signal d'information numérique d'entrée, comme décrit en référence à la figure 1a, en utilisant des impulsions d'horloge opérationnelles qui sont appliquées par le générateur 6, de la même façon que sur la figure 1a et de manière à obtenir, comme résultat, une séquence d'impulsions retardées d'une valeur de $1/4$ comme indiqué par la forme d'onde n sur la figure 4. La séquence d'impulsions retardée d'une valeur de $1/4$ est appliquée au générateur d'impulsions de synchronisation 11, afin d'engendrer des signaux de verrouillage et des impulsions de remise à zéro comme mentionné ci-dessus, sur la base de la séquence d'impulsions retardées de la valeur $1/4$. Ces signaux de verrouillage et impulsions de remise à zéro retardés de la valeur $1/4$ sont appliqués au circuit 12 de retardement de valeur $1/2$ de manière à retarder la séquence d'impulsions de retard $1/4$ de la valeur fixe de $1/2$ en utilisant les impulsions d'horloge opérationnelles qui proviennent du générateur d'impulsions 6, comme mentionné ci-dessus. En conséquence, comme le montre la forme d'onde p de la figure, on obtient une séquence d'impulsions qui est retardée de la valeur fixe de $3/4$ par comparaison à la séquence d'impulsions d'horloge contenue initialement dans les signaux d'information numérique d'entrée.

Les séquences d'impulsions retardées des valeurs $1/4$ et $3/4$ sont appliquées à un générateur d'impulsions de commande 13 de manière à produire une impulsion de commande comportant un bord avant qui coïncide avec la séquence d'impulsions retardée d'une valeur $3/4$, qui peut être considérée comme la séquence d'impulsions avancées de la valeur $1/4$, ainsi qu'un bord arrière coïncidant avec la séquence d'impulsions retardée de la valeur $1/4$, ce qui permet ainsi d'obtenir une largeur d'impulsion

correspondant à la moitié de l'intervalle avec l'impulsion immédiatement précédente de la séquence d'impulsions d'horloge qui est contenue initialement dans le signal d'information numérique d'entrée, comme indiqué par la forme d'onde (q) sur la figure 4. L'impulsion de commande précitée est appliquée au circuit de commande 9 qui est placé sur le côté d'entrée du circuit de reproduction d'horloge. Ainsi, une fois que l'impulsion d'horloge correcte a été contrôlée par l'impulsion de commande précitée, il est possible d'extraire seulement la séquence d'impulsions d'horloge, correspondant à la forme d'onde (m), qui est initialement contenue dans le signal d'information numérique d'entrée du type à modulation biphase, comme indiqué par la forme d'onde (a'). Comme le montre une comparaison entre les formes d'onde (m) et (q) chaque impulsion d'horloge d'origine qui est contenue dans la séquence d'impulsions d'entrée (m) intervient juste pour une impulsion de commande (q) ayant une largeur correspondant à la moitié de l'intervalle entre impulsions et est retardée en outre de la moitié de l'intervalle entre impulsions, tandis que l'autre impulsion représentant l'information du type à modulation biphase intervient entre deux impulsions de commande successives. En conséquence, la séquence des impulsions d'horloge d'origine peut seulement être reproduite en effectuant l'extraction décrite ci-dessus, comme indiqué par la forme d'onde (l') de la figure 4, tandis que l'autre impulsion d'information peut être extraite de la séquence d'impulsions d'horloge reproduites.

Dans la situation où l'impulsion de commande, qui a une largeur égale à la moitié de l'intervalle entre les impulsions intervenant dans les séquences retardées des valeurs $1/4$ et $3/4$, est utilisée pour l'extraction des impulsions d'horloge d'origine, la variation admissible de l'intervalle entre les impulsions d'horloge intervenant dans le signal d'information numérique d'entrée est de $\pm 25\%$. Cependant, il est également possible de modifier la variation admissible de l'intervalle d'impulsions d'horloge

en changeant la valeur fixe de retardement, en fonction de l'application envisagée . En outre, puisque le retard de valeur fixe est établi par le traitement opérationnel du code binaire dans le circuit à retard de valeur fixe conforme à la présente invention, ce retard de valeur fixe peut être établi d'une manière stable et sûre à l'aide d'un circuit d'une structure comparativement simple tandis que, du fait qu'on ne peut pas établir un retard d'une valeur excessive dépassant $1/2$, il est nécessaire de faire intervenir une combinaison d'au moins deux circuits à retard de valeur fixe conformes à la présente invention pour établir un retard d'une valeur dépassant $1/2$, par exemple d'une valeur de $3/4$.

D'autre part, pour permettre de retarder la variation de l'intervalle entre ^{des} impulsions d'horloge de la séquence d'une valeur fixe rentrant dans la gamme comprise entre $1/N$ fois et M fois l'intervalle entre impulsions régulières, c'est-à-dire dans la plage définie par le produit $N \times M$ il est nécessaire ^{d'une part} d'utiliser des impulsions d'horloge opérationnelles ayant une fréquence de répétition correspondant à peu près à 10 fois la fréquence de répétition maximale de la séquence des impulsions d'entrée à retarder de la valeur fixe , et en outre de définir le nombre K de chiffres du code binaire représentant le résultat du comptage d'impulsions d'horloge qui est effectué par le compteur binaire essentiellement par la formule suivante:

$$K \geq \log_2 (M \times N \times 10)$$

En outre, pour augmenter la précision de détection de l'intervalle entre impulsions de la séquence d'entrée , il est naturellement nécessaire de sélectionner une fréquence de répétition encore plus élevée des impulsions d'horloge opérationnelles , et également d'augmenter le nombre de chiffres du code binaire résultant qui est formé par le compteur binaire .

Comme le montre la description faite ci-dessus, le circuit à retard de valeur fixe selon l'invention est essentiellement indépendant de l'intervalle entre impulsions , c'est-à-dire de la fréquence de répétition

des impulsions de la séquence d'entrée , de sorte qu'on ne peut pas utiliser ce système seulement pour la reproduction d'horloge mentionnée ci-dessus mais pour différentes applications. Par exemple, on va décrire en référence aux

5 figures 5 et 6 un multiplicateur de fréquence dans lequel le circuit à retard de valeur fixe conforme à l'invention est utilisé pour effectuer 2^N fois la multiplication de la fréquence de répétition de la séquence des impulsions d'entrée, la figure 5 représentant un mode de réalisation du

10 multiplicateur et la figure 6 donnant des formes d'onde de signaux obtenus dans différentes parties du circuit . Comme le montre la figure 5, N étages de multiplication par deux , formés respectivement de portes OU 20,22,.....24, qui reçoivent respectivement des séquences d'impulsions d'en-

15 trée appliquées directement et par l'intermédiaire de circuits à retard de valeur $1/2$ respectifs 19,21,.....23 , sont branchés en série pour multiplier 2^N fois la fréquence de répétition de la séquence d'impulsions d'entrée. Avec cette configuration du circuit, un signal d'information numérique ayant une forme d'onde a indiquée sur la figure 6, est

20 appliqué à un différentiateur 18 en vue de produire une séquence d'impulsions différentielles ayant une fréquence de répétition f_{in} et une forme d'onde (b) indiquée sur la figure 6. La séquence d'impulsions différentielles (b) est

25 appliquée au circuit à retard de valeur $1/2$, de façon à obtenir une séquence d'impulsions retardée d'un temps de retard $t_{1/2}$ correspondant à la moitié de l'intervalle d'impulsion d'origine t_1 de la séquence d'impulsions d'entrée (b), comme indiqué par la forme d'onde (c) sur la

30 figure 6. Par conséquent, une séquence d'impulsions comportant un intervalle entre impulsions égal à $t_{1/2}$, comme indiqué par la forme d'onde (d) de la figure 6, peut être obtenue à la sortie de la porte OU 20 qui reçoit les séquences d'impulsions (b) et (c).

35 Comme cela ressort de la description/ci-dessus, faite à chaque fois que la séquence d'impulsions d'entrée respective est appliquée à un étage de la combinaison formée par le circuit à retard de valeur $1/2$ et la porte OU, la séquence

d'impulsions de sortie respective présentant l'intervalle entre impulsions correspondant à la moitié de celui de la séquence d'impulsions d'entrée respective, c'est-à-dire la fréquence de répétition correspondant au double de celle de la séquence d'impulsions d'entrée respective, peut être obtenue. Il en résulte que, en utilisant N étages branchés en série, il est possible d'obtenir une séquence d'impulsions de sortie ayant un intervalle entre impulsions qui correspond à $1/2^N$ de celui de la séquence d'impulsions d'entrée (b), c'est-à-dire une fréquence de répétition de sortie f_{out} qui correspond à 2^N fois la fréquence de répétition d'entrée f_{in} de la séquence d'impulsions d'entrée (b), comme le montrent successivement les formes d'ondes (e) à (h) sur la figure 6.

Dans un autre exemple d'application du circuit à retard de valeur fixe conforme à la présente invention, on obtient un autre type de multiplicateur de fréquence dans lequel une multiplication d'ordre M de la fréquence de répétition d'entrée est effectuée, ce multiplicateur étant représenté sur la figure 7 tandis que la figure 8 donne des formes d'ondes de signaux obtenues dans différentes parties dudit circuit.

Dans ces exemples, N et M sont des nombres entiers positifs qui sont liés par la relation $N > M$, et en outre K est le plus petit nombre entier positif qui est lié avec N et M par la relation suivante:

$$K \geq 2^{N/M}.$$

Dans la configuration de circuit de la figure 7, la séquence d'impulsions d'entrée ayant la forme d'onde a de la figure 8 et correspondant à la fréquence de répétition f_{in} est appliquée à un multiplicateur de 2^N fois la fréquence, ce multiplicateur étant désigné par 27 et opérant comme décrit ci-dessus en référence aux figures 5 et 6; la sortie du multiplicateur 27 est reliée à une entrée d'un diviseur de fréquence $/K$ 28, qui est pourvu d'une entrée d'effacement recevant la séquence d'impulsions d'entrée a dans une condition où le nombre entier K a été sélectionné de façon appropriée. La séquence d'impulsions d'entrée, indiquée par la

forme d'onde (a) sur la figure 8, et la fréquence d'impulsions divisée par K , représentée par la forme d'onde (c) de la figure 8 et qui provient du diviseur 28, qui a reçu la séquence d'impulsions multipliée 2^N fois, comme indiqué
5 par la forme d'onde (b), en provenance du multiplicateur 27, sont appliquées ensemble à une porte OU 29 de façon à obtenir à la sortie une séquence d'impulsions présentant un intervalle entre impulsions qui correspond à $1/M$ -ième de l'intervalle de la séquence d'impulsions d'entrées (a), comme indiqué
10 par la forme d'onde (d) de la figure 8.

Par exemple, dans des conditions où $M = 3$ et $N = 5$, pour obtenir la séquence d'impulsions de sortie ayant une fréquence de répétition correspondant au triple de la fréquence de répétition de la séquence d'impulsions d'entrée, c'est-à-dire un intervalle entre impulsions correspondant
15 au tiers de celui de la séquence d'impulsions d'entrée, comme indiqué par les formes d'ondes (a) à (d), on établit une relation telle que $K = 11$, en concordance avec l'équation définie ci-dessus, de manière que la fréquence de répétition de sortie correspondant au triple de la fréquence de répétition d'entrée puisse être obtenue en utilisant le diviseur de fréquence $1/K$. En outre, il est à noter qu'en pratique on peut réduire la variation de phase périodique de la séquence d'impulsions multipliées, ce qui permet d'améliorer
20 la précision en choisissant la valeur du nombre entier K en tenant compte de ce que le nombre entier N doit augmenter en correspondance à la relation $N > M$. En conséquence, il est possible d'obtenir la fréquence de répétition arbitrairement multipliée en tenant compte de la séquence d'impulsions d'entrées comme mentionné ci-dessus.
25 30

Dans un autre exemple d'application du circuit à retard de valeur fixe conforme à la présente invention, on va maintenant décrire un discriminateur de différence de fréquence en référence aux figures 9 et 10, la figure 9
35 représentant un mode de réalisation dudit discriminateur tandis que la figure 10 représente des formes d'ondes de signaux obtenus dans différentes parties dudit circuit.

Lorsque, dans le circuit à retard de valeur $1/2^m$ conforme à la présente invention, la valeur fixe est choisie égale à $1/2^0 = 1$, en donnant à m la valeur 0 dans $1/2^m$, on obtient une séquence d'impulsions qui est retardée d'un

5 temps égal à l'intervalle avec l'impulsion immédiatement précédente dans la séquence d'impulsions d'entrée. Sur cette base, il est possible de réaliser un discriminateur de différence de fréquence en utilisant un comparateur de phase faisant intervenir la séquence d'impulsions d'entrées d'origine

10 et la séquence d'impulsions résultante qui est retardée d'un temps égal à l'intervalle entre impulsions, en vue d'effectuer la discrimination de la variation de la différence de fréquence de répétition de la séquence d'impulsions d'entrées.

15 Dans la configuration de circuit représentée sur la figure 9, une séquence d'impulsions d'entrées, dont les intervalles varient successivement comme indiqué par la forme d'onde (a) de la figure 10, est appliquée à un diviseur de fréquence par N 30 faisant intervenir un nombre entier positif

20 N. La sortie du diviseur de fréquence par N 30 est appliquée à un registre à décalage 31 qui intervient successivement en réponse à la séquence d'impulsions d'entrée (a) qui est appliquée. Il en résulte que des sorties successives du registre à décalage 31 forment N séries de séquences d'intervalles

25 entre impulsions, chaque séquence se composant d'intervalles entre impulsions pris de (N-1) en (N-1) dans la séquence d'impulsions d'entrée.

Par exemple, quand le nombre entier N est égal à trois, les sorties successives forment une première série

30 d'intervalles entre impulsions prises de deux en deux, c'est-à-dire t_1, t_3 , et ainsi de suite, une seconde série d'intervalles entre impulsions prises également de deux en deux, t_2, t_4 et ainsi de suite, et une troisième série d'intervalles entre impulsions prises de deux en deux, t_3, t_5 et ainsi de

35 suite, comme indiqué respectivement par les formes d'ondes (b), (c) et (d) sur la figure 10. Les sorties successives 1 à N du registre à décalage 31, comme indiqué successivement par les formes d'ondes (b), (c) —————

et (d) sont appliquées à un différenciateur 32, de façon à engendrer les impulsions différentielles pour les bords avant et les bords arrière des sorties successives 1 à N, comme indiqué successivement par les formes d'ondes (e), (f) et (g).

5 Ces impulsions différentielles sont appliquées aux circuits à retard de valeur fixe 33, 34, 35, 36 mentionnés ci-dessus et présentant la valeur fixe mentionnée ci-dessus et égale à $1/2^m$, où m peut prendre la valeur 0, en vue d'obtenir des impulsions différentielles retardées successivement

10 de temps égaux aux intervalles avec l'impulsion immédiatement précédente, comme indiqué successivement par les formes d'ondes (h), (i) et (j). Ces impulsions différentielles retardées sont appliquées à une porte OU 37, de manière à former une séquence d'impulsions différentielles retardées

15 composite, mise en évidence par la forme d'onde (k) sur la figure 10. Cette séquence d'impulsions différentielles retardées composite (k) et la séquence d'impulsions d'entrées (a) sont appliquées à un comparateur de phase 38, en vue d'obtenir un signal de sortie qui est le résultat de la discrimina-

20 tion de la relation de phase existant entre les séquences d'impulsions (k) et (a), comme indiqué par la forme d'onde (l) sur la figure 10.

En outre, comme le montrent les relations entre les formes d'ondes (a) et (e) à (l), dans la comparaison

25 entre deux intervalles d'impulsions successives de la séquence d'impulsions d'entrée (a), quand l'intervalle avec l'impulsion précédente est plus long que l'intervalle avec l'impulsion suivante, l'impulsion différentielle d'origine précède l'impulsion différentielle retardée et le signal

30 de sortie est alors positif alors que, quand l'intervalle avec l'impulsion précédente est plus court que l'intervalle avec l'impulsion suivante, l'impulsion différentielle retardée précède l'impulsion différentielle d'origine et le signal de sortie est par conséquent négatif. Il en résulte qu'il est possible de commander l'intervalle entre

35 impulsions, c'est-à-dire la fréquence de répétition de la séquence d'impulsions d'entrée, en réponse au signal de sortie obtenu dans la discrimination de différence de

fréquence décrite ci-dessus.

Conformément à la présente invention, on peut obtenir la séquence d'impulsions retardées d'une valeur fixe indépendamment de la variation des intervalles entre impulsions dans la séquence d'impulsions d'entrée, de sorte qu'on peut établir le retard de valeur fixe d'une manière stable et fiable pour tenir compte de la grande plage de variation des intervalles entre impulsions de la séquence d'entrée. En outre, on peut traiter simplement des variations excessives d'intervalles entre impulsions en utilisant, en parallèle, plusieurs combinaisons comprenant un compteur binaire, un circuit de verrouillage, et des portes OU exclusif, pour augmenter le nombre de chiffres du code binaire associé, en correspondance au circuit à retard de valeur fixe selon l'invention, et en outre un générateur d'impulsions d'horloge de haute fréquence. Egalement, puisque le traitement opérationnel de codes binaires est seulement utilisé dans le circuit à retard de valeur fixe conforme à l'invention, il est possible d'obtenir une structure de circuit simple et de grande fiabilité en assurant sa conversion numérique.

En plus de la reproduction d'horloge à partir d'un signal d'information numérique à l'aide du circuit à retard fixe conforme à l'invention, il est possible d'effectuer d'une manière stable et sûre une reproduction d'horloge en utilisant un circuit numérique semblable, même lorsque la vitesse de reproduction du signal d'information numérique d'entrée varie excessivement. En outre, on peut tenir compte de la variation excessive de la vitesse de reproduction du signal d'information numérique d'entrée en adjoignant simplement à l'installation le circuit à retard de valeur fixe conforme à l'invention.

Ainsi, conformément à la présente invention, on peut effectuer la reproduction d'impulsions d'horloge d'une manière efficace et commode à partir du code de synchronisation utilisé pour l'édition du signal vidéo par un enregistreur VTR et également à partir du signal d'information numérique qui est reproduit à partir de l'enregistreur en même temps que la variation de la vitesse de bande. En outre, conformément

à la présente invention, on peut effectuer aisément
la multiplication de fréquence et la discrimination de
différence de fréquence pour une séquence d'impulsions
présentant des intervalles entre impulsions qui varient
5 très fortement .

-REVENDEICATIONS-

1. Circuit à retard de valeur fixe , dans lequel une séquence d'impulsions d'entrée comportant des intervalles entre impulsions variant dans le temps, est retardée séquentiellement d'une valeur fixe correspondant à une fraction , définie par le rapport de 1 divisé par une puissance entière de 2 , d'un intervalle ^{avec} l'impulsion immédiatement précédente de la séquence, caractérisé en ce qu'il comprend :

-un compteur binaire (3) pour compter les impulsions d'horloge ayant un intervalle de répétition prédéterminé à chaque fois qu'un signal de remise à zéro lui est appliqué ,

-un circuit de verrouillage (4) pour verrouiller respectivement tous les chiffres d'un nombre binaire représentant les impulsions d'horloge comptées par ledit compteur binaire (3) successivement à partir de l'application dudit signal de remise à zéro puis pour libérer respectivement tous les chiffres verrouillés du nombre binaire, en réponse à l'application d'un signal de verrouillage,

-un générateur d'impulsions de synchronisation (6) pour produire ledit signal de verrouillage , qui se compose d'une impulsion différentielle correspondant respectivement à chaque impulsion de ladite séquence d'impulsions d'entrée et pour former ledit signal de remise à zéro en retardant ladite impulsion différentielle d'une période plus courte que l'intervalle de répétition desdites impulsions d'horloge ,

-une pluralité de portes OU exclusif (5-1, 5-2....5-n) , aux premières entrées respectives desquelles sont appliquées toutes les valeurs dudit nombre binaire représentant les impulsions d'horloge comptées par ledit compteur binaire (3) et aux secondes entrées respectives desquelles sont appliquées toutes les valeurs dudit nombre binaire qui sont libérées par ledit circuit de verrouillage dans l'ordre, après que lesdites valeurs libérées dudit nombre binaire ont subi un décalage décroissant

dudit nombre entier , en vue de produire à la sortie des portes OU respectives des signaux lorsque lesdites valeurs qui sont appliquées aux premières entrées respectives et lesdites valeurs décalées qui sont appliquées aux secondes entrées respectives coïncident l'une avec l'autre dans l'ordre , et

-une porte NI(7) à laquelle sont appliqués les signaux respectifs de sortie des portes OU exclusif (5-1-5-2....5-n) de manière à obtenir à la sortie ladite séquence d'impulsions d'entrée après son retardement d'une valeur fixe.

2. Circuit à retard d'une valeur fixe selon la revendication 1, caractérisé en ce que ledit générateur d'impulsions de synchronisation (6) comprend :

-un registre à décalage (14) dans lequel ladite impulsion différentielle provenant du générateur d'impulsions différentielles est décalée successivement en réponse aux impulsions d'horloge qui ^{lui} sont appliquées auxdits intervalles de répétition, et

-deux portes OU exclusif (16,17) auxquelles deux signaux successifs décalés sont respectivement appliqués successivement à partir dudit registre à décalage (14) de manière à produire successivement ledit signal de verrouillage et ledit signal de remise à zéro lorsque les deux signaux décalés successifs différent l'un de l'autre.

3. Circuit de reproduction d'impulsions d'horloge pour reproduire une séquence d'impulsions d'horloge correspondant à ladite séquence d'impulsions d'entrée , caractérisé en ce que ladite impulsion différentielle est successivement déclenchée par une impulsion de déclenchement, qui est formée par combinaison d'une première impulsion de sortie retardée d'une valeur fixe et provenant d'un premier circuit à retard de valeur fixe (2) selon la revendication 1, dans lequel ladite impulsion différentielle est retardée d'une première valeur fixe égale à $1/2^m$ dudit intervalle avec l'impulsion immédiatement précédente , et une seconde impulsion de sortie retardée d'une valeur fixe et provenant

d'un second circuit à retard de valeur fixe (12)
selon la revendication 1, dans lequel ladite impulsion dif-
férentielle est retardée d'une seconde valeur fixe de
($1-1/2^n$) dudit intervalle^{avec} l'impulsion immédiatement précé-
dente, m et n étant des nombres entiers .

4. Circuit de reproduction d'impulsions d'horloge
selon la revendication 3, caractérisé en ce que m et n
ont des valeurs égales.

5. Circuit pour multiplier 2^N fois une fréquence,
caractérisé en ce que la fréquence de répétition de la
séquence d'impulsions est multipliée par 2^N , et en ce qu'il
comprend une combinaison en séries de N étages pour multiplier
deux fois une fréquence, un étage comprenant :

-un circuit à retard de valeur $1/2$ (19,21,23)
selon la revendication 1 pour retarder une séquence d'impul-
sions d'entrées respective de la valeur $1/2$,

-une porte OU (20, 22,24) recevant ladite séquence
d'impulsions d'entrée respective ainsi qu'une séquence
d'impulsions retardées provenant dudit circuit à retard de
valeur $1/2$ (19,21,23) de façon à produire à sa sortie
une séquence d'impulsions de sortie respective ayant une
fréquence de répétition correspondant au double de la fréquen-
ce de répétition de ladite séquence d'impulsions d'entrée
respective .

6.Circuit pour multiplier M fois une fréquence
dans lequel la fréquence de répétition de la séquence
d'impulsions est multipliée par un nombre entier M, carac-
térisé en ce qu'il comprend:

-un circuit pour multiplier 2^N fois une fréquence
(27)selon la revendication 5, qui reçoit la séquence
d'impulsions d'entrée avec la condition $N > M$,

-un circuit pour diviser la fréquence par K
(28), qui est remis à zéro par ladite séquence d'impulsions
d'entrée et qui reçoit une séquence d'impulsions ayant une
fréquence de répétition correspondant à un K-ième de la
fréquence de répétition de ladite séquence d'impulsions
d'entrée , ladite séquence d'impulsions provenant dudit

circuit pour multiplier 2^N fois une fréquence, à la condition que le plus petit nombre entier positif K satisfasse à la relation $K \geq 2^N/M$ et

5 -une porte OU (29) qui reçoit ladite fréquence d'impulsions d'entrée et une autre séquence d'impulsions provenant dudit circuit de division de fréquence par K (28) de façon à obtenir à sa sortie une séquence d'impulsions de sortie ayant une fréquence de répétition correspondant à M fois la fréquence de répétition de ladite séquence d'impulsions d'entrée .

10 7. Discriminateur de différence de fréquence, dans lequel deux intervalles d'impulsions successifs de ladite séquence d'impulsions d'entrée sont comparés l'un avec l'autre, de manière à discriminer la variation de fréquence de l'impulsion suivante de ladite séquence d'entrée, caractérisé en

15 ce qu'il comprend:

-des moyens pour produire une séquence d'intervalles d'impulsions (30,31,32) pour former N séries de séquences successives d'intervalles d'impulsions de ladite séquence d'entrée, qui se composent successivement des intervalles pris de $(N-1)$ en $(N-1)$ entre des impulsions de la séquence d'entrée,

20 - N circuits à retard de valeur fixe (33,34,35,36) selon la revendication 1 pour retarder le bord avant et le bord arrière des intervalles d'impulsions desdites N séries de séquences successives respectivement de temps de retard de valeur fixe qui sont respectivement égaux aux intervalles avec l'impulsion précédente,

25 -une porte OU (37) pour former une séquence d'impulsions à bords retardés composite, qui se compose d'une combinaison d'impulsions à bords retardés provenant respectivement des N circuits à retard de valeur fixe (33,34,35,36),

30 -un comparateur de phase (38) pour effectuer une comparaison de phase entre ladite séquence d'impulsions à bords retardés composite et ladite séquence d'impulsions d'entrée de façon à discriminer la phase de l'impulsion suivante dans ladite séquence d'impulsions d'entrée.

35

FIG. 1a

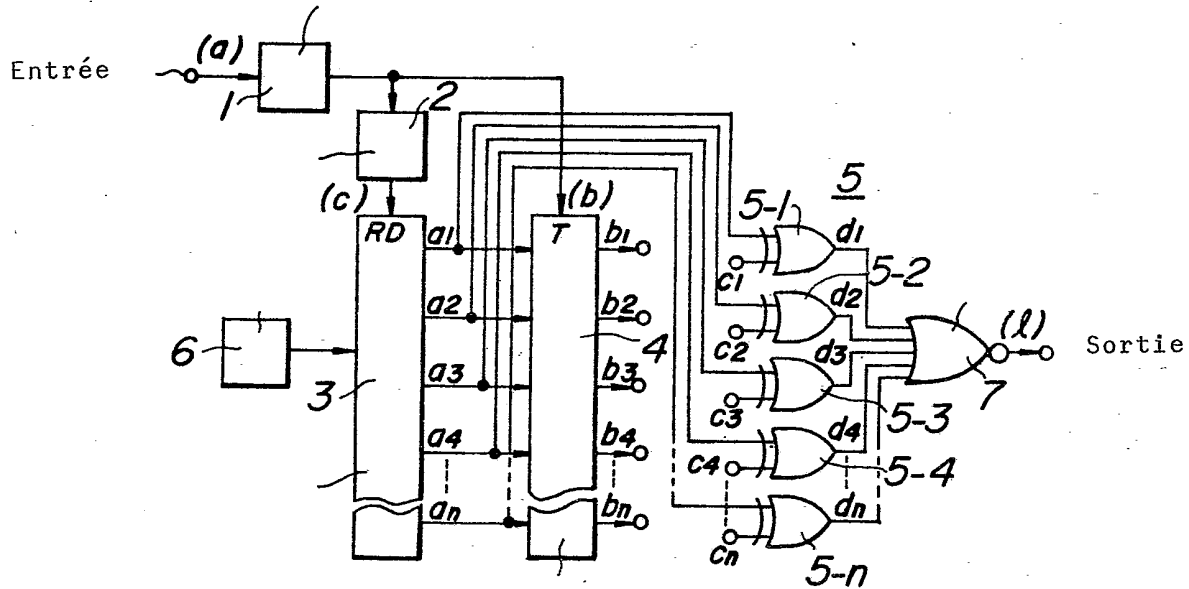


FIG. 1b

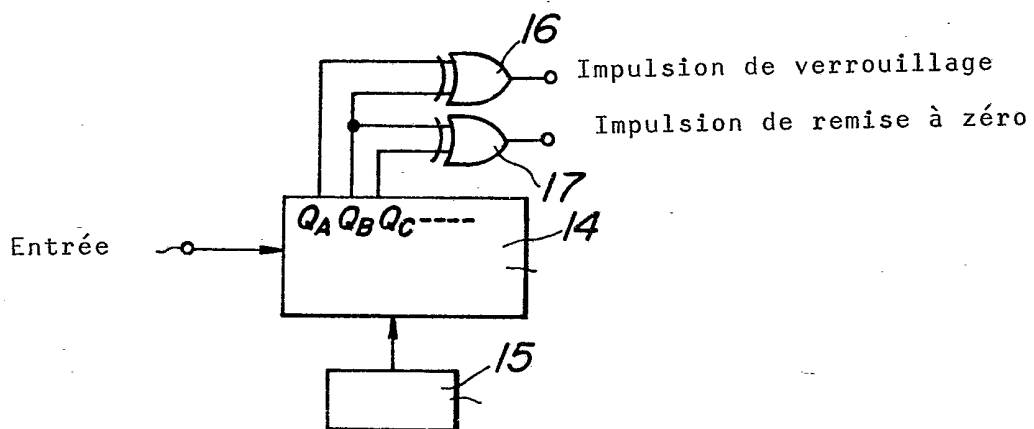


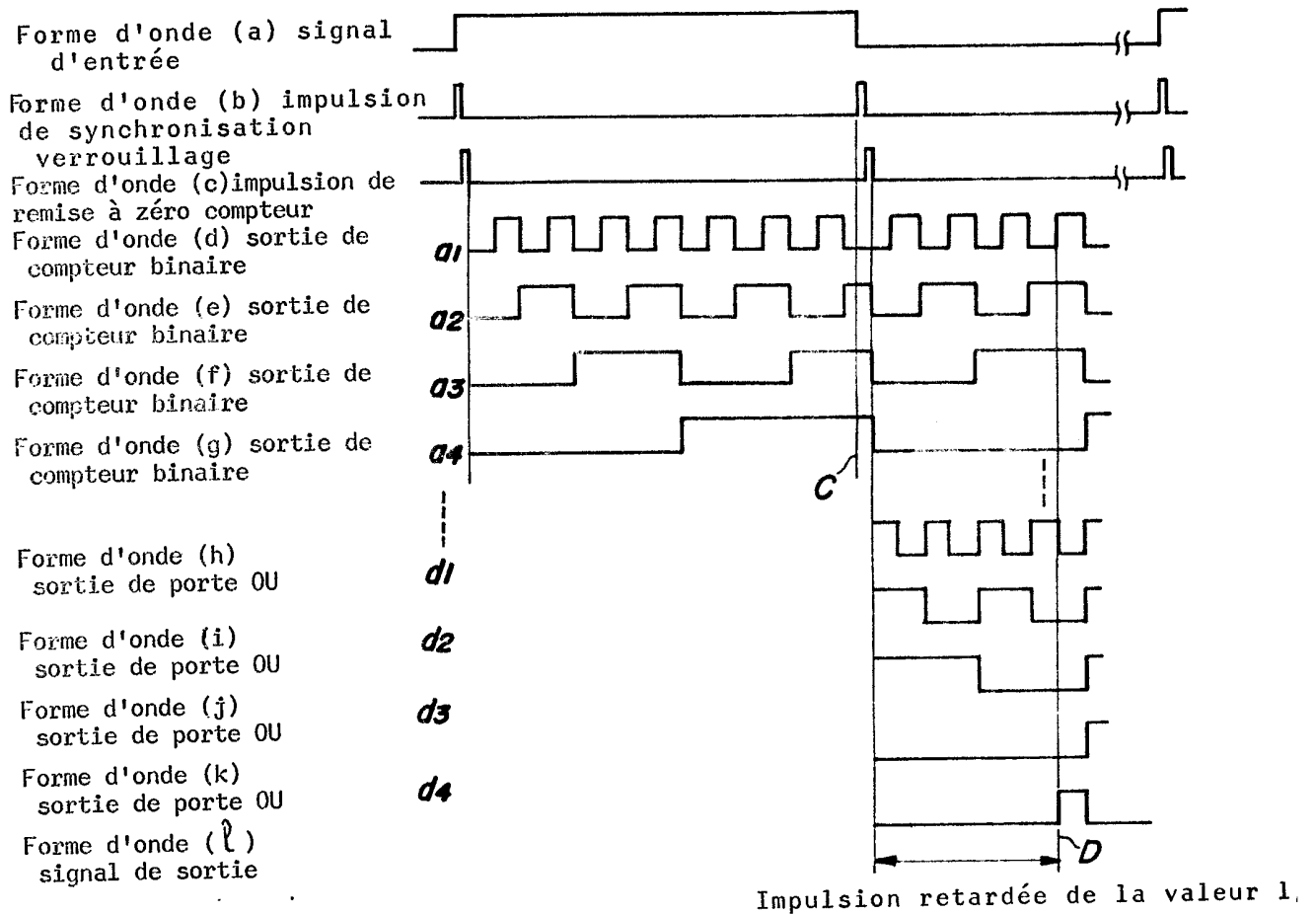
FIG.2

FIG.3

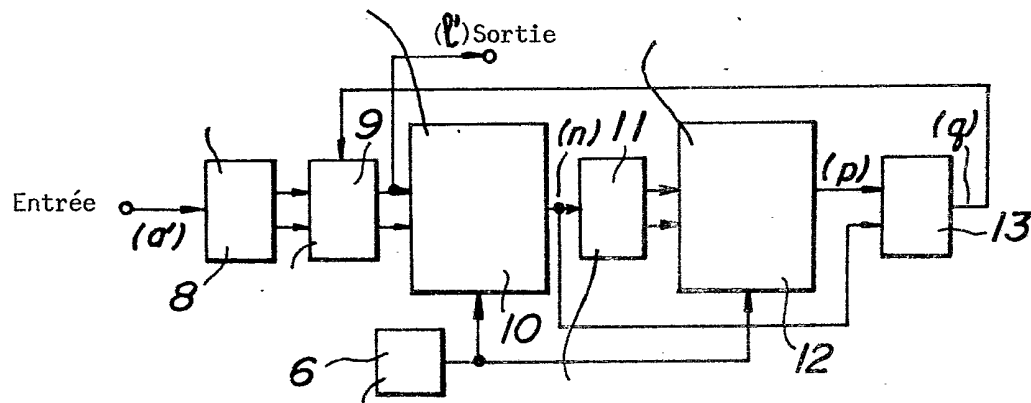


FIG. 4

Forme d'onde (a')

Forme d'onde (m)

Forme d'onde (n)

Forme d'onde (p)

Forme d'onde (q)

Forme d'onde (t)

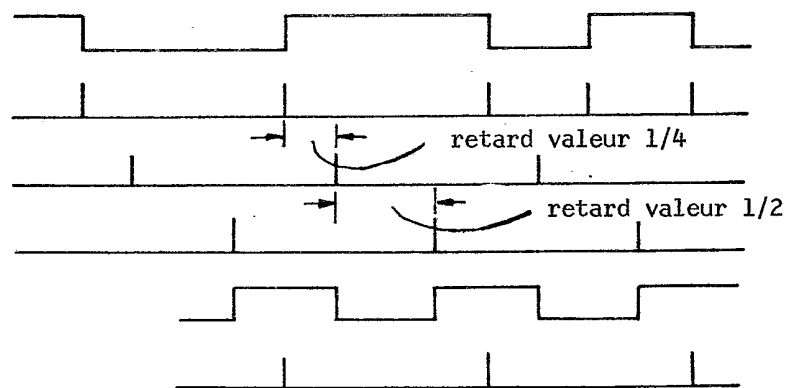


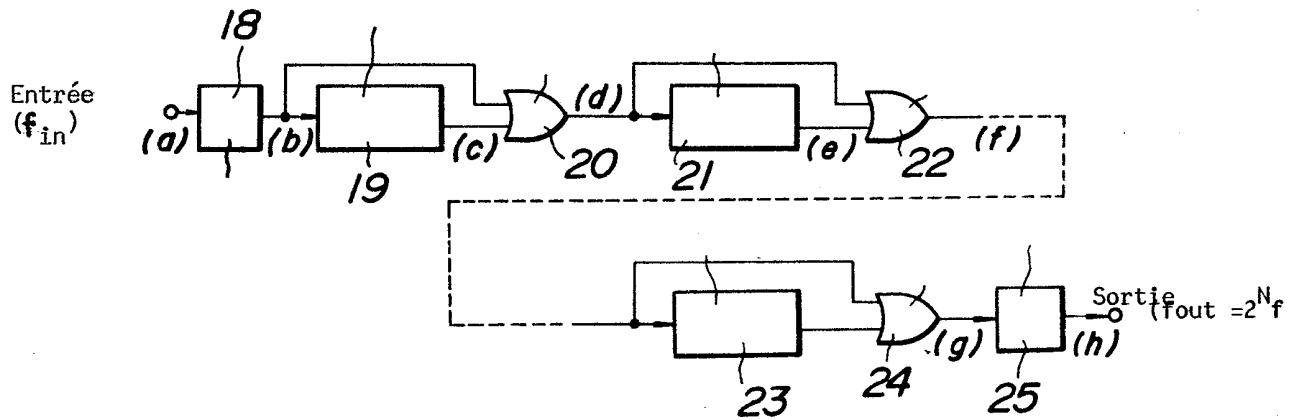
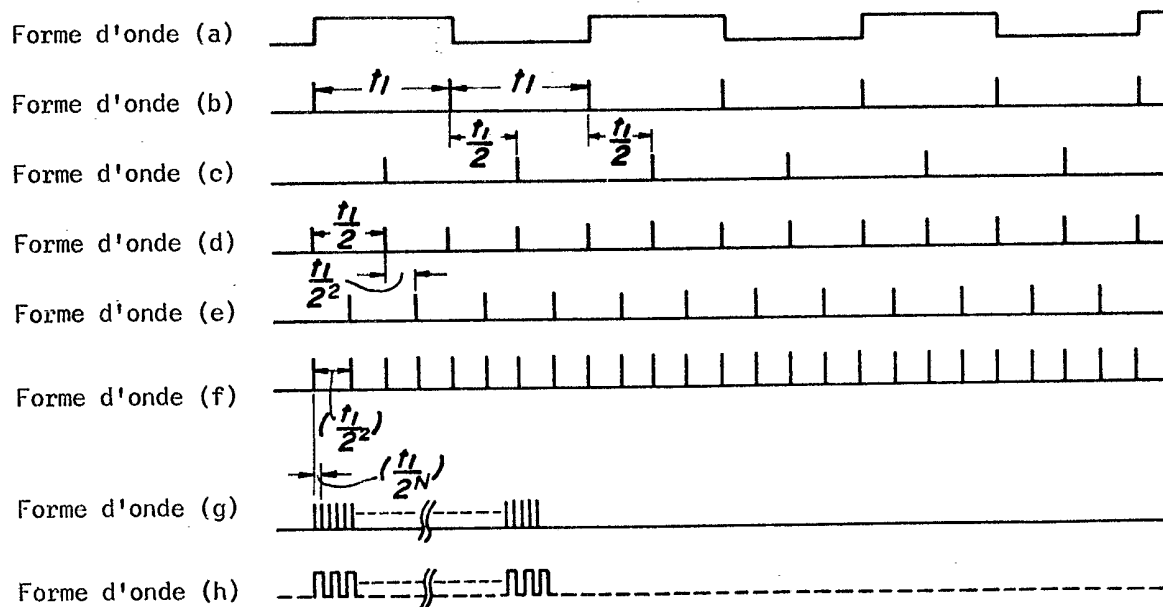
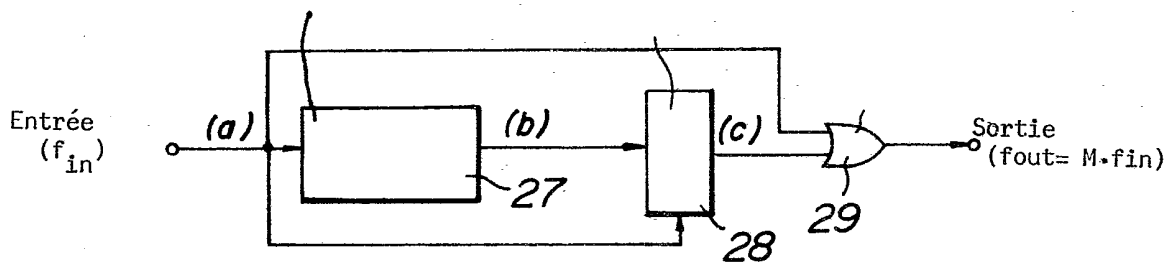
FIG.5**FIG.6**

FIG.7**FIG.8**