

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/201531 A1

(51) 国際特許分類:

H01L 21/301 (2006.01)

(21) 国際出願番号: PCT/JP2021/013034

(22) 国際出願日: 2021年3月26日(26.03.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 昭和電工マテリアルズ株式会社 (**SHOWA DENKO MATERIALS CO., LTD.**)
[JP/JP]; 〒1006606 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(72) 発明者: 白坂 敏明 (**SHIRASAKA Toshiaki**);
〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社

内 Tokyo (JP). 柴田 智章(**SHIBATA Tomoaki**);
〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP). 福住 志津(**FUKUZUMI Shizu**); 〒1006606 東京都千代田区丸の内一丁目9番2号 昭和電工マテリアルズ株式会社内 Tokyo (JP).

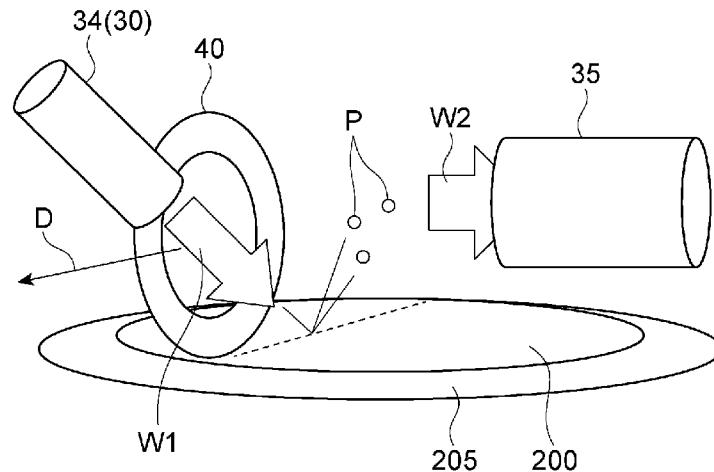
(74) 代理人: 長谷川 芳樹, 外(**HASEGAWA Yoshiki et al.**); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 M Y P L A Z A (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) **Title:** SEMICONDUCTOR DEVICE PRODUCTION METHOD, CLEANING DEVICE, CLEANING METHOD, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、洗浄装置、洗浄方法、及び、半導体装置

[図3]



(57) **Abstract:** This semiconductor device production method comprises: a step for preparing a first semiconductor substrate; a step for preparing a second semiconductor substrate; a step for polishing a second insulation film of the second semiconductor substrate; a step for dividing the second semiconductor substrate to obtain a plurality of semiconductor chips each provided with a second electrode and an insulation film part that corresponds to the second insulation film; a step for aligning the second electrodes of the semiconductor chips with first electrodes of the first semiconductor substrate; a step for affixing a first insulation film and insulation film parts of the semiconductor chips to each other; and a step for joining the first electrodes and the second electrodes. In the step for obtaining the plurality of semiconductor chips, the



WO 2022/201531 A1



EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

second semiconductor substrate is divided by dicing while cleaning the second semiconductor substrate using a mixed washing fluid in which a gas has been introduced into a cleaning liquid.

(57) 要約: 半導体装置の製造方法は、第1半導体基板を準備する工程と、第2半導体基板を準備する工程と、第2半導体基板の第2絶縁膜を研磨する工程と、第2半導体基板を個片化し、第2絶縁膜に対応する絶縁膜部分と第2電極とをそれぞれが備えた複数の半導体チップを取得する工程と、第1半導体基板の第1電極に対して半導体チップの第2電極の位置合わせを行う工程と、第1絶縁膜と半導体チップの絶縁膜部分とを互いに貼り合わせる工程と、第1電極と第2電極とを接合する工程と、を備える。複数の半導体チップを取得する工程では、洗浄液内に気体が導入された混合洗浄流体を使用して第2半導体基板を洗浄しながら、第2半導体基板をダイシングにより個片化する。

明 細 書

発明の名称：

半導体装置の製造方法、洗浄装置、洗浄方法、及び、半導体装置

技術分野

[0001] 本開示は、半導体装置の製造方法、洗浄装置、洗浄方法、及び、半導体装置に関する。より詳しくは、本開示は、個片化された半導体チップを半導体基板（半導体ウェハ又は別の半導体チップ等）に接合する半導体装置の製造方法、それに用いられる洗浄装置、洗浄方法、及び、当該製造方法によって製造される半導体装置に関する。

背景技術

[0002] 近年、LSIの集積度を向上させるために三次元実装が検討されている。非特許文献1には、半導体チップの三次元実装の一例が開示されている。

先行技術文献

非特許文献

[0003] 非特許文献1：F.C. Chen et al., “System on Integrated Chips(SoIC TM) for 3D Heterogeneous Integration”, 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), p.594-599(2019)

発明の概要

発明が解決しようとする課題

[0004] このような半導体チップの三次元実装を行う場合において、デバイス同士の配線の微細接合及び接合時の位置ずれ防止のため、Wafer-to-Wafer (W2W) 接合に用いられるハイブリッドボンディング技術を使うことが検討されている。しかしながら、半導体チップの三次元実装を行う場合、W2Wと異なり、半導体チップへの個片化を行う工程により異物であるデブリ（切断破片）が発生することがあり、このデブリが半導体チップ等の接合界面（ハイブリッドボンディングの絶縁膜）に付着してしまう虞がある。デブリが半導体チップ等の接合界面に付着したまま接合を行うと、製造される半導体装置

において接続不良が生じてしまう。

- [0005] 本開示は、半導体チップの三次元実装を行う場合において半導体チップの接続不良を低減できる、半導体装置の製造方法、洗浄装置、洗浄方法、及び、半導体装置を提供することを目的とする。

課題を解決するための手段

- [0006] 本開示は、一側面として、半導体装置の製造方法に関する。この半導体装置の製造方法は、第1基板本体と該第1基板本体の一面に設けられた第1絶縁膜及び第1電極とを有する第1半導体基板を準備する工程と、第2基板本体と該第2基板本体の一面に設けられた第2絶縁膜及び複数の第2電極とを有する第2半導体基板を準備する工程と、第2半導体基板の一面側に配置されている第2絶縁膜を研磨する工程と、第2半導体基板を個片化し、第2絶縁膜に対応する絶縁膜部分と少なくとも1つの第2電極とをそれぞれが備えた複数の半導体チップを取得する工程と、第1半導体基板の第1電極に対して複数の半導体チップの内の少なくとも1つの半導体チップの第2電極の位置合わせを行う工程と、第1半導体基板の第1絶縁膜と半導体チップの絶縁膜部分とを互いに貼り合わせる工程と、第1半導体基板の第1電極と半導体チップの第2電極とを接合する工程と、を備える。複数の半導体チップを取得する工程では、洗浄液内に気体が導入された混合洗浄流体を使用して第2半導体基板を洗浄しながら、第2半導体基板をダイシングにより個片化する。

- [0007] この製造方法では、複数の半導体チップを取得する工程において、洗浄液内に気体が導入された混合洗浄流体を使用して第2半導体基板を洗浄しながら、第2半導体基板をダイシングにより個片化している。この場合、洗浄液に気体を導入することでミスト状となった混合洗浄流体を用いて洗浄を行うため、高圧洗浄よりも噴出圧力を低く抑えつつ微細なデブリに対する洗浄能力を高くすることができる。これにより、ダイシングで生じるデブリが確実に除去された半導体チップを用いて半導体装置を製造することができ、半導体チップの三次元実装を行う場合において半導体チップの接続不良を低減す

ることができる。

[0008] 上記の製造方法において、第2絶縁膜の第2基板本体への接着強さは、碁盤目試験におけるはく離率が1%以下である接着強さであってもよい。この場合、洗浄液の噴出圧力は低減されているものの、第2半導体基板を洗浄した際に当該洗浄による衝撃で第2絶縁膜自体又はその一部が飛散してデブリになることを抑制できる。これにより、半導体チップを個片化する際のデブリの発生要因の1つを抑えて、半導体チップの接続不良を更に低減することが可能となる。なお、「はく離率」は、碁盤目試験における、全個片数に占めるはく離された個片数の割合である。「碁盤目試験」は、JIS K5400に規定される碁盤目試験100マス（間隔：1mm、 $10 \times 10 = 100$ マス）である。具体的には、対象試験片を1mm間隔で縦横それぞれに素地まで届く切込みを11本入れた後、対象試験片にセロハン粘着テープを付着させる。そして、セロハン粘着テープを付着させて1～2分間が経過した後、接着面に対して直角になるようにセロハン粘着テープを保ったまま瞬間的に引き剥がし、はく離された個片数を数える。はく離率(%)は、このはく離された個片数を全個片数(100個)で除して100を乗じた値である。

[0009] 上記の製造方法において、第2絶縁膜の厚さは、 $20\mu\text{m}$ 以下であってもよい。この場合、より微細な電極又は回路を形成して、薄型の半導体装置を作製することが可能となる。例えば、第2絶縁膜内に形成される第2電極の最小サイズ（電極幅）は、第2絶縁膜の厚さと使用される感光性材料のアスペクト比とによって規定される。感光性材料のアスペクト比が例えば1：1（開口幅：深さ）である場合、第2絶縁膜の厚さが $20\mu\text{m}$ 以下であることにより、第2電極の電極幅を $20\mu\text{m}$ 以下とすることができる。即ち、この製造方法によれば、第2電極を微細な電極とすることが可能となる。

[0010] 上記の製造方法において、複数の半導体チップを取得する工程では、混合洗浄流体の噴出圧が $10\text{kgf}/\text{cm}^2$ 以下となるように、混合洗浄流体を第2半導体基板に向けて噴出して洗浄を行ってもよい。この場合、第2半導体

基板をダイシングする際の洗浄により、ダイシングされた半導体チップを飛ばしてしまうこと（チップ飛び）を抑制できる。また、混合洗浄流体により第2絶縁膜を第2半導体基板からはく離させてしまうことを抑制できる。以上により、半導体装置の製造歩留まりを向上することが可能となる。更に、混合洗浄流体で第2半導体基板の絶縁膜を飛散させてデブリを生じさせてしまうことを抑制できる。これにより、半導体チップの接続不良を更に低減することが可能となる。

[0011] 上記の製造方法において、複数の半導体チップを取得する工程では、第2半導体基板に噴出された混合洗浄流体の洗浄後のミストを回収してもよい。この場合、洗浄後にデブリが含有されている混合洗浄流体を、ダイシングされ且つ洗浄された半導体チップから早期に遠ざけて、半導体チップへのデブリの付着を抑制できる。これにより、半導体チップの三次元実装を行う場合において半導体チップの接続不良を更に低減することが可能となる。

[0012] 上記の製造方法において、複数の半導体チップを取得する工程では、第2半導体基板の第2絶縁膜に対して混合洗浄流体が噴出されると共に、第2絶縁膜から第2基板本体に向かってダイシングが行われてもよい。この場合、第1半導体基板へ貼り合わせるための第2半導体基板の接合面が表面側にむき出しになるため、ダイシング後に第2絶縁膜の表面に対してプラズマ、イオンビーム、紫外線、又は電子線を照射して表面処理を行ったり、又は、第2絶縁膜の表面にカップリング剤等を付与する表面処理を行ったりすることを容易に行うことができる。

[0013] 上記の製造方法において、第2半導体基板の第2絶縁膜が無機材料を含んでいてもよい。この場合、より微細な構成の半導体装置を作製することが可能となる。また、無機材料同士の接合は強固にし易いことから、半導体基板同士の接着強さを高めて、半導体装置としての接続信頼性を向上させることが可能となる。

[0014] 上記の製造方法において、第2半導体基板の第2絶縁膜が有機材料を含んでもよい。この場合、比較的柔らかい材料である有機材料により、洗浄で取

り除けなかったデブリを当該有機材料からなる絶縁膜部分に吸収（内蔵）して、半導体チップの接続不良を更に低減することができる。この場合において、第2絶縁膜に含まれる有機材料は、ポリイミド、ポリイミド前駆体、ポリアミドイミド、ベンゾシクロブテン（BCB）、ポリベンゾオキサゾール（PBO）、又はPBO前駆体を含んでもよい。これらの材料は液状又は溶媒に可溶であることから、第2絶縁膜を例えばスピコート等で作製し易くなり、薄膜を成膜し易くなる。また、これらの材料は耐熱性が高いため、第1半導体基板と第2半導体基板とを接合する際の高温等に耐えることができ、基板同士の接合をより確実にを行うことが可能となる。

[0015] また、本開示は、一側面として、上述した何れかの半導体装置の製造方法に用いられる洗浄装置に関する。この洗浄装置は、洗浄液を導入する第1導入部と、気体を導入する第2導入部と、洗浄液に気体を混合させて混合洗浄流体を形成する混合部と、混合洗浄流体を噴出するノズルと、を備える。このような洗浄装置を用いることにより、ダイシングされた半導体チップの接合面上のデブリをより確実に除去することが可能となる。

[0016] 上記の洗浄装置は、ノズルから噴出された混合洗浄流体の洗浄後のミストを回収するミストコレクタを更に備えていてもよい。この場合、ミストコレクタにより、洗浄後にデブリが含有されている混合洗浄流体を、ダイシングされ且つ洗浄された半導体チップから早期に遠ざけて、半導体チップへのデブリの付着を抑制することができる。これにより、半導体チップの三次元実装を行う場合において半導体チップの接続不良を更に低減することが可能となる。

[0017] また、本開示は、別の側面として、洗浄方法に関する。この洗浄方法は、基板本体と該基板本体の一面に設けられた絶縁膜及び複数の電極とを有する半導体基板を準備する工程と、半導体基板を個片化する際に洗浄を行う工程と、を備える。洗浄を行う工程では、洗浄液内に気体が導入された混合洗浄流体を使用して半導体基板を洗浄しながら、半導体基板をダイシングにより個片化する。この場合、洗浄液に気体を導入することでミスト状となった混

合洗浄流体を用いて洗浄を行うため、高圧洗浄よりも噴出圧力を低く抑えつつ微細なデブリに対する洗浄能力を高くすることができる。これにより、ダイシングで生じるデブリが確実に除去された半導体チップを用いて半導体装置を製造することができ、半導体チップの三次元実装を行う場合において半導体チップの接続不良を低減することができる。

[0018] また、本開示は、別の側面として、半導体装置に関する。この半導体装置は、第1基板本体と該第1基板本体の一面に設けられた第1絶縁膜及び第1電極とを有する第1半導体基板と、第2基板本体と該第2基板本体の一面に設けられた第2絶縁膜及び第2電極とを有する第2半導体基板とを、備える。第1半導体基板の第1電極と第2半導体基板の第2電極とが接合されており、第1半導体基板の第1絶縁膜と第2半導体基板の第2絶縁膜とが接合されている。第2絶縁膜には、 $50\mu\text{m}$ 以上のデブリが縦 15mm で横 15mm の範囲内に1個以内である。

[0019] 上記の半導体装置では、第2絶縁膜には、 $50\mu\text{m}$ 以上のデブリが縦 15mm で横 15mm の範囲内に1個以内に抑えられている。この場合、この半導体装置では、半導体チップの接続不良を低減することができる。

発明の効果

[0020] 本開示によれば、半導体チップの三次元実装を行う場合において半導体チップの接続不良を低減することができる。

図面の簡単な説明

[0021] [図1]図1は、本発明の一実施形態に係る半導体装置の製造方法によって製造される半導体装置（C2W）の一例を模式的に示す断面図である。

[図2]図2は、図1に示す半導体装置を製造するための方法を順に示す図である。

[図3]図3は、図2に示す半導体装置の製造方法におけるダイシング及び洗浄の状態を模式的に示す図である。

[図4]図4は、図3に示す洗浄を行うための洗浄装置を示す図である。

[図5]図5は、図2に示す半導体装置の製造方法における接合方法をより詳細

に示す図である。

[図6]図6は、図2に示す半導体装置の製造方法における接合方法をより詳細に示す図である。

[図7]図7は、半導体チップの接合面に付着したデブリを示す写真であり、図7の(a)は、通常の洗浄方法で洗浄された半導体チップの接合面(比較例1)であり、図7の(b)は、二流体洗浄方法で洗浄された半導体チップの接合面(実施例1)を示す。

[図8]図8の(a)は、半導体チップを通常の洗浄方法で洗浄した場合(比較例2)と二流体洗浄方法で洗浄した場合(実施例2)とでのデブリの残存数の対比を示す図であり、図8の(b)は、半導体チップを通常の洗浄方法で洗浄した場合(比較例2)と二流体洗浄方法で洗浄した場合(実施例2)とでの残存したデブリの最大径の対比を示す図である。

[図9]図9の(a)は、半導体チップを通常の洗浄方法で洗浄した場合(比較例3)と二流体洗浄方法で洗浄した場合(実施例3)とでの機械的接続が確保できた率を接合温度毎に対比した図であり、図9の(b)は、半導体チップを通常の洗浄方法で洗浄した場合(比較例3)と二流体洗浄方法で洗浄した場合(実施例3)とでの接続強度を接合温度毎に対比した図である。

発明を実施するための形態

[0022] 以下、図面を参照しながら本発明に係る実施形態について詳細に説明する。以下の説明では、同一又は相当部分には同一の符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。更に、図面の寸法比率は図示の比率に限られるものではない。

[0023] 本明細書において「層」との語は、平面図として観察したときに、全面に形成されている形状の構造に加え、一部に形成されている形状の構造も包含される。また、本明細書において「工程」との語は、独立した工程だけではなく、他の工程と明確に区別できない場合であってもその工程の所期の作用が達成されれば、本用語に含まれる。また、「～」を用いて示された数値範

囲は、「～」の前後に記載される数値をそれぞれ最小値及び最大値として含む範囲を示す。

[0024] (半導体装置の構成)

図1は、本実施形態に係る製造方法によって製造される半導体装置の一例を模式的に示す断面図である。図1に示すように、半導体装置1は、例えば半導体パッケージの一例であり、第1半導体基板10と複数の半導体チップ20とを備えており、Chip-to-wafer (C2W) 構造を有している。複数の半導体チップ20は、後述する第2半導体基板200をダイシングにより個片化することで作製される。複数の半導体チップ20が第1半導体基板10上に実装されて三次元実装構造となる。第1半導体基板10は、例えばLSI (Large scale Integrated Circuit:大規模集積回路) チップ又はCMOS (Complementary Metal Oxide Semiconductor) センサ等の複数の半導体チップが各半導体チップ20に対応する箇所に形成された基板であってもよい。各半導体チップ20は、例えばLSI又はメモリ等の半導体チップであってもよい。第1半導体基板10と複数の半導体チップ20とは、後述するハイブリッドボンディングにより、それぞれの端子電極とその周りの絶縁膜同士が強固且つ位置ズレせずに微細接合されている。なお、半導体装置1は、図1に示す構成から更に個片化された1の半導体チップ20と、1の半導体チップ20に対応する第1半導体基板10の一部である基板部分とを備える、個別の半導体装置に更に個片化されてもよい。

[0025] (半導体装置の製造方法)

次に、半導体装置1の製造方法について、図2及び図3を参照して、説明する。図2は、図1に示す半導体装置を製造するための方法を順に示す図である。図3は、図2に示す半導体装置の製造方法におけるダイシング及び洗浄の状態を模式的に示す図である。

[0026] 半導体装置1は、例えば、以下の工程(a)～工程(h)を経て製造することができる。

(a) 第1基板本体101と、第1絶縁膜102及び複数の第1電極103

とを有する第1半導体基板100を準備する工程。

(b) 複数の半導体チップ20に対応する半導体基板であって、第2基板本体201と、第2絶縁膜202及び複数の第2電極203とを有する第2半導体基板200を準備する工程。

(c) 第1半導体基板100の第1絶縁膜102を第1電極103と共に研磨する工程。

(d) 第2半導体基板200の第2絶縁膜202を第2電極203と共に研磨する工程。

(e) 第2半導体基板200を個片化し、第2絶縁膜202に対応する絶縁膜部分202bと第2電極203とをそれぞれが備えた複数の半導体チップ20を取得する工程。

(f) 第1半導体基板100の第1電極103に対して複数の半導体チップ20それぞれの第2電極203の位置合わせを行う工程。

(g) 第1半導体基板100の第1絶縁膜102と複数の半導体チップ20の各絶縁膜部分202bとを互いに貼り合わせる工程。

(h) 第1半導体基板100の第1電極103と複数の半導体チップ20それぞれの第2電極203とを接合する工程。

[0027] [工程(a)及び工程(b)]

工程(a)は、半導体素子及びそれらを接続する配線などからなる集積回路が形成されたシリコン基板である第1半導体基板100を準備する工程である。工程(a)では、図2の(a)に示すように、シリコン等からなる第1基板本体101の一面101aに、銅又はアルミニウム等からなる複数の第1電極103を所定の間隔で設けると共に無機材料又は有機材料からなる第1絶縁膜102を設ける。第1電極103は、第1半導体基板100に形成された集積回路等を第1絶縁膜102を貫通して外部に露出させるための端面電極である。第1絶縁膜102を第1基板本体101の一面101a上に設けてから、複数の第1電極103を設けてもよいし、複数の第1電極103を第1基板本体101の一面101aに設けてから第1絶縁膜102を

設けてもよい。

[0028] 工程（b）は、複数の半導体チップ20に対応し、半導体素子及びそれらを接続する配線などからなる集積回路が形成されたシリコン基板である第2半導体基板200を準備する工程である。工程（b）では、図2の（a）に示すように、シリコン等からなる第2基板本体201の一面201a上に、銅又はアルミニウム等からなる複数の第2電極203を連続的に設けると共に無機材料または有機材料からなる第2絶縁膜202を設ける。第2電極203は、第2半導体基板200に形成された集積回路等を第2絶縁膜202を貫通して外部に露出させるための端面電極である。第2絶縁膜202を第2基板本体201の一面201a上に設けてから複数の第2電極203を設けてもよいし、複数の第2電極203を第2基板本体201の一面201aに設けてから第2絶縁膜202を設けてもよい。

[0029] 工程（a）及び工程（b）で用いられる第1絶縁膜102及び第2絶縁膜202は、無機材料または有機材料を含んで構成されている。絶縁膜に用いられる無機材料は、例えば、酸化シリコン（ SiO_2 ）等である。絶縁膜に酸化シリコン等の無機材料を用いる場合、より微細な構成の半導体装置を作製することができる。また、後述する工程（g）で絶縁膜同士を貼り合わせる際、無機材料同士の接合は強固にし易いことから、半導体基板同士の接着強さを高めて、半導体装置としての接続信頼性を向上させることが可能となる。

[0030] 絶縁膜に用いられる有機材料は、例えば、ポリイミド、ポリイミド前駆体（例えばポリイミジアミックエステル又はポリアミック酸）、ポリアミドイミド、ベンゾシクロブテン（BCB）、ポリベンゾオキサゾール（PBO）、又はPBO前駆体である。これら有機材料は、例えば、酸化シリコン（ SiO_2 ）等の無機材料に比べて低い弾性率を有しており、柔らかい材料となっている。このような有機材料を用いることにより、後述する工程（g）で絶縁膜同士を貼り合わせる際、絶縁膜上に微細なデブリがあっても絶縁膜内に吸収してデブリによる接合不良を防止し、絶縁膜同士の貼り合わせを確実に

うことが可能となる。第1絶縁膜102及び第2絶縁膜202を構成する有機材料の弾性率は、例えば7.0 GPa以下であってもよく、5.0 GPa以下であってもよく、3.0 GPa以下であってもよく、2.0 GPa以下であってもよく、1.5 GPa以下であってもよい。ここでいう弾性率はヤング率を意味する。また、第1絶縁膜102及び第2絶縁膜202を構成する有機材料は、その熱膨張係数が70 ppm/k以下であることが好ましく、さらに好ましくは50 ppm/k以下であってもよい。

[0031] また、絶縁膜に用いられる前記有機材料は、液状又は溶媒に可溶であることから、スピコート等により各絶縁膜を薄膜として容易に成膜することができる。更に、これら有機材料は、耐熱性を有していることから、後述する工程(h)で第1電極103及び第2電極203を接合する際の温度(例えば300℃以上の高温)に耐えることができ、絶縁膜同士の接合が高温により劣化しないようになっている。なお、第1絶縁膜102及び第2絶縁膜202を構成する有機材料として、感光性樹脂、熱硬化性の非導電性フィルム(NCF: Non Conductive Film)、又は、熱硬化性樹脂を用いてもよい。この有機材料は、アンダーフィル材であってもよい。また、第1絶縁膜102及び第2絶縁膜202は、無機材料と有機材料との両方を含む絶縁膜であってもよい。

[0032] 第2絶縁膜202は、第2基板本体201に対して強固に接着される構成であってもよく、例えば、第2基板本体201に対して碁盤目試験におけるはく離率が1%以下である接着強さを有するように形成してもよい。第2絶縁膜202が第2基板本体201に対して強固に接着していることにより、後述する工程(e)での洗浄の際に第2絶縁膜202が全体的又は部分的にはく離してデブリになったり、チップ飛びが発生したりすることが防止される。なお、「はく離率」は、碁盤目試験における、全個片数に占めるはく離された個片数の割合である。「碁盤目試験」は、JIS K5400に規定される碁盤目試験 100マス(間隔: 1mm、10×10=100マス)である。具体的には、対象試験片を1mm間隔で縦横それぞれに素地まで届

く切込みを11本入れた後、対象試験片にセロハン粘着テープを付着させる。そして、セロハン粘着テープを付着させて1～2分間が経過した後、接着面に対して直角になるようにセロハン粘着テープを保ったまま瞬間的に引き剥がし、はく離された個片数を数える。はく離率(%)は、このはく離された個片数を全個片数(100個)で除して100を乗じた値である。

[0033] 第2絶縁膜202の厚さは、20 μ m以下であってもよい。第2絶縁膜202の厚みを十分に薄くすることにより、第2電極203及び第2電極203から形成される配線等をより微細な構成とすることができる。例えば、第2絶縁膜202内に形成される第2電極203の最小サイズ(電極幅)は、第2絶縁膜202の厚さと使用される感光性材料のアスペクト比とによって規定される。感光性材料のアスペクト比が例えば1:1(開口幅:深さ)である場合、第2絶縁膜202の厚さが20 μ m以下であることにより、第2電極203の電極幅を20 μ m以下とすることができる。なお、第2絶縁膜202の厚さは、20 μ mより厚くてもよい。この場合、後述する工程(g)において、絶縁膜同士を貼り合わせる際、樹脂製の第2絶縁膜202内により多くのデブリ埋め込むことができ、絶縁膜同士をより確実に接合することができる。また、絶縁膜同士を接合する際の応力を何れかの樹脂絶縁層で緩和して、絶縁膜同士の接着性を向上させることも可能である。

[0034] [工程(c)及び工程(d)]

工程(c)は、第1半導体基板100を研磨する工程である。工程(c)では、第1電極103が設けられた第1絶縁膜102の表面をCMP(Chemical Mechanical Polishing)法を用いて研磨する。工程(c)では、例えば銅等からなる第1電極103を選択的に深く削る条件でCMP法によって第1半導体基板100を研磨してもよいし、第1電極103の各表面が第1絶縁膜102の表面と一致するようにCMP法で研磨してもよい。なお、この研磨により、第1半導体基板100の表面上のデブリも除去される。

[0035] 工程(d)は、第2半導体基板200を研磨する工程である。工程(d)では、第2電極203が設けられた第2絶縁膜202の表面をCMP法を用

いて研磨する。工程（d）では、例えば銅等からなる第2電極203を選択的に深く削る条件でCMP法によって第2半導体基板200を研磨してもよいし、第2電極203の各表面が第2絶縁膜202の表面と一致するようにCMP法で研磨してもよい。なお、この研磨により、第2半導体基板200の表面上のデブリも除去される。

[0036] 工程（c）及び工程（d）では、第1絶縁膜102の厚さと第2絶縁膜202の厚さが同じになるように研磨してもよいが、例えば、第2絶縁膜202の厚さが第1絶縁膜102の厚さよりも厚くなるように研磨してもよい。一方、第2絶縁膜202の厚さが第1絶縁膜102の厚さよりも薄くなるように研磨してもよい。第2絶縁膜202の厚さが第1絶縁膜102の厚さよりも厚く且つ有機材料から形成されている場合には、半導体チップ20への個片化時又はチップ実装時に接合界面に付着するデブリの多くを第2絶縁膜202によって包含することができ、接合不良を低減することができる。一方、第2絶縁膜202の厚さが第1絶縁膜102の厚さよりも薄い場合には、実装される半導体チップ20、つまり半導体装置1の低背化を図ることができる。

[0037] [工程（e）]

工程（e）は、第2半導体基板200を個片化し、複数の半導体チップ20を取得する工程である。工程（e）では、図3に示すように、第2半導体基板200をダイシングテープ205上に配置して、第2絶縁膜202から第2基板本体201に向かってダイシング等の切断手段により複数の半導体チップ20に個片化する。第2半導体基板200をダイシングする際に第2絶縁膜202に保護材等を被覆して、それから個片化してもよい。工程（e）により、第2半導体基板200の第2絶縁膜202は、図2の（b）に示すように、各半導体チップ20に対応する絶縁膜部分202bへと分割される。第2半導体基板200を個片化するダイシング方法としては、例えば、プラズマダイシング、ステルスダイシング又はレーザーダイシングを用いることができる。ダイシングの際の第2半導体基板200の表面保護材として

は、例えば、水又はTMAH等で除去可能な有機膜、又は、プラズマ等で除去可能な炭素膜などの薄膜を設けてもよい。なお、第1半導体基板100へ貼り合わせるための第2半導体基板200の接合面が表面側にむき出しになっていることから、ダイシング後に第2絶縁膜202の表面に対してプラズマ、イオンビーム、紫外線、又は電子線を照射して表面処理を行ったり、又は、第2絶縁膜の表面にカップリング剤等を付与する表面処理を行ったりしてもよい。

[0038] 本実施形態では、図3に示すように、工程(e)の個片化の際に、第2半導体基板200を二流体洗浄方法によって洗浄する。二流体洗浄方法とは、圧縮した気体（例えば清浄な空気）を液体（例えば純水）に混合してミスト状となった混合洗浄流体を用いて行う洗浄方法を意味する。二流体洗浄方法では、微小な液体を高速で対象物にぶつけることでより高い洗浄能力を実現できる一方、高圧な洗浄水が不要であるため、対象物にかかる衝撃を低減することができる。衝撃が低減されるため、対象物が破損等してデブリの原因となることも低減される。図4は、このような二流体洗浄を行うための洗浄装置を模式的に示す図である。図4に示すように、洗浄装置30は、混合部31、第1導入部32、第2導入部33、及びノズル34を備えている。第1導入部32は、純水などの洗浄液を混合部31に導入する。第2導入部33は、圧縮空気等の気体を混合部31に導入する。混合部31では、第1導入部32から導入された洗浄液に、第2導入部33から導入された圧縮空気を混合させて、ミスト状の混合洗浄流体を形成する。混合部31で形成された混合洗浄流体W1は、混合部31の先端に設けられたノズル34から、ダイシング中の第2半導体基板200（第2絶縁膜202の表面）に向けて噴出され、第2半導体基板が洗浄される。また、洗浄装置30は、ノズル34から噴出され第2半導体基板200の洗浄が終わった洗浄液を回収するミストコレクタ35を更に備えている。ミストコレクタ35により、洗浄後でデブリP等を含む混合洗浄流体W2が回収される。

[0039] 洗浄装置30による洗浄条件としては、洗浄液である純水の流量を50m

L/分～100mL/分として混合部31に導入すると共に、圧力0.2MPa～0.4MPaの圧縮空気（クリーンエア）を導入して、混合洗浄流体W1を形成する。圧縮空気の導入圧力は、例えば2.7kgf/cm²～6.0kgf/cm²であってもよい。洗浄装置30からは、この混合洗浄流体W1を10kgf/cm²以下の噴出圧で第2半導体基板200に対して噴出して洗浄を行う。図3に示すように、第2半導体基板200をダイシング装置40によりダイシングしながら、このような気体と液体を混合した二流体（混合洗浄流体W1）をミスト状の微小液滴にして高速で衝突させることにより、高圧洗浄を行うことなく、方向Dにむけてダイシングされている第2半導体基板200を効率的に洗浄することができる。この二流体洗浄方法に用いられる混合洗浄流体の噴出圧は、更に8kgf/cm²以下であってもよく、4kgf/cm²以上であってもよい。ミスト状の混合洗浄流体W1による洗浄は、ダイシング終了後に継続もしくは追加で行っても良い。ミスト状の混合洗浄流体W1での洗浄が終了した後、リンスとして、ダイシングされた第2半導体基板200を更に純水で洗浄してもよい。また、混合洗浄流体での洗浄またはリンスの後に、ダイシングされた第2半導体基板200を乾燥させてもよい。このような二流体洗浄方法により、半導体チップ20の大きさが例えば縦5mm横5mmである場合、各半導体チップ20の接合面に残存するデブリ（異物）を1個以下（縦15mmで横15mmの大きさに換算した場合）に抑えることが可能となる（例えば、図7の（b）を参照）。

[0040] [工程（f）]

工程（f）は、図2の（c）に示すように、第1半導体基板100の第1電極103に対して複数の半導体チップ20それぞれの第2電極203の位置合わせを行う工程である。工程（f）では、図6の（a）に示すように、各半導体チップ20の第2電極203が第1半導体基板100の対応する第1電極103に対向するように、各半導体チップ20の位置合わせを行う。この位置合わせ用に、第1半導体基板100上にアライメントマーク等を設けてもよい。

[0041] [工程 (g)]

工程 (g) は、第 1 半導体基板 100 の第 1 絶縁膜 102 と複数の半導体チップ 20 の各絶縁膜部分 202b とを互いに貼り合わせる工程である。工程 (g) では、各半導体チップ 20 の表面に付着した有機物又は金属酸化物を除去した後、図 6 の (a) に示すように、第 1 半導体基板 100 に対する半導体チップ 20 の位置合わせを行い、これが終了すると、ハイブリッドボンディングとして複数の半導体チップ 20 それぞれの絶縁膜部分 202b を第 1 半導体基板 100 の第 1 絶縁膜 102 に接合する (図 5 の (a) 及び (b) 参照)。この際、複数の半導体チップ 20 の絶縁膜部分 202b と第 1 半導体基板 100 の第 1 絶縁膜 102 とを均一に加熱してから接合を行ってもよい。接合の際の半導体チップ 20 と第 1 半導体基板 100 との温度差は、例えば 10℃ 以下が好ましい。このような均一な温度での加熱接合により、第 1 絶縁膜 102 と絶縁膜部分 202b が接合された絶縁接合部分 S1 となり、複数の半導体チップ 20 が第 1 半導体基板 100 に対して機械的に強固に取り付けられる。また、均一な温度での加熱接合であることから、接合箇所における位置ズレ等が生じ難く、高精度な接合を行うことができる。この取り付けの段階では、第 1 半導体基板 100 の第 1 電極 103 と半導体チップ 20 の第 2 電極 203 とは互いに離間しており、接続されていない (但し位置合わせはされている)。なお、半導体チップ 20 の第 1 半導体基板 100 への貼り合わせは、他の接合方法によって行ってもよく、例えば常温接合等で接合してもよい。

[0042] [工程 (h)]

工程 (h) は、第 1 半導体基板 100 の第 1 電極 103 と複数の半導体チップ 20 それぞれの第 2 電極 203 とを接合する工程である。工程 (h) では、図 2 の (d) に示すように、工程 (g) の貼り合わせが終了すると、所定の熱 H 又は圧力若しくはその両方を付与して、ハイブリッドボンディングとして第 1 半導体基板 100 の第 1 電極 103 と複数の半導体チップ 20 の第 2 電極 203 とを接合する (図 5 の (c) も参照)。第 1 電極 103 及び

第2電極203が銅から構成されている場合、工程（g）でのアニーリング温度は、150℃以上400℃以下であることが好ましく、200℃以上300℃以下であることがより好ましい。このような接合処理により、第1電極103とそれに対応する第2電極203とが接合された電極接合部分S2となり、第1電極103と第2電極203とが機械的且つ電氣的に強固に接合される。図6の（b）に、絶縁接合部分S1と電極接合部分S2とが形成された状態を示す。なお、工程（h）の電極接合は、工程（g）の貼り合わせ後に行われるが、工程（g）の貼り合わせと同時に行われてもよい。その後、図6の（c）及び（d）に示すように、すべての半導体チップ20を第1半導体基板100に接合して、半導体装置1を取得する。

[0043] 以上により、第1半導体基板100に複数の半導体チップ20が電氣的且つ機械的に所定の位置に高精度に設置された半導体装置1（図1を参照）を取得することができる。この後、図1に示す構成の半導体装置（C2W）を更に個片化して、1の半導体チップ20と当該1の半導体チップ20に対応する第1半導体基板100の部分とから構成される各半導体装置を個別に形成してもよい。

[0044] 以上、本実施形態に係る半導体装置の製造方法によれば、複数の半導体チップ20を取得する工程において、洗浄液内に気体が導入された混合洗浄流体W1を使用して第2半導体基板200を洗浄しながら、第2半導体基板200をダイシングにより個片化している。この場合、洗浄液に気体を導入することでミスト状となった混合洗浄流体W1を用いて洗浄を行うため、高圧洗浄よりも噴出圧力を低く抑えつつ微細なデブリに対する洗浄能力を高くすることができる。これにより、ダイシングで生じるデブリPが接合面から確実に除去された半導体チップ20を用いて半導体装置1を製造することができ、半導体チップ20の三次元実装を行う場合において半導体チップの接続不良を低減することができる。

[0045] また、本実施形態に係る製造方法において、第2絶縁膜202の第2基板本体201への接着強さは、基盤目試験におけるはく離率が1%以下である

接着強さであってもよい。この場合、洗浄液の噴出圧力は低減されているものの、第2半導体基板200を洗浄した際に当該洗浄による衝撃で第2絶縁膜202自体又はその一部が飛散してデブリになってしまうことを抑制することができる。これにより、半導体チップ20を個片化する際のデブリの発生要因の1つを抑えて、半導体チップの接続不良を更に低減することが可能となる。

[0046] また、本実施形態に係る製造方法において、第2絶縁膜202の厚さは、 $20\mu\text{m}$ 以下であってもよい。この場合、より微細な電極又は回路を形成して、薄型の半導体装置を作製することが可能となる。

[0047] また、本実施形態に係る製造方法において、複数の半導体チップを取得する工程では、混合洗浄流体W1の噴出圧が $10\text{kgf}/\text{cm}^2$ 以下となるように、混合洗浄流体W1を第2半導体基板200に向けて噴出して洗浄を行ってもよい。この場合、第2半導体基板200をダイシングする際の洗浄により、ダイシングされた半導体チップ20を飛ばしてしまうといったこと（チップ飛び）を抑制することができる。また、混合洗浄流体W1により第2絶縁膜202を第2半導体基板200からはく離させてしまうことを抑制することができる。以上により、半導体装置の製造歩留まりを向上することができる。更に、混合洗浄流体W1で第2半導体基板200の第2絶縁膜202を飛散させてデブリPを生じさせてしまうことを抑制することができる。これにより、半導体チップの接続不良を更に低減することが可能となる。

[0048] また、本実施形態に係る製造方法において、複数の半導体チップを取得する工程では、第2半導体基板200に噴出された混合洗浄流体W1の洗浄後のミスト（混合洗浄流体W2）を回収してもよい。この場合、洗浄後にデブリが含有されている混合洗浄流体W2を、ダイシングされ且つ洗浄された半導体チップ20から早期に遠ざけて、半導体チップ20へのデブリの再付着を抑制することができる。これにより、半導体チップの三次元実装を行う場合において半導体チップの接続不良を更に低減することが可能となる。

[0049] また、本実施形態に係る製造方法において、第2半導体基板200の第2

絶縁膜 202 は、無機材料を含んでもよい。この場合、より微細な構成の半導体装置を作製することが可能となる。また、無機材料同士の接合は強固にし易いことから、半導体基板同士の接着強さを高めて、半導体装置としての接続信頼性を向上させることが可能となる。

[0050] また、本実施形態に係る製造方法において、第 2 半導体基板 200 の第 2 絶縁膜 202 は、有機材料を含んでもよい。この場合、比較的柔らかい材料である有機材料により、上述した洗浄で完全には取り除けなかったデブリを当該有機材料からなる絶縁膜部分に吸収（内蔵）して、半導体チップ 20 の接続不良を更に低減することができる。

[0051] また、本実施形態に係る洗浄装置 30 は、洗浄液を導入する第 1 導入部 32 と、気体を導入する第 2 導入部 33 と、洗浄液に気体を混合させて混合洗浄流体 W1 を形成する混合部 31 と、混合洗浄流体 W1 を噴出するノズル 34 と、を備える。二流体洗浄を行うことができる洗浄装置 30 を用いることにより、ダイシングされた半導体チップの接合面上のデブリをより確実に除去することが可能となる。

[0052] また、本実施形態に係る洗浄装置 30 は、ノズル 34 から噴出された混合洗浄流体 W1 の洗浄後のミスト（混合洗浄流体 W2）を回収するミストコレクタ 35 を更に備えている。この場合、ミストコレクタ 35 により、洗浄後にデブリが含有されている混合洗浄流体 W2 を、ダイシングされ且つ洗浄された半導体チップ 20 から早期に遠ざけて、半導体チップ 20 へのデブリの再付着を抑制することができる。これにより、半導体チップの三次元実装を行う場合において半導体チップの接続不良を更に低減することが可能となる。

[0053] また、本実施形態に係る洗浄方法は、第 2 半導体基板 200 を準備する工程と、第 2 半導体基板 200 を個片化する際に洗浄を行う工程と、を備える。洗浄を行う工程では、洗浄液内に気体が導入された混合洗浄流体 W1 を使用して第 2 半導体基板 200 を洗浄しながら、第 2 半導体基板 200 をダイシングにより個片化する。この場合、洗浄液に気体を導入することでミスト

状となった混合洗浄流体W1を用いて洗浄を行うため、高圧洗浄よりも噴出圧力を低く抑えつつ微細なデブリに対する洗浄能力を高くすることができる。これにより、ダイシングで生じるデブリが確実に除去された半導体チップ20を用いて半導体装置1を製造することができ、半導体チップの三次元実装を行う場合において半導体チップの接続不良を低減することができる。

[0054] また、本実施形態に係る製造方法で製造された半導体装置1は、第1基板本体101と、第1基板本体101の一面に設けられた第1絶縁膜102及び第1電極103とを有する第1半導体基板100と、複数の半導体チップ20とを備える。第1半導体基板100の第1電極103と半導体チップ20の第2電極203とが接合されており、第1半導体基板100の第1絶縁膜102と半導体チップの絶縁膜部分202bとが接合されている。この絶縁膜部分202bには、50 μ m以上のデブリが縦15mmで横15mmの範囲内に1個以内である。

実施例

[0055] 以下、実施例により本発明をより具体的に説明するが、本発明は実施例に限定されるものではない。

[0056] [実施例1]

以下の実施例では、ダイシングしながら半導体チップの表面を通常の洗浄方法で洗浄した場合（比較例1）と、二流体洗浄方法で洗浄した場合（実施例1）とでの半導体チップの表面に残存したデブリ（異物）を評価した。なお、洗浄対象の半導体チップは、縦5mmで横5mmの5mm角の半導体チップ9個分に対応するものであった。

[0057] 比較例1に係る通常の洗浄方法は、以下の洗浄装置を用いて、以下の洗浄条件で行った。

洗浄装置：ダイシング装置（（株）ディスコ製、DFD6302）

洗浄条件：純水 流量 80mL／分

半導体装置をダイシングしながら半導体チップの接合面を洗浄した。その後、ダイシングされた半導体装置を回転数800rpmで回転して20秒間

、半導体チップの接合面をスピン洗浄した後、0.8 L／分の流量で純水によるリンスを10秒間行った。リンスの終了後、ダイシングされた半導体装置を2000 rpmで20秒間回転させて乾燥を行った。

[0058] 実施例1に係る二流体洗浄方法は、以下の洗浄装置を用いて、以下の洗浄条件で行った。

洗浄装置：ダイシング装置（(株)ディスコ製、DFD6302）

洗浄条件：純水 流量 80 ml／分

圧縮空気 圧力0.3 MPa

上記の純水と圧縮空気を混合した後、半導体装置をダイシングしながら半導体チップの接合面を洗浄した。その後、ダイシングされた半導体装置を回転数800 rpmで回転して20秒間、半導体チップの接合面をスピン洗浄した後、0.8 L／分の流量で純水によるリンスを10秒間行った。リンスの終了後、ダイシングされた半導体装置を2000 rpmで20秒間回転させて乾燥を行った。

[0059] 図7に、洗浄後の半導体チップの接合表面の写真を示す。図7の（a）は、通常の洗浄条件（比較例1）で半導体チップを洗浄した際の接合面を示し、図7の（b）は、実施例1に係る二流体洗浄方法で半導体チップを洗浄した際の接合面を示す。図7の（a）に示すように、二流体洗浄を行わなかった場合（通常の洗浄を行った場合）、半導体チップの縦5 mmで横5 mmの5 mm角の範囲に2以上（写真の例では6個）のデブリが残っていることが確認できた。一方、二流体洗浄方法を行うことにより、半導体チップの縦5 mmで横5 mmの5 mm角の範囲にあるデブリが1個以内（ほとんどのチップでゼロ）に抑えられた。このように、二流体洗浄を用いた製造方法によれば、半導体チップの絶縁膜部分に50 μm以上のデブリが縦15 mmで横15 mmの範囲内に1個以内に抑えられた半導体装置を得ることができることが確認できた。このような半導体チップを半導体基板に接合して半導体装置を作製した場合、半導体チップの接続不良を低減することができる。

[0060] [実施例2]

半導体チップを通常方式で洗浄した場合（条件は比較例 1 と同様、比較例 2）と、二流体洗浄方法（条件は実施例 1 と同様、実施例 2）で洗浄した場合とでの、（a）単位面積辺りの異物数（デブリの残存数）を評価する試験 A と、（b）残存したデブリの最大径を評価する試験 B を行った。図 8 の（a）に試験 A の結果を示し、図 8 の（b）に試験 B の結果を示す。図 8 の（a）及び（b）において、左側のデータ（A 1 及び B 1）は、各試験結果をプロットした表を示し、右側のデータ（A 2 及び B 2）は、左側のプロットしたデータをまとめた表を示す。なお、試験 A 及び試験 B の試験数は、それぞれ 70 個とした。

[0061] 図 8 の（a）に示すように、通常の洗浄方法の場合、単位面積辺りの半導体チップの接合面に残存したデブリ数は $30 \text{ 個}/\text{cm}^2$ 以上となる傾向が強かった。一方、二流体洗浄方法の場合、単位面積辺りのデブリ数は $20 \text{ 個}/\text{cm}^2$ 以下であり、 $1 \text{ 個}/\text{cm}^2$ 以下となることが多かった。また、図 8 の（b）に示すように、通常の洗浄方法の場合、半導体チップの接合面に残存するデブリの最大径は $30 \mu\text{m}$ 以上であった。つまり、径の大きなデブリが残存してしまっていることが確認された。一方、二流体洗浄方法の場合、半導体チップの接合面に残存するデブリの最大径が $30 \mu\text{m}$ 以下となる傾向があり、多くの場合、残存するデブリの最大径が $10 \mu\text{m}$ 以下であった。このように、二流体洗浄によれば、半導体チップの接合面に残存するデブリの個数及びデブリの最大径が従来の洗浄方法に比べて大幅に低減できることが確認できた。

[0062] [実施例 3]

半導体チップを通常方式で洗浄した場合（条件は比較例 1 と同様、比較例 3）と、二流体洗浄方法（条件は実施例 1 と同様、実施例 3）で洗浄した場合とでの、（a）洗浄後の半導体チップと半導体装置とを接合した後にピンセットで触って自然に脱落した数を評価した試験 C と、（b）洗浄後の半導体チップと半導体装置とを接合した際にピンセットで触って自然に脱落しなかったサンプルを選別して両者間での接続強度（平均値）を評価する試験 D

とを行った。洗浄された半導体チップを半導体装置に接続する際の圧着温度は300℃と350℃の2つの条件とした。図9の(a)に試験Cの結果を示し、図9の(b)に試験Dの結果を示す。試験C及び試験Dの試験数は、それぞれ10個(各圧着温度毎に)とした。

[0063] 図9の(a)に示すように、実施例3に係る二流体洗浄方法を用いた製造方法によれば、比較例3に係る通常の洗浄方法に比べて、洗浄された半導体チップと半導体装置との間でより確実な機械的接続を確保できることが確認できた。また、図9の(b)に示すように、実施例3に係る二流体洗浄方法を用いた製造方法によれば、比較例3に係る通常の洗浄方法に比べて、半導体チップと半導体装置との間でよりシエラ強度の高い接合を実現することが確認できた。

符号の説明

[0064] 1…半導体装置、10…第1半導体基板、20…半導体チップ、30…洗浄装置、31…混合部、32…第1導入部、33…第2導入部、34…ノズル、35…ミストコレクタ、40…ダイシング装置、100…第1半導体基板、101…第1基板本体、101a…一面、102…第1絶縁膜、103…第1電極、200…第2半導体基板、201…第2基板本体、201a…一面、202…第2絶縁膜、203…第2電極、205…ダイシングテープ。

請求の範囲

- [請求項1] 第1基板本体と、該第1基板本体の一面に設けられた第1絶縁膜及び第1電極とを有する第1半導体基板を準備する工程と、
- 第2基板本体と、該第2基板本体の一面に設けられた第2絶縁膜及び複数の第2電極とを有する第2半導体基板を準備する工程と、
- 前記第2半導体基板の前記一面側に配置されている前記第2絶縁膜を研磨する工程と、
- 前記第2半導体基板を個片化し、前記第2絶縁膜に対応する絶縁膜部分と少なくとも1つの前記第2電極とをそれぞれが備えた複数の半導体チップを取得する工程と、
- 前記第1半導体基板の前記第1電極に対して前記複数の半導体チップの内の少なくとも1つの半導体チップの前記第2電極の位置合わせを行う工程と、
- 前記第1半導体基板の前記第1絶縁膜と前記半導体チップの前記絶縁膜部分とを互いに貼り合わせる工程と、
- 前記第1半導体基板の前記第1電極と前記半導体チップの前記第2電極とを接合する工程と、を備え、
- 前記複数の半導体チップを取得する工程では、洗浄液内に気体が導入された混合洗浄流体を使用して前記第2半導体基板を洗浄しながら、前記第2半導体基板をダイシングにより個片化する、半導体装置の製造方法。
- [請求項2] 前記第2絶縁膜の前記第2基板本体への接着強さは、基盤目試験におけるはく離率が1%以下である、
- 請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第2絶縁膜の厚さは、 $20\mu\text{m}$ 以下である、
- 請求項1又は2に記載の半導体装置の製造方法。
- [請求項4] 前記複数の半導体チップを取得する工程では、前記混合洗浄流体の噴出圧が $10\text{kgf}/\text{cm}^2$ 以下となるように、前記混合洗浄流体を

前記第2半導体基板に向けて噴出して洗浄を行う、

請求項1～3の何れか一項に記載の半導体装置の製造方法。

[請求項5] 前記複数の半導体チップを取得する工程では、前記第2半導体基板に噴出された前記混合洗浄流体の洗浄後のミストを回収する、
請求項1～4の何れか一項に記載の半導体装置の製造方法。

[請求項6] 前記複数の半導体チップを取得する工程では、前記第2半導体基板の前記第2絶縁膜に対して前記混合洗浄流体が噴出されると共に、前記第2絶縁膜から前記第2基板本体に向かってダイシングが行われる、
請求項1～5の何れか一項に記載の半導体装置の製造方法。

[請求項7] 前記第2半導体基板の前記第2絶縁膜が無機材料を含む、
請求項1～6の何れか一項に記載の半導体装置の製造方法。

[請求項8] 前記第2半導体基板の前記第2絶縁膜が有機材料を含む、
請求項1～7の何れか一項に記載の半導体装置の製造方法。

[請求項9] 前記第2絶縁膜に含まれる前記有機材料は、ポリイミド、ポリイミド前駆体、ポリアミドイミド、ベンゾシクロブテン（BCB）、ポリベンゾオキサゾール（PBO）、又はPBO前駆体を含む、
請求項8に記載の半導体装置の製造方法。

[請求項10] 請求項1～9の何れか一項に記載の半導体装置の製造方法に用いられる洗浄装置であって、
前記洗浄液を導入する第1導入部と、
前記気体を導入する第2導入部と、
前記洗浄液に前記気体を混合させて前記混合洗浄流体を形成する混合部と、
前記混合洗浄流体を噴出するノズルと、
を備える洗浄装置。

[請求項11] 前記ノズルから噴出された前記混合洗浄流体の洗浄後のミストを回収するミストコレクタを更に備える、

請求項 10 に記載の洗浄装置。

[請求項12] 基板本体と、該基板本体の一面に設けられた絶縁膜及び複数の電極とを有する半導体基板を準備する工程と、

前記半導体基板を個片化する際に洗浄を行う工程と、を備え、

前記洗浄を行う工程では、洗浄液内に気体が導入された混合洗浄流体を使用して前記半導体基板を洗浄しながら、前記半導体基板をダイシングにより個片化する、洗浄方法。

[請求項13] 第1 基板本体と、該第1 基板本体の一面に設けられた第1 絶縁膜及び第1 電極とを有する第1 半導体基板と、

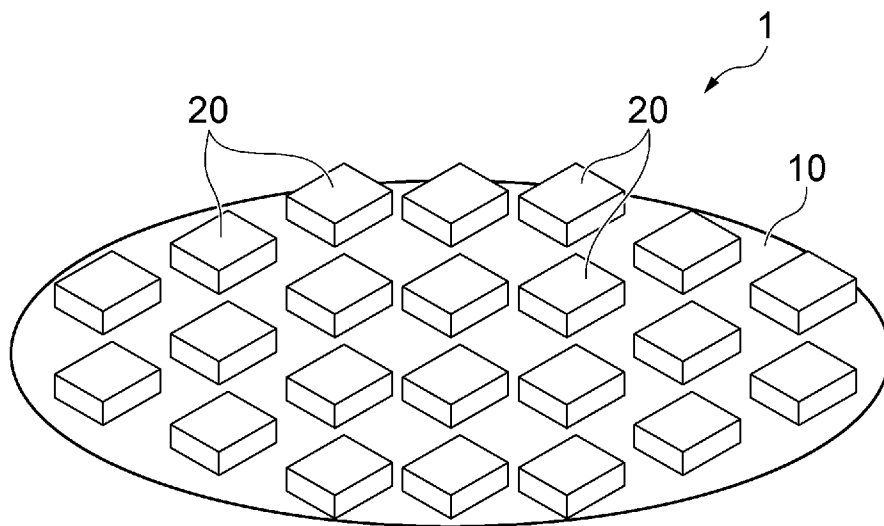
第2 基板本体と、該第2 基板本体の一面に設けられた第2 絶縁膜及び第2 電極とを有する第2 半導体基板とを、備え、

前記第1 半導体基板の前記第1 電極と前記第2 半導体基板の前記第2 電極とが接合されており、

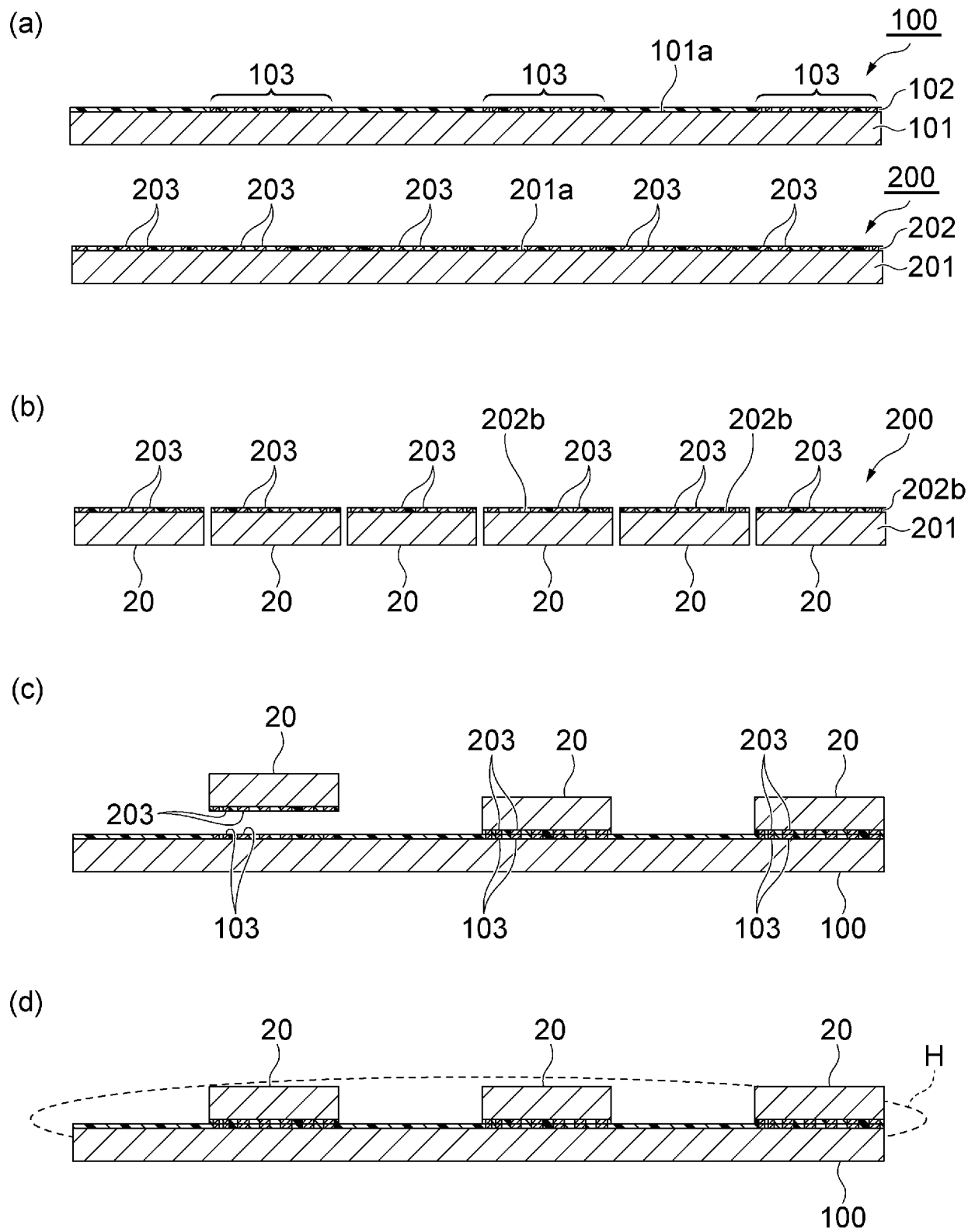
前記第1 半導体基板の第1 絶縁膜と前記第2 半導体基板の第2 絶縁膜とが接合されており、

前記第2 絶縁膜には、 $50\mu\text{m}$ 以上のデブリが縦 15mm で横 15mm の範囲内に1 個以内である、半導体装置。

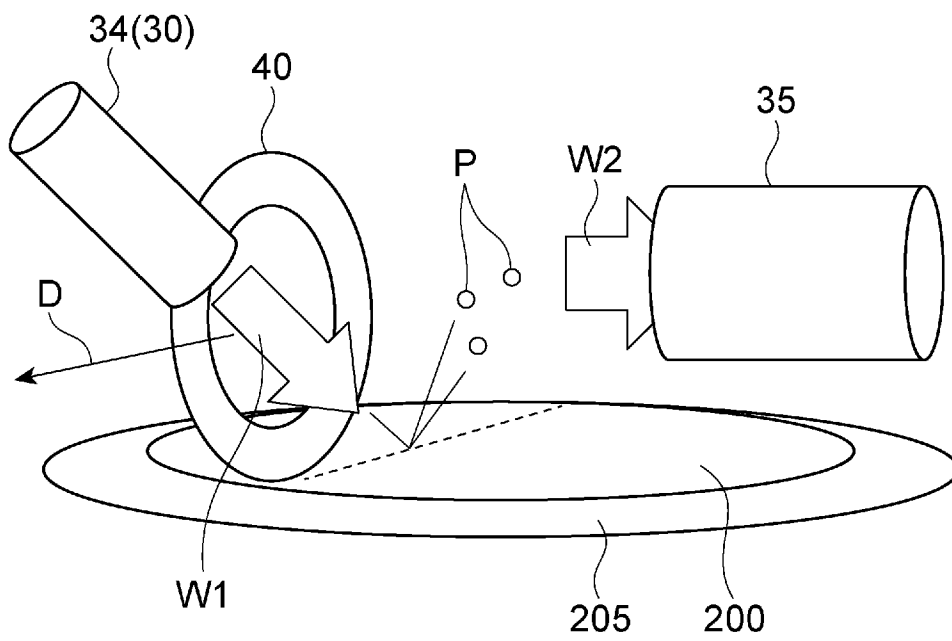
[図1]



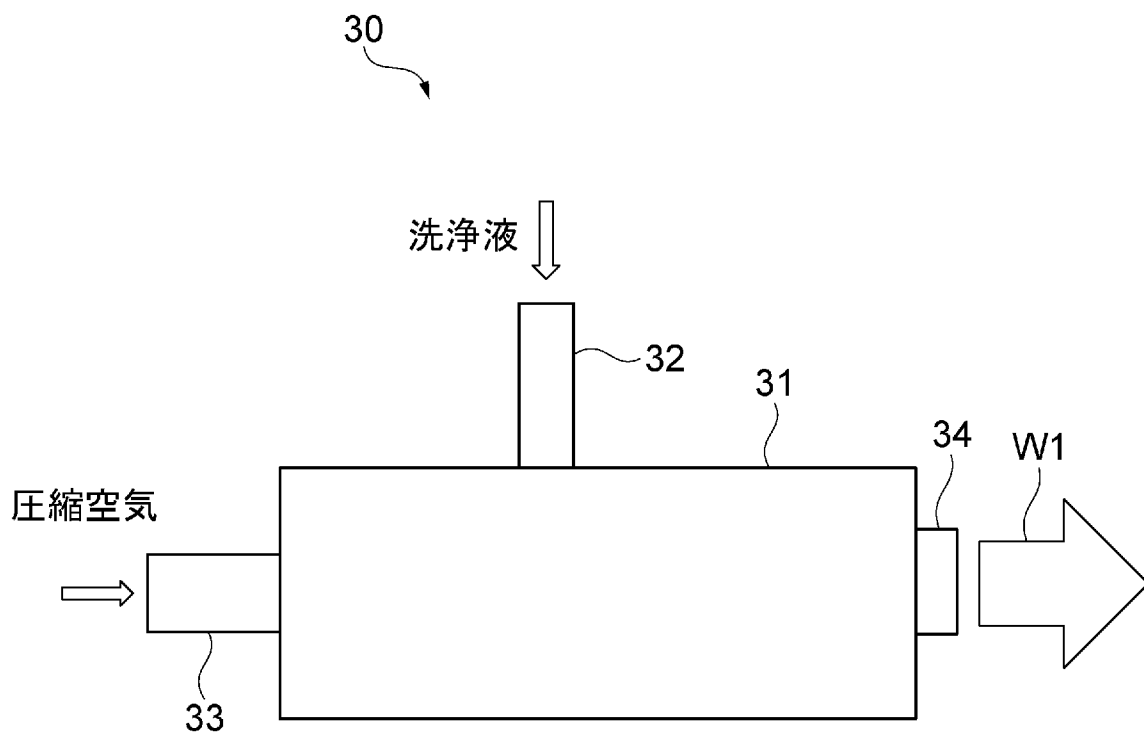
[図2]



[図3]

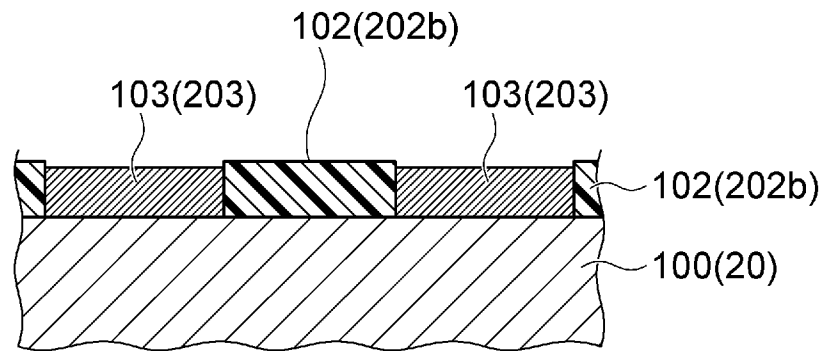


[図4]

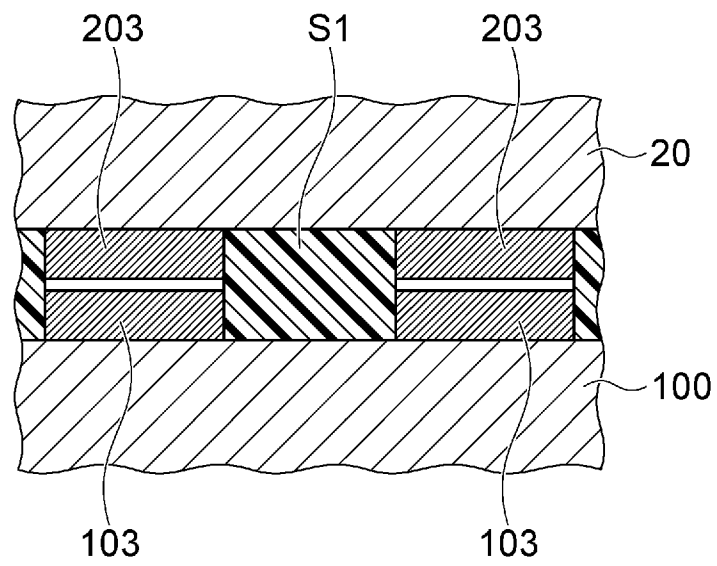


[図5]

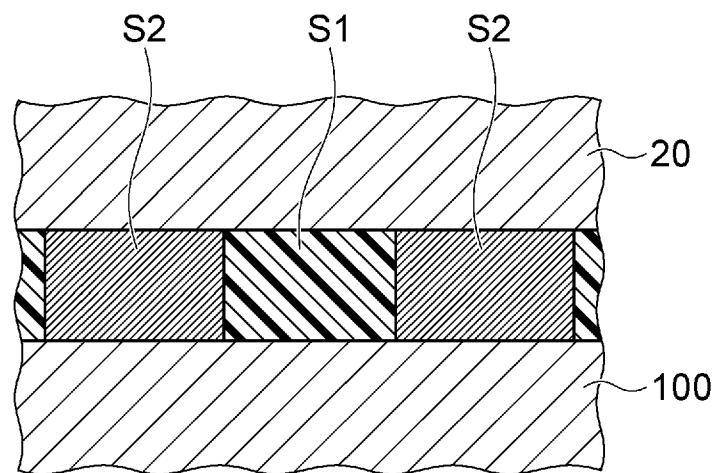
(a)



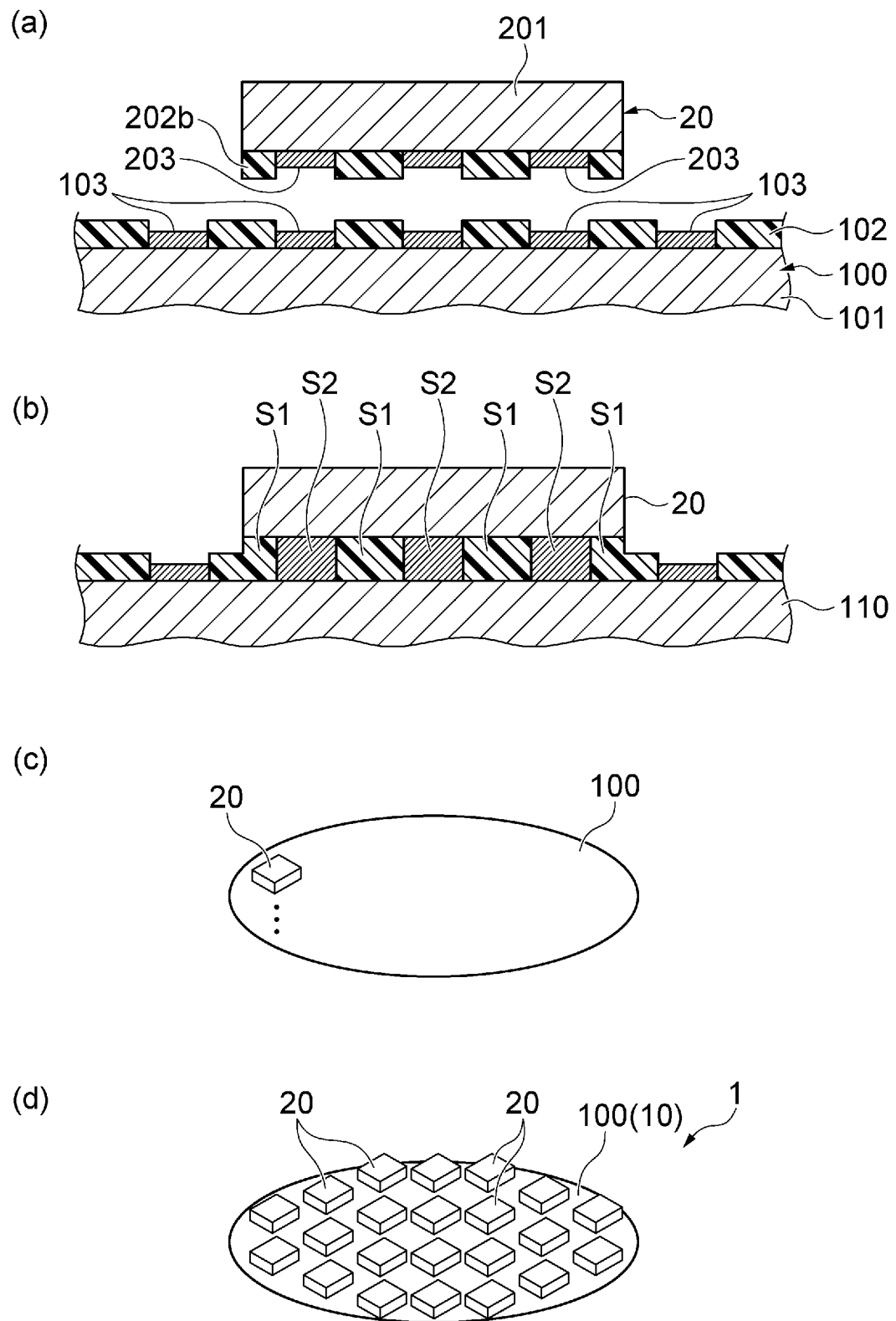
(b)



(c)

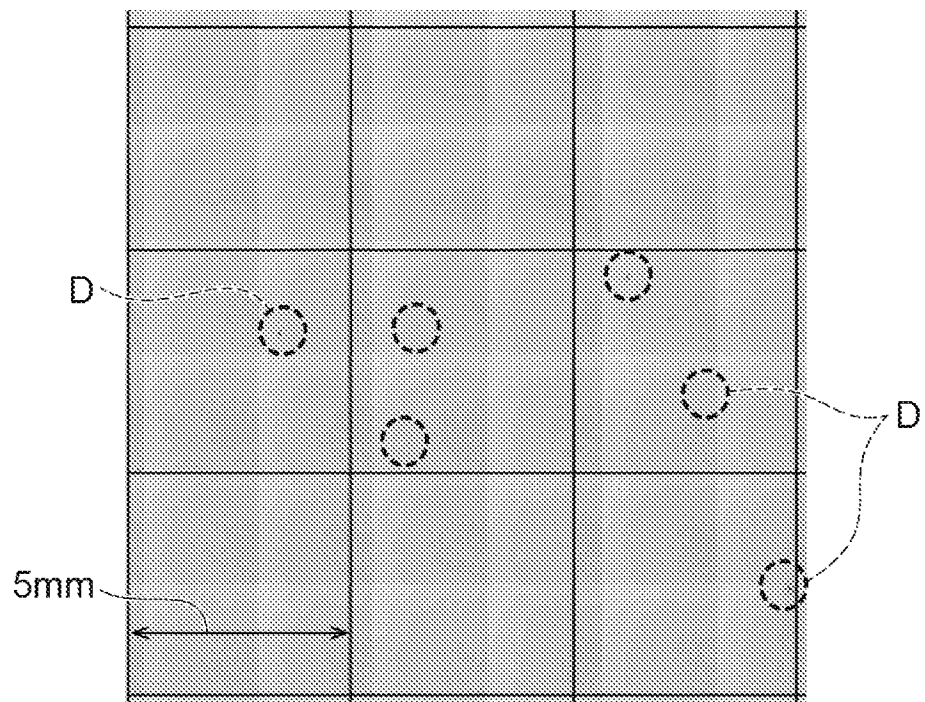


[図6]

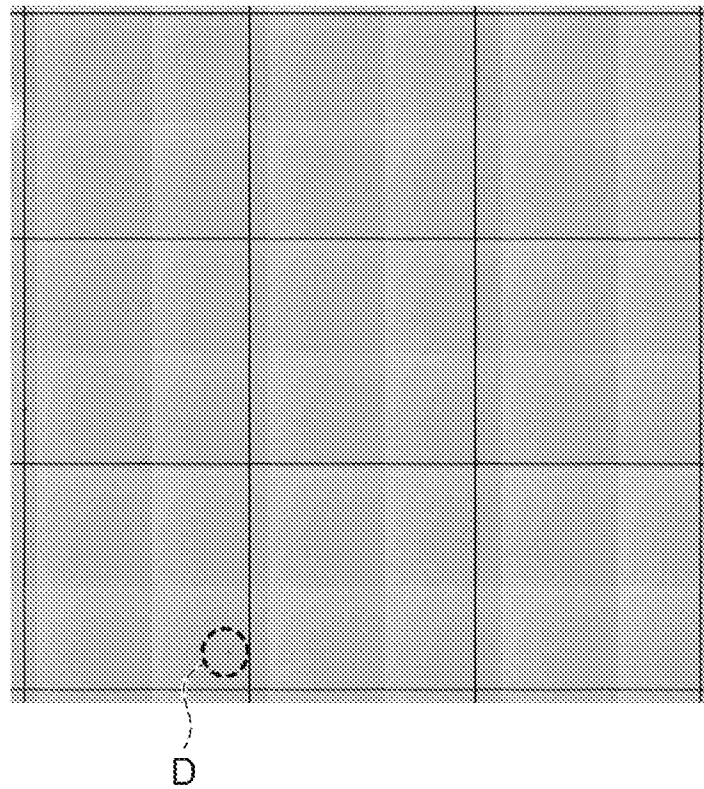


[図7]

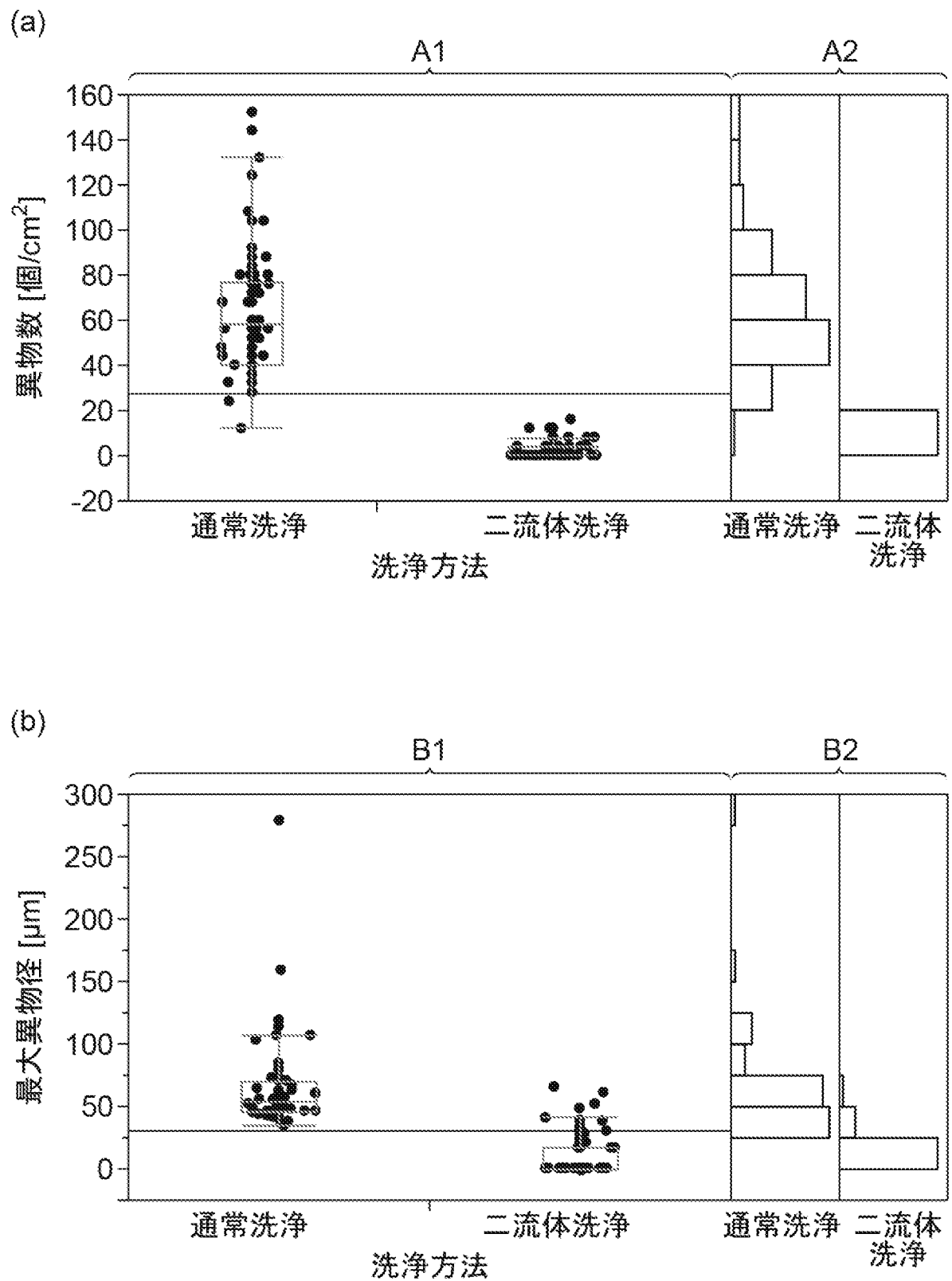
(a)



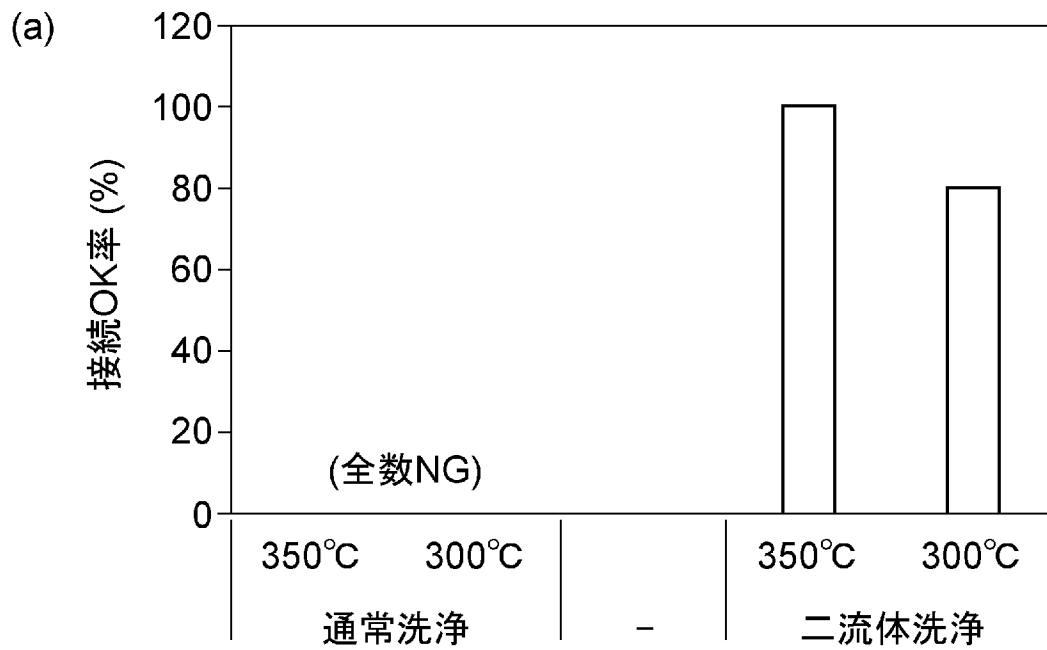
(b)



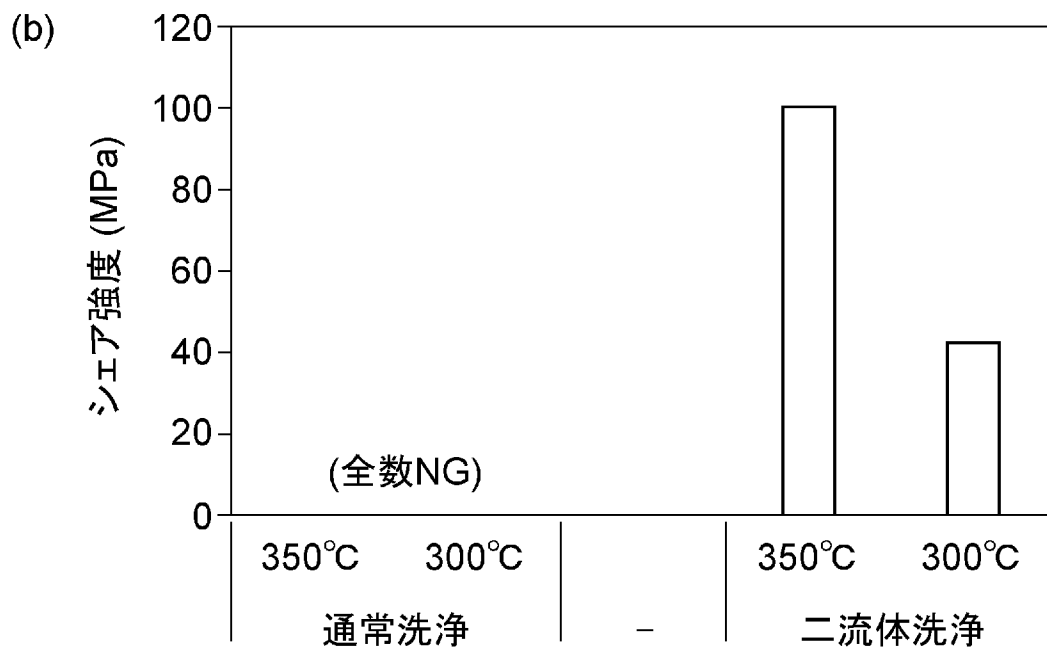
[図8]



[図9]



上段：圧着温度
下段：洗浄方法



上段：圧着温度
下段：洗浄方法

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/013034

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/301(2006.01)i

FI: H01L21/78 Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/301

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-092078 A (TOSHIBA CORP) 23 May 2016 (2016-05-23) paragraphs [0008]-[0098]	1-13
Y	JP 2015-225868 A (MICRON TECHNOLOGY INC) 14 December 2015 (2015-12-14) paragraph [0024]	1-13
Y	WO 2015/040798 A1 (PANASONIC IP MAN CO LTD) 26 March 2015 (2015-03-26) paragraph [0012]	1-13
Y	JP 2009-285769 A (DISCO ABRASIVE SYSTEMS LTD) 10 December 2009 (2009-12-10) paragraphs [0018]-[0020]	1-12

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 May 2021 (21.05.2021)

Date of mailing of the international search report

01 June 2021 (01.06.2021)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/013034

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	W0 2008/004365 A1 (TOKYO SEIMITSU CO., LTD) 10 January 2008 (2008-01-10) paragraphs [0045], [0048]-[0051]	1-12
Y	JP 2015-139860 A (DISCO ABRASIVE SYSTEMS LTD) 03 August 2015 (2015-08-03) paragraphs [0020], [0033]	5-11
Y	W0 2010/013728 A1 (NEC CORPORATION) 04 February 2010 (2010-02-04) claims 8-9	8-11
Y	JP 8-125121 A (MATSUSHITA ELECTRIC IND CO LTD) 17 May 1990 (1990-05-17) paragraphs [0005]-[0018]	8-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/013034

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2016-092078 A	23 May 2016	US 2016/0126218 A1 paragraphs [0014]- [0106] (Family: none)	
JP 2015-225868 A	14 Dec. 2015	US 2016/0190103 A1 paragraph [0033] CN 101590655 A (Family: none)	
WO 2015/040798 A1	26 Mar. 2015	US 2011/0115092 A1 claims 8-9 US 5753536 A column 1, line 23 to column 2, line 32 EP 700088 A2 EP 813246 A2 CN 1119345 A KR 10-1996-0009074 A	
JP 2009-285769 A	10 Dec. 2009		
WO 2008/004365 A1	10 Jan. 2008		
JP 2015-139860 A	03 Aug. 2015		
WO 2010/013728 A1	04 Feb. 2010		
JP 8-125121 A	17 May 1996		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/301(2006.01)i FI: H01L21/78 Q		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/301		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-092078 A（株式会社東芝）23.05.2016（2016-05-23） [0008]-[0098]	1-13
Y	JP 2015-225868 A（マイクロン テクノロジー、インク。）14.12.2015（2015-12-14） [0024]	1-13
Y	WO 2015/040798 A1（パナソニックIPマネジメント株式会社）26.03.2015（2015-03-26） [0012]	1-13
Y	JP 2009-285769 A（株式会社ディスコ）10.12.2009（2009-12-10） [0018]-[0020]	1-12
Y	WO 2008/004365 A1（株式会社東京精密）10.01.2008（2008-01-10） [0045], [0048]-[0051]	1-12
Y	JP 2015-139860 A（株式会社ディスコ）03.08.2015（2015-08-03） [0020], [0033]	5-11
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 21.05.2021		国際調査報告の発送日 01.06.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 中田 剛史 50 2951 電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2010/013728 A1 (日本電気株式会社) 04.02.2010 (2010 - 02 - 04) 請求項8-9	8-11
Y	JP 8-125121 A (松下電器産業株式会社) 17.05.1996 (1996 - 05 - 17) [0005]-[0018]	8-11

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/013034

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-092078	A	23.05.2016	US 2016/0126218 A1 [0014]-[0106]	
JP	2015-225868	A	14.12.2015	(ファミリーなし)	
WO	2015/040798	A1	26.03.2015	US 2016/0190103 A1 [0033]	
JP	2009-285769	A	10.12.2009	CN 101590655 A	
WO	2008/004365	A1	10.01.2008	(ファミリーなし)	
JP	2015-139860	A	03.08.2015	(ファミリーなし)	
WO	2010/013728	A1	04.02.2010	US 2011/0115092 A1 請求項8-9	
JP	8-125121	A	17.05.1996	US 5753536 A 第1欄第23行-第2欄第32行 EP 700088 A2 EP 813246 A2 CN 1119345 A KR 10-1996-0009074 A	