公告本

申請日期	87. 2. 23
案號	87102518
類別	H01L 21/768

（以上各欄由本局填註）

A4
C4

579575

發明 新型 專利說明書

一、發明 新型 名稱	中文	銅薄膜之形成方法
	英文	METHOD FOR FORMING A THIN COPPER FILM
二、發明 創作 人	姓名	1.豊田吉彦 2.深田哲生 3.森剛 4.長谷川万希子
	國籍	日本國
	住、居所	1. 2. 3. 4. 日本國東京都千代田區丸之內二丁目2番3號 三菱電機株式会社內
三、申請人	姓名（名稱）	三菱電機股份有限公司
	國籍	日本國
	住、居所（事務所）	日本國東京都千代田區丸之內二丁目2番3號
	代表人姓名	北岡隆

1. anneal ?
2. claim

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，☑有　□無主張優先權

日本　　1997年3月13日　　特願平9-059279（主張優先權）

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(1　)

(發明領域)

本發明係與銅薄膜之形成方法有關，尤其與在由高融點金屬或由其氮化物形成之底層膜上，利用CVD(Chemical Vapor Deposition)法形成銅薄膜之方法有關者。

(以往之技術)

自以往LSI之配線材料一般都使用配線電阻或電子遷移(electro-migration)耐性等特性優異之在Al(鋁)中添加銅之材料。然而，近年來LSI之微細化技術一直進步，已演進到配線寬度僅為0.15μm程度以下之微細尺寸，則使用由Al中添加銅所構成之材料仍然可能發生配線電阻等特性方面之問題。

因此，為消除如上述之問題，在目前之配線寬度已成為僅0.15μm程度以下現況中，有檢討銅配線之使用之趨勢。由於銅乃屬於比較容易擴散之材質者，是故在LSI之製程中通常進行之熱處理工程，有可能引起，銅原料擴散至底層之膜中之虞。因此，吾人認為，為防止如上述之擴散現象，一般乃採用在銅配線下方形成一層例如TiN膜等擴散阻擋膜(barrier)。

鑑於上情，以下就將銅薄膜形成在TiN膜上之以往技術，參照第10圖與第11圖說明之。第10圖與第11圖，係表示，在TiN膜上形成銅薄膜之以往手法中之第1及第2工程之斷面圖。至於，第10圖及第11圖乃表示有關中介矽氧化膜2將銅薄膜4形成在矽基板11上，亦即將銅薄膜4形成之TiN膜3上之情形者。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(2　)

茲參照第10圖，首先，利用例如CVD法，將矽氧化膜2與TiN膜3，逐次澱積形成在矽基板1上。然後，如第11圖所示，在TiN膜上，利用例如Cu(hfac)(tmvs)，在毋需進行特別之前處理之情形下，利用CVD法形成銅薄膜4。在此，hfac係hexafluoroacety lacetonate(六氟乙醯丙酮酸酯)之簡稱，而tmvs則為trimethylvinylsilane(三甲基乙烯基矽烷)之簡稱。

然而，如上述在毋需施予前處理之情形下，利用Cu(hfac)(tmvs)，運用CVD法，將銅薄膜4形成在TiN膜3上時，如在Advanced Metalization for ULSI Applications in 1994 P.79～P.86一文中所指出，有作為底層之TiN膜3與銅薄膜4兩者間之密貼性不足之問題。

本發明係為解決上述問題所作者。其目的在於提供可利用CVD法將銅薄膜以密貼性良好之狀態形成在由高融點金屬或其氮化物所構成底層膜上之銅薄膜之形成方法。

本發明之銅薄膜之形成方法，係將銅薄膜形成在，由高融點金屬層或其氮化物所構成底層膜上之方法者。而且，首先將銅原料曝露於底層膜之表面，而於曝露該銅原料之後，再在底層膜上形成銅薄膜。在此請特別注意，在本發明中所謂「曝露」，係定義為，使銅原料等原料在不與底層膜間相反應之情形下，附著在底層膜上之處理者。另外，上述之所謂「形成」(成膜)，係定義為使原料產生反應現象而形成銅薄膜等膜之處理。

另外，上述之底層膜係以形成在基板上為佳，而上述

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

之曝露銅原料之程序，則以將基板之面內溫度差控制在±4℃之範圍以內之狀態下進行之為佳。

另外，曝露銅原料之程序，以在較銅薄膜之成膜溫度更低之溫度下進行之為佳。

另外，曝露銅原料之程序，係以包含，於曝露銅原料後，在較銅薄膜之成膜溫度更高之溫度下對底層膜進行熱處理之程序者為佳。

另外，上述曝露銅原料之程序，係以反覆施行複數次者為佳。

如上所述，本發明之銅薄膜之形成方法，係於形成銅薄膜之前，先行進行銅原料之暴露處理。該曝露處理，係在處於氣相狀態之銅原料中，在特定溫度下，對底層膜施予暴晒程序而進行之，因此，藉由施予上述之曝露處理，始得將銅原料以約略均勻狀態附著在底層膜表面之全面。藉由此程序，能於形成銅薄膜之際在底層膜表面全面上以約略均勻狀態將由銅原料所構成之核生成在其上。結果得以大約均勻且密著性良好狀態將銅薄膜形成在底層膜表面上。

另外，在基板上形成底層膜，於將該基板之面內溫度差保持在±4℃以下程度範圍內之狀態下，進行上述之曝露處理時，能使銅原料更均勻附著在底層膜表面上。藉由上述程序，即可在上述效果加上如第6圖所示，將銅薄膜以大約均勻之厚度形成基板（第6圖中之半導體晶圓6）。結果能獲得表面粗糙度已經減低之銅薄膜。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（4　）

另外，當以較銅薄膜之形成溫度更低之溫度進行上述之曝露處理時，能以不使其與底層膜相反應之狀態下，使銅原料附著在底層膜上。藉由此，如上述，能使銅薄膜以密貼性良好狀態形成在底層膜上。

另外，於施予曝露處理後，以較銅薄膜之形成溫度更高之溫度下施予熱處理時，則能在上述之核與底層膜兩者間形成構成底層膜之材料與銅兩者之混合層。

在該混合層中，例如當底層膜採用TiN膜時，即成為在TiN之粒界中有銅存在在其中之狀態。該混合層在銅薄膜形成後，亦仍然存在，而由於如上述之混合層存在，能使形成膜後之銅薄膜與底層膜兩者間之密貼性更為提高。

另外，將曝露處理反覆施行複數次時，能使銅原料以更均勻且密著狀態附著在底層膜表面上。藉由此，於銅原料已經附著後所生成之核，能使其更均勻且稠密實地生成在底層膜表面上。在該狀態下，形成銅薄膜時，即可藉以使銅薄膜，以密貼性良好狀態形成在底層膜上，同時，將銅薄膜以均勻狀態形成在底層上。

（發明之實施形態）

以下，利用第1圖～第9圖，就本發明之實施形態，說明之。

實施形態1

首先，利用第1圖～第4圖就本發明之實施形態說明之。第1圖～第4圖係表示在本發明實施形態1中之銅薄膜之形成方法之第1程序至第4程序之斷面圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(5　)

茲參照第1圖，在矽基板1表面上，利用CVD法等方法將矽氧化膜2與TiN膜3兩者，逐次形成之。此時，矽氧化膜2係設定在例如500nm程度之厚度，而TiN膜3則設定在例如10nm程度之厚度。

其次，如第2圖所示，將銅原料4a曝露於TiN膜3表面上。亦即，於TiN膜3表面上，在不致於與該TiN膜3相反應之狀態下，使銅原料4a附著在其上。此時之條件即如下述表1所示者。

表　1

基板溫度	30℃
壓力	18Torr
原料流量Cu(hfac)(tmvs)	0.5g/min
載體(carrier)流量(H_2)	500sccm
曝露時間	2公分以上

於上述表1中，表示有基板溫度約30℃之條件，然而，即使為該溫度以外之溫度，祇要為不致引起銅原料4a之反應之情況下順利將其附著在TiN膜3等之底層膜上之溫度即可。一般認為，例如祇要比後述之可形成銅薄膜之基板溫度更低之溫度，即可不致引起銅原料4a與TiN膜3相反應之情況下使銅原料附著在TiN膜3之表面上。

其次，令矽基板1之溫度上升至例如180℃為止之程度。藉由此，如第3圖所示，由銅原料4a構成之核4b即生成

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(6　)

在TiN膜3之表面上。經過如上述之程序，形成了核4b後，再依循下述表2之條件執行銅薄膜4之形成工作。

表　2

基板溫度	30℃
壓力	18Torr
原料流量Cu(hfac)(tmvs)	0.2g/min
載體(carrier)流量(H2)	500sccm

如上述之表2所示，將基板溫度保持在比將銅原料4a曝露時之基板溫度更高之基板溫度。此例表示將基板溫度保持在約180℃之例，然而，祇要為能使銅原料4a產生反應而促進核4b生成而成長之溫度，即可採用表2所示者以外之溫度。並且，表2所示之於將銅薄膜4形成之際之銅原料4a之流量，係將其設定在比於令銅原料4a曝露之際之銅原料4a之流量更少之量者。如上所述，將銅原料4a之流量因應各種處理程序作一個最適當之調整，即可令更多銅原料4a附著在底層膜亦即TiN膜3之表面上以促進核4b之生成，同時亦可促進銅薄膜4之成長。

於經過如上述之程序完成銅薄膜4之形成之工作後，直至達到規定溫度為止，令矽基板1冷却。而且，亦自CVD爐內將矽基板1取出。而後再經過上述程序，中介TiN膜3，將銅薄膜4形成在矽基板1上。

本發明之發明人係於利用上述方法將銅薄膜4形成後，

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(7　)

就銅薄膜4與TiN膜3兩者間之密著強度進行評估，該評估結果即提示在下述之表3。致於評估方法則採用下述之方法：準備經過本申請專利發明之曝露處理而將銅薄膜4形成在TiN膜3上之試料與未施予曝露處理直接將銅薄膜4形成在TiN膜3上之試料2塊，分別以粘著帶貼着在其上，將該粘著帶自試料剝離，而查看銅薄膜4是否可以輕易自TiN膜3剝離，並依據此實況，進行評估。

表　3

曝露處理	粘著帶試驗
有	○
無	×

如表3所示，經過依本發明之曝露處理之試料，可確認到其於將粘著性帶子剝離後，在TiN膜3上，仍然殘留有銅薄膜4之事實。亦即發現，利用上述之方法形成銅薄膜4者，即可藉以加強銅薄膜4與TiN膜3兩者間之密著強度加強之事實。

另外，一般認為取代上述之TiN膜3而使用：W、Ta、Ti、Cr、Mo等高融點金屬或其他氮化物，亦可期待同樣之效果。另外，據推測，上述方法或後述之形成方法，對於形成銅薄膜4以外之導電層時，仍有可將其適用在此之情

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(8　)

形。

實施形態2

其次，利用第5圖、第6圖，就本發明第2實施形態說明之。第5圖係將於進行曝露處理之際，如果有基板之面內溫度差大時，可能發生之問題，以模式化提示者。

茲參照第5圖，於進行曝露處理之際，在基板上產生規定以上之面內溫度差時，有可能產生銅原料4a之附著不均之虞。由於該附著不均，可能在銅原料4b附著後所形成之核4b亦同樣在TiN表面出現形成情形不均勻現象，結果，如第5圖所示，乃形成包含具有相對大之厚度t2之部分與具有相對小之厚度之t1之部分之銅薄膜4，而銅薄膜4之表面粗糙度亦變大。由於此緣故，欲將銅薄膜充作配線加以使用之際，有其特性可能劣化之虞。

因此，控制溫度俾使矽基板1之面內溫度差保持在規定範圍。其具體之作法，有例如準備加熱板型(hot plate type)之基板加熱用加熱器，將矽基板1推壓在加熱板上，藉以進行加熱(冷却)。在此，加熱板之中央與周緣部兩者，可以獨立控制其加熱(冷却)量，而加熱板與矽基板1兩者之接觸部則可使用鋁構材以提高均熱性。另外，亦將氣體導入於矽基板1之裏面，利用熱傳導作用，進行加熱。冷却方法則使用冷鐵(chiller)，使冷却之He循環以進行冷却。

運用如上述之矽基板1之溫度控制方法，將例如矽基板1之面內溫度差保持在4℃以下程度之範圍內。將矽板1

(請先閱讀背面之注意事項再填寫本頁)

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(9　)

之溫度保持在上述之溫度範圍內而進行曝露處理，然後形成銅薄膜4。其結果表示在第6圖。至於，該第6圖係將6吋之半導體晶圓6作為上述矽基板1使用之，在該半導體晶圓6之表面，形成銅薄膜4者。

結果，該銅薄膜4之平均膜厚dav為4190.5Å，而均勻性(σ/dav)則為6.6%。由該結果可知，基板之面內溫度差，在第6圖中之半導體晶圓6之面內溫度差，由於將其控制在4℃程度以內之值進行曝露處理，故能形成不僅附着其與底層之密著性，且將表面粗糙度小之銅薄膜4，而且，將經過上述過程所形成之銅薄膜4作為配線加以使用時，可獲得具有優秀之特性之配線。

(實施形態3)

其次，就本發明實施形態3說明之。在上述之實施形態1中，係將基板溫度設定在30℃者，然以基板溫度而言，吾人認為一定有一個適切之範圍者。因此，在本實施形態3中，乃討論曝露處理時之基板溫度之良好之範圍。

在本發明所進行之曝露處理中，如前所述，係在不致引起其與底層膜間之反應之狀態下使銅薄膜4a附著在底層膜之表面上。於是，可斷定曝露處理在銅原料4a不致產生液化之狀態下穩定存在而且銅原料4a與底層膜(例如TiN膜3)兩者亦在不致引起反應之溫度範圍內進行之為佳。鑑於上述內容，可謂基板溫度約5℃以上，約30℃以下之範圍內，進行曝露處理為佳者。而更佳者，則在基板溫度約5℃以上，約20℃以下之範圍內，進行曝露處理程序。吾人

(請先閱讀背面之注意事項再填寫本頁)
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

認為由此可使銅薄膜4a更有效附著在底層膜之表面。

將本實施形態3中之曝露條件，提示在表4。

表　4

基板溫度	5℃以上20℃以下
壓力	18Torr
原料流量Cu(hfac)(tmvs)	0.5g/min
載銅（carrier）流量（H_2）	500sccm
曝露時間	2公分以上

其次，使用第7圖及第8圖，就本發明實施形態4說明之。第7圖與第8圖係提示本實施形態4中之銅薄膜4之形成方法之特徵之第1及第2程序之斷面圖者。

在本實施形態4中，亦以與上述之實施形態1之情形同樣之方法，進行銅原料4a之曝露處理。然後，以例如約200℃～約450℃之溫度，對經過曝露處理後之銅原料4a與TiN膜3兩者，施予熱處理。該項熱處理程序，吾人認為，其溫度比後述之進行銅薄膜4成形時之溫度（例如180℃）更高者即可。在如上述之溫度下，施予熱處理即可藉以如第7圖所示，形成由銅原料構成之核4b而在該核4b與TiN膜兩者之間形成有銅與TiN混雜在一起之混合層5。在該混合層5內，銅原子即成為寄存在TiN膜之粒界之狀態，而由於如上述之混合層5之存在，能使在後來所形成之銅薄膜4與TiN膜3兩者間之密著強度再予提高。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(11)

經過上述程序，進行用以形成混合層5之熱處理後，亦以與實施形態1之情形同樣之條件形成銅薄膜4。藉由此，即可獲得如第8圖所示構造之銅薄膜4。

實施形態5

其次，就本發明實施形態5說明之。在本實施形態5中，將本申請專利之發明中之曝露處理反覆施行複數次進行施工為其特徵者，吾人認為，如此施行複數次之曝露處理，即可藉以使銅原料4a更密切附著在TiN膜3表面。

吾人認為，藉由上述作法，即能將核4b以密實狀態生成之，進而有效形成銅薄膜4。另外，吾人認為，也能使銅原料4a以更均勻狀態附著在底層膜之TiN膜3表面上，進而將核4b，更均勻生成在TiN膜3表面。結果，不僅能有效形成銅薄膜4，也能將銅薄膜4與TiN膜3兩者間之密著性強度更為提高。

至於，將曝露處理反覆進行之手法，則有在同樣條件下反覆進行複數次之曝露處理之手法，以及，以不同條件反覆進行曝露處理之手法二種，然無論採用任一方法均可。另外，以上述實施形態4之情形，於施行曝露處理後再進行熱處理時，將曝露處理與熱處理兩者反覆進行複數次亦可。經過如上述之程序，反覆進行複數次之曝露處理後，亦以與上述之各實施形態時同樣之方法，形成銅薄膜4。

其次，使用第9圖，就本發明之通用例說明之。第9圖係表示可適用本發明之銅薄膜4之形成方法之DRAM(

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(12)

Dynamic Random Access Memory)之斷面圖。

茲參照第9圖，在矽基板10之主表面上，隔開間隔，形成有不純物擴散領域14a、14b。閘電極16即介着閘極絕緣膜15形成在由該不純物領域14a、14b所規定之通道(chammel)領域上。另一方面，在矽基板10之主表面上，亦各自形成有用以將元件互相間加以分離之溝(trench)11a、11b。在該溝11a、11b內，則中介絕緣膜12a、12b，各自形成有多晶矽(poly silicone)膜13a、13b。

以將矽基板10主表面加以覆蓋之狀態，形成有層間絕緣膜18a，各自到達不純物擴散領域14a、14b之接觸孔(contact hole)11c、11d即形成在該層間絕緣膜18a上。在該接觸孔11c、11d內，各自形成有由例如W等構成之塞入(plug)電極17a、17b。

以將層間絕緣膜18a加以覆蓋之狀態，形成有層間絕緣膜18b，在該層間絕緣膜18b上，又形成有介層洞(via hole)11e。而可作為擴散阻擋層(barrier)功能之TiN膜19a即形成在該介層洞11e內。在該TiN膜19a上，則形成有銅配線20a。如上述，於在TiN膜19a上，形成銅配線20a之際，即可適用本申請專利之發明之銅薄膜之形成法。

以將層間絕緣膜18b加以覆蓋狀態，形成有層間絕緣膜18c，在該層間絕緣膜18c上則形成有構11f。銅配線20b即中介TiN膜19b，形成在該構11f內。另外，亦以將層間絕緣膜18c加以覆蓋之狀態，再進一步形成有層間絕緣膜18d，在該層間絕緣膜18d，亦形成有溝11g。在該構18g內

(請先閱讀背面之注意事項再填寫本頁)
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (13)

，亦中介TiN膜19c，形成有銅配線20c。而且，亦以將該銅配線20c及層間絕緣膜18d加以覆蓋狀態，形成有表面保護(passivation)膜21。在形成上述銅配線20c、20b之際，亦可應用本申請專利之發明之銅薄膜之成膜方法。

至於，在第9圖中揭示，為進行次微米級(submicron level)之銅配線之形成而提案之達瑪欣加工法(Damascene Method)所形成之銅配線20a、20b、20c之情形者，然而，除此以外，在其他之用途方面，本發明仍有可適用之餘地。關於上述之達瑪欣加工法，在例如月刊semiconductor world 1995.12「使用機械性方式之配線程序」等，有所記載。

如以上所說明，本文係就本申請專利之發明之實施形態，或其適用例加以說明，然而本發明之技術思想，當有除了對於銅薄膜以外之導電膜之形成以外也有適用之情形。另外，本文所公開之實施形態中之每一細節係僅作為範例，而不具有限制性。此即意謂本申請專利之發明之範圍，係提示在申請專利範圍各項內，具有與申請專利範圍均等之意義及屬於範圍內之一切變更等，自應全部包含在內。

(圖面之簡單說明)

第1圖～第4圖係本發明實施形態1中之銅薄膜之形成方法之第1～第4程序之斷面圖。

第5圖係為說明，在底層膜之TiN膜表面上，以不均勻狀態附著有銅原料時之問題所在所用之斷面圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（14）

第6圖表示在基板之半導體晶圓表面上，利用本發明之實施形態2記載之方法形成銅薄膜時，銅薄膜之膜厚之厚薄分布情形之圖。

第7圖及第8圖表示本發明之實施形態4中之銅薄膜之成形方法之特徵之第1及第2程序之斷面圖。

第9圖表示，可適用本發明之銅薄膜形成方法之半導體裝置一例（DRAM）之斷面圖。

第10圖及第11圖表示，在以往之銅薄膜之形成方法中所進行第1及第2程序之斷面圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：銅薄膜之形成方法）

在矽基板（1）主表面上，中介矽氧化膜（2），形成TiN膜（底層膜）（3），再以銅原料（4a）曝露在該TiN膜（3）表面。然後，在TiN膜（3）上形成銅薄膜。藉由此，利用CVD法在由高融點金屬或由其氮化物構成之膜上，以密著性良好狀態形成銅薄膜。

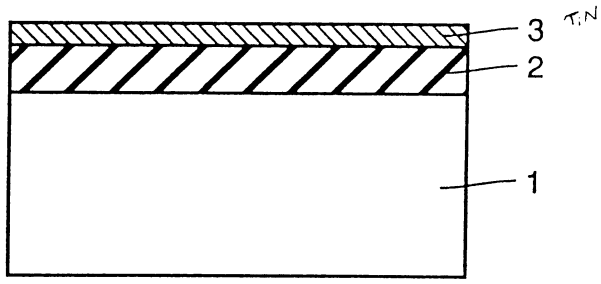
英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

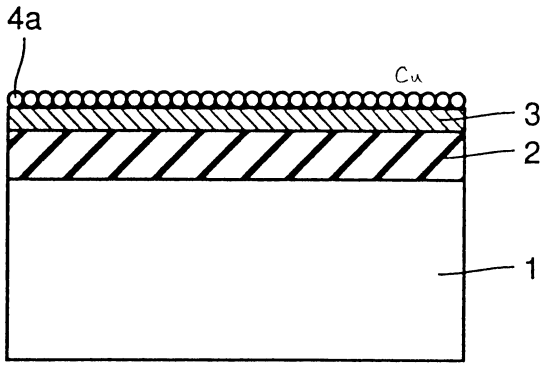
裝 訂 線

經濟部中央標準局員工消費合作社印製

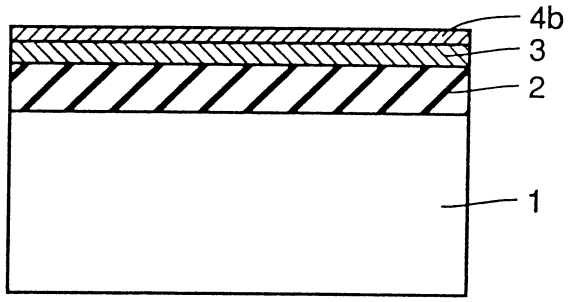
87102518



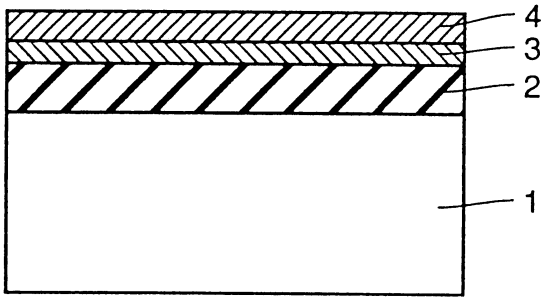
第 1 圖



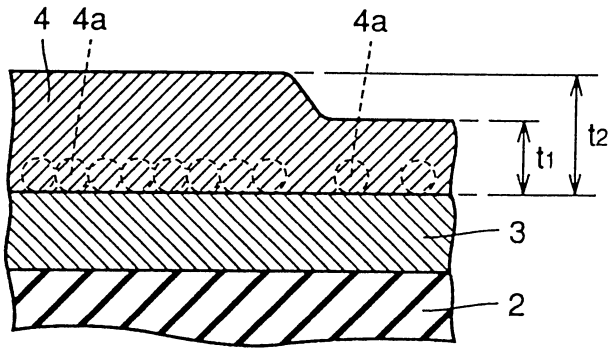
第 2 圖



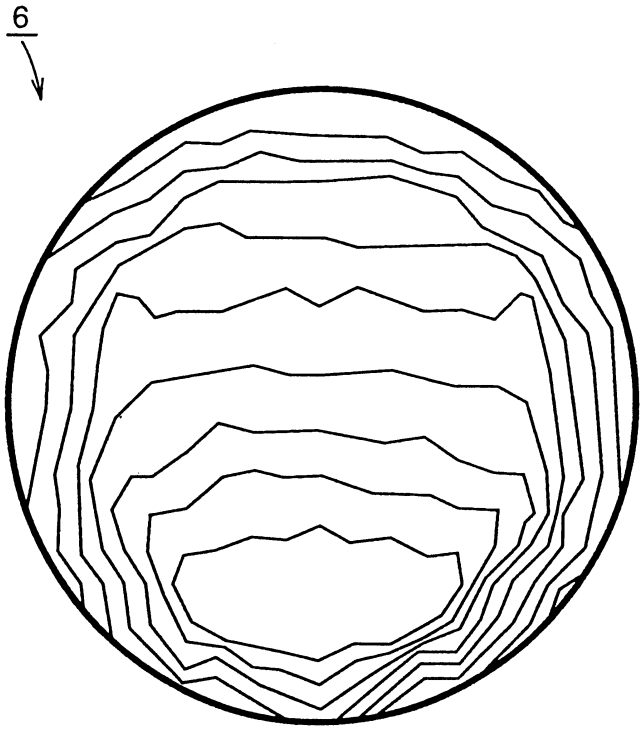
第 3 圖



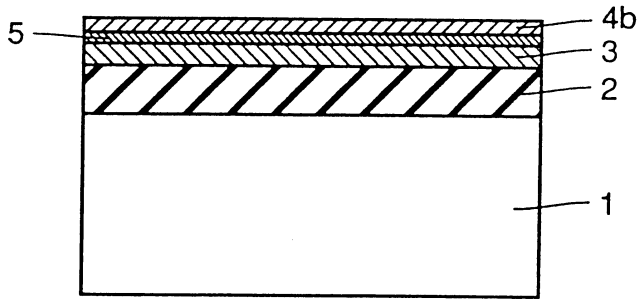
第 4 圖



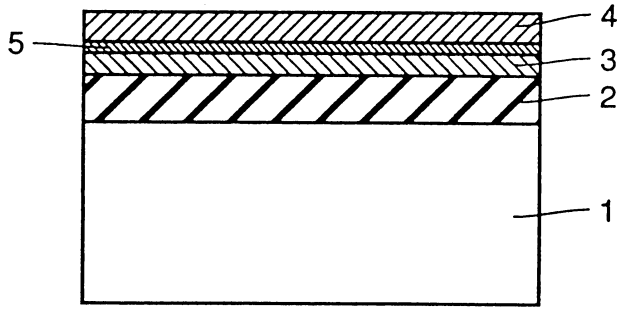
第 5 圖



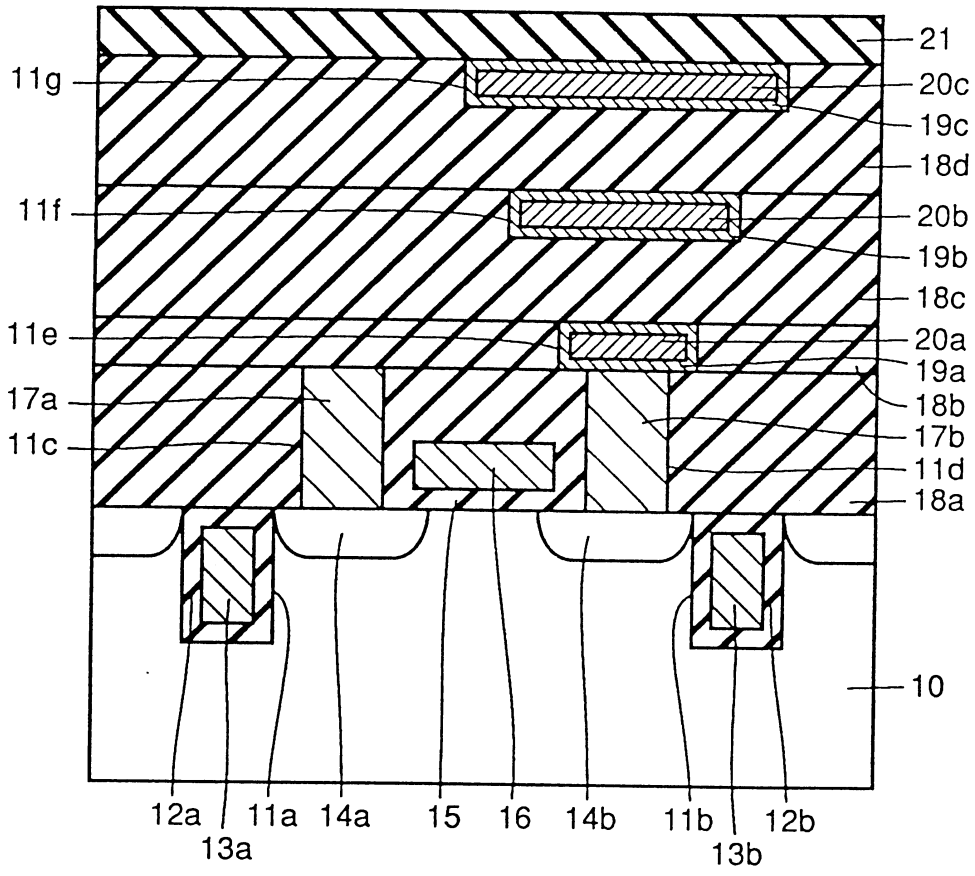
第 6 圖



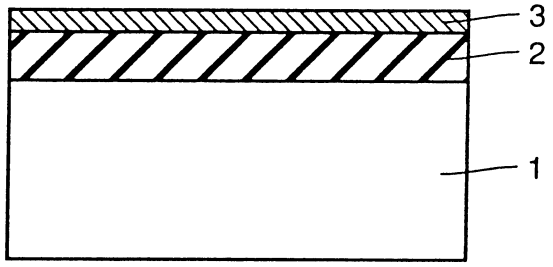
第 7 圖



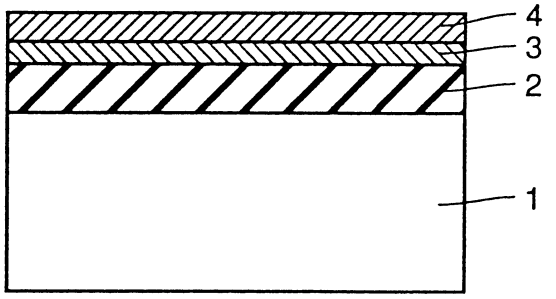
第 8 圖


21
11g
20c
19c
18d
11f
20b
19b
18c
11e
20a
19a
17a
18b
11c
17b
11d
18a
10
12a
13a
11a
14a
15
16
14b
11b
13b
12b

第 9 圖



第10圖



第11圖

修正補充本 92年8月1日

第87102518號專利申請案

申請專利範圍修正本

(92年8月1日)

1. 一種銅薄膜之形成方法，係將銅薄膜形成在由高融點金屬或其氮化物所構成底層膜上之方法，具備有：

在低於銅原料與前述底層膜之反應溫度的溫度下，使底層膜表面呈露於氣相狀態之銅原料中之程序；

於前述銅原料之呈露程序後，在銅核之形成溫度下，加熱前述銅原料之程序；及

於前述底層膜上從前述銅核開始成長銅薄膜之程序者。

2. 如申請專利範圍第1項之銅薄膜之形成方法，其中，前述底層膜係形成在基板上；前述呈露於銅原料之程序，係在將前述基板之面內溫度差控制在±4℃以下之狀態下進行者。

3. 如申請專利範圍第1項之銅薄膜之形成方法，其中，前述呈露於銅原料之程序，係以在比前述銅薄膜之形成溫度更低之溫度下進行者。

4. 如申請專利範圍第1項之銅薄膜之形成方法，其中，又包含於呈露於銅原料後，以高於銅薄膜之形成溫度的溫度下，對底層膜進行熱處理之程序者。

5. 如申請專利範圍第1項之銅薄膜之形成方法，其中，前述呈露於銅原料之程序，係反覆施行複數次者。

6. 一種半導體裝置，係具有銅薄膜之半導體裝置，具備有：形成在半導體基板上之絕緣膜；形成在前述絕緣

經濟部中央標準局員工福利委員會印製

膜中之銅薄膜；形成在前述銅薄膜與前述絕緣膜間而與前述銅薄膜之表面保持以毫無間隙狀態相接觸之包含高融點金屬或其氮化物之底層膜，而前述銅薄膜係以形成在前述底層膜上的銅核成長而得者。

經濟部中央標準局員工福利委員會印製