

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-17897

(P2010-17897A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int. Cl.		F I		テーマコード (参考)		
B 4 1 J	2/44	(2006.01)	B 4 1 J	3/21	L	2 C 1 6 2
B 4 1 J	2/45	(2006.01)	H O 1 L	33/00	J	2 H O 7 6
B 4 1 J	2/455	(2006.01)	H O 4 N	1/036	A	5 C O 5 1
H O 1 L	33/00	(2010.01)	G O 3 G	15/04	1 1 1	5 F O 4 1
H O 4 N	1/036	(2006.01)				

審査請求 有 請求項の数 13 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2008-178631 (P2008-178631)
 (22) 出願日 平成20年7月9日(2008.7.9)

(71) 出願人 000005496
 富士ゼロックス株式会社
 東京都港区赤坂九丁目7番3号
 (74) 代理人 100104880
 弁理士 古部 次郎
 (74) 代理人 100118201
 弁理士 千田 武
 (74) 代理人 100118108
 弁理士 久保 洋之
 (72) 発明者 近藤 義尚
 神奈川県海老名市本郷2274番地 富士
 ゼロックス株式会社内
 (72) 発明者 相川 清史
 神奈川県海老名市本郷2274番地 富士
 ゼロックス株式会社内

最終頁に続く

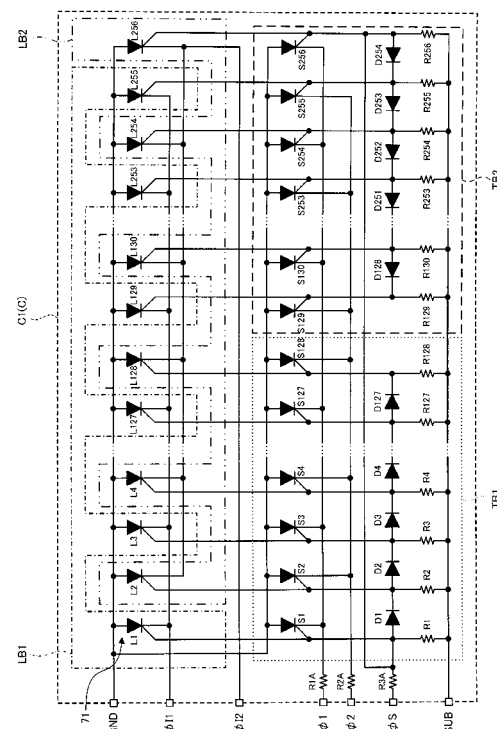
(54) 【発明の名称】 発光装置、露光装置

(57) 【要約】

【課題】 第1の主走査方向解像度で動作が可能であるとともに、第1の主走査方向解像度の半分の第2の主走査方向解像度で動作する際にジグザグ状の文様の発生を抑制する。

【解決手段】 主走査方向の出力解像度が1200dpiのフル解像度モードにおいて、発光チップC1には、奇数番目、偶数番目の点灯信号φ1、φ2が供給される。これに伴い、発光チップC1の全発光サイリスタL1～L256は点灯可能な状態となる。一方、主走査方向の出力解像度がフル解像度モードの半分となるハーフ解像度モードにおいて、発光チップC1には、奇数番目の点灯信号φ1のみが供給される。これに伴い、発光チップC1に設けられた奇数番目の発光サイリスタL1、L3、…、L255は点灯可能な状態となるが、偶数番目の発光サイリスタL2、L4、…、L256は実質的に点灯不可能な状態となる。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

一列に並べて配置され、点灯信号により点灯／非点灯が制御される複数の発光素子を有する発光素子列と、

前記複数の発光素子にそれぞれ対応して設けられ、オン状態に設定されることにより対応する発光素子を点灯可能状態とする複数のスイッチ素子を有するスイッチ素子列とを備え、

前記発光素子列が、

前記発光素子列において奇数番目に配列される発光素子で構成され、前記点灯信号として共通の第 1 点灯信号が供給される第 1 発光素子群と、

前記発光素子列において偶数番目に配列される発光素子で構成され、当該点灯信号として共通の第 2 点灯信号が供給される第 2 発光素子群とを有し、

前記スイッチ素子列が、

前記第 1 発光素子群に属する発光素子および前記第 2 発光素子群に属する発光素子のうち、前記発光素子列の一端側に配列される発光素子で構成される一端側発光素子群の各発光素子を、第 1 の方向に沿って順次発光可能な状態に設定する第 1 スwitch素子群と、

前記第 1 発光素子群に属する発光素子および前記第 2 発光素子群に属する発光素子のうち、前記発光素子列の他端側に配列される発光素子で構成される他端側発光素子群の各発光素子を、前記第 1 の方向とは逆の第 2 の方向に沿って順次発光可能な状態に設定する第 2 スwitch素子群と

を有すること

を特徴とする発光装置。

【請求項 2】

前記第 1 点灯信号を前記第 1 発光素子群に供給し、前記第 2 点灯信号を前記第 2 発光素子群に供給する点灯信号発生部と、

前記点灯信号発生部が前記第 1 点灯信号および前記第 2 点灯信号の両方を供給する第 1 のモードと、当該点灯信号発生部が当該第 1 点灯信号または当該第 2 点灯信号のいずれか一方のみを供給する第 2 のモードとを切り換える切り換え部と

をさらに含むことを特徴とする請求項 1 記載の発光装置。

【請求項 3】

前記第 1 発光素子群を構成する発光素子の数と前記第 2 発光素子群を構成する発光素子の数とが偶数且つ同数であることを特徴とする請求項 1 または 2 記載の発光装置。

【請求項 4】

前記複数の発光素子および前記複数のスイッチ素子がサイリスタで構成されることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の発光装置。

【請求項 5】

複数の第 1 転送サイリスタを一列に並べて配列し、隣接する第 1 転送サイリスタのゲート間をそれぞれダイオードにて一方向に電流が流れるように接続し、各々の第 1 転送サイリスタのアノードまたはカソードを、第 1 転送信号が入力される第 1 転送信号端子と第 2 転送信号が入力される第 2 転送信号端子とに対して配列方向に交互に接続してなる第 1 転送ブロックと、

前記第 1 転送ブロックに隣接して複数の第 2 転送サイリスタを一列に並べて配列し、隣接する第 2 転送サイリスタのゲート間をそれぞれダイオードにて前記一方向とは逆方向に電流が流れるように接続し、各々の第 2 転送サイリスタのアノードまたはカソードを、前記第 1 転送信号端子と前記第 2 転送信号端子とに対して配列方向に交互に接続してなる第 2 転送ブロックと、

複数の第 1 発光サイリスタを一列に配列してなり、各々の第 1 発光サイリスタのゲートと前記第 1 転送ブロックにおける奇数番目の第 1 転送サイリスタのゲートおよび前記第 2 転送ブロックの奇数番目の第 2 転送サイリスタのゲートとをそれぞれ接続し、各々の第 1

10

20

30

40

50

発光サイリスタのアノードまたはカソードには共通の第 1 点灯信号が供給される第 1 発光ブロックと、

隣接する前記第 1 発光サイリスタ間に複数の第 2 発光サイリスタをそれぞれ配置してなり、各々の第 2 発光サイリスタのゲートと前記第 1 転送ブロックの偶数番目の第 1 転送サイリスタのゲートおよび前記第 2 転送ブロックの偶数番目の第 2 転送サイリスタのゲートとをそれぞれ接続し、各々の第 2 発光サイリスタのアノードまたはカソードには共通の第 2 点灯信号が供給される第 2 発光ブロックとを含む発光装置。

【請求項 6】

複数の第 1 転送サイリスタを一行に並べて配列し、隣接する第 1 転送サイリスタのゲート間をそれぞれダイオードにて一方向に電流が流れるように接続し、各々の第 1 転送サイリスタのアノードまたはカソードを、第 1 転送信号が入力される第 1 転送信号端子と第 2 転送信号が入力される第 2 転送信号端子とに対して配列方向に交互に接続してなる第 1 転送ブロックと、

前記第 1 転送ブロックに隣接して複数の第 2 転送サイリスタを一行に並べて配列し、隣接する第 2 転送サイリスタのゲート間をそれぞれダイオードにて前記一方向とは逆方向に電流が流れるように接続し、各々の第 2 転送サイリスタのアノードまたはカソードを、前記第 1 転送信号端子と前記第 2 転送信号端子とに交互に接続してなる第 2 転送ブロックと、

複数の第 1 発光サイリスタを一行に配列してなり、各々の第 1 発光サイリスタのアノードまたはカソードには共通の第 1 点灯信号が供給される第 1 発光ブロックと、

複数の第 2 発光サイリスタを前記複数の第 1 発光サイリスタと交互に配列してなり、各々の第 1 発光サイリスタのアノードまたはカソードには共通の第 2 点灯信号が供給される第 2 発光ブロックと

を備え、

前記第 1 発光ブロックを構成する前記複数の第 1 発光サイリスタのうち、一部の第 1 発光サイリスタのゲートを、前記第 1 転送ブロックを構成する前記第 1 転送サイリスタのゲートにそれぞれ接続するとともに、残りの第 1 発光サイリスタのゲートを、前記第 2 転送ブロックを構成する前記第 2 転送サイリスタのゲートにそれぞれ接続し、

前記第 2 発光ブロックを構成する前記複数の第 2 発光サイリスタのうち、一部の第 2 発光サイリスタのゲートを、前記第 1 転送ブロックを構成し且つ前記第 1 発光サイリスタが接続されていない前記第 1 転送サイリスタのゲートにそれぞれ接続するとともに、残りの第 2 発光サイリスタのゲートを、前記第 2 転送ブロックを構成し且つ当該第 1 発光サイリスタが接続されていない前記第 2 転送サイリスタにそれぞれ接続すること

を特徴とする発光装置。

【請求項 7】

前記第 1 転送ブロックにおいて、各々の前記第 1 転送サイリスタのゲートは、抵抗を介して共通の配線に接続され、

前記第 2 転送ブロックにおいて、各々の前記第 2 転送サイリスタのゲートは、抵抗を介して前記共通の配線に接続されること

【請求項 8】

前記第 1 点灯信号を前記第 1 発光ブロックに供給し、前記第 2 点灯信号を前記第 2 発光ブロックに供給する点灯信号発生部と、

前記点灯信号発生部が前記第 1 点灯信号および前記第 2 点灯信号の両方を供給する第 1 のモードと、当該点灯信号発生部が当該第 1 点灯信号または当該第 2 点灯信号のいずれか一方のみを供給する第 2 のモードとを切り換える切り換え部と

をさらに含むことを特徴とする請求項 5 乃至 7 のいずれか 1 項記載の発光装置。

【請求項 9】

前記第 1 発光ブロックを構成する発光サイリスタの数と前記第 2 発光ブロックを構成す

10

20

30

40

50

る発光サイリスタの数とが偶数且つ同数であることを特徴とする請求項 5 乃至 8 のいずれかに 1 項記載の発光装置。

【請求項 10】

複数の発光素子が主走査方向に並べて配列された発光素子列を有する発光チップを、主走査方向に複数配列してなる発光部を備え、帯電された像保持体を露光する露光装置であって、

前記発光チップは、前記複数の発光素子にそれぞれ対応して設けられ、オン状態に設定されることにより対応する発光素子を点灯可能状態とする複数のスイッチ素子を有するスイッチ素子列を備え、

前記発光素子列が、

前記発光素子列において奇数番目に配列される発光素子で構成され、点灯信号として共通の第 1 点灯信号が供給される第 1 発光素子群と、

前記発光素子列において偶数番目に配列される発光素子で構成され、前記点灯信号として共通の第 2 点灯信号が供給される第 2 発光素子群とを有し、

前記スイッチ素子列が、

前記第 1 発光素子群に属する発光素子および前記第 2 発光素子群に属する発光素子のうち、前記発光素子列の一端側に配列される発光素子で構成される一端側発光素子群の各発光素子を、第 1 の方向に沿って順次発光可能な状態に設定する第 1 スwitch素子群と、

前記第 1 発光素子群に属する発光素子および前記第 2 発光素子群に属する発光素子のうち、前記発光素子列の他端側に配列される発光素子で構成される他端側発光素子群の各発光素子を、前記第 1 の方向とは逆の第 2 の方向に沿って順次発光可能な状態に設定する第 2 スwitch素子群と

を有すること

を特徴とする露光装置。

【請求項 11】

前記発光部において主走査方向に奇数番目に配列される発光チップと偶数番目に配列される発光チップとが、副走査方向にずらされることにより千鳥状に配列されるとともに、当該奇数番目に配列される発光チップと当該偶数番目に配列される発光チップとが副走査方向に逆向きに取り付けられ、

前記第 1 点灯信号を前記第 1 発光素子群に供給し、前記第 2 点灯信号を前記第 2 発光素子群に供給する点灯信号発生部と、

前記点灯信号発生部が前記第 1 点灯信号および前記第 2 点灯信号の両方を供給する第 1 のモードと、当該点灯信号発生部が当該第 1 点灯信号または当該第 2 点灯信号のいずれか一方のみを供給する第 2 のモードとを切り換える切り換え部とを備え、

前記切り換え部は、前記第 2 のモードにおいて、前記奇数番目に配列される発光チップに対して前記第 1 点灯信号または前記第 2 点灯信号を供給し、前記偶数番目に配列される発光チップに対しては当該奇数番目に配列される発光チップに供給しない方の当該第 2 点灯信号または当該第 1 点灯信号を供給すること

を特徴とする請求項 10 記載の露光装置。

【請求項 12】

前記発光チップにおいて前記第 1 発光素子群を構成する発光素子の数と前記第 2 発光素子群を構成する発光素子の数とが偶数且つ同数であることを特徴とする請求項 10 または 11 記載の露光装置。

【請求項 13】

前記発光チップを構成する前記複数の発光素子および前記複数のスイッチ素子がサイリスタで構成されることを特徴とする請求項 10 乃至 12 のいずれか 1 項記載の露光装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、複数の発光素子を順次点灯させる発光装置、複数の発光素子を順次点灯させる発光チップを複数備えた露光装置に関する。

【背景技術】

【0002】

電子写真方式を用いたプリンタや複写機等の画像形成装置において、感光体ドラム等の像保持体上を露光する露光装置として、近年、LED (Light Emitting Diode) 等の発光素子をライン状に配列した発光素子アレイを用いたものが採用されている。

【0003】

公報記載の従来技術として、自己走査型発光素子アレイと呼ばれるものが存在する（特許文献1参照）。この自己走査型発光素子アレイでは、発光チップ内の各LEDを点灯させるためのスイッチ素子としてサイリスタ（転送サイリスタ）を用いている。なお、自己走査型発光素子アレイでは、LED自身もサイリスタ（発光サイリスタ）で構成される。そして、自己走査型発光素子アレイでは、入力される2本の転送信号によって各転送サイリスタを順次ターンオンさせ、ターンオンした転送サイリスタに対応する発光サイリスタを1個ずつ順次点灯可能な状態に設定する。一方、各発光サイリスタのアノード端子（あるいはカソード端子）に接続される一方の共通配線を一定電位に設定するとともに、各発光サイリスタのカソード端子（あるいはアノード端子）に接続される他方の共通配線には点灯信号を供給することで、点灯可能な状態に設定された発光サイリスタの点灯・消灯を指示する。そして、特許文献1には、発光チップ1枚あたり2系統の自己走査型発光素子アレイを形成し、各発光チップにそれぞれ2本ずつ点灯信号を供給することで、1発光チップ内において同時に点灯できる発光サイリスタの数を2個にすることが記載されている。

【0004】

また、別の公報記載の従来技術として、自己走査型発光素子アレイにおいて各転送サイリスタにそれぞれ2個の発光サイリスタを接続するとともに、奇数番目に配列される発光サイリスタに対しては第1の書き込み信号を供給し、偶数番目に配列される発光サイリスタに対しては第2の書き込み信号を供給することで、1発光チップ内において同時に点灯できる発光サイリスタの数を2個にするものも存在する（特許文献2参照）。

【0005】

【特許文献1】特開2007-125785号公報

【特許文献2】特開2001-232849号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、近年の画像形成装置の高画質化に伴い、主走査方向の出力解像度（主走査方向解像度と呼ぶ）は、より高くなる傾向にある。このため、従来機では例えば600dpiであった主走査方向解像度が、1200dpiさらには2400dpiになってきている。なお、発光素子アレイを用いた露光装置では、主走査方向解像度に応じて発光素子の数および配置間隔を設定する必要がある。例えば主走査方向解像度が1200dpi（dot per inch）の場合は、主走査方向解像度が600dpiの場合に対して発光素子の数を2倍にし、且つ、発光素子の配置間隔を2分の1にする必要がある。

【0007】

ここで、1つの露光装置を、第1の主走査方向解像度（例えば1200dpi）で画像形成を行う画像形成装置と、第1の主走査方向解像度の半分となる第2の主走査方向解像度（例えば600dpi）で画像形成を行う画像形成装置とで共用することが考えられる。

【0008】

しかしながら、例えば1つの自己走査型発光素子アレイを有する発光チップを用いた場合には、点灯信号が発光サイリスタ1個おきに供給されるよう、点灯信号の供給条件を変更する必要がある、自己走査型発光素子アレイを駆動する駆動回路が大規模なものとなっ

てしまう。

また、例えば2つの自己走査型発光素子アレイを有する発光チップを用い、この発光チップに一方の点灯信号のみを供給した場合には、点灯信号が供給される側の自己走査型発光素子アレイによって主走査方向の長さが半分となった画像が形成され、点灯信号が供給されない側の自己走査型発光素子アレイによって画像が形成されなくなるという事態を招いてしまう。

【0009】

これに対し、例えば1つの自己走査型発光素子アレイを有する発光チップにおいて、1つの転送サイリスタに2つの発光サイリスタを接続する構成を採用し、一方の点灯信号のみを供給した場合には、発光サイリスタが1個おきに点灯可能となり、元の画像データに対応する画像が得られることになる。ただし、この場合には、点灯可能となる発光サイリスタの位置が発光素子アレイに沿って一方向に移動するため、複数の発光チップが並べられた露光装置を用いて主走査方向に沿う直線状の細線画像を形成した場合に、発光素子アレイの主走査方向長さを周期とするジグザグ状の文様が目立つようになり、画質が低下してしまうおそれがあった。

【0010】

本発明は、第1の主走査方向解像度で動作が可能であるとともに、第1の主走査方向解像度の半分の第2の主走査方向解像度で動作する際にジグザグ状の文様の発生を抑制することを目的とする。

【課題を解決するための手段】

【0011】

請求項1記載の発明は、一列に並べて配置され、点灯信号により点灯／非点灯が制御される複数の発光素子を有する発光素子列と、前記複数の発光素子にそれぞれ対応して設けられ、オン状態に設定されることにより対応する発光素子を点灯可能状態とする複数のスイッチ素子を有するスイッチ素子列とを備え、前記発光素子列が、前記発光素子列において奇数番目に配列される発光素子で構成され、前記点灯信号として共通の第1点灯信号が供給される第1発光素子群と、前記発光素子列において偶数番目に配列される発光素子で構成され、当該点灯信号として共通の第2点灯信号が供給される第2発光素子群とを有し、前記スイッチ素子列が、前記第1発光素子群に属する発光素子および前記第2発光素子群に属する発光素子のうち、前記発光素子列の一端側に配列される発光素子で構成される一端側発光素子群の各発光素子を、第1の方向に沿って順次発光可能な状態に設定する第1スイッチ素子群と、前記第1発光素子群に属する発光素子および前記第2発光素子群に属する発光素子のうち、前記発光素子列の他端側に配列される発光素子で構成される他端側発光素子群の各発光素子を、前記第1の方向とは逆の第2の方向に沿って順次発光可能な状態に設定する第2スイッチ素子群とを有することを特徴とする発光装置である。

【0012】

請求項2記載の発明は、前記第1点灯信号を前記第1発光素子群に供給し、前記第2点灯信号を前記第2発光素子群に供給する点灯信号発生部と、前記点灯信号発生部が前記第1点灯信号および前記第2点灯信号の両方を供給する第1のモードと、当該点灯信号発生部が当該第1点灯信号または当該第2点灯信号のいずれか一方のみを供給する第2のモードとを切り換える切り換え部とをさらに含むことを特徴とする請求項1記載の発光装置である。

請求項3記載の発明は、前記第1発光素子群を構成する発光素子の数と前記第2発光素子群を構成する発光素子の数とが偶数且つ同数であることを特徴とする請求項1または2記載の発光装置である。

請求項4記載の発明は、前記複数の発光素子および前記複数のスイッチ素子がサイリスタで構成されることを特徴とする請求項1乃至3のいずれか1項記載の発光装置である。

【0013】

請求項5記載の発明は、複数の第1転送サイリスタを一列に並べて配列し、隣接する第1転送サイリスタのゲート間をそれぞれダイオードにて一方向に電流が流れるように接続

し、各々の第1転送サイリスタのアノードまたはカソードを、第1転送信号が入力される第1転送信号端子と第2転送信号が入力される第2転送信号端子とに対して配列方向に交互に接続してなる第1転送ブロックと、前記第1転送ブロックに隣接して複数の第2転送サイリスタを一行に並べて配列し、隣接する第2転送サイリスタのゲート間をそれぞれダイオードにて前記一方向とは逆方向に電流が流れるように接続し、各々の第2転送サイリスタのアノードまたはカソードを、前記第1転送信号端子と前記第2転送信号端子とに対して配列方向に交互に接続してなる第2転送ブロックと、複数の第1発光サイリスタを一行に配列してなり、各々の第1発光サイリスタのゲートと前記第1転送ブロックにおける奇数番目の第1転送サイリスタのゲートおよび前記第2転送ブロックの奇数番目の第2転送サイリスタのゲートとをそれぞれ接続し、各々の第1発光サイリスタのアノードまたはカソードには共通の第1点灯信号が供給される第1発光ブロックと、隣接する前記第1発光サイリスタ間に複数の第2発光サイリスタをそれぞれ配置してなり、各々の第2発光サイリスタのゲートと前記第1転送ブロックの偶数番目の第1転送サイリスタのゲートおよび前記第2転送ブロックの偶数番目の第2転送サイリスタのゲートとをそれぞれ接続し、各々の第2発光サイリスタのアノードまたはカソードには共通の第2点灯信号が供給される第2発光ブロックとを含む発光装置である。

【0014】

請求項6記載の発明は、複数の第1転送サイリスタを一行に並べて配列し、隣接する第1転送サイリスタのゲート間をそれぞれダイオードにて一方向に電流が流れるように接続し、各々の第1転送サイリスタのアノードまたはカソードを、第1転送信号が入力される第1転送信号端子と第2転送信号が入力される第2転送信号端子とに対して配列方向に交互に接続してなる第1転送ブロックと、前記第1転送ブロックに隣接して複数の第2転送サイリスタを一行に並べて配列し、隣接する第2転送サイリスタのゲート間をそれぞれダイオードにて前記一方向とは逆方向に電流が流れるように接続し、各々の第2転送サイリスタのアノードまたはカソードを、前記第1転送信号端子と前記第2転送信号端子とに交互に接続してなる第2転送ブロックと、複数の第1発光サイリスタを一行に配列してなり、各々の第1発光サイリスタのアノードまたはカソードには共通の第1点灯信号が供給される第1発光ブロックと、複数の第2発光サイリスタを前記複数の第1発光サイリスタと交互に配列してなり、各々の第1発光サイリスタのアノードまたはカソードには共通の第2点灯信号が供給される第2発光ブロックとを備え、前記第1発光ブロックを構成する前記複数の第1発光サイリスタのうち、一部の第1発光サイリスタのゲートを、前記第1転送ブロックを構成する前記第1転送サイリスタのゲートにそれぞれ接続するとともに、残りの第1発光サイリスタのゲートを、前記第2転送ブロックを構成する前記第2転送サイリスタのゲートにそれぞれ接続し、前記第2発光ブロックを構成する前記複数の第2発光サイリスタのうち、一部の第2発光サイリスタのゲートを、前記第1転送ブロックを構成し且つ前記第1発光サイリスタが接続されていない前記第1転送サイリスタのゲートにそれぞれ接続するとともに、残りの第2発光サイリスタのゲートを、前記第2転送ブロックを構成し且つ当該第1発光サイリスタが接続されていない前記第2転送サイリスタにそれぞれ接続することを特徴とする発光装置である。

【0015】

請求項7記載の発明は、前記第1転送ブロックにおいて、各々の前記第1転送サイリスタのゲートは、抵抗を介して共通の配線に接続され、前記第2転送ブロックにおいて、各々の前記第2転送サイリスタのゲートは、抵抗を介して前記共通の配線に接続されることを特徴とする請求項5または6記載の発光装置である。

請求項8記載の発明は、前記第1点灯信号を前記第1発光ブロックに供給し、前記第2点灯信号を前記第2発光ブロックに供給する点灯信号発生部と、前記点灯信号発生部が前記第1点灯信号および前記第2点灯信号の両方を供給する第1のモードと、当該点灯信号発生部が当該第1点灯信号または当該第2点灯信号のいずれか一方のみを供給する第2のモードとを切り換える切り換え部とをさらに含むことを特徴とする請求項5乃至7のいずれか1項記載の発光装置である。

請求項 9 記載の発明は、前記第 1 発光ブロックを構成する発光サイリスタの数と前記第 2 発光ブロックを構成する発光サイリスタの数とが偶数且つ同数であることを特徴とする請求項 5 乃至 8 のいずれかに 1 項記載の発光装置である。

【0016】

請求項 10 記載の発明は、複数の発光素子が主走査方向に並べて配列された発光素子列を有する発光チップを、主走査方向に複数配列してなる発光部を備え、帯電された像保持体を露光する露光装置であって、前記発光チップは、前記複数の発光素子にそれぞれ対応して設けられ、オン状態に設定されることにより対応する発光素子を点灯可能状態とする複数のスイッチ素子を有するスイッチ素子列を備え、前記発光素子列が、前記発光素子列において奇数番目に配列される発光素子で構成され、点灯信号として共通の第 1 点灯信号が供給される第 1 発光素子群と、前記発光素子列において偶数番目に配列される発光素子で構成され、前記点灯信号として共通の第 2 点灯信号が供給される第 2 発光素子群とを有し、前記スイッチ素子列が、前記第 1 発光素子群に属する発光素子および前記第 2 発光素子群に属する発光素子のうち、前記発光素子列の一端側に配列される発光素子で構成される一端側発光素子群の各発光素子を、第 1 の方向に沿って順次発光可能な状態に設定する第 1 スwitch素子群と、

前記第 1 発光素子群に属する発光素子および前記第 2 発光素子群に属する発光素子のうち、前記発光素子列の他端側に配列される発光素子で構成される他端側発光素子群の各発光素子を、前記第 1 の方向とは逆の第 2 の方向に沿って順次発光可能な状態に設定する第 2 スwitch素子群とを有することを特徴とする露光装置である。

【0017】

請求項 11 記載の発明は、前記発光部において主走査方向に奇数番目に配列される発光チップと偶数番目に配列される発光チップとが、副走査方向にずらされることにより千鳥状に配列されるとともに、当該奇数番目に配列される発光チップと当該偶数番目に配列される発光チップとが副走査方向に逆向きに取り付けられ、前記第 1 点灯信号を前記第 1 発光素子群に供給し、前記第 2 点灯信号を前記第 2 発光素子群に供給する点灯信号発生部と、前記点灯信号発生部が前記第 1 点灯信号および前記第 2 点灯信号の両方を供給する第 1 のモードと、当該点灯信号発生部が当該第 1 点灯信号または当該第 2 点灯信号のいずれか一方のみを供給する第 2 のモードとを切り換える切り換え部とを備え、前記切り換え部は、前記第 2 のモードにおいて、前記奇数番目に配列される発光チップに対して前記第 1 点灯信号または前記第 2 点灯信号を供給し、前記偶数番目に配列される発光チップに対しては当該奇数番目に配列される発光チップに供給しない方の当該第 2 点灯信号または当該第 1 点灯信号を供給することを特徴とする請求項 10 記載の露光装置である。

請求項 12 記載の発明は、前記発光チップにおいて前記第 1 発光素子群を構成する発光素子の数と前記第 2 発光素子群を構成する発光素子の数とが偶数且つ同数であることを特徴とする請求項 10 または 11 記載の露光装置である。

請求項 13 記載の発明は、前記発光チップを構成する前記複数の発光素子および前記複数のスイッチ素子がサイリスタで構成されることを特徴とする請求項 10 乃至 12 のいずれか 1 項記載の露光装置である。

【発明の効果】

【0018】

請求項 1 記載の発明によれば、第 1 の主走査方向解像度での発光が可能であるとともに、第 1 の主走査方向解像度の半分の第 2 の主走査方向解像度で発光する際にジグザグ状の文様の発生を抑制することができる。

請求項 2 記載の発明によれば、本構成を有しない場合と比較して、第 1 の主走査方向解像度と第 2 の主走査方向解像度との切り換えを容易に行うことができる。

請求項 3 記載の発明によれば、同一の発光素子群内において発光可能な発光素子を 1 つだけとすることができる。

請求項 4 記載の発明によれば、本構成を有しない場合と比較して、点灯可能な状態となる発光素子の切り換えを高速化することができる。

請求項 5 記載の発明によれば、第 1 の主走査方向解像度での発光が可能であるとともに、第 1 の主走査方向解像度の半分の第 2 の主走査方向解像度で発光する際にジグザグ状の文様の発生を抑制することができる。

請求項 6 記載の発明によれば、第 1 の主走査方向解像度での発光が可能であるとともに、第 1 の主走査方向解像度の半分の第 2 の主走査方向解像度で発光する際にジグザグ状の文様の発生を抑制することができる。

請求項 7 記載の発明によれば、転送サイリスタからこのサイリスタに隣接する他の転送サイリスタへの転送動作を安定させることができる。

請求項 8 記載の発明によれば、本構成を有しない場合と比較して、第 1 の主走査方向解像度と第 2 の主走査方向解像度との切り換えを容易に行うことができる。

請求項 9 記載の発明によれば、同一の発光ブロック内において発光可能な発光素子を 1 つだけとすることができる。

請求項 10 記載の発明によれば、像保持体に対し第 1 の主走査方向解像度での露光が可能であるとともに、第 1 の主走査方向解像度の半分の第 2 の主走査方向解像度で露光を行う際にジグザグ状の文様の発生を抑制することができる。

請求項 11 記載の発明によれば、第 1 の主走査方向解像度で露光を行った場合に、点灯可能となる発光サイリスタの間隔を発光チップ内および隣接する発光チップ間で一定にすることができ、また、第 2 の主走査方向解像度で露光を行った場合に、点灯可能となる発光サイリスタの間隔を発光チップ内および発光チップ間で一定にすることができる。

請求項 12 記載の発明によれば、1 つの発光チップの同一の発光素子群内において発光可能な発光素子を 1 つだけとすることができる。

請求項 13 記載の発明によれば、本構成を有しない場合と比較して、点灯可能な状態となる発光素子の切り換えを高速化することができる。

【発明を実施するための最良の形態】

【0019】

以下、添付図面を参照して、本発明の実施の形態について詳細に説明する。

<実施の形態 1>

図 1 は、本実施の形態が適用される画像形成装置 1 の全体構成の一例を示した図である。同図に示す画像形成装置 1 は、各色の画像データに対応して画像形成を行う画像形成プロセス部 10、画像形成装置 1 全体の動作を制御する制御部 30、パーソナルコンピュータや画像読取装置等といった外部装置（図示せず）に接続され、これらから受信した画像データに対して画像処理を施す画像処理部 35 を備えている。

【0020】

画像形成プロセス部 10 は、一定の間隔を置いて配置される 4 つの画像形成ユニット 11（具体的には 11Y、11M、11C、11K）を備える。各画像形成ユニット 11 は、感光層（図示せず）が形成された像保持体の一例としての感光体ドラム 12、感光体ドラム 12 を帯電する帯電器 13、帯電器 13 で帯電された感光体ドラム 12 を画像データに基づいて露光する露光装置の一例としての LED プリントヘッド（LPH）14、感光体ドラム 12 上に形成された静電潜像を現像する現像器 15、感光体ドラム 12 表面を清掃するクリーナ 16 を備えている。ここで、各画像形成ユニット 11 は、現像器 15 に収納されるトナーを除いて、略同様に構成されている。そして、各画像形成ユニット 11 は、それぞれがイエロー（Y）、マゼンタ（M）、シアン（C）、黒（K）のトナー像を形成する。

【0021】

さらに、画像形成プロセス部 10 は、各画像形成ユニット 11 の感光体ドラム 12 に対向する位置を循環する中間転写ベルト 20、中間転写ベルト 20 を挟んで各感光体ドラム 12 に対向配置される一次転写ロール 21、中間転写ベルト 20 に対向配置される二次転写ロール 22、二次転写後の用紙の未定着画像を加熱・加圧して定着する定着器 45 を備えている。

【0022】

10

20

30

40

50

この画像形成装置 1 において、画像形成プロセス部 10 は、制御部 30 から供給される各種の制御信号に基づいて画像形成動作を行う。そして、制御部 30 による制御の下で、外部装置から入力された画像データは、画像処理部 35 によって画像処理が施され、各画像形成ユニット 11 に供給される。そして、例えば黒 (K) 色の画像形成ユニット 11 K では、感光体ドラム 12 が矢印 A 方向に回転しながら、帯電器 13 により予め定められた電位に帯電され、画像処理部 35 から送信された画像データに基づいて発光する LPH 14 により露光される。これにより、感光体ドラム 12 上には、黒 (K) 色画像に関する静電潜像が形成される。そして、感光体ドラム 12 上に形成された静電潜像は現像器 15 により現像され、感光体ドラム 12 上には黒 (K) 色のトナー像が形成される。同様に、画像形成ユニット 11 Y、11 M、11 C においても、それぞれイエロー (Y)、マゼンタ (M)、シアン (C) の各色トナー像が形成される。

10

【0023】

各画像形成ユニット 11 で形成された各色トナー像は、矢印 B 方向に移動する中間転写ベルト 20 上に、一次転写ロール 21 により順次静電吸引されて、各色トナーが重畳された合成トナー像となる。中間転写ベルト 20 上の合成トナー像は、中間転写ベルト 20 の移動に伴って二次転写ロール 22 が配置された領域 (二次転写部 T) に搬送される。合成トナー像が二次転写部 T に搬送されるタイミングに合わせて、用紙が用紙保持部 40 から二次転写部 T に供給される。そして、二次転写部 T にて二次転写ロール 22 により形成される転写電界により、合成トナー像は搬送されてきた用紙上に一括して静電転写される。

【0024】

20

その後、合成トナー像が静電転写された用紙は、中間転写ベルト 20 から剥離され、定着器 45 まで搬送される。定着器 45 に搬送された用紙上の合成トナー像は、定着器 45 によって熱および圧力による定着処理を受けて用紙上に定着される。そして、定着画像が形成された用紙は、画像形成装置 1 の排出部に設けられた排紙積載部 41 に搬送される。一方、二次転写後の中間転写ベルト 20 に残存するトナーは、二次転写の終了後に中間転写ベルト 20 表面からベルトクリーナ 25 によって除去される。

【0025】

図 2 は、LPH 14 の構成を示した断面図である。この LPH 14 は、ハウジング 61、複数の LED (本実施の形態では発光サイリスタ) を備えた発光部 63、発光部 63 や発光部 63 を駆動する信号発生回路 100 (後段の図 5 参照) 等を搭載する回路基板 62、発光部 63 から出射された光を感光体ドラム 12 表面に結像させるロッドレンズアレイ 64、ロッドレンズアレイ 64 を支持するとともに発光部 63 を外部から遮蔽するホルダ 65 を備えている。

30

【0026】

ハウジング 61 は、例えば金属で形成され、回路基板 62 を支持している。ロッドレンズアレイ 64 は、感光体ドラム 12 の軸方向に沿って配置されるとともに、感光体ドラム 12 の回転方向に幅をもって形成されている。ホルダ 65 は、感光体ドラム 12 の軸方向に沿って配置されて、発光部 63 を密閉する。また、ホルダ 65 は、ハウジング 61 およびロッドレンズアレイ 64 を支持し、発光部 63 の発光点とロッドレンズアレイ 64 の焦点面とが一致するように設定されている。

40

【0027】

図 3 (a) は LPH 14 における回路基板 62 および発光部 63 の上面図であり、図 3 (b) は LPH 14 におけるロッドレンズアレイ 64 およびホルダ 65 の上面図である。図 3 (a) に示すように、発光部 63 は、回路基板 62 上に、発光装置の一例としての 60 個の発光チップ C (C1 ~ C60) を、副走査方向に二列に千鳥状に配置して構成されている。なお、発光部 63 のうち、副走査方向上流側において主走査方向に一列に配置される奇数番目の発光チップ C1、C3、…、C59 を第 1 チップ列 63 a と呼び、副走査方向下流側において主走査方向に一列に配置される偶数番目の発光チップ C2、…、C58、C60 を第 2 チップ列 63 b と呼ぶ。

【0028】

50

そして、各発光チップC 1～C 6 0には、後述するようにそれぞれ2 5 6個の発光サイリスタが搭載されており、発光部6 3全体では1 5 3 6 0個の発光サイリスタが設けられている。また、発光チップC 1（後述する発光素子アレイ7 1）の外側端部から発光チップC 6 0（後述する発光素子アレイ7 1）の外側端部までの距離（発光部6 3の主走査方向長さ）は、A 3ノビの用紙Pへの画像形成に対応するために3 2 4 mmに設定される。このため、隣接する発光サイリスタはそれぞれ約2 1.1 5 μ mの等間隔に配置され、このL P H 1 4の主走査方向解像度は1 2 0 0 d p i (dot per inch)となっている。

【0 0 2 9】

また、図3（b）に示すように、ロッドレンズアレイ6 4は、複数のロッドレンズ6 4 aを、互い違いとなるように副走査方向に二列に整列配置した状態で、ホルダ6 5に保持させることによって構成されている。各ロッドレンズ6 4 aは例えば円柱状の形状を有しており、その半径方向に屈折率分布を有し正立等倍実像を形成する屈折率分布型レンズにて構成される。このような屈折率分布型レンズとしては、例えばセルフロック（日本板硝子株式会社の商標）レンズアレイが挙げられる。

【0 0 3 0】

図4は、上記発光部6 3のうち、発光チップC 1、C 2、C 3の連結部位を拡大した図である。ここで、発光チップC 1～C 6 0はすべて同一の構成を有しており、例えば発光チップC 2を例とすると、矩形状のチップ基板7 0と、このチップ基板7 0の表面に長手方向に沿って一列に配置された発光素子アレイ7 1とを備えている。この発光素子アレイ7 1は、主走査方向に一列に並べられた2 5 6個の発光サイリスタを有している。また、発光素子アレイ7 1は、チップ基板7 0の表面の短手方向の一方の側に偏倚した位置に取り付けられている。そして、第1チップ列6 3 aを構成する発光チップC 1、C 3（…、C 5 9）と、第2チップ列6 3 bを構成する発光チップC 2（…、C 5 8、C 6 0）とが、副走査方向に逆を向くように配置されており、その結果、副走査方向において第1チップ列6 3 aを構成する発光素子アレイ7 1と第2チップ列6 3 bを構成する発光素子アレイ7 1とが副走査方向に近接するようになっている。そして、図4に示したように、発光チップC 1、C 2、C 3のそれぞれに配置された発光素子アレイ7 1の端部境界において、発光素子アレイ7 1が発光チップC 1、C 2の連結部および発光チップC 2、C 3の連結部で主走査方向に連続するように配列されている。

【0 0 3 1】

図5は、回路基板6 2（図2参照）に搭載される信号発生回路1 0 0の構成および回路基板6 2の配線構成を示した図である。

信号発生回路1 0 0には、画像処理部3 5（図1参照）より、ライン同期信号L s y n c、ビデオデータV d a t a、クロック信号c l k、およびリセット信号R S T等の各種制御信号が入力されるようになっている。そして、信号発生回路1 0 0は、外部から入力されてくる各種制御信号に基づいて、例えばビデオデータV d a t aの並べ替えや出力値の補正等を行い、各発光チップC（C 1～C 6 0）に対して点灯信号φ I（φ I 1～φ I 1 2 0）を出力する点灯信号発生部1 1 0を備えている。また、各発光チップCでは、搭載される2 5 6個の発光サイリスタを1 2 8個ずつ2組に分け、各組（1 2 8個の発光サイリスタ）を1スレッドとして点灯制御を行っている。このため、各発光チップC 1～C 6 0には、2本の点灯信号φ I（例えば発光チップC 1ではφ I 1およびφ I 2）が供給される。なお、回路基板6 2には、信号発生回路1 0 0における点灯信号発生部1 1 0の動作切り換えを設定するため切り換え部の一例としての切換スイッチ1 3 0が設けられている。

【0 0 3 2】

また、信号発生回路1 0 0は、外部から入力されてくる各種制御信号に基づき、各発光チップC 1～C 6 0に対してスタート転送信号φ S、第1の転送信号φ 1および第2の転送信号φ 2を出力する転送信号発生部1 2 0を備えている。

【0 0 3 3】

回路基板6 2には、各発光チップC 1～C 6 0のS U B端子に接続される電力供給用の

Vcc = -5.0Vの電源ライン101およびGND端子に接続される接地用の電源ライン102が設けられている。また、回路基板62には、信号発生回路100の転送信号発生部120からスタート転送信号 ϕS 、第1転送信号 $\phi 1$ 、第2転送信号 $\phi 2$ を送信するスタート転送信号ライン103、第1転送信号ライン104、第2転送信号ライン105も設けられている。さらに、回路基板62には、信号発生回路100の点灯信号発生部110から各発光チップC(C1~C60)に対して2本ずつ点灯信号 ϕI ($\phi I1 \sim \phi I120$)を送信する120本の点灯信号ライン106(106_1~106_120)も設けられている。なお、回路基板62には、120本の点灯信号ライン106(106_1~106_120)に過剰な電流が流れるのを防止するための120個の点灯電流制限抵抗RIDが設けられている。なお、点灯信号 $\phi I1 \sim \phi I120$ は、それぞれ、後述するようにハイレベル(H)およびローレベル(L)の2状態を取りうる。そして、ローレベルにおいては-5.0Vの電位となり、ハイレベルにおいては±0.0Vの電位となる。

【0034】

図6は、発光チップCの回路構成を説明するための図である。なお、ここでは、発光チップC1を例として説明を行うが、上述したように他の発光チップC2~C60も発光チップC1と同じ構成を有している。

【0035】

発光チップC1は、スイッチ素子の一例としての256個の転送サイリスタS1~S256、発光素子の一例としての256個の発光サイリスタL1~L256を備えている。なお、発光サイリスタL1~L256は、転送サイリスタS1~S256と同じpnpn接続を有しており、その中のpn接続を利用することで発光ダイオード(LED)としても機能するようになっている。また、発光チップC1は、254個のダイオードD1~D254および256個の抵抗R1~R256を備えている。さらに、発光チップC1は、第1転送信号 $\phi 1$ 、第2転送信号 $\phi 2$ 、そしてスタート転送信号 ϕS が供給される信号線に、過剰な電流が流れるのを防止するための転送電流制限抵抗R1A、R2A、R3Aを有している。なお、発光素子アレイ71を構成する発光サイリスタL1~L256は、図中左側からL1、L2、…、L255、L256の順で配列され、発光素子列すなわち発光素子アレイ71を形成している。また、転送サイリスタS1~S256も、図中左側からS1、S2、…、S255、S256の順で配列され、スイッチ素子列を形成している。さらに、ダイオードD1~D254も、図中左からD1、D2、…、D253、D254の順で配列されている。さらにまた、抵抗R1~R256も、図中左からR1、R2、…R255、R256の順で配列されている。

【0036】

発光チップC1は、2つの発光ブロックすなわち第1発光ブロックLB1と第2発光ブロックLB2とを備えている。ここで、第1発光素子群の一例としての第1発光ブロックLB1は、主走査方向の配列順が奇数番目の発光サイリスタL1、L3、…、L253、L255で構成される。一方、第2発光素子群の一例としての第2発光ブロックLB2は、主走査方向の配列順が偶数番目の発光サイリスタL2、L4、…、L254、L256で構成される。なお、本実施の形態では、発光素子アレイ71の図中左側(一端側)に配置される128個の発光サイリスタL1~L128によって一端側発光素子群が形成され、発光素子アレイ71の図中右側(他端側)に配置される128個の発光サイリスタL129~L256によって他端側発光素子群が形成される。また、本実施の形態では、奇数番目の発光サイリスタL1、L3、…、L255がそれぞれ第1発光サイリスタとして機能し、偶数番目の発光サイリスタL2、L4、…、L256がそれぞれ第2発光サイリスタとして機能している。

【0037】

また、発光チップC1は、2つの転送ブロックすなわち第1転送ブロックTB1と第2転送ブロックTB2とを備えている。ここで、第1スイッチ素子群の一例としての第1転送ブロックTB1は、図中左側の128個の転送サイリスタS1~S128、127個のダイオードD1~D127、および128個の抵抗R1~R128で構成される。一方、

第2スイッチ素子群の一例としての第2転送ブロックTB2は、図中右側の128個の転送サイリスタS129～S256、127個のダイオードD128～D254、および128個の抵抗R129～R256で構成される。なお、本実施の形態では、図中左側に並べられた128個の転送サイリスタS1～S128がそれぞれ第1転送サイリスタとして機能し、図中右側に並べられた128個の転送サイリスタS129～S256が第2転送サイリスタとして機能している。

【0038】

では次に、発光チップC1における各素子の電気的な接続について説明する。

各転送サイリスタS1～S256のアノード端子は、GND端子に接続されている。このGND端子には、電源ライン102（図5参照）が接続され、接地される。

10

【0039】

また、第1転送ブロックTB1における奇数番目の転送サイリスタS1、S3、…、S127および第2転送ブロックTB2における偶数番目の転送サイリスタS130、…、S254、S256のカソード端子は、転送電流制限抵抗R1Aを介して第1転送信号入力端子の一例としてのφ1端子に接続されている。このφ1端子には、第1転送信号ライン104（図5参照）が接続され、第1転送信号φ1が供給される。

【0040】

一方、第1転送ブロックTB1における偶数番目の転送サイリスタS2、S4、…、S128および第2転送ブロックTB2における奇数番目の転送サイリスタS129、…、S253、S255のカソード端子は、転送電流制限抵抗R2Aを介して第2転送信号入力端子の一例としてのφ2端子に接続されている。このφ2端子には、第2転送信号ライン105（図5参照）が接続され、第2転送信号φ2が供給される。

20

【0041】

また、各転送サイリスタS1～S256のゲート端子は、各転送サイリスタS1～S256に対応して設けられた抵抗R1～R256をそれぞれ介してSUB端子に接続されている。このSUB端子には、電源ライン101（図5参照）が接続され、電源電圧Vcc（-5.0V）が供給される。

【0042】

さらに、各転送サイリスタS1～S256のゲート端子は、対応する同番号の発光サイリスタL1～L256のゲート端子に、1対1でそれぞれ接続されている。

30

【0043】

ここで、第1転送ブロックTB1において、転送サイリスタS1～S127のゲート端子には、ダイオードD1～D127のアノード端子が接続されており、これらダイオードD1～D127のカソード端子は、それぞれが右側に隣接する転送サイリスタS2～S128のゲート端子に接続されている。すなわち、各ダイオードD1～D127は転送サイリスタS1～S128のゲート端子を挟んで直列接続される。

【0044】

一方、第2転送ブロックTB2において、転送サイリスタS130～S256のゲート端子には、ダイオードD128～D254のアノード端子が接続されており、これらダイオードD128～D254のカソード端子は、それぞれが左側に隣接する転送サイリスタS129～S255のゲート端子に接続されている。すなわち、各ダイオードD128～D254は、転送サイリスタS129～S256のゲート端子を挟んで直列接続される。

40

【0045】

そして、第1転送ブロックTB1の左端に設けられたダイオードD1のアノード端子（転送サイリスタS1のゲート端子）、および、第2転送ブロックTB2の右端に設けられたダイオードD254のアノード端子（転送サイリスタS256のゲート端子）は、転送電流制限抵抗R3Aを介してφS端子に接続されている。このφS端子には、スタート信号転送ライン103（図5参照）を介してスタート転送信号φSが供給される。

【0046】

ここで、第1転送ブロックTB1のダイオードD1～D127では、順方向電流が図中

50

左から右に向けて一方向に流れるようになっており、一方、第2転送ブロックTB2のダイオードD128～D254では、順方向電流が図中右から左に向けて一方向に流れるようになっている。つまり、第1転送ブロックTB1と第2転送ブロックTB2とで、ダイオードD1～D127およびダイオードD128～D254を流れる電流は、互いに逆向きとなっている。

【0047】

次に、各発光サイリスタL1～L256のアノード端子は、各転送サイリスタS1～S256のアノード端子と同様に、GND端子に接続されている。

【0048】

また、第1発光ブロックLB1を構成する奇数番目の発光サイリスタL1、L3、…、L253、L255のカソード端子は、φI1端子に接続されている。このφI1端子には、点灯信号ライン106（発光チップC1の場合は点灯信号ライン106_1：図5参照）が接続され、奇数番目の点灯信号φI1が供給される。なお、他の奇数番目の発光チップC3、…、C59のφI3、…、φI117端子には、それぞれ他の奇数番目の点灯信号φI3、…、φI117が供給される。

【0049】

一方、第2発光ブロックLB2を構成する偶数番目の発光サイリスタL2、L4、…、L254、L256のカソード端子は、φI2端子に接続されている。このφI2端子には、点灯信号ライン106（発光チップC1の場合は点灯信号ライン106_2：図5参照）が接続され、偶数番目の点灯信号φI2が供給される。なお、他の偶数番目の発光チップC4、…、C60のφI4、…、φI120端子には、それぞれ他の偶数番目の点灯信号φI4、…、φI120が供給される。

【0050】

図7は、図5に示した切換スイッチ130による点灯信号発生部110の動作切り換えを説明するための図である。切換スイッチ130をONに設定した場合、点灯信号発生部110は、各発光チップC1～C60に対して、それぞれ奇数番目、偶数番目の2本の点灯信号（発光チップC1の場合は点灯信号φI1、φI2）を供給する。一方、切換スイッチ130をOFFに設定した場合、点灯信号発生部110は、第1チップ列63a（図3参照）を構成する奇数番目の発光チップC1、C3、…、C59に対しては奇数番目の点灯信号（発光チップC1の場合は点灯信号φI1）のみを供給し、偶数番目の点灯信号（発光チップC1の場合は点灯信号φI2）を供給しない。また、切換スイッチ130をOFFに設定した場合において、点灯信号発生部110は、第2チップ列63b（図3参照）を構成する偶数番目の発光チップC2、C4、…、C60に対しては偶数番目の点灯信号（発光チップC2の場合は点灯信号φI4）のみを供給し、奇数番目の点灯信号（発光チップC2の場合は点灯信号φI3）を供給しない。

【0051】

ここで、切換スイッチ130がONに設定されるのは、主走査方向解像度が1200dpiの画像形成装置1にLPH14が装着される場合であり、切換スイッチ130がOFFに設定されるのは、主走査方向解像度が半分の600dpiの画像形成装置1に装着される場合である。

【0052】

次に、上述した図5および図6、そして図8に示すタイミングチャートを参照しながら、画像形成装置1の画像処理部35（図1参照）が、主走査方向解像度1200dpiのビデオデータVdataを出力する機能を有している場合の、発光部63の動作について説明を行う。したがって、LPH14に設けられた切換スイッチ130は、ONに設定されているものとする。なお、以下の説明においては、切換スイッチ130がONに設定された状態での発光部63の動作をフル解像度モード（第1のモードに対応）と呼ぶ。そして、図8に示すタイミングチャートは、発光部63を構成する各発光チップC1～C60において、すべての発光サイリスタL1～L256を点灯させる場合について表記している。

【0053】

各発光チップC1～C60に対して動作の開始を指示する場合、転送信号発生部120は、スタート転送信号φSをローレベル（L）からハイレベル（H）に変更する。これにより、各発光チップC1～C60の第1転送ブロックTB1の転送サイリスタS1のゲート端子および第2転送ブロックTB2の転送サイリスタS256のゲート端子に、ハイレベルのスタート転送信号φSが供給される。このとき、第1転送ブロックTB1では、ダイオードD1～D127を介して他の転送サイリスタS2～S128のゲート端子にもスタート転送信号φSが供給される。ただし、各ダイオードD1～D127で電圧降下が生じるため、第1転送ブロックTB1においては、転送サイリスタS1のゲート端子にかかる電圧が最も高くなる。一方、第2転送ブロックTB2では、ダイオードD254～D128を介して他の転送サイリスタS255～S129にもスタート転送信号φSが供給される。ただし、ダイオードD254～D128で電圧降下が生じるため、第2転送ブロックTB2においては、転送サイリスタS256のゲート端子にかかる電圧が最も高くなる。

【0054】

そして、スタート転送信号φSがハイレベルとなっている状態で、転送信号発生部120は、第1転送信号φ1をハイレベルからローレベルに変更する。また、転送信号発生部120は、第1転送信号φ1をローレベルとしてから第1の期間t_aが経過した後、第2転送信号φ2をローレベルからハイレベルに変更する。

【0055】

このように、スタート転送信号φSがハイレベルとなっている状態において、ローレベルの第1転送信号φ1が供給されると、各発光チップC1～C60の第1転送ブロックTB1では、ローレベルの第1転送信号φ1が供給される奇数番目の転送サイリスタS1、S3、…、S127のうち、ゲート端子の電圧が最も高く、閾値以上のゲート電圧となる転送サイリスタS1がターンオンする。一方、第2転送ブロックTB2では、ローレベルの第1転送信号φ1が供給される偶数番目の転送サイリスタS130、…、S254、S256のうち、ゲート端子の電圧が最も高く、閾値以上のゲート電圧となる転送サイリスタS256がターンオンする。また、このとき、第2転送信号φ2はハイレベルとなっているので、第1転送ブロックTB1における偶数番目の転送サイリスタS2、S4、…、S128のカソード端子の電圧は高いままとなり、ターンオフの状態が維持される。一方、第2転送ブロックTB2における奇数番目の転送サイリスタS129、…、S253、S255のカソード端子の電圧も高いままとなり、ターンオフの状態が維持される。さらにこのとき、点灯信号φI1～φI120はハイレベルとなっているため、各発光サイリスタL1～L256のカソード端子の電圧は高いままとなり、各発光サイリスタL1～L256は点灯しない。

【0056】

そして、発光チップC1～C60の第1転送ブロックTB1の転送サイリスタS1および第2転送ブロックTB2の転送サイリスタS256がターンオンしている状態において、転送信号発生部120が第2転送信号φ2をハイレベルに変更してから第2の期間t_bが経過した後、点灯信号発生部110が点灯信号φI1～φI120をハイレベルからローレベルに変更する。これに伴い、各発光チップC1～C60の第1発光ブロックLB1では、奇数番目の発光サイリスタL1、L3、…、L255のうち、ゲート端子の電圧が最も高い発光サイリスタL1が点灯する。一方、第2発光ブロックLB2では、偶数番目の発光サイリスタL2、L4、…、L256のうち、ゲート端子の電位が最も高い発光サイリスタL256が点灯する。なお、例えば発光サイリスタL1を点灯させない場合には、転送サイリスタS1がターンオンしている間、点灯信号φI1をハイレベルの状態に維持すればよい。同様に、例えば発光サイリスタL256を点灯させない場合には、転送サイリスタS256がターンオンしている間、点灯信号φI2をハイレベルの状態に維持すればよい。

【0057】

次に、各発光チップC 1～C 6 0の第1転送ブロックTB 1において転送サイリスタS 1がターンオンし、且つ、第2転送ブロックTB 2において転送サイリスタS 2 5 6がターンオンしているときに、転送信号発生部1 2 0が第2転送信号φ 2をハイレベルからローレベルに変更する。すると、各発光チップC 1～C 6 0の第1転送ブロックTB 1では、ローレベルの第2転送信号φ 2が供給される偶数番目の転送サイリスタS 2、S 4、…、S 1 2 8のうち、ゲート端子の電圧が最も高く、閾値以上のゲート電圧となる転送サイリスタS 2がターンオンする。一方、第2転送ブロックTB 2では、ローレベルの第2転送信号φ 2が供給される奇数番目の転送サイリスタS 1 2 9、…、S 2 5 3、S 2 5 5のうち、ゲート端子の電圧が最も高く、閾値以上のゲート電圧となる転送サイリスタS 2 5 5がターンオンする。このとき、各発光チップC 1～C 6 0の第1転送ブロックTB 1では、隣接する2個の転送サイリスタS 1、S 2が共にターンオンし、第2転送ブロックTB 2では、隣接する2個の転送サイリスタS 2 5 5、S 2 5 6が共にターンオンしていることになる。

10

【0058】

また、転送信号発生部1 2 0が第2転送信号φ 2をハイレベルからローレベルに変更すると同時に、点灯信号発生部1 1 0が点灯信号φ I 1～φ I 1 2 0をローレベルからハイレベルに変更する。これに伴い、それまで点灯していた第1発光ブロックLB 1の発光サイリスタL 1および第2発光ブロックLB 2の発光サイリスタL 2 5 6が共に消灯する。そして、転送信号発生部1 2 0は、第2転送信号φ 2をローレベルとしてから第1の期間t aが経過した後、第1転送信号φ 1をローレベルからハイレベルに変更する。すると、各発光チップC 1～C 6 0の第1転送ブロックTB 1では転送サイリスタS 1がターンオフし、第2転送ブロックTB 2では転送サイリスタS 2 5 6がターンオフする。各発光チップC 1～C 6 0の第1転送ブロックTB 1では、転送サイリスタS 1のターンオフに伴って、転送サイリスタS 1のゲート端子の電位が抵抗R 1によって徐々に低下し、ダイオードD 1を介して順方向に隣接する転送サイリスタS 2のゲート端子の電位が上昇する。一方、第2転送ブロックTB 2では、転送サイリスタS 2 5 6のターンオフに伴って、転送サイリスタS 2 5 6のゲート端子の電位が抵抗R 2 5 6によって徐々に低下し、ダイオードD 2 5 4を介して順方向に隣接する転送サイリスタS 2 5 5のゲート端子の電位が上昇する。なお、転送信号発生部1 2 0は、第1転送信号φ 1をローレベルからハイレベルに変更すると同時に、スタート転送信号φ Sをハイレベルからローレベルに変更する。

20

30

【0059】

そして、各発光チップC 1～C 6 0の第1転送ブロックTB 1の転送サイリスタS 2および第2転送ブロックTB 2の転送サイリスタS 2 5 5がターンオンしている状態において、転送信号発生部1 2 0が第1転送信号φ 1をハイレベルに変更してから第2の期間t bが経過した後、点灯信号発生部1 1 0が点灯信号φ I 1～φ I 1 2 0をハイレベルからローレベルに変更する。これに伴い、各発光チップC 1～C 6 0の第1発光ブロックLB 1では、奇数番目の発光サイリスタL 1、L 3、…、L 2 5 5のうち、ゲート端子の電圧が最も高い発光サイリスタL 2 5 5が点灯する。一方、第2発光ブロックLB 2では、偶数番目の発光サイリスタL 2、L 4、…、L 2 5 6のうち、ゲート端子の電圧が最も高い発光サイリスタL 2が点灯する。

40

【0060】

次に、各発光チップC 1～C 6 0の第1転送ブロックTB 1において転送サイリスタS 2がターンオンし、且つ、第2転送ブロックTB 2において転送サイリスタS 2 5 5がターンオンしているときに、転送信号発生部1 2 0が第1転送信号φ 1をハイレベルからローレベルに変更する。すると、各発光チップC 1～C 6 0の第1転送ブロックTB 1では、ローレベルの第1転送信号φ 1が供給される奇数番目の転送サイリスタS 1、S 3、…、S 1 2 7のうち、ゲート端子の電圧が最も高く、閾値以上のゲート電圧となる転送サイリスタS 3がターンオンする。一方、第2転送ブロックTB 2では、ローレベルの第1転送信号φ 1が供給される偶数番目の転送サイリスタS 1 3 0、…、S 2 5 4、S 2 5 6のう

50

ち、ゲート電圧が最も高く、閾値以上のゲート電圧となる転送サイリスタS 2 5 4がターンオンする。このとき、各発光チップC 1～C 6 0の第1転送ブロックTB 1では、隣接する2個の転送サイリスタS 2、S 3が共にターンオンし、第2転送ブロックTB 2では、隣接する2個の転送サイリスタS 2 5 4、S 2 5 5が共にターンオンしていることになる。

【0061】

また、転送信号発生部120が第1転送信号φ1をハイレベルからローレベルに変更すると同時に、点灯信号発生部110が点灯信号φI（φI1～φI120）をローレベルからハイレベルに変更する。これに伴い、それまで点灯していた第1発光ブロックLB1の発光サイリスタL2および第2発光ブロックLB2の発光サイリスタL255がともに消灯する。その後、転送信号発生部120が第2転送信号φ2をローレベルからハイレベルに変更すると、各発光チップC1～C60の第1転送ブロックTB1では転送サイリスタS2がターンオフし、第2転送ブロックTB2では転送サイリスタS255がターンオフする。各発光チップC1～C60の第1転送ブロックTB1では、転送サイリスタS2のターンオフに伴って、転送サイリスタS2のゲート端子の電位が抵抗R2によって徐々に低下し、ダイオードD2を介して順方向に隣接する転送サイリスタS3のゲート端子の電位が上昇する。また、これに伴って、ダイオードD3～D127を介して接続される他の転送サイリスタS4～S128のゲート端子の電位も上昇する。一方、第2転送ブロックTB2では、転送サイリスタS255のターンオフに伴って、転送サイリスタS255のゲート端子の電位が抵抗R255によって徐々に低下し、ダイオード253を介して順方向に隣接する転送サイリスタS254のゲート端子の電位が上昇する。また、これに伴って、ダイオードD252～D128を介して接続される他の転送サイリスタS253～S129のゲート端子の電位も上昇する。なお、第1転送信号φ1がローレベルとなってから第2転送信号φ2がローレベルとなるまでの期間、および、第2転送信号φ2がローレベルとなってから第1転送信号φ1がローレベルとなるまでの期間を、サイリスタ転送周期Pと呼ぶ。

【0062】

このように、フル解像度モードにおいて、発光部63では、第1転送信号φ1および第2転送信号φ2がともにローレベルに設定される重なり期間（図8に示す第1の期間ta）を設けつつ、交互にハイレベル、ローレベルを切り換えることにより、各発光チップC1～C60の第1転送ブロックTB1においては転送サイリスタS1～S128が番号順に順次ターンオンし、また、第2転送ブロックTB2においては転送サイリスタS129～S256が番号とは逆順に順次ターンオンする。

【0063】

そして、フル解像度モードでは、切換スイッチ130がONに設定されている。このため、転送サイリスタS1～S256のターンオンの転送動作に同期して図8に示す第2の期間tbを経た後に奇数番目の点灯信号φI1、φI3、…、φI119および偶数番目の点灯信号φI2、φI4、…、φI120をハイレベルからローレベルに切り換えることで、第1発光ブロックLB1においては奇数番目の発光サイリスタL1、L3、…、L253、L255が1つずつ点灯し、また、第2発光ブロックLB2においては偶数番目の発光サイリスタL2、L4、…、L254、L256が1つずつ点灯する。

【0064】

ここで、図9は、フル解像度モードにおいて、各発光チップC1～C60を構成する発光サイリスタL1～L256の点灯順位を説明するための図である。

図8を用いて説明したように、まず1番目に、第1発光ブロックLB1に属し発光素子アレイ71の左端に位置する発光サイリスタL1が、第1転送ブロックTB1に属する転送サイリスタS1によって点灯可能な状態になり、同時に、第2発光ブロックLB2に属し発光素子アレイ71の右端に位置する発光サイリスタL256が、第2転送ブロックTB2に属する転送サイリスタS256によって点灯可能な状態になる。続いて2番目に、第2発光ブロックLB2に属し発光素子アレイ71において発光サイリスタL1の右隣に

位置する発光サイリスタL 2が、第1転送ブロックTB 1に属する転送サイリスタS 2によって点灯可能な状態になり、同時に、第1発光ブロックLB 1に属し発光素子アレイ7 1において発光サイリスタL 2 5 6の左隣に位置する発光サイリスタL 2 5 5が、第2転送ブロックTB 2に属する転送サイリスタS 2 5 5によって点灯可能な状態になる。そして、点灯順位が下がるにつれ、点灯可能な状態になる発光サイリスタの位置は発光素子アレイ7 1の左右両端から中央に向かっていく。そして、1 2 8番目に、第2発光ブロックLB 2に属し発光素子アレイ7 1において発光サイリスタL 1 2 7の右隣に位置する発光サイリスタL 1 2 8が、第1転送ブロックTB 1に属する転送サイリスタS 1 2 8によって点灯可能な状態となり、同時に、第1発光ブロックLB 1に属し発光素子アレイ7 1において発光サイリスタL 1 3 0の左隣に位置する発光サイリスタL 1 2 9が、第2転送ブロックTB 2に属する転送サイリスタS 1 2 9によって点灯可能な状態になる。

【0065】

このように、本実施の形態では、第1転送ブロックTB 1を構成する転送サイリスタS 1～S 1 2 8により、第1発光ブロックLB 1および第2発光ブロックLB 2にそれぞれが属し一端側発光素子群を構成する発光サイリスタL 1～L 1 2 8が、図中左から右に向かう第1の方向に、順次発光可能な状態に設定される。また、これと同期して、第2転送ブロックTB 2を構成する転送サイリスタS 1 2 9～S 2 5 6により、第1発光ブロックLB 1および第2発光ブロックLB 2にそれぞれが属し他端側発光素子群を構成する発光サイリスタL 1 2 9～L 2 5 6が、図中右から左に向かう第2の方向に、順次発光可能な状態に設定される。

【0066】

ここで、図10は、フル解像度モードにおいて点灯可能となる発光サイリスタの配置を説明するための図である。なお、図10には発光チップC 1～C 3のみを抜き出して示している。フル解像度モードでは、図8および図9を用いて説明したように、各発光チップC 1～C 60を構成するすべての発光サイリスタL 1～L 2 5 6が、点灯可能な状態に設定されることになる。

【0067】

続いて、上述した図5および図6、そして図11に示すタイミングチャートを参照しながら、画像形成装置1の画像処理部35（図1参照）が、主走査方向解像度600 dpiのビデオデータV dataを出力する機能しか有していない場合の、発光部63の動作について説明を行う。したがって、LPH 14に設けられた切換スイッチ130は、OFFに設定されているものとする。なお、以下の説明においては、切換スイッチ130がOFFに設定された状態での発光部63の動作をハーフ解像度モード（第2のモードに対応）と呼ぶ。そして、図11に示すタイミングチャートは、上述したフル解像度モードと同様に、発光部63を構成する各発光チップC 1～C 60において、すべての発光サイリスタL 1～L 2 5 6を点灯させる場合について表記している。

【0068】

ハーフ解像度モードにおいても、転送信号発生部120が、各発光チップC 1～C 60に対して、上述したフル解像度モードと同様のスタート転送信号φ S、第1転送信号φ 1および第2転送信号φ 2を供給する。そして、ハーフ解像度モードにおいても、第1転送信号φ 1および第2転送信号φ 2がともにローレベルに設定される重なり期間（図11に示す第1の期間t a）を設けつつ、交互にハイレベル、ローレベルを切り換えることにより、各発光チップC 1～C 60の第1転送ブロックTB 1においては転送サイリスタS 1～S 1 2 8が番号順に順次ターンオンし、また、第2転送ブロックTB 2においては転送サイリスタS 1 2 9～S 2 5 6が番号とは逆順に順次ターンオンする。

【0069】

ここで、ハーフ解像度モードでは、切換スイッチ130がOFFに設定されている。このため、第1チップ列63 a（図3参照）を構成する奇数番目の発光チップC 1、C 3、…、C 59には、偶数番目の点灯信号φ I 2、φ I 6、…、φ I 118が供給されておらず、見かけ上、ハイレベルの状態（±0.0V）となっている。したがって、ハーフ解像

度モードにおいて、奇数番目の発光チップC 1、C 3、…、C 5 9では、それぞれに供給される偶数番目の点灯信号 ϕ I 2、 ϕ I 6、…、 ϕ I 1 1 8がローレベルになり得ないので、各々の第2発光ブロックLB 2を構成する偶数番目の発光サイリスタL 2、L 4、…、L 2 5 6が点灯することはない。その一方、これら奇数番目の発光チップC 1、C 3、…、C 5 9では、それぞれに供給される奇数番目の点灯信号 ϕ I 1、 ϕ I 5、…、 ϕ I 1 1 7をハイレベルからローレベルに切り換えることで、各々の第1発光ブロックLB 1を構成する奇数番目の発光サイリスタL 1、L 3、…、L 2 5 5が1つずつ点灯することになる。

【0070】

また、第2チップ列6 3 b（図3参照）を構成する偶数番目の発光チップC 2、C 4、…、C 6 0には、奇数番目の点灯信号 ϕ I 3、 ϕ I 7、…、 ϕ I 1 1 9が供給されておらず、こちらも見かけ上、ハイレベルの状態（ $\pm 0.0V$ ）となっている。したがって、ハーフ解像度モードにおいて、偶数番目の発光チップC 2、C 4、…、C 6 0では、それぞれに供給される奇数番目の点灯信号 ϕ I 3、 ϕ I 7、…、 ϕ I 1 1 9がローレベルになり得ないので、各々の第1発光ブロックLB 1を構成する奇数番目の発光サイリスタL 1、L 3、…、L 2 5 5が点灯することはない。その一方、これら偶数番目の発光チップC 2、C 4、…、C 6 0では、それぞれに供給される偶数番目の点灯信号 ϕ I 4、 ϕ I 8、…、 ϕ I 1 2 0をハイレベルからローレベルに切り換えることで、各々の第2発光ブロックLB 2を構成する偶数番目の発光サイリスタL 2、L 4、…、L 2 5 6が1個ずつ点灯することになる。

【0071】

ここで、図1 2は、ハーフ解像度モードにおいて、各発光チップC 1～C 6 0を構成する発光サイリスタL 1～L 2 5 6の点灯順位を説明するための図である。なお、図1 2（a）は、ハーフ解像度モードにおいて、第1チップ列6 3 aすなわち奇数番目の発光チップC 1、C 3、…、C 5 9を構成する発光サイリスタL 1～L 2 5 6の点灯順位を示しており、図1 2（b）は、ハーフ解像度モードにおいて、第2チップ列6 3 bすなわち偶数番目の発光チップC 2、C 4、…、C 6 0を構成する発光サイリスタL 1～L 2 5 6の点灯順位を示している。

【0072】

図1 1を用いて説明したように、上述したフル解像度モードと同様に、まず1番目に、第1発光ブロックLB 1に属し発光素子アレイ7 1の左端に位置する発光サイリスタL 1が、第1転送ブロックTB 1に属する転送サイリスタS 1によって点灯可能な状態となり、同時に、第2発光ブロックLB 2に属し発光素子アレイ7 1の右端に位置する発光サイリスタL 2 5 6が、第2転送ブロックTB 2に属する転送サイリスタS 2 5 6によって点灯可能な状態になる。ただし、ハーフ解像度モードでは、奇数番目の発光チップC 1、C 3、…、C 5 9に対し偶数番目の点灯信号 ϕ I 2、 ϕ I 6、…、 ϕ I 1 2 0が供給されず、ハイレベルの状態が維持される。したがって、奇数番目の発光チップC 1、C 3、…、C 5 9では、図1 2（a）に示すように、奇数番目の発光サイリスタL 1のみが点灯可能となり、偶数番目の発光サイリスタL 2 5 6は実質的に点灯不可能となる。また、ハーフ解像度モードでは、偶数番目の発光チップC 2、C 4、…、C 6 0に対し奇数番目の点灯信号 ϕ I 3、 ϕ I 7、…、 ϕ I 1 1 9が供給されず、ハイレベルの状態が維持される。したがって、偶数番目の発光チップC 2、C 4、…、C 6 0では、図1 2（b）に示すように、偶数番目の発光サイリスタL 2 5 6のみが点灯可能となり、奇数番目の発光サイリスタL 1は実質的に点灯不可能となる。

【0073】

続いて、上述したフル解像度モードと同様に、2番目に、第2発光ブロックLB 2に属し発光素子アレイ7 1において発光サイリスタL 1の右隣に位置する発光サイリスタL 2が、第1転送ブロックTB 1に属する転送サイリスタS 2によって点灯可能な状態になり、同時に、第1発光ブロックLB 1に属し発光素子アレイ7 1において発光サイリスタL 2 5 6の左隣に位置する発光サイリスタL 2 5 5が、第2転送ブロックTB 2に属する転

送サイリスタ S 2 5 5 によって点灯可能な状態になる。ただし、奇数番目の発光チップ C 1、C 3、…、C 5 9 では、上述した理由により、図 1 2 (a) に示すように、奇数番目の発光サイリスタ L 2 5 5 のみが点灯可能となり、偶数番目の発光サイリスタ L 2 は実質的に点灯不可能となる。また、図 1 2 (b) に示すように、偶数番目の発光チップ C 2、C 4、…、C 6 0 では、上述した理由により、偶数番目の発光サイリスタ L 2 のみが点灯可能となり、奇数番目の発光サイリスタ L 2 5 5 は実質的に点灯不可能となる。

【0074】

以降、点灯順位が下がるにつれ、奇数番目の発光チップ C 1、C 3、…、C 5 9 では、図 1 2 (a) に示すように、点灯可能な状態となる奇数番目の発光サイリスタの位置が発光素子アレイ 7 1 の左側、右側に順次移動しながら発光素子アレイ 7 1 の中央に向かっていく。また、これと同期して、偶数番目の発光チップ C 2、C 4、…、C 6 0 では、図 1 2 (b) に示すように、点灯可能な状態となる偶数番目の発光サイリスタの位置が発光素子アレイ 7 1 の右側、左側に順次移動しながら中央に向かっていく。

【0075】

そして、1 2 8 番目に、第 2 発光ブロック L B 2 に属し発光素子アレイ 7 1 において発光サイリスタ L 1 2 7 の右隣に位置する発光サイリスタ L 1 2 8 が、第 1 転送ブロック T B 1 に属する転送サイリスタ S 1 2 8 によって点灯可能な状態となり、同時に、第 1 発光ブロック L B 1 に属し発光素子アレイ 7 1 において発光サイリスタ L 1 3 0 の左隣に位置する発光サイリスタ L 1 2 9 が、第 2 転送ブロック T B 2 に属する転送サイリスタ S 1 2 9 によって点灯可能な状態になる。ただし、奇数番目の発光チップ C 1、C 3、…、C 5 9 では、上述した理由により、図 1 2 (a) に示すように、奇数番目の発光サイリスタ L 1 2 9 のみが点灯可能となり、偶数番目の発光サイリスタ L 1 2 8 は実質的に点灯不可能となる。また、偶数番目の発光チップ C 2、C 4、…、C 6 0 では、上述した理由により、図 1 2 (b) に示すように、偶数番目の発光サイリスタ L 1 2 8 のみが点灯可能となり、奇数番目の発光サイリスタ L 1 2 9 は実質的に点灯不可能となる。

【0076】

ここで、図 1 3 は、ハーフ解像度モードにおいて点灯可能となる発光サイリスタの配置を説明するための図である。なお、図 1 3 には、発光チップ C 1 ~ C 3 のみを抜き出して示している。ハーフ解像度モードでは、図 1 1 および図 1 2 を用いて説明したように、第 1 チップ列 6 3 a を構成する奇数番目の発光チップ C 1、C 3、…、C 5 9 においては第 1 発光ブロック L B 1 を構成する奇数番目の発光サイリスタ L 1、L 3、…、L 2 5 5 のみが点灯可能な状態となり、且つ、第 2 チップ列 6 3 b を構成する偶数番目の発光チップ C 2、C 4、…、C 6 0 においては第 2 発光ブロック L B 2 を構成する偶数番目の発光サイリスタ L 2、L 4、…、L 2 5 6 のみが点灯可能な状態となる。ここで、本実施の形態では、第 1 チップ列 6 3 a を構成する発光チップ C 1、C 3、…、C 5 9 と、第 2 チップ列 6 3 b を構成する発光チップ C 2、…、C 5 8、C 6 0 とが、副走査方向に逆を向いている。このため、ハーフ解像度モードでは、各発光チップ C 1 ~ C 6 0 において、点灯可能な状態となる発光サイリスタが 1 個おきとなり、且つ、各発光チップ C 1 ~ C 6 0 における発光素子アレイ 7 1 の端部境界においても、点灯可能な状態となる発光サイリスタが 1 個おきとなる。したがって、発光部 6 3 全体としてみた場合に、点灯可能な状態となる発光サイリスタが主走査方向に 4 2 . 3 μ m 間隔で配置されることになり、発光部 6 3 からは主走査方向に均等な間隔で、6 0 0 d p i の光像が出力されることになる。

【0077】

また、ハーフ解像度モードにおいて、各発光チップ C 1 ~ C 6 0 では、発光素子アレイ 7 1 の左右両端から中央に向けて、右側の発光サイリスタと左側の発光サイリスタとを交互に点灯可能な状態としている。このため、各発光チップ C 1 ~ C 6 0 を用いて主走査方向 1 ラインの光書き込みを行って静電潜像を形成した場合に、各発光チップ C 1 ~ C 6 0 によって得られる静電潜像は、フル解像度モードのときのような V 字状 (図 9 参照) ではなく、もっと離散的になる。したがって、主走査方向のドット間隔がフル解像度モードよりも広がるハーフ解像度モードにおいて、各発光チップ C 1 ~ C 6 0 の発光素子アレイ 7

1の主走査方向長さ毎に生じるV字状の縞が目立ちにくくなる。

【0078】

<実施の形態2>

本実施の形態は、実施の形態1とほぼ同様であるが、発光部63を構成する複数の発光チップC1～C60の配置が異なっており、これに伴い、ハーフ解像度モードにおける発光サイリスタの点灯制御が実施の形態1とは異なる。なお、本実施の形態において、実施の形態1と同様のものについては、同じ符号を付してその詳細な説明を省略する。

【0079】

図14は、上記発光部63のうち、発光チップC1、C2、C3の連結部位を拡大した図である。なお、各発光チップC1～C60は、実施の形態1で説明したものと同一の構成を有している。本実施の形態では、各発光チップC1～C60を千鳥状に配列するのではなく、それぞれを副走査方向に一定角度だけ傾けて（チルトさせて）配列している。このため、本実施の形態では、奇数番目の発光チップC1、C3、…、C59および偶数番目の発光チップC2、C4、…、C60が、実施の形態1とは異なり、副走査方向に同じ方向を向くように配置されている。そして、図14に示したように、発光チップC1、C2、C3のそれぞれに配置された発光素子アレイ71の端部境界において、発光素子アレイ71が発光チップC1、C2の連結部および発光チップC2、C3の連結部で主走査方向に連続するように配列されている。なお、各発光チップC1～C60の発光素子アレイ71を構成する256個の発光サイリスタL1～L256の配置間隔は、各発光チップC1～C60の取り付け角度に応じて、21.15μmよりも若干大きく設定される。

【0080】

ここで、図15は、図5に示した切換スイッチ130による点灯信号発生部110の動作切り換えを説明するための図である。切換スイッチ130をONに設定した場合において、点灯信号発生部110は、実施の形態1と同様、各発光チップC1～C60に対して、それぞれ奇数番目、偶数番目の2組の点灯信号（例えば発光チップC3においては点灯信号φI5およびφI6）を供給する。一方、切換スイッチ130をOFFに設定した場合において、点灯信号発生部110は、奇数番目、偶数番目に関わらず、すべての発光チップC1～C60に対して奇数番目の点灯信号（発光チップC3の場合は点灯信号φI5）のみを供給し、偶数番目の点灯信号（発光チップC3の場合は点灯信号φI6）を供給しない。

【0081】

そして、フル解像度モードでは、実施の形態1と同様に、各発光チップC1～C60にそれぞれ奇数番目、偶数番目の点灯信号を供給することで、各発光チップC1～C60を構成する各発光サイリスタL1～L256を点灯可能な状態にする。一方、ハーフ解像度モードでは、各発光チップC1～C60にそれぞれ奇数番目の点灯信号のみを供給することで、各発光チップC1～C60を構成する奇数番目の発光サイリスタL1、L3、…、L255のみを点灯可能な状態にし、偶数番目の発光サイリスタL2、L4、…、L256を実質的に点灯不可能な状態にする。このため、ハーフ解像度モードでは、結果として、実施の形態1と同様に、各発光チップC1～C60において、点灯可能な状態となる発光サイリスタが1個おきとなり、且つ、各発光チップC1～C60における発光素子アレイ71の端部境界においても、点灯可能な状態となる発光サイリスタが1個おきとなる。それゆえ、発光部63全体としてみた場合に、点灯可能な状態となる発光サイリスタが主走査方向に42.3μm間隔で配置されることになり、発光部63からは主走査方向に均等な間隔で、600dpiの光像が出力されることになる。

【0082】

また、本実施の形態においても、実施の形態1と同様の理由により、各発光チップC1～C60の発光素子アレイ71の主走査方向長さ毎に生じるV字状の縞が目立ちにくくなる。

【0083】

なお、実施の形態1のハーフ解像度モードでは、奇数番目の発光チップC1、C3、…

、C 5 9における奇数番目の発光サイリスタL 1、L 3、…、L 2 5 5のみを点灯可能な状態とし、偶数番目の発光チップC 2、C 4、…、C 6 0における偶数番目の発光サイリスタL 2、L 4、L 2 5 6のみを点灯可能な状態としていたが、これに限られるものではなく、逆の関係としてもよい。一方、実施の形態2のハーフ解像度モードでは、すべての発光チップC 1～C 6 0における奇数番目の発光サイリスタL 1、L 3、…、L 2 5 5のみを点灯可能な状態としていたが、これに限られるものではなく、逆の関係としてもよい。

【0084】

また、実施の形態1および2のハーフ解像度モードを実行するに際して、例えば奇数番目の発光チップC 1でφ I 1端子への配線が断線するなどして奇数番目の発光サイリスタL 1、L 3、…、L 2 5 5の点灯制御が困難になった場合には、発光チップC 1において、偶数番目の発光サイリスタL 2、L 4、…、L 2 5 6のみを点灯可能な状態とできるように、切換スイッチ130の設定を変更するようにしてもよい。

【0085】

さらに、実施の形態1および2において、各発光チップC 1～C 6 0では、発光素子アレイ71の左右両端から中央に向けて点灯可能状態を転送するようにしていたが、これに限られるものではなく、発光素子アレイ71の中央から左右両端に向けて点灯可能状態を転送するようにしてもよい。

【0086】

さらにまた、実施の形態1および2では、転送サイリスタS 1～S 1 2 8の各アノード端子を共通電位とし、各カソード端子の電位を第1転送信号φ 1あるいは第2転送信号φ 2で変えるようにしていたが、これに限られるものではなく、転送サイリスタS 1～S 1 2 8の各カソード端子を共通電位とし、各アノード端子の電位を第1転送信号φ 1あるいは第2転送信号φ 2で変えるようにしてもよい。一方、実施の形態1および2では、発光サイリスタL 1～L 1 2 8の各アノード端子を共通電位とし、各カソード端子の電位を第1点灯信号φ I 1、φ I 3、…、φ I 1 1 9および第2点灯信号φ I 2、φ I 4、…、φ I 1 2 0で変えるようにしていたが、これに限られるものではなく、発光サイリスタL 1～L 1 2 8の各カソード端子を共通電位とし、各アノード端子の電位を第1点灯信号φ I 1、φ I 3、…、φ I 1 1 9および第2点灯信号φ I 2、φ I 4、…、φ I 1 2 0で変えるようにしてもよい。

【0087】

また、実施の形態1、2においては、第1転送ブロックT B 1および第2転送ブロックT B 2がそれぞれ偶数且つ同数（128個）の転送サイリスタを備え、第1発光ブロックL B 1および第2発光ブロックL B 2がそれぞれ偶数且つ同数（128個）の発光サイリスタを備えるようにしていたが、これに限られない。例えば、各転送ブロックあるいは各発光ブロックを構成する転送サイリスタあるいは発光サイリスタの数を奇数個としてもよく、さらには奇数個と偶数個とを組み合わせるようにしてもよい。したがって、第1転送ブロックT B 1と第2転送ブロックT B 2とがそれぞれ異なる個数の転送サイリスタを有していてもかまわないし、第1発光ブロックL B 1と第2発光ブロックL B 2とがそれぞれ異なる個数の発光サイリスタを有していてもかまわない。

【図面の簡単な説明】

【0088】

【図1】本実施の形態が適用される画像形成装置の全体構成の一例を示した図である。

【図2】LEDプリントヘッド（LPH）の構成を示した断面図である。

【図3】（a）はLPHにおける回路基板および発光部の上面図であり、（b）はLPHにおけるロッドレンズアレイおよびホルダの上面図である。

【図4】実施の形態1における発光部の構成を説明するための要部拡大図である。

【図5】回路基板に搭載される信号発生回路の構成および回路基板の配線構成を示した図である。

【図6】発光チップの回路構成を説明するための図である。

10

20

30

40

50

【図 7】実施の形態 1 における、切換スイッチによる点灯信号発生部の動作切り換えの概要を説明するための図である。

【図 8】フル解像度モードにおける発光部の動作を説明するためのタイミングチャートである。

【図 9】フル解像度モードにおいて、各発光チップを構成する各発光サイリスタの点灯順位を説明するための図である。

【図 10】フル解像度モードにおいて点灯可能となる発光サイリスタの配置を説明するための図である。

【図 11】ハーフ解像度モードにおける発光部の動作を説明するためのタイミングチャートである。

【図 12】ハーフ解像度モードにおいて、各発光チップを構成する各発光サイリスタの点灯順位を説明するための図である。

【図 13】ハーフ解像度モードにおいて点灯可能となる発光サイリスタの配置を説明するための図である。

【図 14】実施の形態 2 における発光部の構成を説明するための要部拡大図である。

【図 15】実施の形態 2 における、切換スイッチによる点灯信号発生部の動作切り換えの概要を説明するための図である。

【符号の説明】

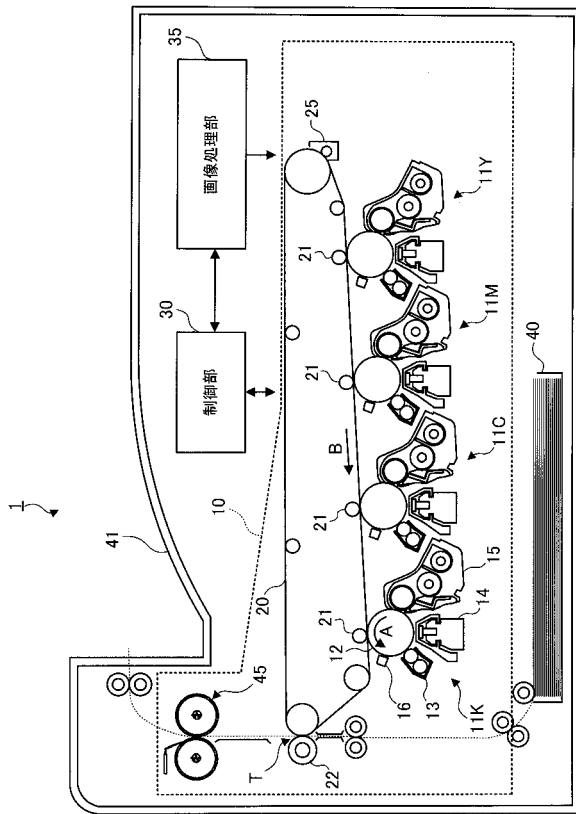
【0089】

1…画像形成装置、35…画像処理部、63…発光部、63a…第1チップ列、63b…第2チップ列、70…チップ基板、71…発光素子アレイ、100…信号発生回路、110…点灯信号発生部、120…転送信号発生部、130…切換スイッチ、LB1…第1発光ブロック、LB2…第2発光ブロック、TB1…第1転送ブロック、TB2…第2転送ブロック、φS…スタート転送信号、φ1…第1転送信号、φ2…第2転送信号、φI1～φI120…点灯信号、C1～C60…発光チップ、S1～S256…転送サイリスタ、L1～L256…発光サイリスタ、D1～D254…ダイオード、R1～R256…抵抗

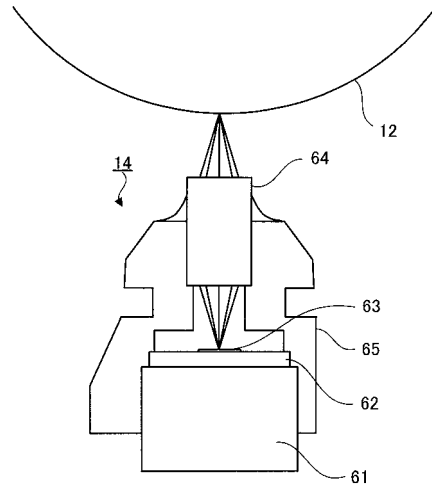
10

20

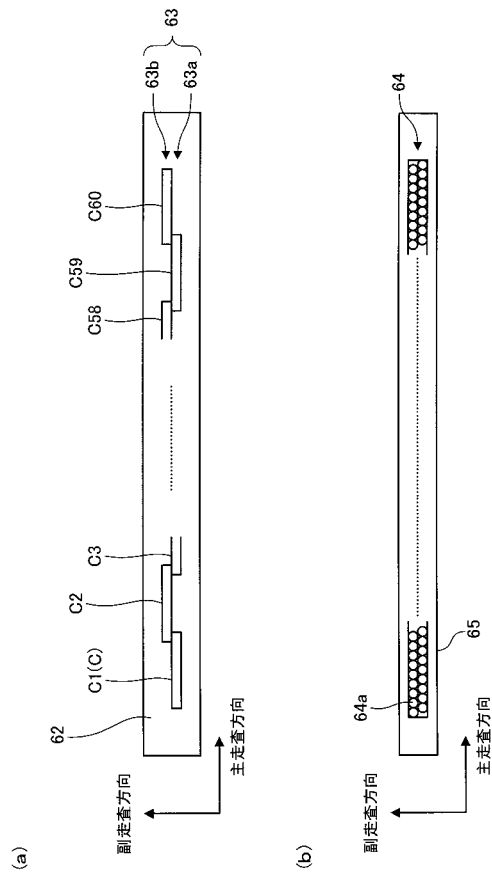
【図 1】



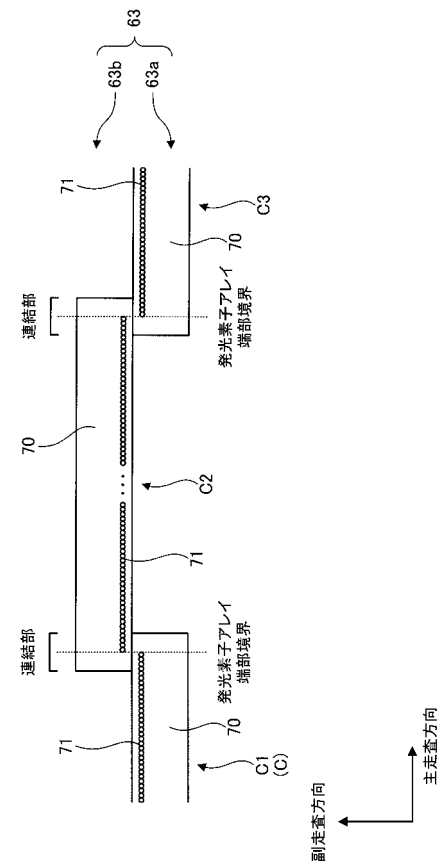
【図 2】



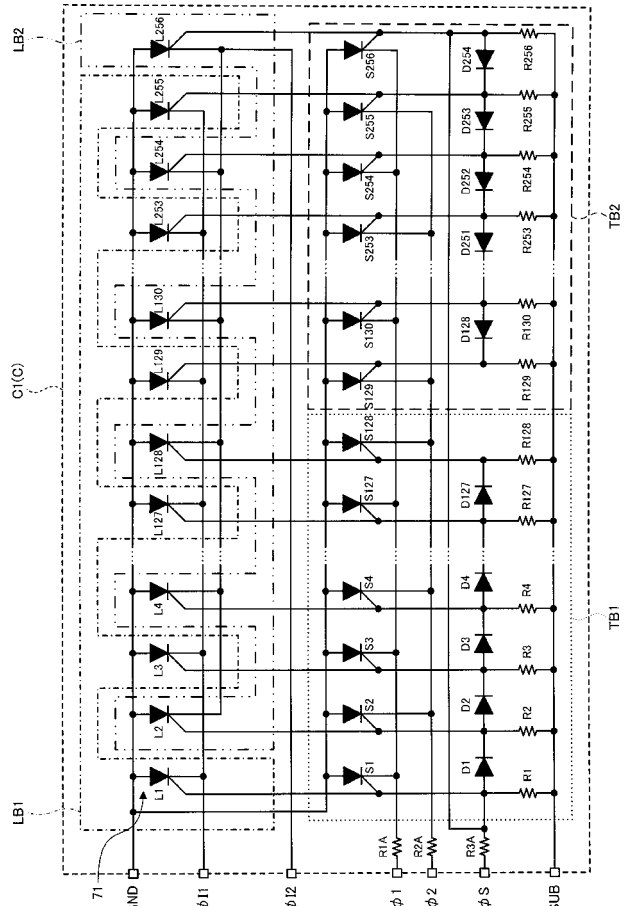
【図 3】



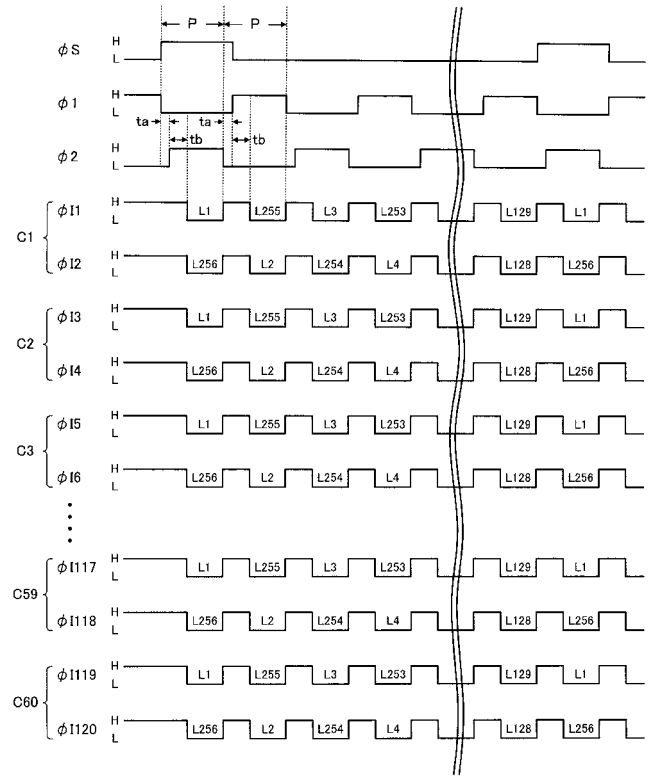
【図 4】



【図 6】



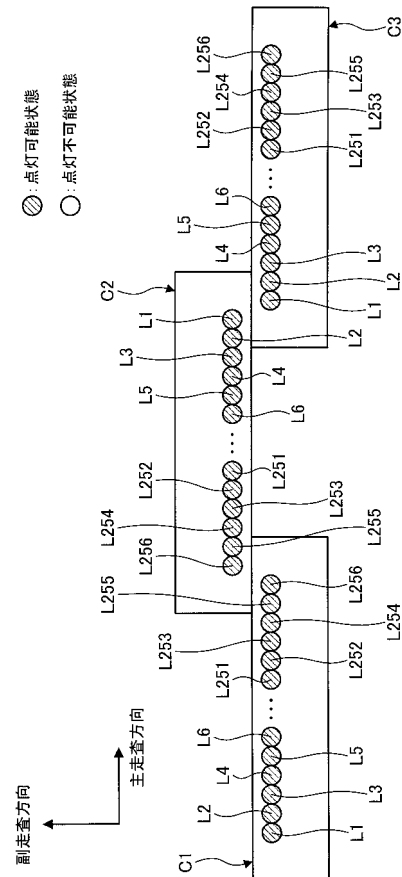
【图 8】



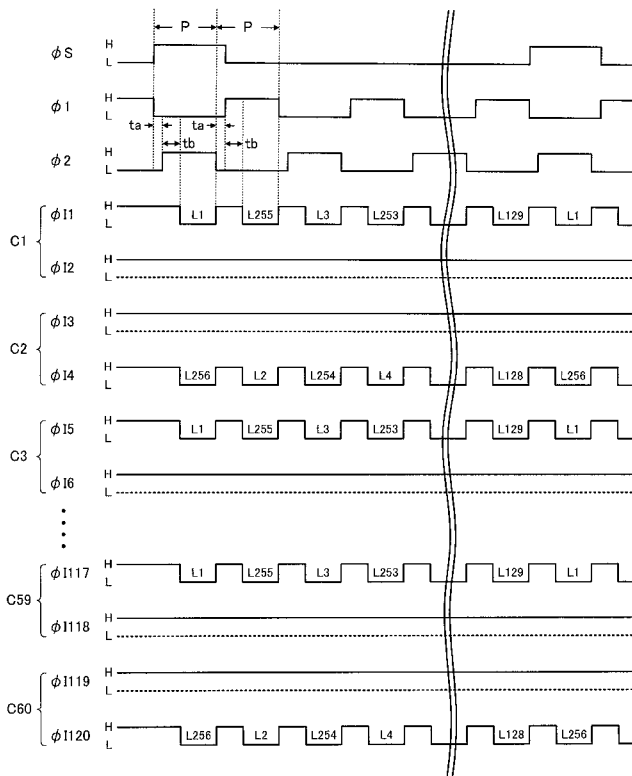
【図 9】

発光サイリスタの素子番号 (Ln)																					
1200dpi	1	2	3	4	5	6	...	127	128	129	130	...	251	252	253	254	255	256			
点灯位置	1	●					...					...						●			
	2		●				...					...				●					
	3			●			...					...									
	4				●		...					...			●						
	5					●	...					...		●							
	6						●					...	●								
転送ブロック	127						...	●				...									
	128						...		●			...									
TB1												TB2									
発光ブロック												LB1	LB2	LB1	LB2	LB1	LB2	LB1	LB2	LB1	LB2

【図 10】



【図 11】



【図 12】

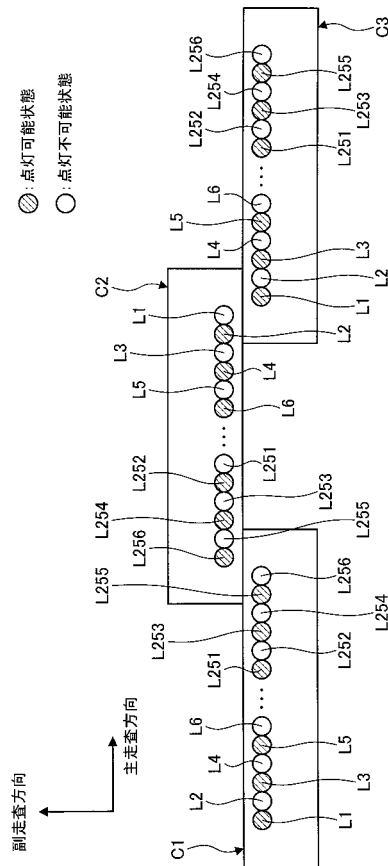
1200dpi		奇数番目の発光チップにおける発光サイリスタの素子番号 (Ln)																	
		1	2	3	4	5	6	...	127	128	129	130	...	251	252	253	254	255	256
点灯位置	1	●																	
	2																		
	3		●													●			
	4															●			
	5					●													
	6													●					
転送ブロック	127								●										
	128									●									
		TB1									TB2								
発光ブロック		LB1	LB2	LB1	LB2	LB1	LB2	...	LB1	LB2	LB1	LB2	...	LB1	LB2	LB1	LB2	LB1	LB2

偶数番目の発光チップにおける発光サイリスタの素子番号 (Ln)																					
1200dpi		1	2	3	4	5	6	...	127	128	129	130	...	251	252	253	254	255	256		
点灯位置	1													...					●		
	2		●											...				●			
	3													...							
	4				●									...							
	5					●								...	●						
	6						●							...							
転送ブロック	127		...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...		
	128									●				...							
TB1												TB2									
発光ブロック												LB1	LB2	LB1	LB2	LB1	LB2	LB1	LB2	LB1	LB2

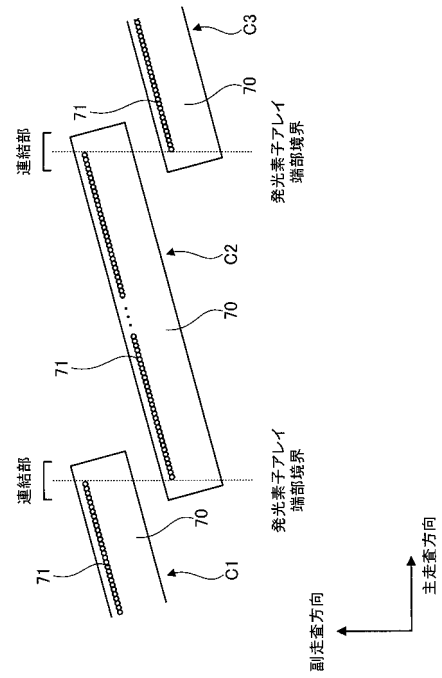
(a)

(b)

【 図 1 3 】



【 図 1 4 】



【 図 1 5 】

発光チップ		C1		C2		C3		C4		...	C59	C60		
SW	点灯信号	φ11	φ12	φ13	φ14	φ15	φ16	φ17	φ18	...	φ117	φ118	φ119	φ120
	ON (1200dpi)	○	○	○	○	○	○	○	○	...	○	○	○	○
	OFF (600dpi)	○	×	○	×	○	×	○	×	...	○	×	○	×

○ : 供給
× : 供給しない

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 0 3 G 15/04 (2006.01)

(72)発明者 橋本 隆寛
東京都港区赤坂九丁目 7 番 3 号 富士ゼロックス株式会社内

(72)発明者 井上 七穂
神奈川県海老名市本郷 2 2 7 4 番地 富士ゼロックス株式会社内

F ターム(参考) 2C162 AE04 AE21 AE28 AE40 AE47 AF13 AH74 AH78 FA17
2H076 AB09 AB42 AB51 AB53 AB54 AB67 AB68 DA19 DA32 DA39
DA42 EA05
5C051 AA02 CA08 DA02 DB02 DB08 DB22 DE02 EA01 FA01
5F041 AA31 BB12 BB33 FF13