



(21)申请号 201310320907.1

(22)申请日 2013.07.26

(65)同一申请的已公布的文献号

申请公布号 CN 103578424 A

(43)申请公布日 2014.02.12

(30)优先权数据

2012-170305 2012.07.31 JP

(73)专利权人 株式会社日本有机雷特显示器

地址 日本东京

(72)发明人 丰村直史 山下淳一 田上智士

(74)专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 梁韬

(51)Int.Cl.

G09G 3/32(2016.01)

H01L 27/32(2006.01)

H01L 51/50(2006.01)

(56)对比文件

CN 1551079 A, 2004.12.01,

CN 101458895 A, 2009.06.17,

CN 1495699 A, 2004.05.12,

CN 101118720 A, 2008.02.06,

US 2005/0264500 A1, 2005.12.01,

审查员 高倩倩

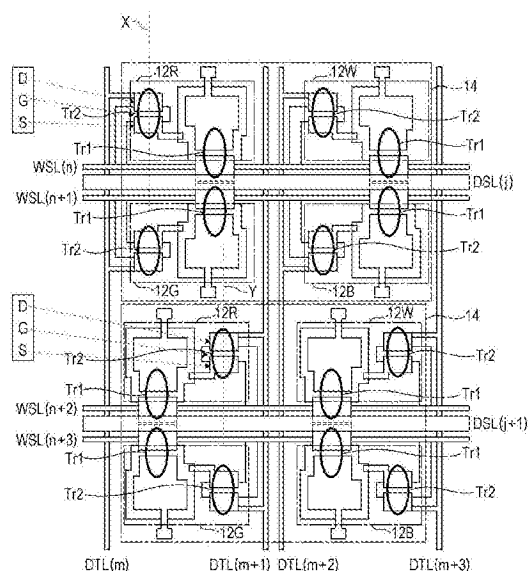
权利要求书4页 说明书26页 附图20页

(54)发明名称

显示面板、显示装置和电子系统

(57)摘要

本发明涉及显示面板、显示装置和电子系统。一种彩色显示单元包括：以矩阵形式布置的像素。显示像素单元由多个像素构成，多个行的各种显示颜色组合在一起。驱动单元由与共用电源线连接的多行显示像素单元构成。提供了共用写入扫描线，其中，每个驱动单元的共用写入扫描线的数量等于显示像素单元中包括的像素行的数量。每个共用写入扫描线与其各个驱动单元内的至少一种指定颜色的每个像素连接。在单个驱动单元内，指定颜色的各个像素具有布局方向与该指定颜色的另一个像素内的对应晶体管的布局方向相同的晶体管。



1.一种显示单元,包括:

多个写入扫描线;

多个信号线;以及

多个像素电路,以包括多行和多列像素电路的矩阵形式布置,所述多个像素电路中的每个包括:

显示元件,

第一晶体管,被配置为在扫描脉冲被施加给所述多个写入扫描线中的与所述第一晶体管连接的一个写入扫描线时对所述多个信号线中的一个信号线上承载的电位进行采样,

具有第一端子的电容器,被配置为保持由所述第一晶体管采样的电位,以及

第二晶体管,被配置为向所述显示元件提供驱动电流,所述驱动电流的大小与所述电容器的所述第一端子和所述第二端子之间的电压对应,

其中,所述多个像素电路中的每个与N种显示颜色中的一种对应,并且所述多个像素电路被分组成显示像素单元,每个显示像素单元包括分别与N种显示颜色对应的所述多个像素电路中的N个像素电路,所述N个像素电路连续布置在R个连续行上, $2 \leq R \leq N$,并且

所述显示像素单元中的第一显示像素单元中包括的所述多个像素电路的一个指定像素电路的第一晶体管布置在与所述显示像素单元中的第二显示像素单元中包括的所述多个像素电路的一个像素电路的所述第一晶体管相同的布局方向上,所述显示像素单元中的所述第二显示像素单元在列方向上与所述显示像素单元中的所述第一显示像素单元相邻,所述一个像素电路对应于与所述多个像素电路中的所述一个指定像素电路的相同颜色;

多个电源线,每个电源线与所述多个像素电路的两个分别对应的相邻行连接,

其中,所述多个写入扫描线各自与所述多个像素电路中的布置在像素电路的对应行中的各个像素电路连接,

所述多个信号线各自与所述多个像素电路中的布置在像素电路的对应列中的各个像素电路连接,

所述多个像素电路被分组成驱动单元,每个驱动单元包括与对应单元电源线连接的 $K \geq 4$ 个连续行的像素电路,所述对应单元电源线由被配置为共用线的所述多个电源线中的 $K/2$ 个电源线构成,

所述驱动单元中的每个包括 $L \geq 2$ 个单元写入扫描线,每个单元写入扫描线包括被配置为共用线的所述多个写入扫描线中的 $R \geq 2$ 个写入扫描线,其中, $K = L \cdot R$,并且

每个单元写入扫描线与所述显示颜色中的至少一种对应,并与和各个单元写入扫描线对应的任何所述显示颜色对应的、并且包括在各个单元写入扫描线所属的所述驱动单元内的所有像素电路连接。

2.根据权利要求1所述的显示单元,

其中,对于所述显示像素单元中的所述第一显示像素单元和在列方向上与所述显示像素单元中的所述第一显示像素单元相邻的所述显示单元中的所述第二显示像素单元包括的所述多个像素电路中的每个,彼此对应于相同颜色的那些像素电路的所述第一晶体管布置在彼此相同的布局方向上。

3.根据权利要求1所述的显示单元,

其中,对于一个指定驱动单元内包括的所述多个像素电路的每个像素电路,与彼此相

同的单元写入扫描线连接的那些像素电路的所述第一晶体管布置在彼此相同的布局方向上。

4. 根据权利要求3所述的显示单元，

其中，对于所述一个指定驱动单元内包括的所述多个像素电路的每个像素电路，与彼此相同的单元写入扫描线连接的那些像素电路的所述第二晶体管布置在彼此相同的布局方向上。

5. 根据权利要求4所述的显示单元，

进一步包括驱动控制部，被配置为通过控制所述多个写入扫描线、所述多个信号线和所述多个电源线的驱动而使所述多个像素电路显示与输入图像数据对应的图像帧，

其中，所述多个像素电路被配置为在所述驱动控制部的控制下进行阈值校正操作，所述阈值校正操作导致将所述多个像素电路中的各个像素电路的所述第二晶体管的阈值电压存储在所述多个像素电路中的各个像素电路的电容器中，并且

所述驱动控制部被配置为使所述一个指定驱动单元内包括的所述多个像素电路中的每个像素电路在指定图像帧周期期间同时进行阈值校正操作。

6. 根据权利要求5所述的显示单元，

其中，所述驱动控制部被配置为通过在基准电位被承载于与各个像素电路连接的所述信号线上时以及在驱动电压被施加给各个像素电路的所述第二晶体管时使各个像素电路的所述第一晶体管处于导通状态，从而使所述一个指定驱动单元内包括的所述多个像素电路的每个像素电路进行所述阈值校正操作。

7. 根据权利要求5所述的显示单元，

其中，所述驱动控制部被配置为在视频信号电位被施加给与各个像素电路连接的所述信号线时将各个像素电路的所述第一晶体管置于导通状态，从而使所述多个像素电路进行对视频信号电位进行采样的信号写入操作，

其中，对于所述多个像素电路中的与相同单元写入扫描线连接的那些像素电路，所述信号写入操作在所述指定图像帧周期期间同时进行，并且

其中，对于与互不相同的单元写入扫描线连接的像素电路，所述信号写入操作在所述指定图像帧周期期间在各个不同的时刻进行。

8. 根据权利要求1所述的显示单元，

其中， $N=4$ ， $R=2$ ， $K=4$ ，并且所述显示颜色包括红色、绿色和蓝色。

9. 根据权利要求8所述的显示单元，

其中，所述显示颜色进一步包括白色。

10. 根据权利要求8所述的显示单元，

其中，所述显示颜色进一步包括黄色。

11. 一种显示单元，包括：

多个写入扫描线；

多个信号线；以及

多个像素电路，以包括多行和多列像素电路的矩阵形式布置，所述多个像素电路中的每个包括：

显示元件，

第一晶体管,被配置为在扫描脉冲被施加给所述多个写入扫描线中的一个写入扫描线时对所述多个信号线中的与所述第一晶体管连接的一个信号线上承载的电位进行采样,

具有第一端子的电容器,被配置为保持由所述第一晶体管采样的电位,以及

第二晶体管,被配置为向所述显示元件提供驱动电流,所述驱动电流的大小与所述电容器的所述第一端子与所述电容器的第二端子之间的电压对应,

其中,所述多个像素电路中的每个与四种显示颜色的一种对应,并且所述多个像素电路被分组成显示像素单元,每个显示像素单元包括分别与四种显示颜色对应的所述多个像素电路中的四个像素电路,所述四个像素电路连续布置在两个相邻行上,并且

所述显示像素单元中的第一显示像素单元中包括的所述多个像素电路的一个指定像素电路的所述第一晶体管布置在与所述显示像素单元中的第二显示像素单元中包括的所述多个像素电路的一个像素电路的所述第一晶体管相同的布局方向上,所述显示像素单元中的所述第二显示像素单元在列方向上与所述显示像素单元中的所述第一显示像素单元相邻,所述一个像素电路对应于与所述多个像素电路中的所述一个指定像素电路的相同颜色;

多个电源线,每个电源线与所述多个像素电路的两个分别对应的相邻行连接,

其中,所述多个写入扫描线各自与所述多个像素电路中的布置在像素电路的对应行中的各个像素电路连接,

所述多个信号线各自与所述多个像素电路中的布置在像素电路的对应列中的各个像素电路连接,

所述多个像素电路被分组成驱动单元,每个驱动单元包括与对应单元电源线连接的四个连续行的像素电路,所述对应单元电源线由被配置为共用线的所述多个电源线中的两个电源线构成,

所述驱动单元中的每个包括两个单元写入扫描线,每个单元写入扫描线包括被配置为共用线的所述多个写入扫描线中的两个写入扫描线,并且

每个单元写入扫描线与所述显示颜色中的至少一种对应,并与和各个单元写入扫描线对应的任何所述显示颜色对应的、并且包括在各个单元写入扫描线所属的所述驱动单元内的所有像素电路连接。

12.根据权利要求11所述的显示单元,

其中,对于所述显示像素单元中的所述第一显示像素单元和在列方向上与所述显示像素单元中的所述第一显示像素单元相邻的所述显示单元中的所述第二显示像素单元包括的所述多个像素电路中的每个,彼此对应于相同颜色的那些像素电路的所述第一晶体管布置在彼此相同的布局方向上。

13.根据权利要求12所述的显示单元,

其中,对于一个指定驱动单元内包括的所述多个像素电路的每个像素电路,与彼此相同的单元写入扫描线连接的那些像素电路的所述第一晶体管布置在彼此相同的布局方向上。

14.根据权利要求13所述的显示单元,

其中,对于所述一个指定驱动单元内包括的所述多个像素电路的每个像素电路,与彼此相同的单元写入扫描线连接的那些像素电路的所述第二晶体管布置在彼此相同的布局

方向上。

15.根据权利要求14所述的显示单元，

进一步包括驱动控制部，被配置为通过控制所述多个写入扫描线、所述多个信号线和所述多个电源线的驱动而使所述多个像素电路显示与输入图像数据对应的图像帧，

其中，所述多个像素电路被配置为在所述驱动控制部的控制下进行阈值校正操作，所述阈值校正操作导致将所述多个像素电路中的各个像素电路的所述第二晶体管的阈值电压存储在所述多个像素电路中的各个像素电路的电容器中，并且

所述驱动控制部被配置为使所述一个指定驱动单元内包括的所述多个像素电路中的每个像素电路在指定图像帧周期期间同时进行阈值校正操作。

16.根据权利要求15所述的显示单元，

其中，所述驱动控制部被配置为通过在基准电位被承载于与各个像素电路连接的所述信号线上时以及在驱动电压被施加给各个像素电路的所述第二晶体管时使各个像素电路的所述第一晶体管处于导通状态，从而使所述一个指定驱动单元内包括的所述多个像素电路的每个像素电路进行所述阈值校正操作。

17.根据权利要求15所述的显示单元，

其中，所述驱动控制部被配置为在视频信号电位被施加给与各个像素电路连接的所述信号线时将各个像素电路的所述第一晶体管置于导通状态，从而使所述多个像素电路进行对视频信号电位进行采样的信号写入操作，

其中，对于所述多个像素电路中的与相同单元写入扫描线连接的那些像素电路，所述信号写入操作在所述指定图像帧周期期间同时进行，并且

其中，对于与互不相同的单元写入扫描线连接的像素电路，所述信号写入操作在所述指定图像帧周期期间在各个不同的时刻进行。

18.根据权利要求11所述的显示单元，

其中，所述显示颜色包括红色、绿色、蓝色和白色。

显示面板、显示装置和电子系统

技术领域

[0001] 本技术涉及包括例如用于每个像素的发光元件(例如有机EL(电致发光)元件等)的显示面板、以及包括显示面板的显示装置和电子系统。

背景技术

[0002] 近年来,在用于显示图像的显示装置领域中,开发了利用根据流动电流值改变亮度的电流驱动发光元件(例如有机EL元件)作为像素的发光元件的显示装置。这些装置的产品商业化正在进展中。与液晶元件等不同,有机EL元件是一种自发光元件。由此,在使用有机EL元件的显示装置(有机EL显示装置)中,不需要使用光源(背光),因此,与需要光源的液晶显示装置相比,可使装置更薄、更亮。

[0003] 另外,一般来说,有机EL元件的电流-电压(I-V)特性随着时间的过去而劣化(随时间劣化)。在有机EL元件由电流驱动的像素电路中,有机EL元件的I-V特性随时间变化时,有机EL元件和与有机EL元件串联的驱动晶体管之间的分压比发生变化,因此,驱动晶体管的栅极-源极电压也发生变化。因此,流经驱动晶体管的电流的值改变,流经有机EL元件的电流的值改变,由此根据电流值改变亮度。

[0004] 另外,驱动晶体管的阈值电压(V_{th})或迁移率(μ)有时也随时间变化。另外,根据生产过程中的变化,对于每个像素电路 V_{th} 和 μ 不同。对于每个像素电路,驱动晶体管的 V_{th} 或 μ 改变时,流经驱动晶体管的电流的值对于每个像素电路不同。即使对驱动晶体管的栅极施加相同电压,有机EL元件的亮度也会改变,因此损失了屏幕的均匀性。

[0005] 因此,即使有机EL元件的I-V特性随时间变化,或驱动晶体管的 V_{th} 和 μ 随时间变化,为了将有机EL元件的亮度保持在特定值而不受这些变化的影响,开发了一种显示装置,这种显示装置融合了有机EL元件的I-V特性变化的校正功能和驱动晶体管的 V_{th} 和 μ 变化的校正功能(例如,参见第2008-083272号日本未决专利申请公开)。

发明内容

[0006] 另外,例如,在图11所示的相关领域的驱动方法中,对每个1H期间进行使驱动晶体管的栅极-源极电压接近驱动晶体管的阈值电压的 V_{th} 校正和将根据图像信号的信号电压写入驱动晶体管的栅极的信号写入。由此,在该驱动方法中,难以缩短1H期间并缩短每个1F的扫描期间(即,高速驱动)。因此,例如,如图12所示,在共用1H期间内对两条线一起进行 V_{th} 校正,随后在下一个1H期间内对每条线进行信号写入。在该驱动方法中,多个 V_{th} 校正捆绑进行,因此该驱动方法适用于高速驱动。但是,对于每条线,从 V_{th} 校正结束到信号写入开始的等待期间 Δt 都不同。由此,即使对每条线的驱动晶体管的栅极施加具有相同灰度的信号电压,每条线的亮度也会变得不同,因此,存在亮度不均匀的问题。

[0007] 因此,例如,考虑对像素电路的布局和布线进行改变,进一步,对驱动方法等做出改变。但是,如果进行了这些改变,像素电路的布局和布线会变复杂。因此,存在这样一个问题:由于掩模偏离(未对准),在制造过程中,在生产像素电路和布线时,难以使每个像素的

特性均匀。

[0008] 鉴于此,这种问题并非有机EL显示装置特有的问题,而是像素电路的布局和布线较为复杂的显示装置中共同出现的问题。

[0009] 本技术的目的在于解决这些问题。需要提供一种显示面板,即使像素电路的布局和布线变得复杂,也能使每个像素的特性更为均匀。还需要提供一种包括这种显示面板的显示装置和电子系统。

[0010] 根据本公开的主题的一个举例说明,显示单元可包括:多个写入扫描线;多个信号线;以及,以包括多行和多列像素电路的矩阵形式布置的多个像素电路。每个像素电路可包括:显示元件;第一晶体管,用于在可对可与第一晶体管连接的一条写入扫描线施加扫描脉冲时对一条信号线上承载的电位进行采样;具有第一端子的电容器,用于保持第一晶体管采样的电位;第二晶体管,用于向显示元件提供驱动电流,驱动电流的大小与电容器的第一端子与电容器的第二端子之间的电压对应。每个像素电路可与N种显示颜色的其中之一对应,多个像素电路可分成显示像素单元,每个显示像素单元包括分别与N种显示颜色对应的N个像素电路,N个像素电路连可连续布置在R个连续行上, $2 \leq R \leq N$ 。进一步,第一显示像素单元中包括的一个指定像素电路的第一晶体管可布置在与和第一显示像素单元相邻的第二显示像素单元中包括的一个像素电路的第一晶体管相同的布局方向上,所述第二显示像素单元在列方向上与所述第一显示像素单元相邻,所述一个像素电路对应于与所述一个指定像素电路的相同颜色。

[0011] 进一步,在上述示例显示单元中,对于第一显示像素单元和在列方向上与第一显示像素单元相邻的第二显示像素单元中包括的每个像素电路,对应于彼此具有相同的颜色的那些像素电路的第一晶体管可以互相相同的布局方向布置。

[0012] 进一步,上述示例显示单元还可包括多个电源线,每个电源线与所述多个像素电路中的两个分别对应的相邻行连接。多个写入扫描线可分别与所述多个像素电路中的可布置在像素电路的对应行中的像素电路连接,多个信号线可分别与所述多个像素电路中的可布置在像素电路的对应列中的像素电路连接。多个像素电路可分组成驱动单元,每个驱动单元包括可与对应单元电源线连接的 $K \geq 4$ 个连续行的像素电路,对应单元电源线可由配置为共用线的 $K/2$ 个电源线构成。每个驱动单元可包括 $L \geq 2$ 个单元写入扫描线,每个单元写入扫描线分别包括配置为共用线的 $R \geq 2$ 个写入扫描线,其中, $K=L \cdot R$ 。每个单元写入扫描线可与至少一种显示颜色对应,并可和各个单元写入扫描线对应的任何显示颜色对应、可包括在各个单元写入扫描线所属的驱动单元内的所有像素电路连接。

[0013] 进一步,在上述示例显示单元中,对于一个指定驱动单元内包括的每个像素电路,与互相相同的单元写入扫描线连接的那些像素电路的第一晶体管可以互相相同的布局方向布置。

[0014] 进一步,在上述示例显示单元中,对于一个指定驱动单元内包括的每个像素电路,与互相相同的单元写入扫描线连接的那些像素电路的第二晶体管可以互相相同的布局方向布置。

[0015] 进一步,上述示例显示单元还可包括驱动控制部,用于通过控制多个写入扫描线、多个信号线和多个电源线的驱动而使多个像素电路显示与输入图像数据对应的图像帧。多个像素电路可用于在驱动控制部的控制下进行阈值校正操作,以将各个像素电路的第二晶

体管的阈值电压存储在各个像素电路的电容器中,驱动控制部可用于使一个指定驱动单元内包括的每个像素电路在指定图像帧周期(frame period)内同时进行阈值校正操作。

[0016] 进一步,在上述示例显示单元中,驱动控制部可用于通过在与指定像素电路连接的信号线上承载基准电位时以及在对各个像素电路的第二晶体管施加驱动电压时使各个像素电路的第一晶体管处于导通状态,从而使一个指定驱动单元内包括的每个像素电路进行阈值校正操作。

[0017] 进一步,在上述示例显示单元中,驱动控制部可用于在视频信号电位被施加给与各个像素电路连接的信号线时将各个像素电路的第一晶体管置于导通状态,从而使多个像素电路进行对视频信号电位进行采样的信号写入操作。对于多个像素电路中的与相同单元写入扫描线连接的那些像素电路,信号写入操作可在指定图像帧周期内同时进行。对于与互不相同的单元写入扫描线连接的像素电路,信号写入操作可在指定图像帧周期内在各个不同时刻(timing,定时)下进行。

[0018] 进一步,在上述示例显示单元中,N可等于4,R可等于2,K可等于4,显示颜色可包括红色、绿色和蓝色。

[0019] 进一步,在上述示例显示单元中,显示颜色还可包括白色。

[0020] 进一步,在上述示例显示单元中,显示颜色还可包括黄色。

[0021] 根据本公开的主题的第二个举例说明的一个方面,显示单元可包括:多个写入扫描线;多个信号线;以及,以包括多行和多列像素电路的矩阵形式布置的多个像素电路。每个像素电路可包括:显示元件;第一晶体管,用于在可对可与第一晶体管连接的一条写入扫描线施加扫描脉冲时对一条信号线上承载的电位进行采样;具有第一端子的电容器,用于保持第一晶体管采样的电位;第二晶体管,用于向显示元件提供驱动电流,驱动电流的大小与电容器的第一端子与电容器的第二端子之间的电压对应。每个像素电路可与四种显示颜色的其中之一对应,多个像素电路可分成显示像素单元,每个显示像素单元包括分别与四种显示颜色对应的四个像素电路,所述四个像素电路可连续布置在两个相邻行上。第一显示像素单元中包括的一个指定像素电路的第一晶体管可布置在与和第一显示像素单元相邻的第二显示像素单元中包括的一个像素电路的第一晶体管相同的布局方向上,所述第二显示像素单元在列方向上与所述第一显示像素单元相邻,所述一个像素电路对应于与所述第一显示像素单元的相同颜色。

[0022] 进一步,在上述第二示例显示单元中,对于第一显示像素单元和在列方向上与第一显示像素单元相邻的第二显示像素单元中包括的每个像素电路,对应于彼此具有相同颜色的那些像素电路的第一晶体管可以互相相同的布局方向布置。

[0023] 进一步,上述第二示例显示单元还可包括多个电源线,每个电源线与所述多个像素电路两个分别对应的相邻行连接。多个写入扫描线可分别与所述多个像素电路中的可布置在像素电路的对应行中的像素电路连接。多个信号线可分别与所述多个像素电路中的可布置在像素电路的对应列中的像素电路连接。多个像素电路可分组成驱动单元,每个驱动单元包括可与对应单元电源线连接的四个连续行的像素电路,对应单元电源线可由配置为共用线的两个电源线构成。每个驱动单元可包括两个单元写入扫描线,每个单元写入扫描线分别包括配置为共用线的两个写入扫描线,每个单元写入扫描线与至少一种显示颜色对应,并可与和各个单元写入扫描线对应的任何显示颜色对应、并可包括在各个单元写入扫

描线所属的驱动单元内的所有像素电路连接。

[0024] 进一步,在上述第二示例显示单元中,对于一个指定驱动单元内包括的每个像素电路,与互相相同的单元写入扫描线连接的那些像素电路的第一晶体管可以互相相同的布局方向布置。

[0025] 进一步,在上述第二示例显示单元中,对于一个指定驱动单元内包括的每个像素电路,与互相相同的单元写入扫描线连接的那些像素电路的第二晶体管可以互相相同的布局方向布置。

[0026] 进一步,上述第二示例显示单元还可包括驱动控制部,用于通过控制多个写入扫描线、多个信号线和多个电源线的驱动而使多个像素电路显示与输入图像数据对应的图像帧。多个像素电路可用于在驱动控制部的控制下进行阈值校正操作,以将各个像素电路的第二晶体管的阈值电压存储在各个像素电路的电容器中。驱动控制部可用于使一个指定驱动单元内包括的每个像素电路在指定图像帧周期内同时进行阈值校正操作。

[0027] 进一步,在上述第二示例显示单元中,驱动控制部可用于通过在与各个像素电路连接的信号线上承载基准电位时以及在对各个像素电路的第二晶体管施加驱动电压时使各个像素电路的第一晶体管处于导通状态,从而使一个指定驱动单元内包括的每个像素电路进行阈值校正操作。

[0028] 进一步,在上述第二示例显示单元中,驱动控制部可用于在向与各个像素电路连接的信号线施加视频信号电位时将各个像素电路的第一晶体管置于导通状态,从而使多个像素电路进行对视频信号电位进行采样的信号写入操作。对于与相同单元写入扫描线连接的那些像素电路,信号写入操作可在指定图像帧周期内同时进行。对于与互不相同的单元写入扫描线连接的像素电路,信号写入操作可在指定图像帧周期内在各个不同时刻进行。

[0029] 进一步,在上述第二示例显示单元中,显示颜色可包括红色、绿色、蓝色和白色。

附图说明

[0030] 图1为根据本技术一个实施方式的显示装置的示意配置图;

[0031] 图2为示出每个像素(子像素)的电路配置的示例的图;

[0032] 图3为示出在列方向上互相相邻的两个显示像素的电路配置的示例的图;

[0033] 图4为示出在列方向上互相相邻的两个显示像素的电路配置的另一个示例的图;

[0034] 图5为示出像素电路的布置的示例的图;

[0035] 图6为示出在列方向上互相相邻的两个显示像素的每个像素电路的布置的示例的图;

[0036] 图7为示出施加在图3和图4中的DTL的电压的示例的图。

[0037] 图8为示出着眼于一个像素(子像素)时施加给WSL、DSL、DTL的电压、栅极电压和源极电压随时间变化的示例的波形图;

[0038] 图9为示出着眼于列方向上互相相邻的两个像素时施加给WSL、DSL和DTL的电压随时间变化的示例的波形图;

[0039] 图10为示出根据比较例的显示面板中的每个像素的电路配置的示例的图;

[0040] 图11为示出着眼于具有图10所示的布置的显示装置中在列方向上互相相邻的两个像素时施加给WSL、DSL和DTL的电压随时间变化的示例的波形图;

- [0041] 图12为示出着眼于具有图10所示的布置的显示装置中在列方向上互相相邻的两个像素时施加给WSL、DSL和DTL的电压随时间变化的另一个示例的波形图；
- [0042] 图13为示出根据比较例的显示面板中的每个像素电路的布置的示例的图；
- [0043] 图14为描述掩模偏离情况的概念图；
- [0044] 图15为示出掩模偏离造成的亮度不均匀的示例的图；
- [0045] 图16为示出图6中的布置的另一个示例的图；
- [0046] 图17为示出应用了根据本实施方式的发光装置的应用例1的外观的透视图；
- [0047] 图18A为在应用例2的正面所见的应用例2的外观的透视图；
- [0048] 图18B为示出在应用例2的背面所见的应用例2的外观的透视图；
- [0049] 图19为示出应用例3的外观的透视图；
- [0050] 图20为示出应用例4的外观的透视图；
- [0051] 图21A为示出打开状态下的应用例5的正视图；
- [0052] 图21B为示出打开状态下的应用例5的侧视图；
- [0053] 图21C为示出关闭状态下的应用例5的正视图；
- [0054] 图21D为示出关闭状态下的应用例5的左侧视图；
- [0055] 图21E为示出关闭状态下的应用例5的右侧视图；
- [0056] 图21F为示出关闭状态下的应用例5的顶视图；以及
- [0057] 图21G为示出关闭状态下的应用例5的底视图。

具体实施方式

[0058] 下文将根据附图对实施本公开的模式进行详细说明。鉴于此,说明将按以下顺序进行。

[0059] 1.实施方式(显示装置)

[0060] 2.变形例(显示装置)

[0061] 3.应用例(电子系统)

[0062] 1.实施方式

[0063] 配置

[0064] 图1示出了根据本技术一个实施方式的显示装置1的示意配置图。显示装置1包括显示面板10、基于外部输入的图像信号20A、以及同步信号20B驱动显示面板10的驱动电路20。驱动电路20包括例如定时生成电路21、图像信号处理电路22、信号线驱动电路23、扫描线驱动电路24和电源线驱动电路25。

[0065] 显示面板10

[0066] 显示面板10包括以矩阵状布置在显示面板10的整个显示区域10A上的多个像素11。在显示面板10中,每个像素11由驱动电路20通过主动矩阵寻址进行驱动,使得基于从外部输入的图像信号20A显示图像。

[0067] 图2示出了像素11的电路配置的示例。每个像素11包括例如像素电路12和有机EL元件13。有机EL元件13具有例如阳极、有机层和阴极依次层压的配置。像素电路12包括例如驱动晶体管Tr1、写入晶体管Tr2和保持电容器Cs,并且具有2Tr1C配置。写入晶体管Tr2根据发送到驱动晶体管Tr1的栅极的图像信号控制信号电压的施加。特别地,写入晶体管Tr2对

下文所述的信号线DTL的电压进行采样,并写入到驱动晶体管Tr1的栅极上。驱动晶体管Tr1驱动有机EL元件13,并与有机EL元件13串联。驱动晶体管Tr1根据写入晶体管Tr2写入的电压控制流经有机EL元件13的电流。保持电容器Cs保持驱动晶体管Tr1的栅极与源极之间的预定电压。关于这一点,像素电路12可具有将各种电容器和晶体管加入到上述2Tr1C中的电路配置,或可具有与上述2Tr1C不同的电路配置。

[0068] 驱动晶体管Tr1和写入晶体管Tr2由例如n沟道MOS型薄膜晶体管(TFT)构成。关于这一点,TFT的类型没有特别限制,例如,可为反向交错结构(所谓底栅型),或可为交错结构(所谓顶栅型)。另外,驱动晶体管Tr1和写入晶体管Tr2可由p沟道MOS型TFT构成。

[0069] 显示面板10包括在行方向延伸的多个扫描线WSL、在列方向延伸的多个信号线DTL和在行方向延伸的多个电源线DSL。扫描线WSL用于选择各个像素11。信号线DTL用于根据发送给各个像素11的图像信号提供信号电压。电源线DSL用于向各个像素11提供驱动电流。像素11布置在每个信号线DTL与每个扫描线WSL的交叉点附近。每个信号线DTL与下文所述的信号线驱动电路23的输出端(图中未显示)以及写入晶体管Tr2的源极或漏极连接。每个扫描线WSL与下文所述的扫描线驱动电路24的输出端(图中未显示)以及写入晶体管Tr2的栅极连接。每个电源线DSL与输出固定电压的电源的输出端(图中未显示)以及驱动晶体管Tr1的源极或漏极连接。

[0070] 写入晶体管Tr2的栅极与扫描线WSL连接。写入晶体管Tr2的源极或漏极与信号线DTL连接,写入晶体管Tr2的源极和漏极中的未与信号线DTL连接的端子与驱动晶体管Tr1的栅极连接。驱动晶体管Tr1的源极或漏极与电源线DSL连接,驱动晶体管Tr1的源极和漏极中的未与电源线DSL连接的端子与有机EL元件13的阳极连接。保持电容器Cs的一端与驱动晶体管Tr1的栅极连接,保持电容器Cs的另一端与驱动晶体管Tr1的源极(图2中有机EL元件13侧的端子)连接。即,保持电容器Cs插接在驱动晶体管Tr1的栅极与源极之间。关于这一点,有机EL元件13具有元件电容器Coled(图中未显示)。

[0071] 进一步,如图2所示,显示面板10包括与有机EL元件13的阴极连接的接地线GND。接地线GND与具有地电位的外部电路(图2未显示)连接。接地线GND是例如形成于整个显示区域10A上的片状电极。关于这一点,接地线GND可为与像素行或像素列对应的长纸状的条状电极。显示面板10进一步包括例如在显示区域10A的外围的不显示图像的边框区域。边框区域覆盖有例如遮光元件。

[0072] 图3和图4示出了电路配置的示例,每个图包括在列方向上互相相邻的两个显示像素单元14(如下文所述)。图3示出了包括第n和第(n+1)像素行的像素11的第一显示像素单元14和包括第(n+2)和第(n+3)像素行的像素11的第二显示像素单元14的电路配置的示例($1 \leq n < N$, N为像素行的总数量(偶数))。图4示出了包括第(n+4)和第(n+5)像素行的像素11的第三显示像素单元14和包括第(n+6)和第(n+7)像素行的像素11的第四显示像素单元14的电路配置的示例。此处,像素行表示沿行方向上的一条线布置的多个像素11构成的线,与子像素行对应。另一方面,下文所述的显示像素单元行表示沿行方向上的一条线布置的多个显示像素单元14构成的线。在该举例说明中,每个显示像素单元行包括两个像素行,但毫无疑问,其他配置也属于本公开的范围。在下文中,为了不使像素行与显示像素单元行混淆,将像素行称为子像素行。

[0073] 第p显示像素单元行和第(p+2)显示像素单元行的每个显示像素单元14的电路布

置互相相似。进一步,第(p+1)显示像素单元行和第(p+3)显示像素单元行的每个显示像素单元14的电路布置互相相似。在下文中,为了不重复说明,第(p+2)显示像素单元行和第(p+3)显示像素单元行的电路布置的说明将省略。

[0074] 每个像素11与显示面板10上的屏幕中包括的最小单位的点对应。显示面板10是一种彩色显示面板,像素11与发出单色,例如,红色、绿色、蓝色或白色等的子像素对应。关于这一点,像素11可与发出单色,例如,红色、绿色、蓝色或黄色等的子像素对应。显示像素单元14是相邻像素11、显示面板中使用的每种颜色一个的分组。

[0075] 在本实施方式中,显示像素单元14包括具有互不相同的发光颜色的四个像素11。即,显示面板中使用的发光颜色的种类数量(“显示颜色”)为四,每个显示像素单元14中包括的像素11的数量为四,每个显示颜色为一个像素。显示像素单元14中包括的四个像素11为,例如,发出红色光的像素11R、发出绿色光的像素11G、发出蓝色光的像素11B和发出白色光的像素11W。显示像素单元14中包括的四个像素11布置为四-方形设置,即,2×2矩阵。另外,在每个显示像素单元14中,四个像素11具有共同的颜色设置。例如,如图3所示,像素11R布置在四-方形设置的左上角,像素11G布置在四-方形设置的左下角,像素11B布置在四-方形设置的右下角,像素11W布置在四-方形设置的右上角。

[0076] 子像素行分组成分别包括K个子像素行的驱动单元($K \geq 4$)。每个驱动单元还包括L个单元写入扫描线WSL*,其中,每个单元写入扫描线WSL*包括配置为共用线的R个写入扫描线WSL,使 $K=L \cdot R$ 。一个单元内包括的显示像素行的数量也为L,其中,L为二或以上,不大于发光颜色的种类数量。特别地,假定两个显示像素行处于一个单元内(即, $L=2$),将多个单元写入扫描线WSL*中的两个分配给每个单元。由此,在图3和图4所示的示例中,一个单元内包括的显示像素行的数量为二,一个单元内包括的单元写入扫描线WSL*的数量也是二。整个显示器中单元写入扫描线WSL*的总数量等于整个显示器中显示像素行的总数量,为N/R,其中,N是子像素行的总数量,R是单个单元写入扫描线WSL*中包括的写入扫描线WSL的数量。关于这一点,图3中的n是从1到N的正整数,图3中的WSL(n)表示第n个写入扫描线WSL,而p是从1到N/R的正整数,WSL*(p)表示第p个单元写入扫描线WSL*。

[0077] 每个单元写入扫描线WSL*与具有特定发光颜色的其各个驱动单元内的所有像素11连接。具体地,例如,在图3所示的驱动单元中,在一个驱动单元中包括的两个单元写入扫描线WSL*(p)和WSL*(p+1)中,单元写入扫描线WSL*(p)与驱动单元内包括的所有红色像素(像素11R)和所有白色像素(像素11W)连接,单元写入扫描线WSL*(p+1)与驱动单元内包括的所有绿色像素(像素11G)和所有蓝色像素(像素11B)连接。在具有互不相同的行,在列方向上互相相邻的一个驱动单元的两个显示像素单元14中,共用单元写入扫描线WSL*的像素11的发光颜色的设置互相相同。例如,在图3中,在每个显示像素单元14中,红色和白色像素11与同一单元写入扫描线WSL*(p)连接,红色和白色像素11的设置在每个显示像素单元14中相同。

[0078] 每个单元写入扫描线WSL*包括配置为共用线的R个写入扫描线WSL。例如,在图3和图4中,单元写入扫描线WSL*(WSL*(p)至WSL*(p+3))分别包括R个分支,每个分支包括写入扫描线WSL(WSL(n)至WSL(n+7))。每个单元写入扫描线WSL*的写入扫描线WSL的数量(即,R)与一个显示像素行中包括的子像素行的数量相同,大于等于二,小于等于显示颜色的数量。在举例说明中, $R=2$,将其中一个分支分配给一个驱动单元内的每个显示像素单元行中的上

部子像素行。所述一个分支与一个显示单元内具有相同发光颜色的多个像素11连接。将另一个分支分配给一个驱动单元内的每个显示像素单元行中的下部子像素行。另一个分支具有不同于与上述一个分支连接的像素11的发光颜色的发光颜色,并与一个驱动单元内具有相同发光颜色的多个像素11连接。在每个单元写入扫描线WSL*中,每个第二分支在显示面板10内互相连接。分支的连接点C1可处于显示区域10A内,或可处于显示区域10A的外围(边框区域)。另外,从显示面板10的法线观察时,每个单元写入扫描线WSL*在某个点上与相同驱动单元内的其他扫描线WSL相交。每个单元写入扫描线WSL*的第二分支穿过四-方形设置的中央。写入晶体管Tr2的栅极14A与第二分支连接。

[0079] 将多个单元电源线DSL*的其中之一分配给每个驱动单元。由此,一个驱动单元内包括的单元电源线DSL的数量为1。整个显示面板内单元电源线DSL*的总数量为J($J=N/K$)。在举例说明中, $K=4$,因此, $J=N/4$ 。关于这一点,图3中的J是从1到 $N/4$ 的正整数,图3中的DSL*(j)表示第j个单元电源线DSL*。每个单元电源线DSL*与其各个驱动单元内的所有像素11连接。具体地,一个驱动单元内包括的一个单元电源线DSL*与一个驱动单元内包括的所有像素11(11R、11G、11B和11W)连接。

[0080] 每个单元电源线DSL*由配置为共用线的 $K/2$ 个电源线DSL构成(每两个子像素行有一个电源线DSL)。例如,在图3和图4中,每个单元电源线DSL*(DSL*(j)、DSL*(j+1))包括两个分支(电源线DSL)。每个单元电源线DSL*的每个分支(电源线DSL)在显示面板10内互相连接。分支的连接点C2可处于显示区域10A内,或可处于显示区域10A的外围(边框区域)。这样,通过对每个单元写入扫描线WSL*和每个单元电源线DSL*提供分支,可加宽显示区域之外的每个扫描线WSL*的间隔和每个电源线DSL*的间隔。因此,线路布置变得简单。每个单元电源线DSL*的分支穿过四-方形设置的中央。

[0081] 示出的例子对单元电源线DSL*和单元写入扫描线WSL*的分支配置进行了说明,但本公开并不限于该特定配置。具体地,在本公开和权利要求中,在相同时刻对多个线路施加相同电压时,这些线路被“配置为共用线”。这可能是由于,例如,线路互相直接连接(如同上述分支配置一样)。但是,只要在相同时刻下对其施加相同电压,被“配置为共用线”的多个线路不一定互相直接连接。例如,驱动电路可用于在相同时刻对多个线路施加相同电压,这种情况下,该多个线路被“配置为共用线”。

[0082] 将多个信号线DTL中的两个分配给每个显示像素单元14。在分配给每个显示像素单元14的两个信号线DTL中,一个信号线DTL与具有两种发光颜色并且不共用单元写入扫描线WSL*的像素11连接,另一个信号线DTL与具有剩余两种发光颜色的像素11连接。下文将对第p和第(p+1)个显示像素单元行中包括的多个显示像素单元14中在列方向上互相相邻的两个显示像素单元14进行讨论,将对上述连接模式进行说明。关于这一点,上述两个显示像素单元14在一个单元内具有不同显示像素行,并对应于列方向上互相相邻的两个显示像素单元14。

[0083] 将两个信号线DTL(m)和DTL(m+2)分配给两个显示像素14中第p个显示像素单元行中包括的显示像素单元14。进一步,将两个信号线DTL(m+2)和DTL(m+3)分配给两个显示像素14中第(p+1)个显示像素单元行中包括的显示像素单元14。即,在一个单元内具有不同行且互相相邻的两个显示像素单元14中,将两个偶数信号线DTL(m)和DTL(m+2)分配给其中一个显示像素14,将两个奇数信号线DTL(m+1)和DTL(m+3)分配给另一个显示像素14。因此,

信号线DTL的总数保持最小。

[0084] 将多个信号线DTL中的四条线分配给在列方向上互相相邻的两个显示像素单元14。由此,信号线DTL的总数量为M(M是4的倍数),其中,M/2是像素11的列的总数量。在图3中,m是从1到M-4的正整数,如果m不是1,则m是与(4+1的倍数)对应的数。由此,图3中的DTL(m)表示第m个信号线DTL。例如,将四个信号线DTL(m)、DTL(m+1)、DTL(m+2)和DTL(m+3)分配给列方向上互相相邻的两个显示像素单元14。四个信号线DTL(m)、DTL(m+1)、DTL(m+2)和DTL(m+3)在行方向上按该顺序平行布置。在每个显示像素单元14中,在四个像素11中,左侧的两个像素11由信号线DTL(m)和信号线DTL(m+1)在行方向上夹在中间。另外,在每个显示像素单元14中,在四个像素11中,右侧的两个像素11由信号线DTL(m+2)和信号线DTL(m+3)在行方向上夹在中间。

[0085] 另外,在在一个单元内具有互不相同的显示像素行且在列方向上互相相邻的两个显示像素单元14中,具有互相相同的发光颜色的两个像素11布置在两个共用信号线DTL之间。具体地,在在一个单元内具有互不相同的显示像素行,在列方向上互相相邻的两个显示像素单元14中,两个像素11R布置在两个信号线DTL(m)与DTL(m+1)之间。相同地,在在一个单元内具有互不相同的显示像素行,在列方向上互相相邻的两个显示像素单元14中,两个像素11G布置在两个信号线DTL(m)与DTL(m+1)之间。

[0086] 另外,在在一个单元内具有互不相同的行且在列方向上互相相邻的两个显示像素单元14中,两个像素11B布置在两个信号线DTL(m+2)与DTL(m+3)之间。另外,在在一个单元内具有互不相同的行且在列方向上互相相邻的两个显示像素单元14中,两个像素11W布置在两个信号线DTL(m+2)与DTL(m+3)之间。关于这一点,信号线DTL(m)或DTL(m+2)分别与根据本技术的“第一信号线”或“第三信号线”的具体示例对应。另外,信号线DTL(m+1)或DTL(m+3)分别与“第二信号线”或“第四信号线”的具体示例对应。

[0087] 上述两个信号线DTL(m)和DTL(m+2)与具有两种发光颜色且各自不共用单元写入扫描线WSL*的像素11互相连接。具体地,信号线DTL(m)与具有两种发光颜色且各自不共用单元写入扫描线WSL*的像素11R和11G互相连接。信号线DTL(m+2)与具有两种发光颜色且各自不共用单元写入扫描线WSL*的像素11B和11W互相连接。进一步,在上述两个显示像素单元14中,将两个信号线DTL(m+1)和DTL(m+3)分配给第(p+1)个像素行中包括的显示像素单元14。两个信号线DTL(m+1)和DTL(m+3)与具有两种发光颜色且各自不共用单元写入扫描线WSL*的像素11互相连接。具体地,信号线DTL(m+1)与具有两种发光颜色且各自不共用单元写入扫描线WSL*的像素11R和11G连接,信号线DTL(m+3)与具有剩余两种发光颜色的像素11B和11W连接。

[0088] 图5示出了像素电路12的布置的示例。具体地,图5示出了像素11R和11W的像素电路12的布置的示例。如上所述,像素电路12包括,例如,驱动晶体管Tr1、写入晶体管Tr2和保持电容器Cs。

[0089] 写入晶体管Tr2包括例如栅极14A、源极14B和漏极14C。源极14B和漏极14C布置在平面内互相相对的位置,将栅极14A正上方的部分夹在中间。源极14B与信号线DTL连接。例如,如图5所示,源极14B与信号线DTL的主线的分支(第一分支)连接。第一分支在与信号线DTL的主线的延伸方向相交的方向延伸。栅极14A与扫描线WSL连接。栅极14A在源极14B与漏极14C之间的间隙下方从右边向扫描线WSL延伸。漏极14C与下文所述的驱动晶体管Tr1的栅

极15A和保持电容器Cs连接。

[0090] 在写入晶体管Tr2中,栅极14A、源极14B和漏极14C的布置方向在平面内与信号线DTL的延伸方向平行。关于这一点,图5示出了栅极14A、源极14B和漏极14C从扫描线WSL侧开始按漏极14C、栅极14A和源极14B的顺序布置的示例。关于这一点,在图5中并未显示,但栅极14A、源极14B和漏极14C可从扫描线WSL侧开始按源极14B、栅极14A和漏极14C的顺序布置。

[0091] 驱动晶体管Tr1包括例如栅极15A、源极15B和漏极15C。源极15B和漏极15C布置在平面内互相相对的位置,将栅极15A正上方的部分夹在中间。源极15B通过触头15D与有机EL元件13的阳极连接。源极15B与保持电容器Cs的其中一个电极耦接。栅极15A与漏极14C连接,进一步与保持电容器Cs的其中一个电极耦接。漏极15C与电源线DTL连接。

[0092] 在驱动晶体管Tr1中,栅极15A、源极15B和漏极15C的布置方向在平面内与信号线DTL的延伸方向平行。关于这一点,图5示出了栅极15A、源极15B和漏极15C从扫描线WSL侧开始按漏极15C、栅极15A和源极15B的顺序布置的示例。另外,在图5中,在驱动晶体管Tr1和写入晶体管Tr2中,栅极、源极和漏极的布置方向与信号线DTL的延伸方向平行。即,在一个单元中的一个像素行的显示像素单元14中包括的像素电路12中的写入晶体管Tr2、一个单元中的一个像素行的显示像素单元14中包括的像素电路12中的驱动晶体管Tr1、一个单元中的另一个像素行的显示像素单元14中包括的像素电路12中的写入晶体管Tr2和一个单元中的另一个像素行的显示像素单元14中包括的像素电路12中的驱动晶体管Tr1中,栅极、源极和漏极的布置方向互相相同。

[0093] 图6为在列方向上互相相邻的两个显示像素单元14中的每个像素电路12的布置的示例的图。在在一个驱动单元内具有不同行且互相相邻的两个显示像素单元14中,具有互相相同的发光颜色的两个像素11中的写入晶体管Tr2的布局(特别地,栅极(G)、源极(S)和漏极(D)的布置)相同。具体地,在两个相邻显示像素单元的两个红色像素电路12R中,其写入晶体管Tr2的栅极14A、源极14B和漏极14C的各个布局方向在平面内与信号线DTL的延伸方向平行,其电极的各个顺序也相同(例如,从上到下为D-G-S)。两个蓝色像素、两个白色像素和两个绿色像素也是如此。例如,在两个红色像素电路12R中,写入晶体管Tr2的栅极14A、源极14B和漏极14C在图中从上到下按漏极14C、栅极14A和源极14B的顺序布置在平面内。但是,尽管图6中未示出,但在两个像素11中,写入晶体管Tr2的栅极14A、源极14B和漏极14C从上到下可按源极14B、栅极14A和漏极14C的顺序布置在平面内。

[0094] 进一步,在在一个驱动单元内具有不同行且互相相邻的两个显示像素单元14中,具有互相相同的发光颜色的两个像素11中的驱动晶体管Tr1的布局(特别地,栅极(G)、源极(S)和漏极(D)的布置)相同。具体地,在两个像素11中,驱动晶体管Tr1的栅极15A、源极15B和漏极15C布置在与信号线DTL的延伸方向平行的方向。例如,在两个像素11中,驱动晶体管Tr1的栅极15A、源极15B和漏极15C在图中从上到下按漏极15C、栅极15A和源极15B的顺序布置。

[0095] 在本公开和权利要求中,从指定视角(given perspective)(例如,其上形成有晶体管的衬底上方的视角)观察时,两个晶体管具有“彼此相同的布局方向”,两个晶体管的漏极、栅极和源极布置的各个方向和各个顺序相同。

[0096] 经过一个晶体管的漏极区域和源极区域的线与经过另一个晶体管的漏极区域和

源极区域的线大致平行时,两个晶体管的漏极、栅极和源极布局的各个方向相同。例如,前述的线可在与其上形成有晶体管的衬底平行的截面上大致经过与晶体管的漏极区域和源极区域对应的平面形状的各个几何中心。例如,在图6中,线X大致经过第n行和第m列的红色像素电路12R(下文称为“像素电路(n,m)”)的晶体管Tr2的漏极区域和源极区域的各个几何中心。相似地,在图6中,线Y大致经过第n+2行和第m列的红色像素电路12R(下文称为“像素电路(n+2,m)”)的晶体管Tr2的漏极区域和源极区域的各个几何中心。图6中的线X和Y大致互相平行,因此,像素电路(n,m)和像素电路(n+2,m)的晶体管Tr2的各个漏极、栅极和源极布置在相同方向。

[0097] 当在相同方向上沿上述线移动的情况下以相同的顺序遇到两个晶体管各自的漏极、栅极和源极时,布局两个晶体管的漏极、栅极和源极的各个顺序相同。例如,在图6中,在图中的向下方向上沿线条X和Y移动时,以第一漏极(D)、第二栅极(G)和第三源极(S)的顺序遇到像素电路(n,m)和像素电路(n+2,m)的晶体管Tr2的漏极、栅极和源极,因此,像素电路(n,m)和像素电路(n+2,m)的晶体管Tr2的各个漏极、栅极和源极以相同顺序布局。作为相反的示例,在图13中,由于在相同方向移动时以不同顺序遇到像素电路(n,m)和像素电路(n+2,m)的晶体管Tr2的漏极、栅极和源极,所以它们并非以相同顺序布局(例如,在图中从左到右移动时,各个顺序为:对于像素电路(n,m),为D-G-S,对于像素电路(n+2,m),为S-G-D)。

[0098] 除非另有特别说明,否则本公开和权利要求中使用的短语“彼此相同的布局方向”并不意味着除上述定义中讨论的限制之外的任何限制。因此,例如,本文使用的短语“彼此相同的布局方向”并不意味着晶体管的相对尺寸、晶体管的相对形状、与晶体管连接的配线的位置、晶体管的结构配置(例如,顶栅结构对底栅结构、单栅结构对多栅结构等)等。进一步,所示特定方向(例如,垂直、水平等)并不具有限制性,只要所述特定晶体管的方向相同,可使用任何方向。

[0099] 另外,本领域的普通技术人员应理解的是,晶体管的一个电极被认为是源极还是漏极可取决于驱动该晶体管时施加在其上的电压。例如,在某些情况下,如果施加的电压反向,可将通常作为源极的电极作为漏极。由此,确定两个晶体管是否具有相同布局方向时,必须假定在考虑其方向时对晶体管施加了相同驱动状态。例如,如果考虑两个驱动晶体管Tr1的方向,适当的方法是,在对两个晶体管均施加驱动电压的情况下确定其各个电极的位置,不适当的方法是,在对其中一个晶体管施加驱动电压而对另一个晶体管施加反向偏压的情况下确定其各个电极的位置。

[0100] 驱动电路20

[0101] 接下来将对驱动电路20进行说明。如上所述,驱动电路20包括,例如,定时生成电路21、图像信号处理电路22、信号线驱动电路23、扫描线驱动电路24和电源线驱动电路25。定时生成电路21进行控制,使驱动电路20中的每个电路一起运行。例如,定时生成电路21根据外部输入的同步信号20B(同步地)将控制信号输出给上述每个电路。

[0102] 图像信号处理电路22对例如外部输入的数字图像信号20A进行预定校正,并将由此获得的图像信号22A输出给信号线驱动电路23。采用例如伽玛校正、过度驱动校正(overdrive correction)等作为预定校正。

[0103] 信号线驱动电路23根据每个信号线DTL上控制信号21A的(同步)输入施加例如与从图像信号处理电路22输入的图像信号22A对应的模拟信号电压。信号线驱动电路23能输

出例如两种电压(V_{ofs} 和 V_{sig})。具体地,信号线驱动电路23将两种电压(V_{ofs} 和 V_{sig})提供给由扫描线驱动电路24通过信号线DTL选择的像素11。

[0104] 图7示出了根据单元写入扫描线 WSL^* 对四个信号线DTL($DTL(m)$ 、 $DTL(m+1)$ 、 $DTL(m+2)$ 和 $DTL(m+3)$)的扫描施加的信号电压 $V(p)$ 、 $V(p+1)$ 、 $V(p+2)$ 和 $V(p+3)$ 的示例,四个信号线与图3和图4所示的四个显示像素单元14连接,在在列方向上互相相邻的两个驱动单元内,四个显示像素单元14在列方向上互相相邻布置。信号线驱动电路23响应于单元写入扫描线 $WSL^*(p)$ 的选择输出信号电压 $V(p)$,并响应于单元写入扫描线 $WSL^*(p+1)$ 的选择输出信号电压 $V(p+1)$ 。相似地,信号线驱动电路23响应于单元写入扫描线 $WSL^*(p+2)$ 的选择输出信号电压 $V(p+1)$,并响应于单元写入扫描线 $WSL^*(p+3)$ 的选择输出信号电压 $V(p+3)$ 。此处,如下文所述,扫描线驱动电路24在写入信号电压时以 $WSL^*(p)$ 、 $WSL^*(p+1)$ 、 $WSL^*(p+2)$ 和 $WSL^*(p+3)$ 的顺序选择单元写入扫描线 WSL^* 。由此,信号线驱动电路23在写入信号电压时以 $V(p)$ 、 $V(p+1)$ 、 $V(p+2)$ 和 $V(p+3)$ 的顺序输出信号电压 V_{sig} 。

[0105] 如图7所示,信号线驱动电路23,例如,将电压 V_{sig} 提供给扫描线驱动电路24同时选择的多个像素11。在图7中,用于位于第 n 个子像素行并与第 m 个信号线连接的特定子像素11的具体电压 V_{sig} 用 $V_{sig}(n,m)$ 表示。因此,在单元写入扫描线 $WSL^*(p)$ 被扫描时,将信号电压 $V(p)$ 施加给信号线,其中,电压 $V(p)$ 包括电压 $V_{sig}(n,m)$ 、 $V_{sig}(n+2,m+1)$ 、 $V_{sig}(n,m+2)$ 、 $V_{sig}(n+2,m+3)$ 等。

[0106] 即,当单元写入扫描线 $WSL^*(p)$ 在写入信号时被选择时,信号线驱动电路23将与第 n 个子像素行对应的电压 $V_{sig}(n,m)$ 和 $V_{sig}(n,m+2)$ 输出给偶数信号线DTL(m)和DTL($m+2$)。同时,信号线驱动电路23将与第 $(n+2)$ 个子像素行对应的电压 $V_{sig}(n+2,m+1)$ 和 $V_{sig}(n+2,m+3)$ 输出给奇数信号线DTL($m+1$)和DTL($m+3$)。另外,在写入信号时选择单元写入扫描线 $WSL^*(p+1)$ 时,信号线驱动电路23将与第 $(n+1)$ 个子像素行对应的电压 $V_{sig}(n+1,m)$ 和 $V_{sig}(n+1,m+2)$ 输出给偶数信号线DTL(m)和DTL($m+2$)。同时,信号线驱动电路23将与第 $(n+3)$ 个子像素行对应的电压 $V_{sig}(n+3,m+1)$ 和 $V_{sig}(n+3,m+3)$ 输出给奇数信号线DTL($m+1$)和DTL($m+3$)。关于这一点,信号线驱动电路23以与第 n 个像素行和第 $(n+1)$ 个像素行相同的方式将电压施加给第 $(n+2)$ 个像素行和第 $(n+3)$ 个像素行。

[0107] V_{sig} 是与图像信号20A对应的电压值。是与图像信号20A无关的一定电压。 V_{sig} 的最低电压是低于 V_{ofs} 的电压值, V_{sig} 的最大值是高于 V_{ofs} 的电压值。

[0108] 在扫描线驱动电路24同时选择的多个像素11中,布置在偶数信号线DTL(m)与奇数信号线DTL($m+1$)之间的两个像素11具有互相相同的发光颜色。相同地,在扫描线驱动电路24同时选择的多个像素11中,布置在偶数信号线DTL($m+2$)与奇数信号线DTL($m+3$)之间的两个像素11具有互相相同的发光颜色。由此,选择单元写入扫描线 $WSL^*(p)$ 时,信号线驱动电路23将与具有互相相同的发光颜色的像素对应的电压 V_{sig} 输出给信号线DTL(m)和DTL($m+1$)。同时,信号线驱动电路23将与具有互相相同的发光颜色的像素对应的电压 V_{sig} 输出给信号线DTL($m+2$)和DTL($m+3$)。例如,选择单元写入扫描线 $WSL^*(p)$ 时,信号线驱动电路23将与红色像素(像素11R)对应的电压 V_{sig} 输出给信号线DTL(m)和DTL($m+1$),同时,将与白色像素(像素11W)对应的电压 V_{sig} 输出给信号线DTL($m+2$)和DTL($m+3$)。

[0109] 扫描线驱动电路24例如响应于控制信号21A的输入(同步)按顺序对每个预定驱动单元选择多个单元写入扫描线 WSL^* 。扫描线驱动电路24例如响应于控制信号21A的输入(同

步)按预定顺序选择多个单元写入扫描线WSL*,以按所需顺序进行 V_{th} 校正、信号电压 V_{sig} 的写入和 μ 校正。此处, V_{th} 校正表示使驱动晶体管Tr1的栅极-源极电压 V_{gs} 接近驱动晶体管的阈值电压的校正操作。信号电压 V_{sig} 的写入表示通过写入晶体管Tr2将信号电压 V_{sig} 写入驱动晶体管Tr1的栅极。 μ 校正表示根据驱动晶体管Tr1的迁移率 μ 对保持在驱动晶体管Tr1的栅极与源极之间的电压 V_{gs} 进行的校正操作。信号电压 V_{sig} 的写入和 μ 校正可在彼此分开的时刻进行。在本实施方式中,扫描线驱动电路24将一个选择脉冲输出给单元写入扫描线WSL*,以同时(或立即连续)进行信号电压 V_{sig} 的写入和 μ 校正。

[0110] 另外,驱动电路20按顺序对所有驱动单元进行 V_{th} 校正和信号写入。具体地,如图9所示,驱动电路20对第一驱动单元(例如,与WSL*(p)和WSL*(p+1)连接的像素11)进行 V_{th} 校正和信号写入,随后对在列方向上与第一驱动单元相邻的第二驱动单元(例如,与WSL*(p+2)和WSL*(p+3)连接的像素11)进行 V_{th} 校正和信号写入。即,驱动电路20按顺序对每个驱动单元进行一系列操作(V_{th} 校正和信号写入)。

[0111] 扫描线驱动电路24在 V_{th} 校正时同时(或几乎同时)选择一个驱动单元中包括的所有单元写入扫描线WSL*。具体地,在图6的示例中,扫描线驱动电路24在 V_{th} 校正时同时(或几乎同时)选择一个驱动单元中包括的两个单元写入扫描线WSL*(p)和WSL*(p+1)。即,扫描线驱动电路24对 V_{th} 校正同时选择驱动单元中包括的所有像素11(例如,子像素行:n、n+1、n+2和n+3中包括的所有像素11)。

[0112] 进一步,扫描线驱动电路24在信号写入时在扫描方向按顺序选择一个驱动单元中包括的单元写入扫描线WSL*,其中,扫描方向是对驱动单元进行扫描的方向。因此,与同时扫描指定驱动单元的所有单元写入扫描线WSL*的 V_{th} 校正操作相反,对于信号写入操作,按顺序单独扫描指定驱动单元的单元写入扫描线WSL*。驱动单元扫描方向是,例如,与从显示面板10的上端到下端的方向平行的方向。但是,可替代地,驱动单元扫描方向可为与从显示面板10的下端到上端的方向平行的方向。

[0113] 在图6的示例中,对于信号写入操作,扫描线驱动电路24按单元写入扫描线WSL*(p)第一、单元写入扫描线WSL*(p+1)第二的顺序选择一个驱动单元中包括的两个单元写入扫描线WSL*(p)和WSL*(p+1)。由此,扫描线驱动电路24在信号写入时通过单元写入扫描线WSL*(p)同时选择第n个子像素行中包括的多个像素11和第(n+2)个子像素行中包括的多个像素11,随后通过单元写入扫描线WSL*(p+1)同时选择第n个子像素行中包括的多个像素11和第(n+3)个子像素行中包括的多个像素11。

[0114] 扫描线驱动电路24能输出例如两种电压(V_{on} 和 V_{off})。具体地,扫描线驱动电路24提供两种电压(V_{on} 和 V_{off}),以通过扫描线WSL驱动目标像素11,从而对写入晶体管Tr2进行开关控制。此处, V_{on} 不低于写入晶体管Tr2的导通电压。 V_{on} 是下文所述的“ V_{th} 校正准备期间的后半部分”、“ V_{th} 校正期间”、“信号写入和 μ 校正期间”等中从扫描线驱动电路24输出的写入脉冲的峰值。 V_{off} 是低于写入晶体管Tr2的导通电压并低于 V_{on} 的值。 V_{off} 是下文所述的“ V_{th} 校正准备期间的前半部分”、“发光期间”等中从扫描线驱动电路24输出的写入脉冲的峰值。

[0115] 电源线驱动电路25例如响应于控制信号21A的输入(同步)按顺序对每个预定单元选择单元电源线DSL*。电源线驱动电路25能输出例如两种电压(V_{cc} 和 V_{ss})。具体地,电源线驱动电路25将两种电压(V_{cc} 和 V_{ss})提供给包括由扫描线驱动电路24通过单元电源线DSL*

选择的像素11的整个驱动单元(即,一个驱动单元中包括的所有像素11)。此处, V_{ss} 是低于有机EL元件13的阈值电压 V_{th} 和有机EL元件13的阴极电压 V_{cath} 的总电压($V_{th}+V_{cath}$)的电压值。 V_{cc} 是不低于电压($V_{th}+V_{cath}$)的电压值。

[0116] 操作

[0117] 接下来将对根据本实施方式的显示装置1的操作(从不发光到发光的操作)进行说明。在本实施方式中,即使有机EL元件13的I-V特性随时间变化,或驱动晶体管Tr1的阈值电压或迁移率随时间变化,为了不受到这些变化的影响,并将有机EL元件13的亮度保持在一定值,将有机EL元件13的I-V特性变化的校正操作和驱动晶体管Tr1的阈值电压和迁移率变化的校正操作相结合。

[0118] 图8示出了显示装置1中的各种波形段示例。图8示出了扫描线WSL、电源线DSL和信号线DTL中时刻发生二进制电压变化的状态。进一步,图8示出了驱动晶体管Tr1的栅极电压 V_g 和源极电压 V_s 响应于扫描线WSL、电源线DSL和信号线DTL中的电压变化而时刻发生变化的状态。

[0119] V_{th} 校正准备期间

[0120] 首先,驱动电路20进行 V_{th} 校正的准备工作, V_{th} 校正使驱动晶体管Tr1的栅极-源极电压 V_{gs} 接近驱动晶体管Tr1的阈值电压。具体地,当扫描线WSL的电压为 V_{off} 、信号线DTL的电压为 V_{ofs} 以及电源线DSL的电压为 V_{cc} 时(即,有机EL元件13发光时),电源线驱动电路25响应于控制信号21A而将电源线DSL的电压从 V_{cc} 下降到 V_{ss} (T1)。随后,源极电压 V_s 下降为 V_{ss} ,有机EL元件13不发光。此时,由于经由保持电容器 C_s 的耦接,栅极电压 V_g 下降。

[0121] 接下来,在电源线DSL的电压为 V_{ss} 并且信号线DTL的电压为 V_{ofs} 时,扫描线驱动电路24响应于控制信号21A而将扫描线WSL的电压从 V_{off} 提高到 V_{on} (T2)。随后,栅极电压 V_g 下降为 V_{ofs} 。此时,栅极电压 V_g 与源极电压 V_s 之间的电位差 V_{gs} 可小于、等于或大于驱动晶体管Tr2的阈值电压。

[0122] V_{th} 校正期间

[0123] 接下来,驱动电路20进行 V_{th} 校正。具体地,当信号线DTL的电压为 V_{ofs} 以及扫描线WSL的电压为 V_{on} 时,电源线驱动电路25根据控制信号21A将电源线DSL的电压从 V_{ss} 提高到 V_{cc} (T3)。随后,电流 I_{ds} 在驱动晶体管Tr1的漏极与源极之间流动,源极电压 V_s 增加。此时,如果源极电压 V_s 低于($V_{ofs}-V_{th}$)(如果尚未完成 V_{th} 校正),电流 I_{ds} 在驱动晶体管Tr1的漏极与源极之间流动,直到驱动晶体管Tr1关闭(直到电位差 V_{gs} 变成 V_{th})。因此,栅极电压 V_g 变成 V_{ofs} ,而源极电压 V_s 增加。因此,保持电容器 C_s 充电到 V_{th} ,而电位差 V_{gs} 变成 V_{th} 。

[0124] 随后,在信号线驱动电路23响应于控制信号21A将信号线DTL的电压从 V_{ofs} 变为 V_{sig} 之前,扫描线驱动电路24响应于控制信号21A将扫描线WSL的电压从 V_{on} 下降到 V_{off} (T4)。随后,驱动晶体管Tr1的栅极变成浮动电极,因此,无论信号线DTL的电压值如何,都可将电位差 V_{gs} 保持在 V_{th} 。这样,通过将电位差 V_{gs} 设为 V_{th} ,即使驱动晶体管Tr1的阈值电压 V_{th} 对每个像素电路12都有变化,也可防止有机EL元件13的亮度产生变化。

[0125] V_{th} 校正暂停期间

[0126] 随后,在 V_{th} 校正的暂停期间内,信号线驱动电路23将信号线DTL的电压从 V_{ofs} 变为 V_{sig} 。

[0127] 信号写入和 μ 校正期间

[0128] V_{th} 校正暂停期间结束之后(即, V_{th} 期间结束),驱动电路20根据图像信号20A进行信号电压写入和 μ 校正。具体地,在信号线DTL的电压为 V_{sig} 以及电源线DSL的电压为 V_{cc} 时,扫描线驱动电路24响应于控制信号21A将扫描线WSL的电压从 V_{off} 提高到 $V_{on}(T5)$,并将驱动晶体管 $Tr1$ 的栅极与信号线DTL连接。随后,驱动晶体管 $Tr1$ 的栅极电压 V_g 变成信号线DTL的电压 V_{sig} 。此时,有机EL元件13的阳极电压在该阶段仍低于有机EL元件13的阈值电压 V_{el} ,有机EL元件13关闭。由此,电流 I_{ds} 流经有机EL元件13的元件电容器 $Coled$,因此,对元件电容器 $Coled$ 进行了充电。因此,源极电压 V_s 增加了 ΔV_s ,不久电位差 V_{gs} 变成 $(V_{sig}+V_{th}-\Delta V_s)$ 。这样,写入和 μ 校正同时进行。此处,驱动晶体管 $Tr1$ 的迁移率 μ 越大, ΔV_s 变得越大,因此,可在发光之前将电位差 V_{gs} 降低 ΔV ,从而消除每个像素11的迁移率 μ 的变化。

[0129] 发光

[0130] 最后,扫描线驱动电路24响应于控制信号21A将扫描线WSL的电压从 V_{on} 下降到 $V_{off}(T6)$ 。随后,驱动晶体管 $Tr1$ 的栅极变成浮动,电流 I_{ds} 在驱动晶体管 $Tr1$ 的漏极与源极之间流动,源极电压 V_s 增加。因此,将高于阈值电压 V_{el} 的电压施加给有机EL元件13,有机EL元件13在预期亮度下发光。

[0131] 接下来,将参照图8和图9对根据本实施方式的显示装置1进行的 V_{th} 校正和信号写入和 μ 校正的扫描的示例进行说明。关于这一点,图9示出了两个相邻驱动单元,即,四个连续显示像素单元行,即,与单元写入扫描线 $WSL*(p)$ 、 $WSL*(p+1)$ 、 $WSL*(p+2)$ 和 $WSL*(p+3)$ 连接的八个子像素行内的 V_{th} 校正和信号写入和 μ 校正的扫描的示例。

[0132] 关于这一点,下文假定一个驱动单元内的所有像素11都分组成分别与单元写入扫描线 $WSL*$ 连接的组。在本实施方式中,一个驱动单元内的所有像素11R和所有像素11W分为一组,一个驱动单元内的所有像素11G和所有像素11B分为另一组。因此,在下文中,假定与单元写入扫描线 $WSL*(p)$ 连接的第一驱动单元内的所有像素11R和所有像素11W分为第一组,与单元写入扫描线 $WSL*(p+1)$ 连接的第一驱动单元内的所有像素11G和所有像素11B分为第二组。进一步,在下文中,假定与单元写入扫描线 $WSL*(p+2)$ 连接的第二驱动单元内的所有像素11R和所有像素11W分为第三组,与单元写入扫描线 $WSL(n+3)$ 连接的第二驱动单元内的所有像素11G和所有像素11B分为第四组。

[0133] 驱动电路20在同一期间内对第一驱动单元内的所有组(第一和第二组)进行 V_{th} 校正,随后对第一驱动单元内的所有组(第一和第二组)按顺序对每个组进行信号电压写入(以及 μ 校正)。随后,驱动电路20在同一期间内对第二驱动单元内的所有组(第三和第四组)进行 V_{th} 校正,随后对第二驱动单元内的所有组(第三和第四组)按顺序对每个组进行信号电压写入(以及 μ 校正)。此时,驱动电路20在一个水平期间(1H)内对一个驱动单元进行 V_{th} 校正,随后在一个水平期间(1H)内进行信号电压写入(以及 μ 校正)。即,驱动电路20连续利用两个水平期间(2H)对一个驱动单元进行 V_{th} 校正和信号电压写入(以及 μ 校正)。

[0134] 进一步,驱动电路20对每个组进行信号写入时,驱动电路20同时对该组包括的所有像素11进行信号写入。具体地,选择单元写入扫描线 $WSL*(p)$ 时,驱动电路20将上述电压 $V(p)$ 输出给每个信号线DTL。即,选择单元写入扫描线 $WSL*(p)$ 时,驱动电路20将 $V_{sig}(n,m)$ 和 $V_{sig}(n,m+2)$ 输出给偶数信号线DTL($DTL(m)$ 和 $DTL(m+2)$),同时,将 $V_{sig}(n+2,m+1)$ 和 $V_{sig}(n+2,m+3)$ 输出给奇数信号线($DTL(m+1)$ 和 $DTL(m+3)$)。进一步,选择单元写入扫描线 $WSL*((p+1))$ 时,驱动电路20将 $V_{sig}(n+1,m)$ 和 $V_{sig}(n+1,m+2)$ 输出给偶数信号线DTL($DTL(m)$ 和 $DTL(m+2)$)。

2)),同时,将 $V_{sig}(n+3,m+1)$ 、 $V_{sig}(n+3,m+3)$ 输出给奇数信号线(DTL(m+1)和DTL(m+3))。

[0135] 因此,在具有相同发光颜色的各像素11R中,从 V_{th} 校正结束到信号电压写入(以及 μ 校正)开始的期间(称为等待时间 Δt_1)一致,因此,对于每个像素行,多个像素11R中的等待时间 Δt_1 一致。在本实施方式中,每个像素11W的等待时间 Δt_2 等于每个像素11R的等待时间 Δt_1 。由此,在具有相同发光颜色的各像素11W中,等待时间 Δt_2 一致,对于每个像素行,多个像素11W中的等待时间 Δt_2 一致。进一步,在具有相同发光颜色的各像素11G中,等待时间 Δt_3 一致,对于每个像素行,多个像素11G中的等待时间 Δt_3 一致。在本实施方式中,每个像素11B的等待时间 Δt_4 等于每个像素11G的等待时间 Δt_3 。由此,在具有相同发光颜色的各像素11B中,等待时间 Δt_4 一致,对于每个像素行,多个像素11B中的等待时间 Δt_4 一致。关于这一点,像素11R和11B的等待时间 Δt_1 和 Δt_2 与像素11G和11B的等待时间 Δt_3 和 Δt_4 互不相同。这对颜色再现性有轻微影响,但对颜色不均匀性没有影响。

[0136] 优点

[0137] 接下来,将对根据本实施方式的显示装置1的优点进行说明。

[0138] 图10示出了相关技术一般使用的像素设置的示例。在相关技术中,显示像素140中包括的各像素110R、110G和110B与共用扫描线WSL(n)和电源线DSL(n)连接。在这种像素设置中,例如,如图11所示,对每个1H期间进行 V_{th} 校正和信号写入时,难以缩短1H期间,因此难以缩短1F的扫描期间(即,在高速下驱动)。由此,例如,如图12所示,在共用1H期间内对两条线一起进行 V_{th} 校正,随后在下一个1H期间内对每条线进行信号写入。在该驱动方法中, V_{th} 校正捆绑进行,因此该驱动方法适用于高速驱动。但是,从 V_{th} 校正结束到信号写入开始的等待期间 Δt 对每条线都不同。由此,即使对各线的驱动晶体管的栅极施加具有相同灰度的信号电压,每条线的亮度也会变得不同,因此,存在亮度不均匀的问题。

[0139] 另一方面,在本实施方式中,用于选择每个像素11的每个单元写入扫描线WSL*与在一个驱动单元内具有相同发光颜色的多个像素11连接。进一步,用于向每个像素11提供驱动电流的每个单元电源线DSL*与一个驱动单元内的所有像素11连接。因此,如上所述,可在基本相同的时间下对一个驱动单元内的所有组进行 V_{th} 校正,随后对一个驱动单元内的所有组每个组地进行信号电压写入。因此,在具有相同发光颜色的每个像素11中,从 V_{th} 校正结束到 μ 校正开始的等待时间一致,因此,对于每条线,具有相同发光颜色的像素11的等待时间一致。由此,可通过捆绑 V_{th} 校正减少亮度不均匀的发生。

[0140] 图13示出了根据比较例的像素设置的示例。在该比较例中,在在一个驱动单元内处于不同行并且彼此相邻的两个显示像素单元14中,像素11中具有相同发光颜色的写入晶体管Tr2的布局(特别地,栅极(G)、源极(S)和漏极(D)的设置)互不相同。例如,如图13所示,像素11R的写入晶体管Tr2的栅极、源极和漏极的布置方向在第n个子像素行的像素11R和第(n+2)个像素行的像素11R中互不相同。由此,在制造过程中,形成源极和漏极时掩模偏离(mask misalignment)造成的源极和漏极相对于栅极的相对位置的偏离的影响在第n个像素行的像素11R和第(n+2)个像素行的像素11R中互不相同。

[0141] 例如,如图14B所示,如果掩模轻微偏移到图14B中的右侧,在第n个像素行的像素电路120R中的写入晶体管Tr2中,位于栅极正上方的漏极的面积变得大于位于栅极正上方的源极的面积,写入晶体管Tr2的栅极与源极之间的寄生电容增加。另一方面,在第(n+2)个像素行的像素电路120R中的写入晶体管Tr2中,位于栅极正上方的漏极的面积变得小于位

于栅极正上方的源极的面积,因此,写入晶体管Tr2的栅极与源极之间的寄生电容减小。

[0142] 此处,写入晶体管Tr2的栅极与源极之间的寄生电容大大影响在信号写入的上升时间(时间T6)驱动晶体管Tr1的栅极15A上产生的负耦合(minus coupling)的大小。具体地,如果写入晶体管Tr2的栅极与源极之间的寄生电容较大,驱动晶体管Tr1的栅极15A上产生的负耦合增加,驱动晶体管Tr1的栅极-源极电压V_{gs}减小。另一方面,如果写入晶体管Tr2的栅极与源极之间的寄生电容较小,驱动晶体管Tr1的栅极15A上产生的负耦合减小,驱动晶体管Tr1的栅极-源极电压V_{gs}增加。这样,写入晶体管Tr2的栅极与源极之间的寄生电容变化时,驱动晶体管Tr1的栅极-源极电压V_{gs}随之变化。因此,第n个像素行的像素11R的亮度减小,第(n+2)个像素行的像素11R的亮度增加,因此,发生图15所示的条状亮度不均匀现象。

[0143] 另一方面,在本实施方式中,在在一个驱动单元内处于不同行并且互相相邻的两个显示像素单元14中,像素11中具有相同发光颜色的写入晶体管Tr2的布局(具体地,栅极(G)、源极(S)和漏极(D)的设置)互相相同。由此,例如,在制造过程中,形成源极和漏极时掩模偏离造成的源极和漏极相对于栅极的相对位置的偏离的影响在第n个像素行的像素11R和第(n+2)个像素行的像素11R中互相相同。因此,例如,第n个像素行的像素11R的亮度和第(n+2)个像素行的像素11R的亮度变得互相相同,因此,不会发生图15所示的条状亮度不均匀现象。

[0144] 2. 变形例

[0145] 接下来将对根据本实施方式的显示装置1的各种变形例进行说明。关于这一点,下文中,与根据本实施方式的显示装置1共同的部件用相同参考符号表示。进一步,将适当地省略对根据本实施方式的显示装置1共同的部件的说明。

[0146] 变形例1

[0147] 在上述实施方式中,每1个驱动单元分配两个单元写入扫描线WSL*。然而,尽管图中未示出,但也为每1个驱动单元分配与一个驱动单元内包括的显示像素单元行数量相同的单元写入扫描线WSL*。

[0148] 变形例2

[0149] 在上述实施方式中,为每1个驱动单元分配的单元电源线DSL*具有分支结构。然而,尽管图中未示出,但可为每1个驱动单元分配与一个驱动单元内包括的显示像素单元行数量相同的单独的电源线DSL。但是,这种情况下,应对每个单元的电源线DSL施加相同电压。

[0150] 变形例3

[0151] 上述实施方式对在驱动晶体管Tr1和写入晶体管Tr2中,栅极、源极和漏极的设置在与信号线DTL的延伸方向平行的方向延伸的情况的示例进行了说明。然而,尽管图中未示出,但在驱动晶体管Tr1和写入晶体管Tr2中,栅极、源极和漏极的设置也可在其他方向延伸,例如,在与扫描线WSL或电源线DTL的延伸方向平行的方向延伸。在这种配置的情况下,不会发生图15所示的条状亮度不均匀现象。

[0152] 变形例4

[0153] 在上述实施方式中,在在一个单元内处于互不相同的行并且互相相邻的两个显示像素单元14中,具有互相相同的发光颜色的两个像素11布置在两个共用信号线DTL之间。但

是,在在一个单元内处于互不相同的行并且互相相邻的两个显示像素单元14中,具有互相相同的发光颜色的两个像素11的其中之一可布置在两个信号线DTL(m)与DTL(m+1)之间,两个像素11中的另一个可布置在两个信号线DTL(m+2)与DTL(m+3)之间。例如,如图16所示,在在一个单元内处于互不相同的行并且互相相邻的两个显示像素单元14中,两个像素11R的其中之一可布置在两个信号线DTL(m)与DTL(m+1)之间,像素11R中的另一个可布置在两个信号线DTL(m+2)与DTL(m+3)之间。

[0154] 变形例5

[0155] 上文对每个像素显示单元具有红色、绿色、蓝色和白色像素电路的实施方式进行了说明,但本公开并不限于该示出配置。例如,每个像素显示单元包括少于四个的像素电路的实施方式以及每个像素显示单元包括多于四个的像素电路的实施方式可在一个或多个权利要求的范围内。另外,图中所示的像素电路看似具有均匀尺寸,但本公开并不限于该示出配置。例如,某些像素电路的显示元件可与其他像素电路的显示元件具有不同尺寸或不同形状。

[0156] 3.应用

[0157] 下文将对上述实施方式及其变形例(下文称为“实施方式等”)中所述的显示装置1的应用例进行说明。可根据本实施方式的显示装置1应用于从外部输入的图像信号或在内部生成的图像信号显示为图像或视频图像的各种领域的电子系统的显示装置。例如,电子系统包括电视机、数字照相机、笔记本式个人计算机、移动终端装置(例如移动电话等)、或摄像机等。

[0158] 应用例1

[0159] 图17示出了应用了根据本实施方式等的显示装置1的电视机的外观。该电视机包括,例如,包括前面板310和滤光玻璃320的图像显示屏幕部分300。图像显示屏幕部分300还包括根据本实施方式的显示装置1。

[0160] 应用例2

[0161] 图18A和图18B示出了应用了根据本实施方式的显示装置1的数字照相机的外观。该数字照相机包括,例如,闪光发光部分410、显示部分420、菜单开关430和快门按钮440。显示部分420包括根据本实施方式等的显示装置1。

[0162] 应用例3

[0163] 图19示出了应用了根据本实施方式的显示装置1的笔记本式个人计算机的外观。该笔记本式个人计算机包括,例如,本体510、用于字符等的输入操作的键盘520和显示图像的显示部分530。显示部分530包括根据本实施方式等的显示装置1。

[0164] 应用例4

[0165] 图20示出了应用了根据本实施方式等的显示装置1的摄像机的外观。该摄像机包括,例如,主体部分610、布置在主体部分610的正面表面的物体拍摄透镜620、拍摄起止开关630和显示部分640。显示部分640包括根据本实施方式等的显示装置1。

[0166] 应用例5

[0167] 图21A至图21G示出了应用了根据本实施方式等的显示装置1的移动电话的外观。该移动电话具有(例如)上壳710和下壳720由连接部分(铰链部分)730连接的配置。移动电话包括显示器740、副显示器750、画面灯760和照相机770。显示器740或副显示器750包括根

据本实施方式等的显示装置1。

[0168] 上文通过实施方式和应用例对本技术进行了说明。但是,本技术并不限于上述实施方式等,可进行各种变化。

[0169] 例如,用于主动矩阵寻址的像素电路12的配置并不限于每个实施方式等所述的配置,可根据需要增加电容元件或晶体管。这种情况下,除上述信号线驱动电路23、扫描线驱动电路24和电源线驱动电路25等之外,还可根据像素电路12的变形例增加必要驱动电路。

[0170] 另外,在上述实施方式等中,信号线驱动电路23、扫描线驱动电路24和电源线驱动电路25的驱动由定时生成电路21和图像信号处理电路22控制。但是,这些电路也可由其他电路控制。另外,信号线驱动电路23、扫描线驱动电路24和电源线驱动电路25可由硬件(电路)或软件(程序)控制。

[0171] 另外,在上述实施方式等的说明中,写入晶体管Tr2的源极和漏极以及驱动晶体管Tr1的源极和漏极固定。毫无疑问,可根据电流流动方向使源极与漏极之间的相对关系相反。此时,在上述实施方式等中,源极可用漏极代替,漏极可用源极代替。

[0172] 另外,在上述实施方式等的说明中,假定写入晶体管Tr2和驱动晶体管Tr1由n沟道MOS型TFT构成。但是,写入晶体管Tr2和驱动晶体管Tr1的至少其中之一可由p沟道MOS型TFT构成。关于这一点,在上述实施方式等中,如果驱动晶体管Tr1由p沟道MOS型TFT构成,有机EL元件13的阳极用阴极代替,有机EL元件13的阴极用阳极代替。另外,在上述实施方式等中,写入晶体管Tr2和驱动晶体管Tr1并不一定总是非晶态TFT或微型硅TFT,例如,可为低温多晶硅TFT或氧化物半导体TFT。

[0173] 另外,例如,可将本技术配置如下。

[0174] (1)一种显示单元,包括:

[0175] 多个写入扫描线;

[0176] 多个信号线;以及

[0177] 多个像素电路,以包括多行和多列像素电路的矩阵形式布置,所述多个像素电路中的每个包括:

[0178] 显示元件,

[0179] 第一晶体管,被配置为在扫描脉冲被施加给所述多个写入扫描线中的一个写入扫描线时对所述多个信号线中的一个信号线上承载的电位进行采样,所述一个写入扫描线与所述第一晶体管连接,

[0180] 具有第一端子的电容器,被配置为保持所述第一晶体管采样的电位,以及

[0181] 第二晶体管,被配置为向所述显示元件提供驱动电流,所述驱动电流的大小与所述电容器的所述第一端子与所述电容器的第二端子之间的电压对应,

[0182] 其中,所述多个像素电路中的每个与N种显示颜色中的一种对应,并且所述多个像素电路被分组成显示像素单元,每个显示像素单元包括分别与N种显示颜色对应的所述多个像素电路中的N个像素电路,所述N个像素电路连续布置在R个连续行上, $2 \leq R \leq N$,并且

[0183] 所述显示像素单元中的第一显示像素单元中包括的所述多个像素电路的一个指定像素电路的第一晶体管布置在与所述显示像素单元中的第二显示像素单元中包括的所述多个像素电路的一个像素电路的所述第一晶体管相同的布局方向上,所述显示像素单元中的所述第二显示像素单元在列方向上与所述显示像素单元中的所述第一显示像素单元

相邻,所述一个像素电路对应于与所述多个像素电路中的所述一个指定像素电路的相同颜色。

[0184] (2)根据(1)所述的显示单元,

[0185] 其中,对于所述显示像素单元中的所述第一显示像素单元和在列方向上与所述显示像素单元中的所述第一显示像素单元相邻的所述显示单元中的所述第二显示像素单元包括的所述多个像素电路中的每个,对应于彼此具有相同颜色的那些像素电路的所述第一晶体管布置在彼此相同的布局方向上。

[0186] (3)根据(1)所述的显示单元,进一步包括:

[0187] 多个电源线,每个电源线与所述多个像素电路的两个分别对应的相邻行连接,

[0188] 其中,所述多个写入扫描线各自与所述多个像素电路中的布置在像素电路的对应行中的像素电路连接,

[0189] 所述多个信号线各自与所述多个像素电路中的布置在像素电路的对应列中的像素电路连接,

[0190] 所述多个像素电路被分组成驱动单元,每个驱动单元包括与对应单元电源线连接的 $K \geq 4$ 个连续行的像素电路,所述对应单元电源线由被配置为共用线的所述多个电源线中的 $K/2$ 个电源线构成,

[0191] 所述驱动单元中的每个包括 $L \geq 2$ 个单元写入扫描线,每个单元写入扫描线包括被配置为共用线的所述多个写入扫描线中的 $R \geq 2$ 个写入扫描线,其中, $K=L \cdot R$,并且

[0192] 每个单元写入扫描线与所述显示颜色中的至少一种对应,并与和各个单元写入扫描线对应的任何所述显示颜色对应的、并且包括在各个单元写入扫描线所属的所述驱动单元内的所有像素电路连接。

[0193] (4)根据(3)所述的显示单元,

[0194] 其中,对于一个指定驱动单元内包括的所述多个像素电路的每个像素电路,与彼此相同的单元写入扫描线连接的那些像素电路的所述第一晶体管布置在彼此相同的布局方向上。

[0195] (5)根据(4)所述的显示单元,

[0196] 其中,对于所述一个指定驱动单元内包括的所述多个像素电路的每个像素电路,与彼此相同的单元写入扫描线连接的那些像素电路的所述第二晶体管布置在彼此相同的布局方向上。

[0197] (6)根据(5)所述的显示单元,

[0198] 进一步包括驱动控制部,被配置为通过控制所述多个写入扫描线、所述多个信号线和所述多个电源线的驱动而使所述多个像素电路显示与输入图像数据对应的图像帧,

[0199] 其中,所述多个像素电路被配置为在所述驱动控制部的控制下进行阈值校正操作,所述阈值校正操作导致将所述多个像素电路中的各个像素电路的所述第二晶体管的阈值电压存储在所述多个像素电路中的各个像素电路的电容器中,并且

[0200] 所述驱动控制部被配置为使所述一个指定驱动单元内包括的所述多个像素电路中的每个像素电路在指定图像帧周期内同时进行阈值校正操作。

[0201] (7)根据(6)所述的显示单元,

[0202] 其中,所述驱动控制部被配置为通过在基准电位被承载于与各个像素电路连接的

所述信号线上时以及在驱动电压被施加给各个像素电路的所述第二晶体管时使各个像素电路的所述第一晶体管处于导通状态,从而使所述一个指定驱动单元内包括的所述多个像素电路的每个像素电路进行所述阈值校正操作。

[0203] (8)根据(6)所述的显示单元,

[0204] 其中,所述驱动控制部被配置为在视频信号电位被施加给与各个像素电路连接的所述信号线时将各个像素电路的所述第一晶体管置于导通状态,从而使所述多个像素电路进行对视频信号电位进行采样的信号写入操作,

[0205] 其中,对于所述多个像素电路中的与相同单元写入扫描线连接的那些像素电路,所述信号写入操作在所述指定图像帧周期内同时进行,并且

[0206] 其中,对于与互不相同的单元写入扫描线连接的像素电路,所述信号写入操作在所述指定图像帧周期内在各个不同的时刻进行。

[0207] (9)根据(3)所述的显示单元,

[0208] 其中, $N=4$, $R=2$, $K=4$,并且所述显示颜色包括红色、绿色和蓝色。

[0209] (10)根据(9)所述的显示单元,

[0210] 其中,所述显示颜色进一步包括白色。

[0211] (11)根据(9)所述的显示单元,

[0212] 其中,所述显示颜色进一步包括白色。

[0213] (12)一种显示单元,包括:

[0214] 多个写入扫描线;

[0215] 多个信号线;以及

[0216] 多个像素电路,以包括多行和多列像素电路的矩阵形式布置,所述多个像素电路中的每个包括:

[0217] 显示元件,

[0218] 第一晶体管,被配置为在扫描脉冲被施加给所述多个写入扫描线中的一个写入扫描线时对所述多个信号线中的一个信号线上承载的电位进行采样,所述一个写入扫描线与所述第一晶体管连接,

[0219] 具有第一端子的电容器,被配置为保持所述第一晶体管采样的电位,以及

[0220] 第二晶体管,被配置为向所述显示元件提供驱动电流,所述驱动电流的大小与所述电容器的所述第一端子与所述电容器的第二端子之间的电压对应,

[0221] 其中,所述多个像素电路中的每个与四种显示颜色的一种对应,并且所述多个像素电路被分组成显示像素单元,每个显示像素单元包括分别与四种显示颜色对应的所述多个像素电路中的四个像素电路,所述四个像素电路连续布置在两个相邻行上,并且

[0222] 所述显示像素单元中的第一显示像素单元中包括的所述多个像素电路的一个指定像素电路的所述第一晶体管布置在与所述显示像素单元中的第二显示像素单元中包括的所述多个像素电路的一个像素电路的所述第一晶体管相同的布局方向上,所述显示像素单元中的所述第二显示像素单元在列方向上与所述显示像素单元中的所述第一显示像素单元相邻,所述一个像素电路对应于与所述多个像素电路中的所述一个指定像素电路的相同颜色。

[0223] (13)根据(12)所述的显示单元,

[0224] 其中,对于所述显示像素单元中的所述第一显示像素单元和在列方向上与所述显示像素单元中的所述第一显示像素单元相邻的所述显示单元中的所述第二显示像素单元包括的所述多个像素电路中的每个,对应于彼此具有相同颜色的那些像素电路的所述第一晶体管布置在彼此相同的布局方向上。

[0225] (14)根据(12)所述的显示单元,进一步包括:

[0226] 多个电源线,每个电源线与所述多个像素电路的两个分别对应的相邻行连接,

[0227] 其中,所述多个写入扫描线各自与所述多个像素电路中的布置在像素电路的对应行中的像素电路连接,

[0228] 所述多个信号线各自与所述多个像素电路中的布置在像素电路的对应列中的像素电路连接,

[0229] 所述多个像素电路被分组成驱动单元,每个驱动单元包括与对应单元电源线连接的四个连续行的像素电路,所述对应单元电源线由被配置为共用线的所述多个电源线中的两个电源线构成,

[0230] 所述驱动单元中的每个包括两个单元写入扫描线,每个单元写入扫描线包括被配置为共用线的所述多个写入扫描线中的两个写入扫描线,并且

[0231] 每个单元写入扫描线与所述显示颜色中的至少一种对应,并与和各个单元写入扫描线对应的任何所述显示颜色对应的、并且包括在各个单元写入扫描线所属的所述驱动单元内的所有像素电路连接。

[0232] (15)根据(14)所述的显示单元,

[0233] 其中,对于一个指定驱动单元内包括的所述多个像素电路的每个像素电路,与彼此相同的单元写入扫描线连接的那些像素电路的所述第一晶体管布置在彼此相同的布局方向上。

[0234] (16)根据(15)所述的显示单元,

[0235] 其中,对于所述一个指定驱动单元内包括的所述多个像素电路的每个像素电路,与彼此相同的单元写入扫描线连接的那些像素电路的所述第二晶体管布置在彼此相同的布局方向上。

[0236] (17)根据(16)所述的显示单元,

[0237] 进一步包括驱动控制部,被配置为通过控制所述多个写入扫描线、所述多个信号线和所述多个电源线的驱动而使所述多个像素电路显示与输入图像数据对应的图像帧,

[0238] 其中,所述多个像素电路被配置为在所述驱动控制部的控制下进行阈值校正操作,所述阈值校正操作导致将所述多个像素电路中的各个像素电路的所述第二晶体管的阈值电压存储在所述多个像素电路中的各个像素电路的电容器中,并且

[0239] 所述驱动控制部被配置为使所述一个指定驱动单元内包括的所述多个像素电路中的每个像素电路在指定图像帧周期内同时进行阈值校正操作。

[0240] (18)根据(17)所述的显示单元,

[0241] 其中,所述驱动控制部被配置为通过在基准电位被承载于与各个像素电路连接的所述信号线上时以及在驱动电压被施加给各个像素电路的所述第二晶体管时使各个像素电路的所述第一晶体管处于导通状态,从而使所述一个指定驱动单元内包括的所述多个像素电路的每个像素电路进行所述阈值校正操作。

[0242] (19)根据(17)所述的显示单元,

[0243] 其中,所述驱动控制部被配置为在视频信号电位被施加给与各个像素电路连接的所述信号线时将各个像素电路的所述第一晶体管置于导通状态,从而使所述多个像素电路进行对视频信号电位进行采样的信号写入操作,

[0244] 其中,对于所述多个像素电路中的与相同单元写入扫描线连接的那些像素电路,所述信号写入操作在所述指定图像帧周期内同时进行,并且

[0245] 其中,对于与互不相同的单元写入扫描线连接的像素电路,所述信号写入操作在所述指定图像帧周期内在各个不同的时刻进行。

[0246] (20)根据(14)所述的显示单元,

[0247] 其中,所述显示颜色包括红色、绿色、蓝色和白色。

[0248] (21)一种显示面板,包括:

[0249] 多个像素,被配置为包括具有互相不同的发光颜色的多种子像素,布置在矩阵内;

[0250] 第一信号线和第二信号线,被配置为在行方向将第一像素行中包括的第一像素夹在中间;以及

[0251] 第三信号线和第四信号线,被配置为在行方向将在行方向上与第一像素行相邻的第二像素行中包括的并且与第一像素具有相同发光颜色的第二像素夹置,

[0252] 其中,第一像素和第二像素各自包括发光元件和驱动发光元件的像素电路,

[0253] 像素电路包括第一晶体管,第一晶体管包括栅极、源极和漏极,

[0254] 在第一像素中包括的像素电路中,第一晶体管的源极或漏极与第一信号线和第二信号线中的左侧信号线连接,

[0255] 在第二像素中包括的像素电路中,第一晶体管的源极或漏极与第三信号线和第四信号线中的右侧信号线连接,并且

[0256] 在第一像素中包括的像素电路中的第一晶体管和第二像素中包括的像素电路中的第一晶体管中,栅极、源极和漏极的布置方向和设置顺序互相相同。

[0257] (22)根据(21)所述的显示面板,

[0258] 其中,像素电路包括

[0259] 第一晶体管,

[0260] 第二晶体管,包括栅极、源极和漏极,并且被配置为驱动发光元件,以及

[0261] 保持电容器,被配置为保持第二晶体管的栅极-源极电压,

[0262] 在第一像素中包括的像素电路中的第二晶体管和第二像素中包括的像素电路中的第二晶体管中,栅极、源极和漏极的布置方向和设置顺序互相相同。

[0263] (23)根据(22)所述的显示面板,

[0264] 其中,在第一像素中包括的像素电路中的第一晶体管、第一像素中包括的像素电路中的第二晶体管、第二像素中包括的像素电路中的第一晶体管和第二像素中包括的像素电路中的第二晶体管中,栅极、源极和漏极的设置顺序互相相同。

[0265] (24)根据(21)所述的显示面板,

[0266] 其中,第一信号线和第三信号线为同一信号线,第二信号线和第四信号线为同一信号线。

[0267] (25)根据(24)所述的显示面板,

- [0268] 其中,第一信号线和第二信号线包括第一分支,第一分支被配置为在分别与第一信号线和第二信号线的主线的延伸方向相交的方向上延伸,并且
- [0269] 第一晶体管的源极或漏极与第一分支连接。
- [0270] (26)根据(25)所述的显示面板,
- [0271] 其中,在第一晶体管中,栅极、源极和漏极的设置顺序与第一信号线和第二信号线的主线的延伸方向平行。
- [0272] (27)根据(26)所述的显示面板,
- [0273] 其中,发光颜色的种类数量和每个像素中包括的子像素的数量均为四,
- [0274] 四个子像素构成四-方形设置,并且
- [0275] 四个子像素中左侧或右侧的两个子像素由第一信号线和第二信号线在行方向上夹置。
- [0276] (28)根据(27)所述的显示面板,进一步包括:
- [0277] 当假定两个像素行处于一个单元内时,多个扫描线中的两个被配置为分配给所述一个单元,并用于选择各像素;并且
- [0278] 多个电源线的其中之一用于分配给所述一个单元,并被配置为给各像素提供驱动电流,
- [0279] 其中,每个扫描线与在一个单元内具有相同发光颜色的多个子像素连接,并且
- [0280] 每个电源线与一个单元内的所有子像素连接。
- [0281] (29)根据(28)所述的显示面板,
- [0282] 其中,每个扫描线包括两个第二分支,并且
- [0283] 每个第二分支穿过四-方形设置的中央。
- [0284] (30)根据(29)所述的显示面板,
- [0285] 其中,第一晶体管的栅极与第二分支连接。
- [0286] (31)根据(30)所述的显示面板,
- [0287] 其中,每个电源线包括两个第三分支,并且
- [0288] 每个第三分支穿过四-方形设置的中央。
- [0289] (32)根据(31)所述的显示面板,
- [0290] 其中,像素电路包括
- [0291] 第一晶体管,
- [0292] 第二晶体管,包括栅极、源极和漏极,并且被配置为驱动发光元件,以及
- [0293] 保持电容器,被配置为保持第二晶体管的栅极-源极电压,
- [0294] 其中,在第一像素中包括的像素电路中的第一晶体管、第一像素中包括的像素电路中的第二晶体管、第二像素中包括的像素电路中的第一晶体管和第二像素中包括的像素电路中的第二晶体管中,栅极、源极和漏极的设置顺序互相相同。
- [0295] (33)根据(21)所述的显示面板,
- [0296] 其中,第一信号线、第二信号线、第三信号线和第四信号线在行方向上按该顺序平行布置。
- [0297] (34)根据(33)所述的显示面板,
- [0298] 其中,第一信号线和第二信号线包括第一分支,第一分支被配置为在分别与第一

信号线和第二信号线的主线的延伸方向相交的方向上延伸,并且

[0299] 第一晶体管的源极或漏极与第一分支连接。

[0300] (35)根据(34)所述的显示面板,

[0301] 其中,在第一晶体管中,栅极、源极和漏极的设置顺序与第一信号线和第二信号线的主线的延伸方向平行。

[0302] (36)根据(35)所述的显示面板,

[0303] 其中,发光颜色的种类数量和每个像素中包括的子像素的数量均为四,

[0304] 四个子像素构成四-方形设置,

[0305] 四个子像素中左侧的两个子像素由第一信号线和第二信号线在行方向上夹置,并且

[0306] 四个子像素中右侧的两个子像素由第三信号线和第四信号线在行方向上夹置。

[0307] (37)一种显示装置,包括:

[0308] 显示面板;以及

[0309] 驱动电路,被配置为驱动显示面板,

[0310] 其中,显示面板包括

[0311] 多个像素,被配置为包括具有互相不同的发光颜色的多种子像素,布置在矩阵内,

[0312] 第一信号线和第二信号线,被配置为在行方向将第一像素行中包括的第一像素夹在中间,以及

[0313] 第三信号线和第四信号线,被配置为在行方向将在行方向上与第一像素行相邻的第二像素行中包括的并且与第一像素具有相同发光颜色的第二像素夹在中间,

[0314] 其中,第一像素和第二像素各自包括发光元件和驱动发光元件的像素电路,

[0315] 像素电路包括第一晶体管,第一晶体管包括栅极、源极和漏极,

[0316] 在第一像素中包括的像素电路中,第一晶体管的源极或漏极与第一信号线和第二信号线中的左侧信号线连接,

[0317] 在第二像素中包括的像素电路中,第一晶体管的源极或漏极与第三信号线和第四信号线中的右侧信号线连接,并且

[0318] 在第一像素中包括的像素电路中的第一晶体管和第二像素中包括的像素电路中的第一晶体管中,栅极、源极和漏极的布置方向和设置顺序互相相同。

[0319] (38)一种电子系统,包括

[0320] 显示装置,

[0321] 所述显示装置包括

[0322] 显示面板,以及

[0323] 驱动电路,被配置为驱动显示面板,

[0324] 其中,显示面板包括

[0325] 多个像素,被配置为包括具有互相不同的发光颜色的多种子像素,布置在矩阵内,

[0326] 第一信号线和第二信号线,被配置为在行方向将第一像素行中包括的第一像素夹在中间,以及

[0327] 第三信号线和第四信号线,被配置为在行方向将在行方向上与第一像素行相邻的第二像素行中包括的并且与第一像素具有相同发光颜色的第二像素夹在中间,

[0328] 其中,第一像素和第二像素各自包括发光元件和驱动发光元件的像素电路,

[0329] 像素电路包括第一晶体管,第一晶体管包括栅极、源极和漏极,

[0330] 在第一像素中包括的像素电路中,第一晶体管的源极或漏极与第一信号线和第二信号线中的左侧信号线连接,

[0331] 在第二像素中包括的像素电路中,第一晶体管的源极或漏极与第三信号线和第四信号线中的右侧信号线连接,并且

[0332] 在第一像素中包括的像素电路中的第一晶体管和第二像素中包括的像素电路中的第一晶体管中,栅极、源极和漏极的布置方向和设置顺序互相相同。

[0333] 本公开包含与2012年7月31在日本专利局提交的日本在先专利申请JP2012-170305中公开的内容相关的主题,日本在先专利申请JP2012-170305的全部内容通过引用结合到本文中。

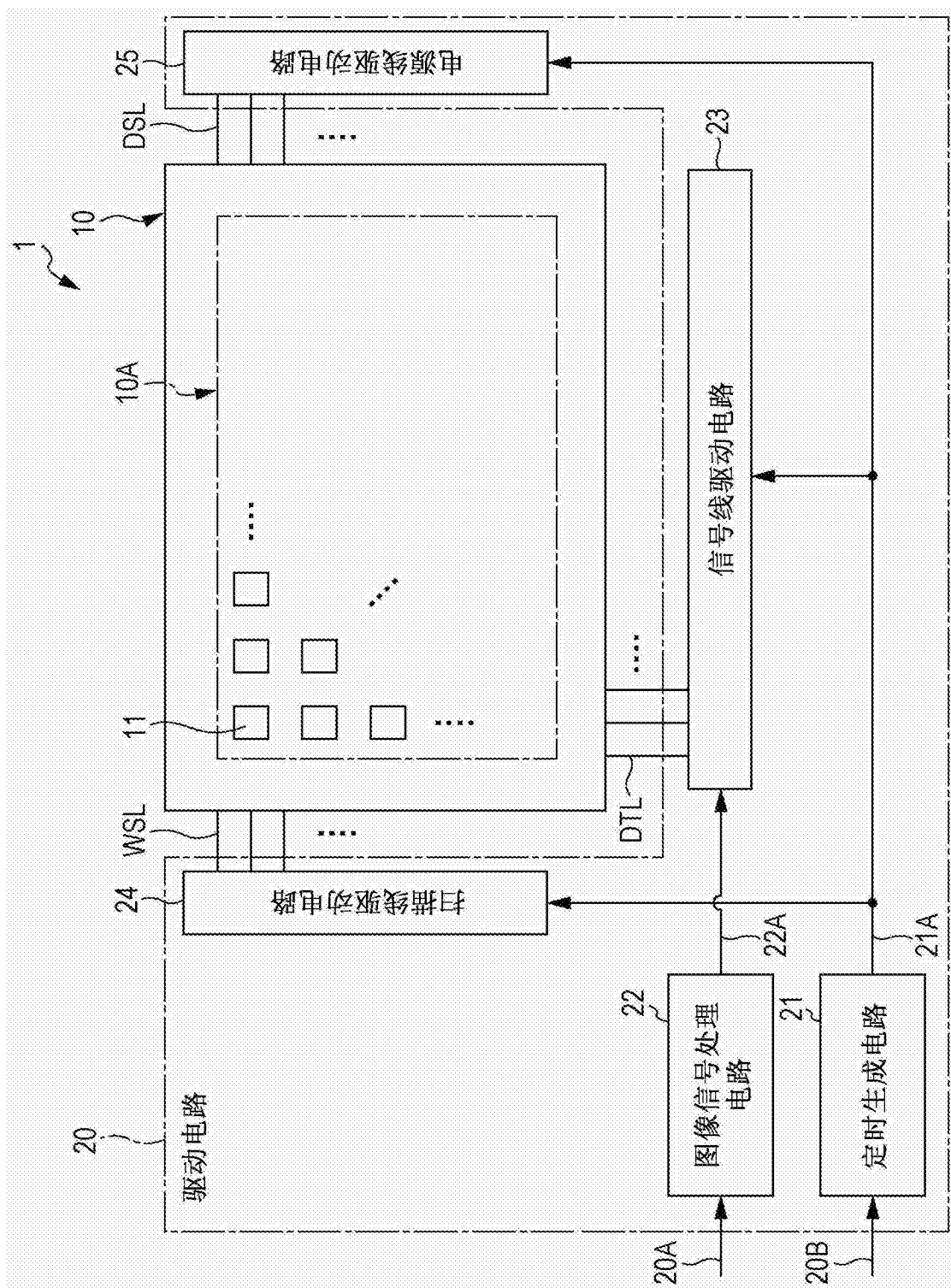


图1

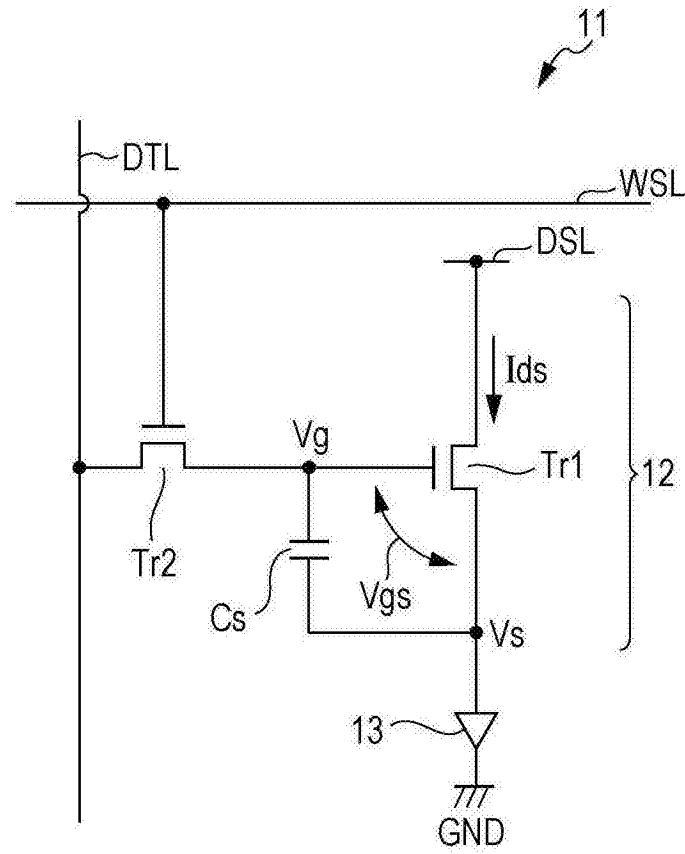


图2

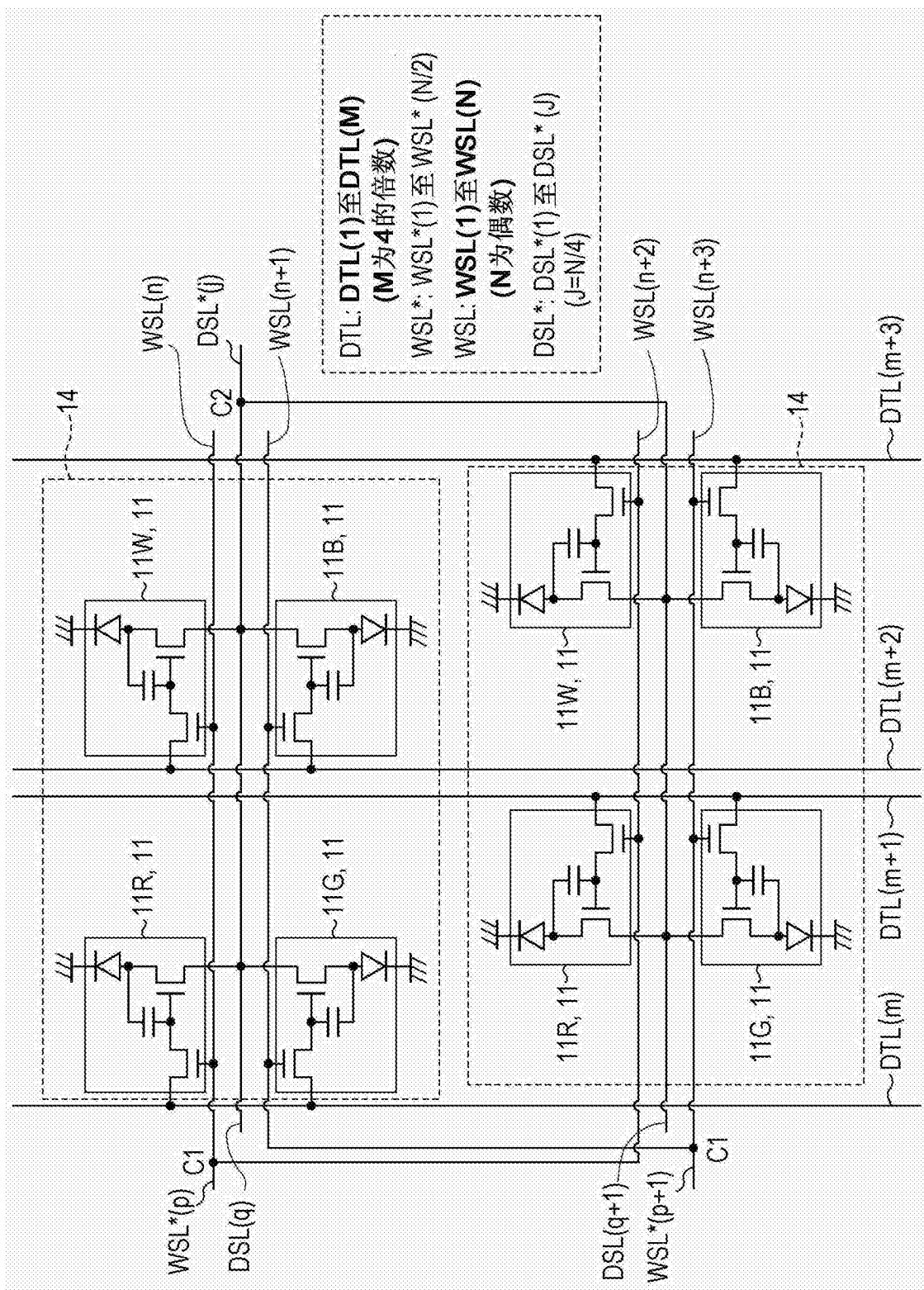


图3

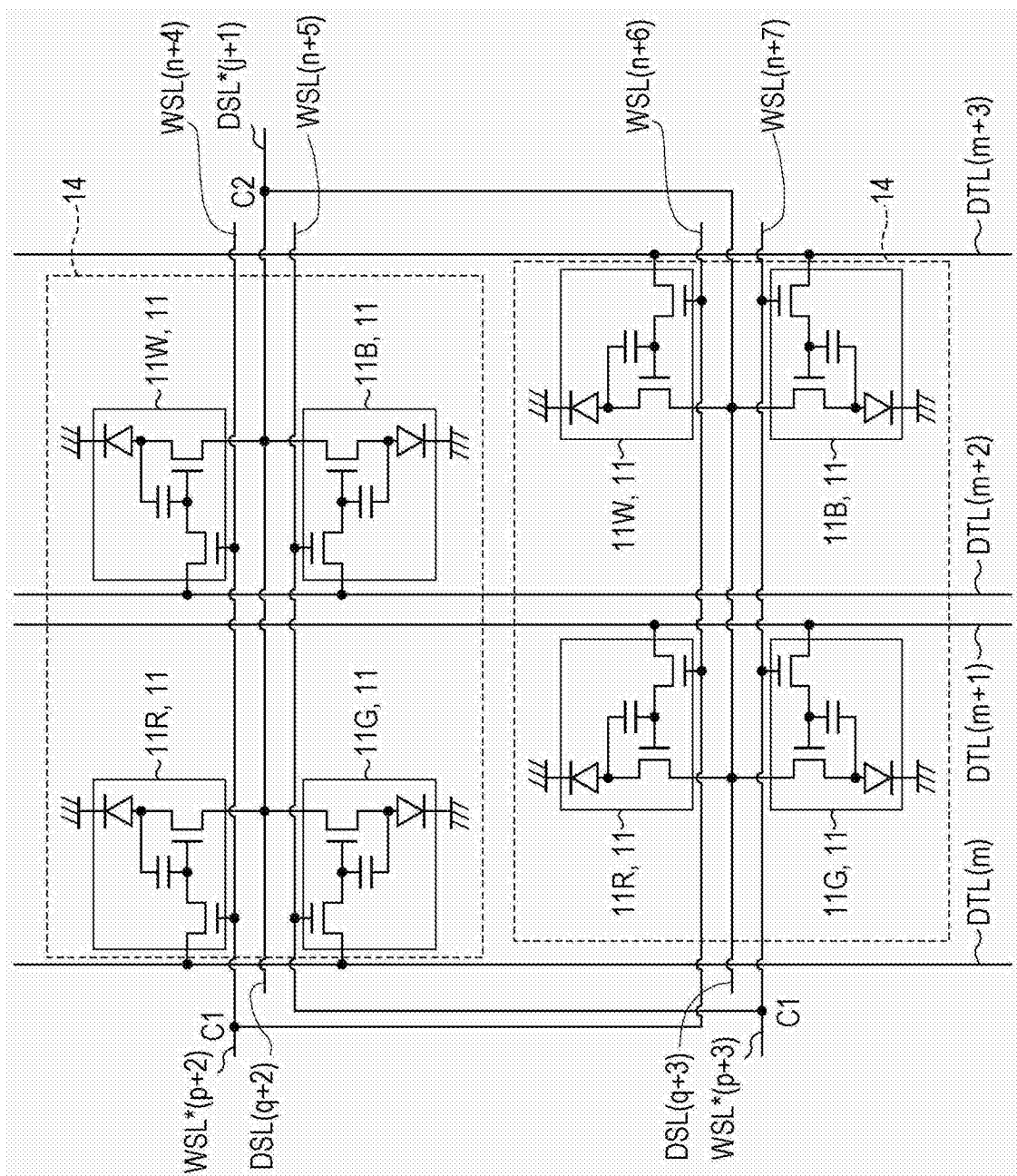


图4

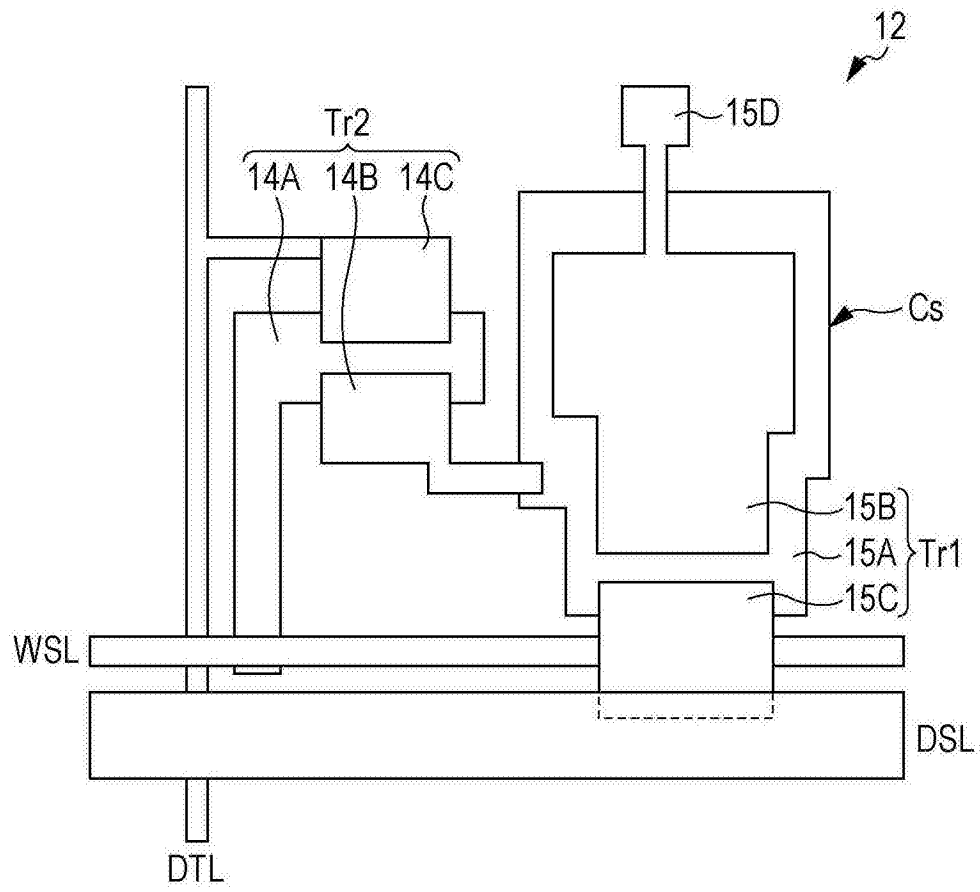


图5

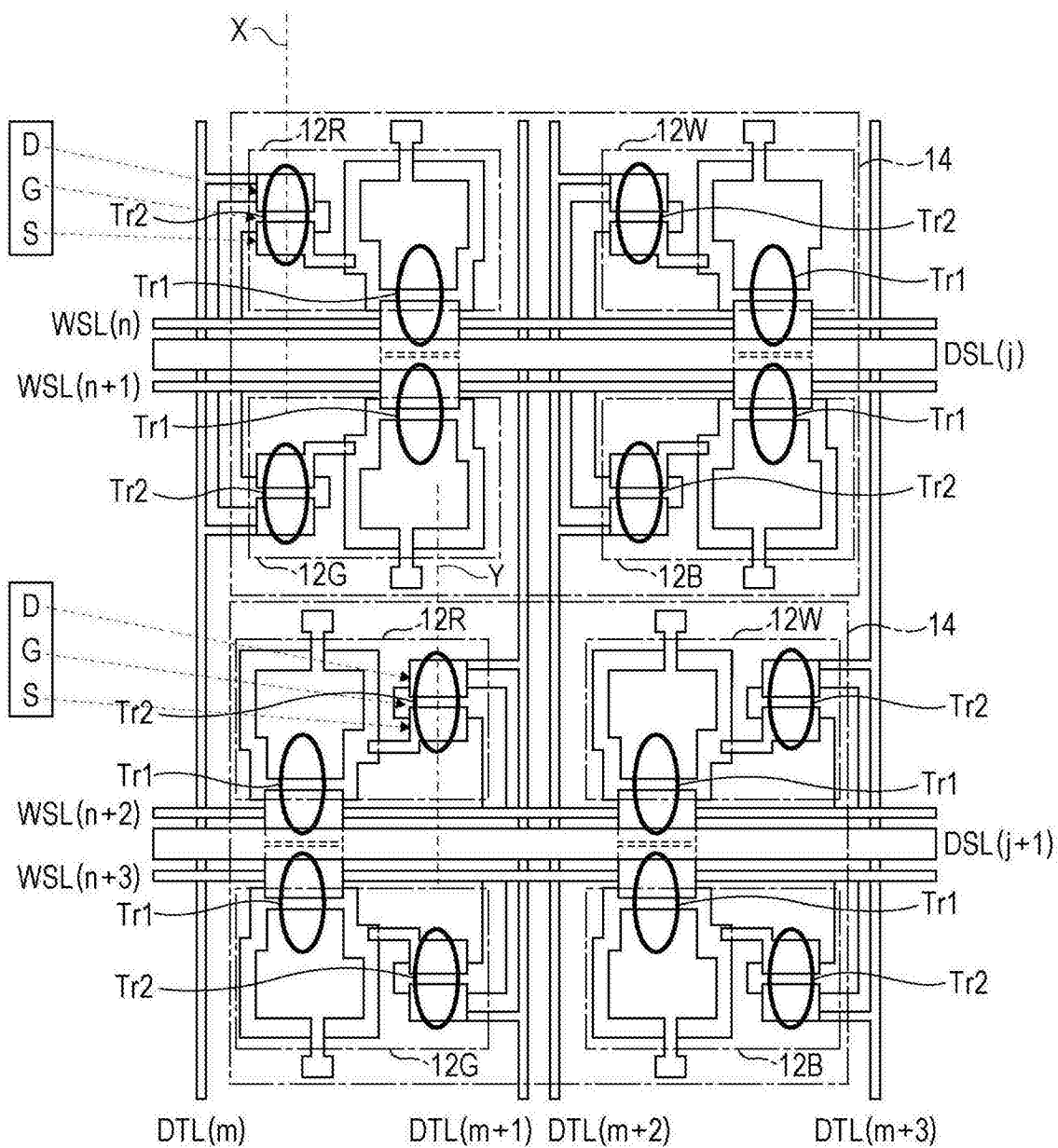


图6

	DTL(m)	DTL(m+1)	DTL(m+2)	DTL(m+3)
V(p)	Vsig(n, m)	Vsig(n+2, m+1)	Vsig(n, m+2)	Vsig(n+2, m+3)
V(p+1)	Vsig(n+1, m)	Vsig(n+3, m+1)	Vsig(n+1, m+2)	Vsig(n+3, m+3)
V(p+2)	Vsig(n+4, m)	Vsig(n+6, m+1)	Vsig(n+4, m+2)	Vsig(n+6, m+3)
V(p+3)	Vsig(n+5, m)	Vsig(n+7, m+1)	Vsig(n+5, m+2)	Vsig(n+7, m+3)

图7

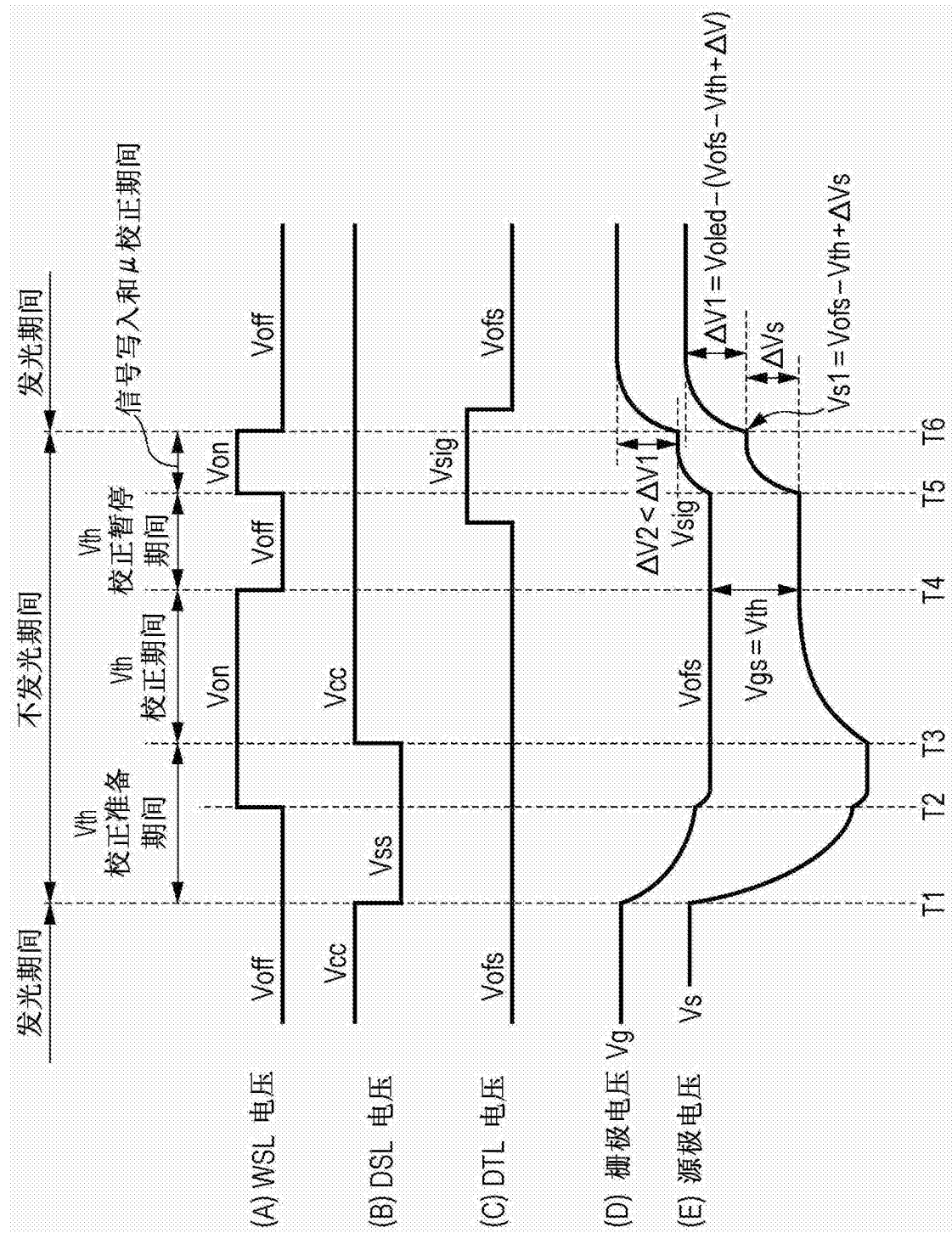


图8

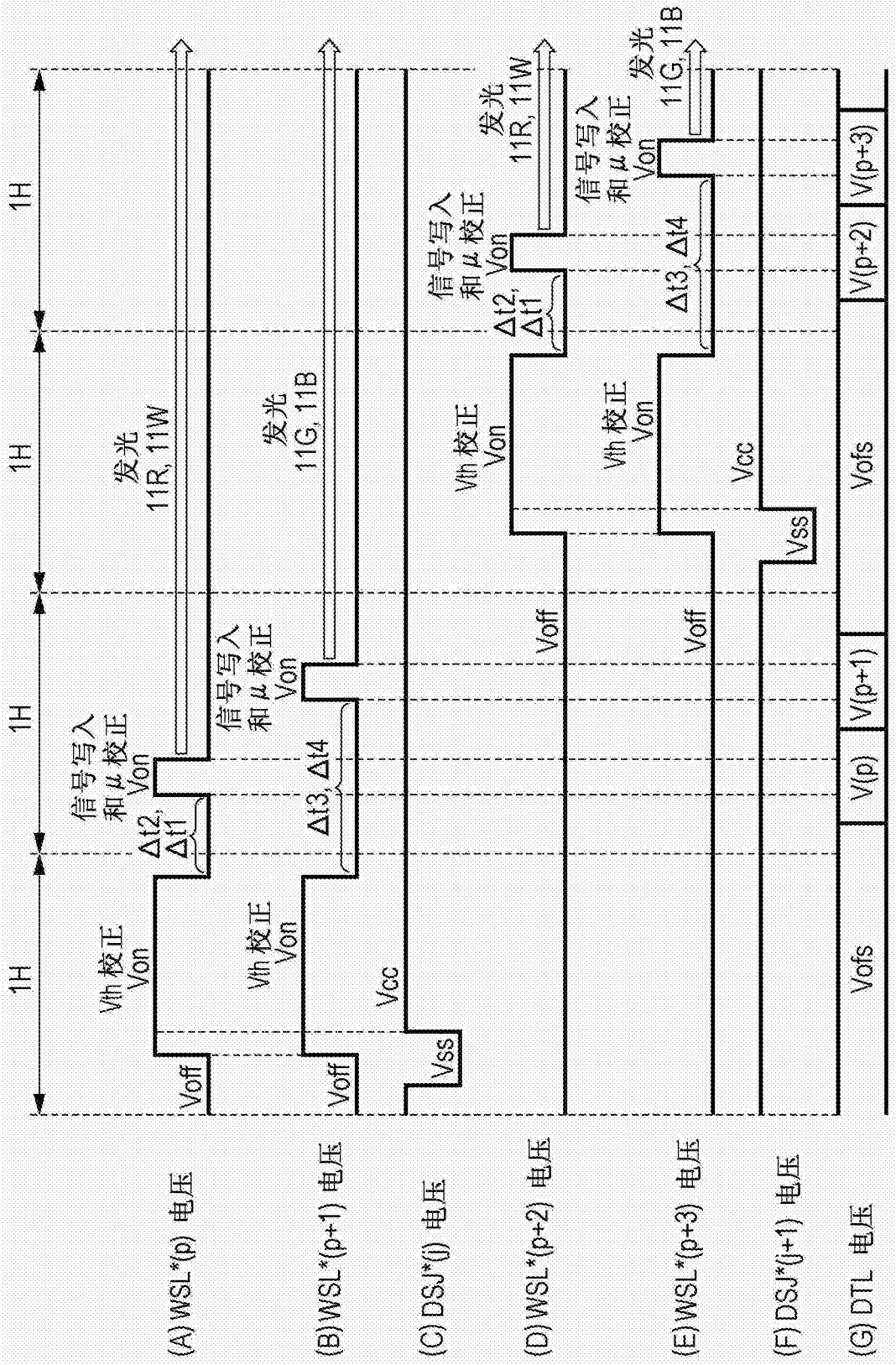


图9

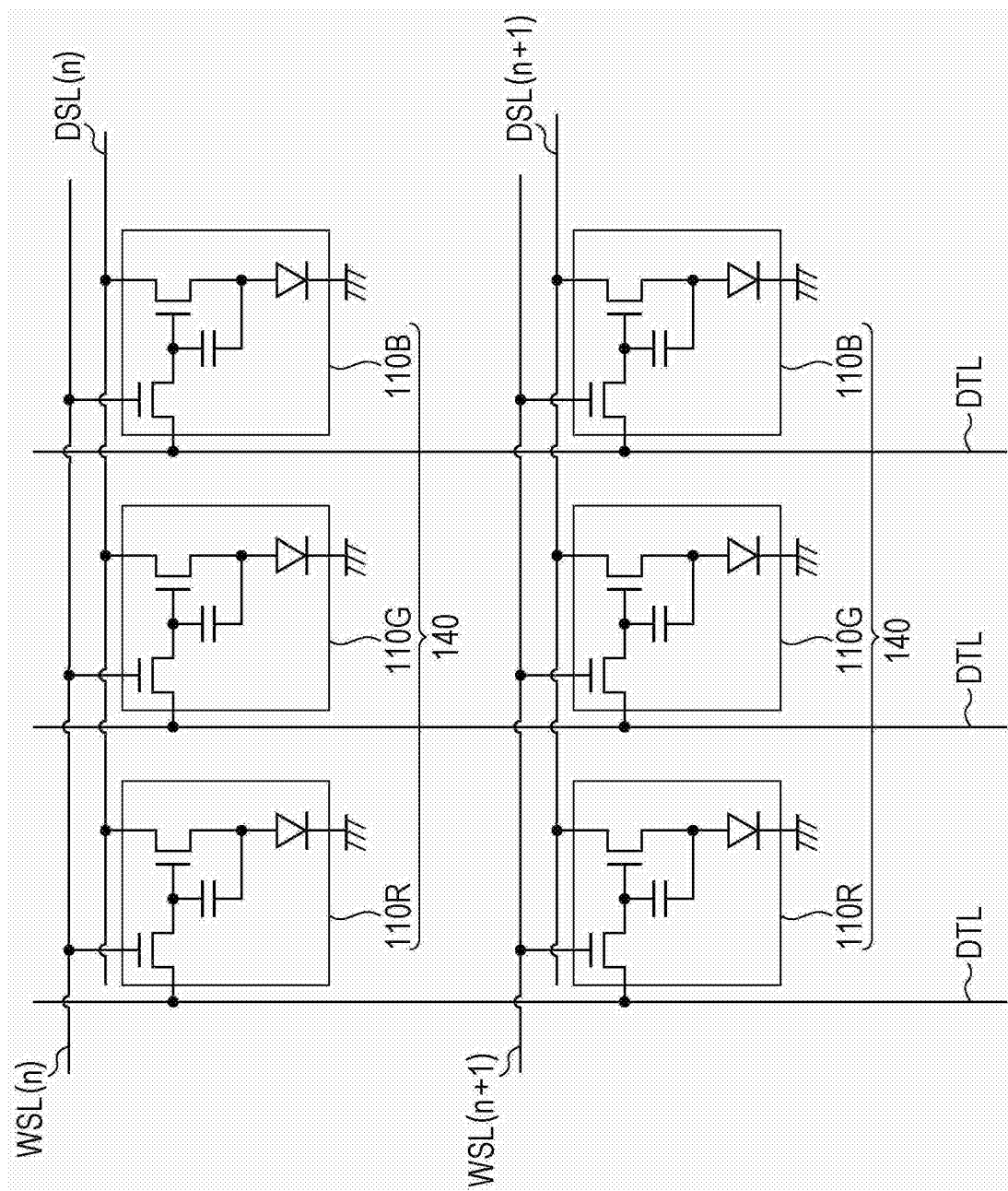


图10

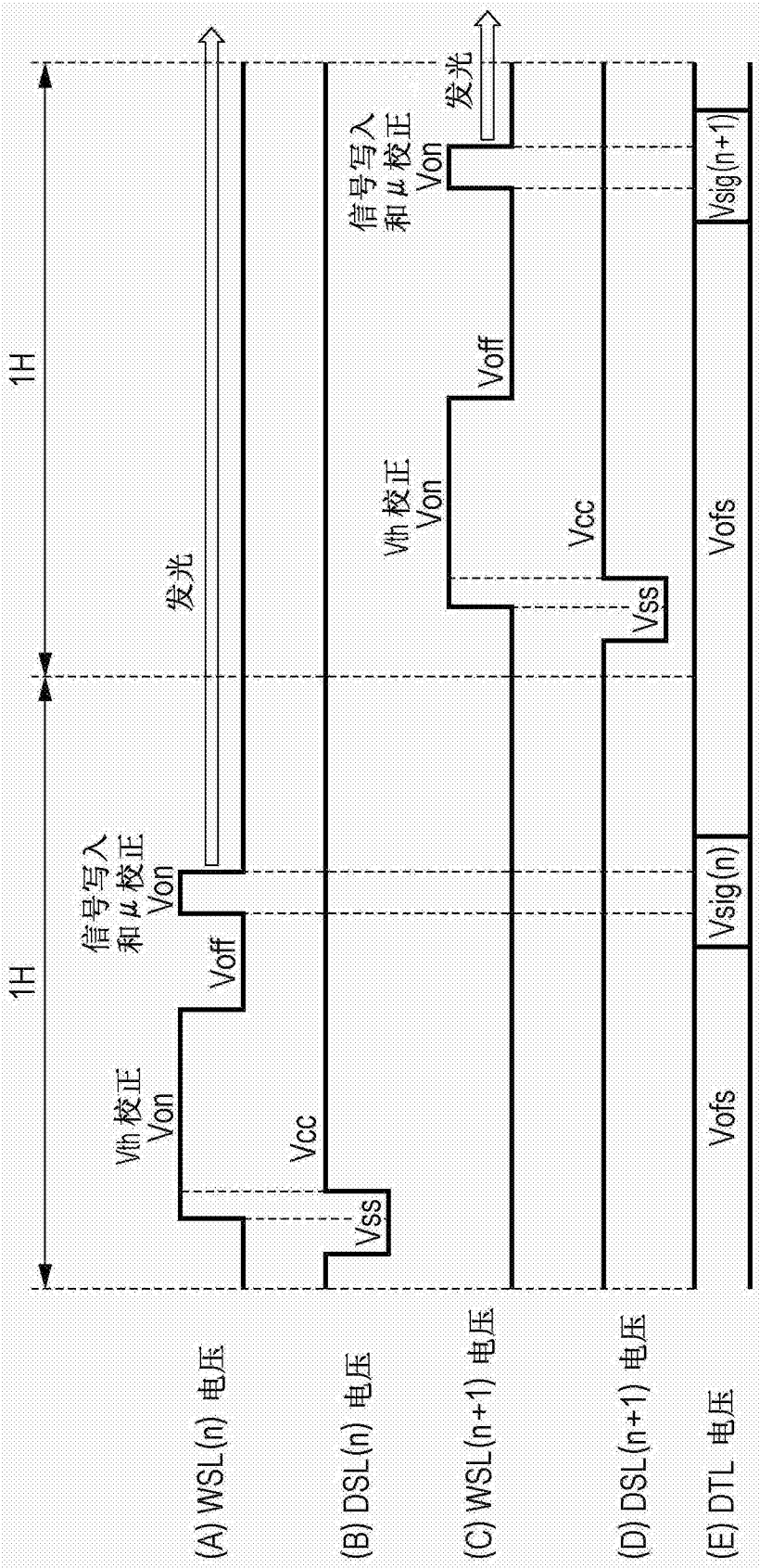


图11

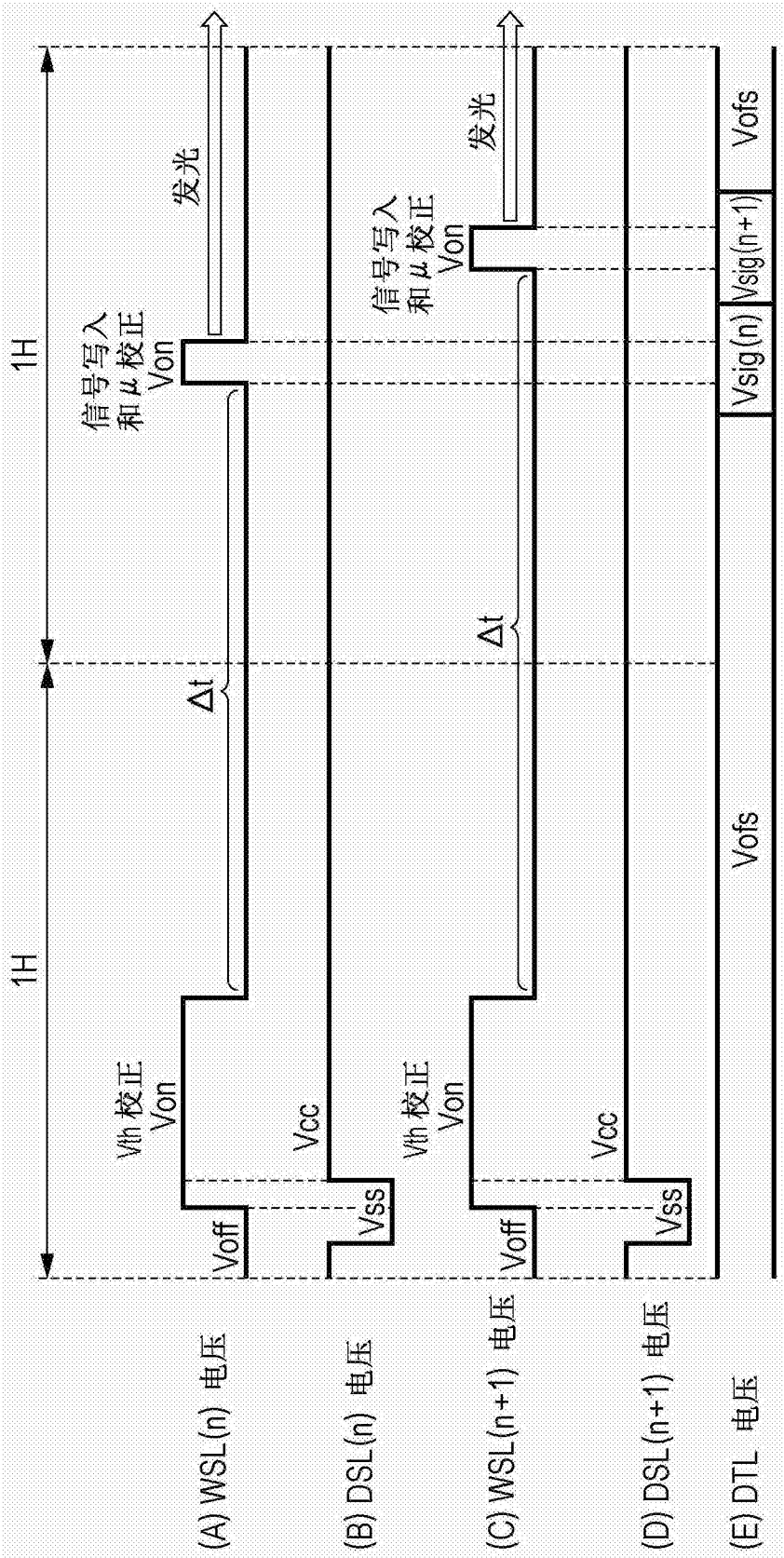


图12

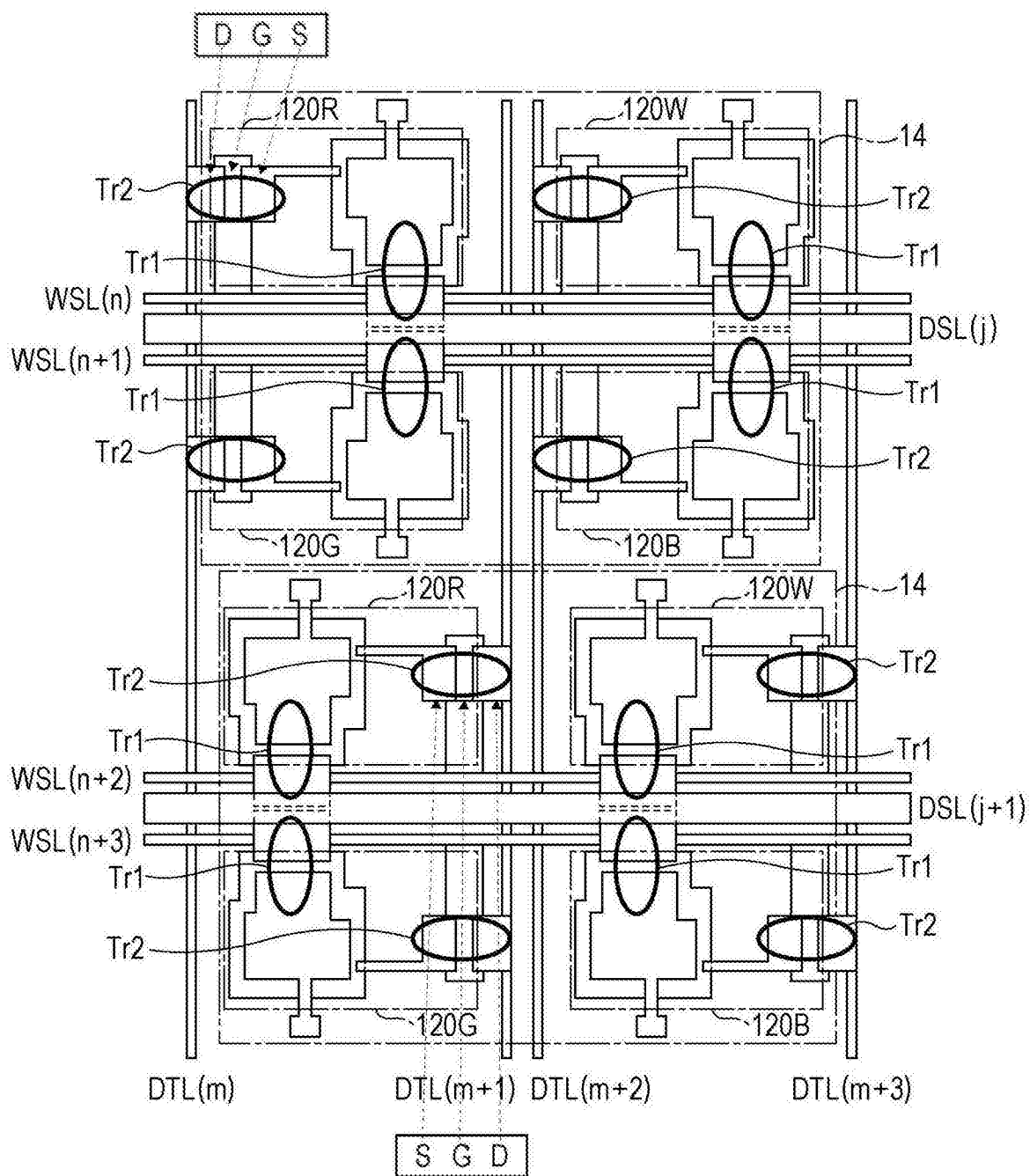


图13

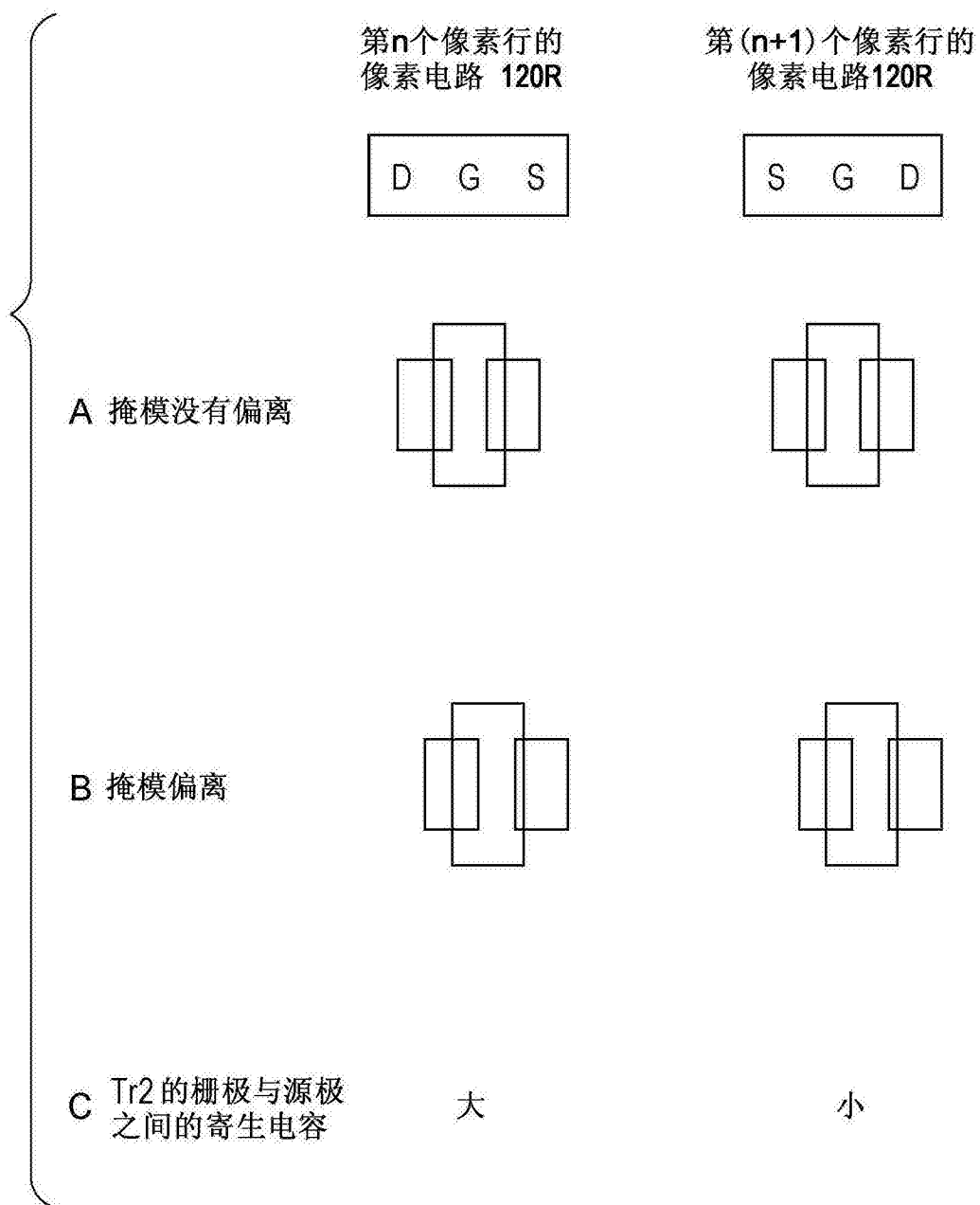


图14

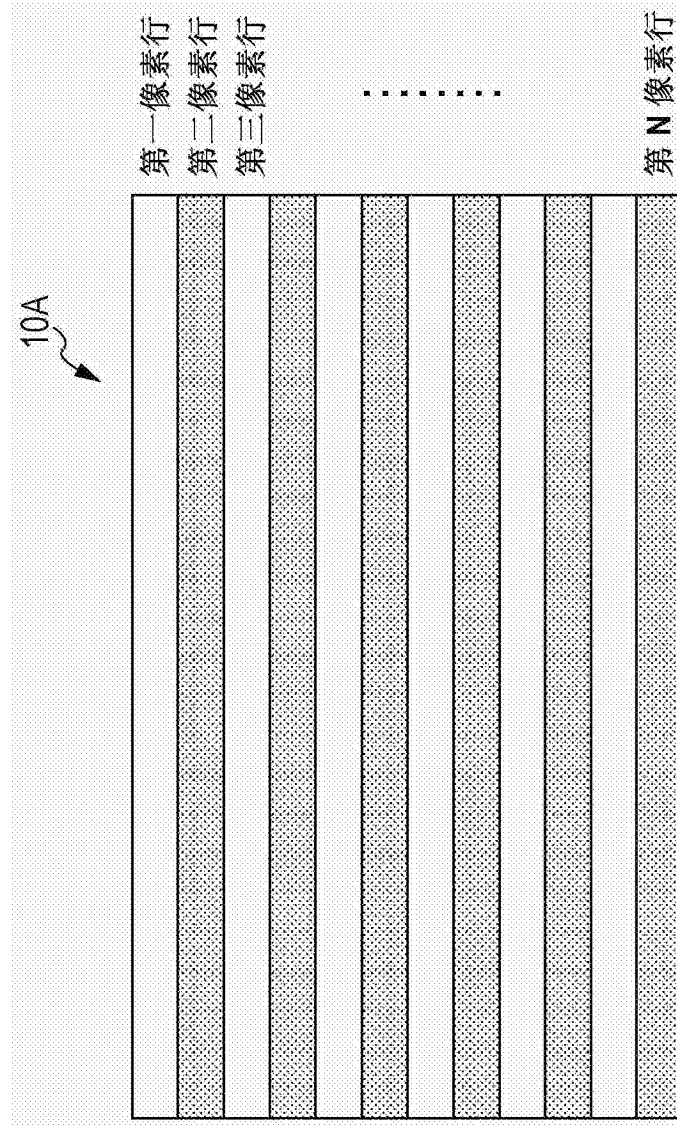


图15

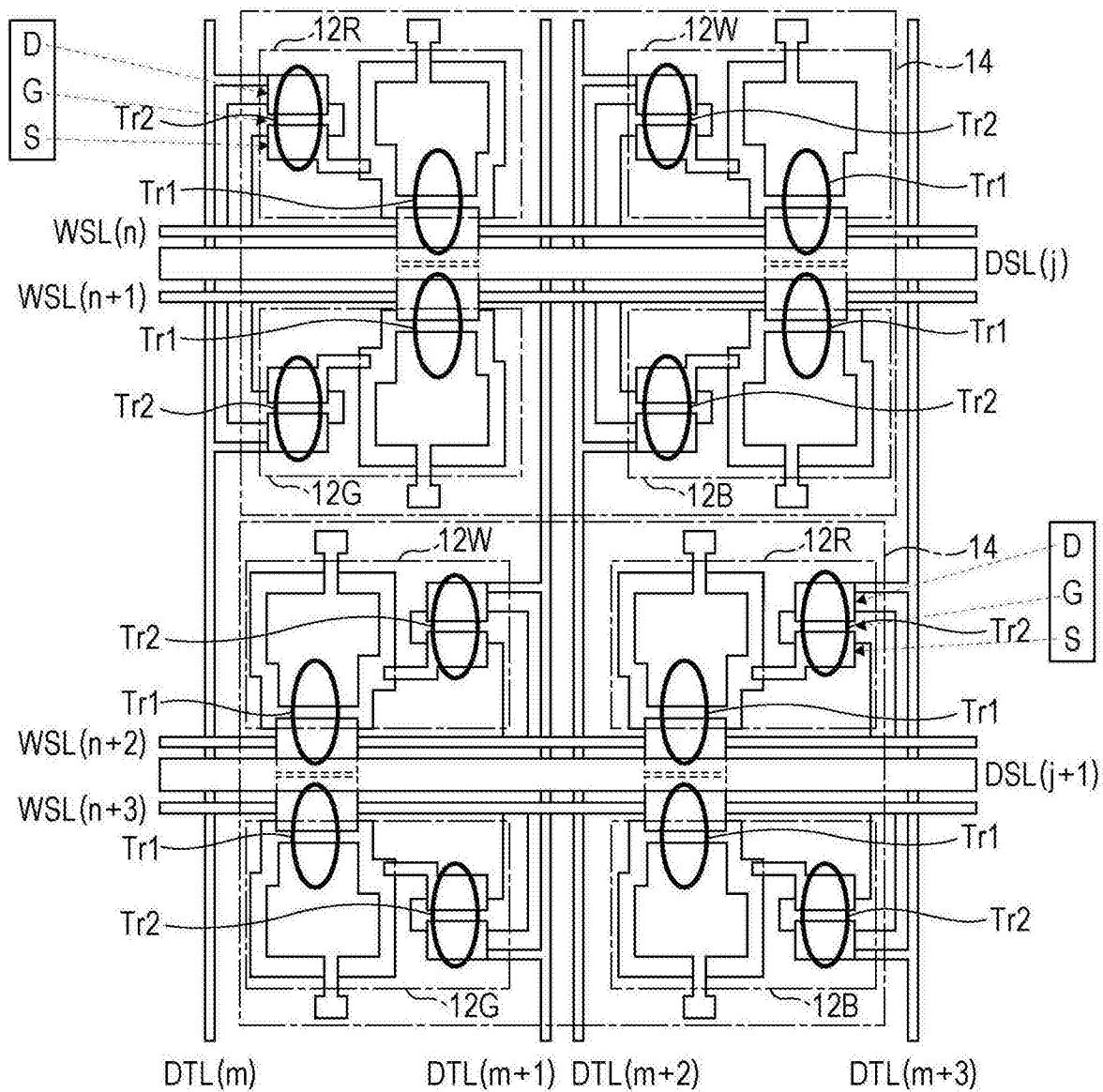


图16

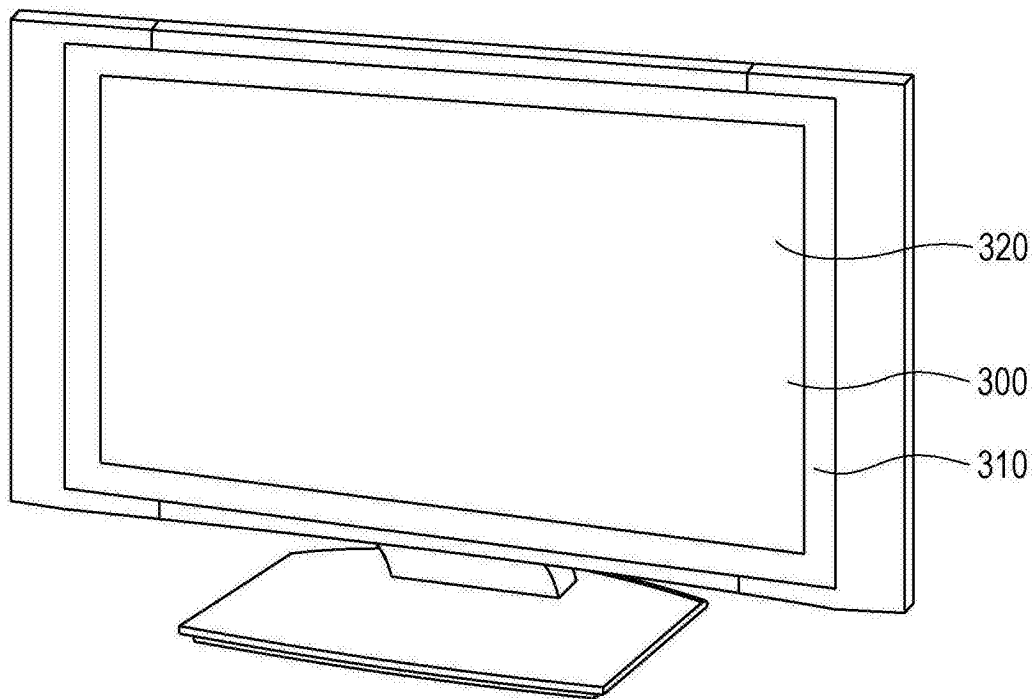


图17

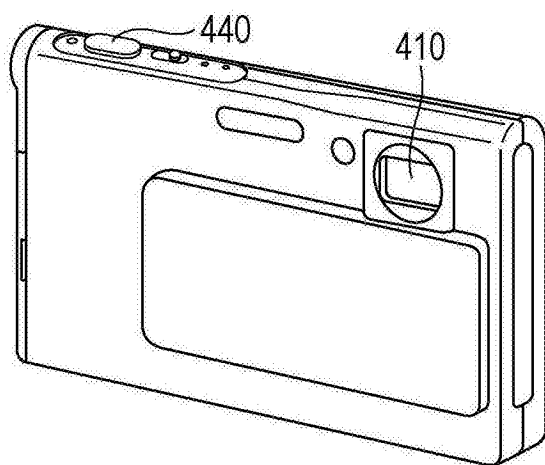


图18A

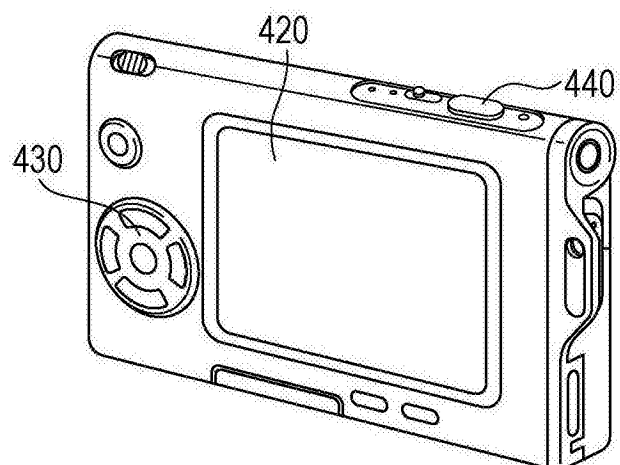


图18B

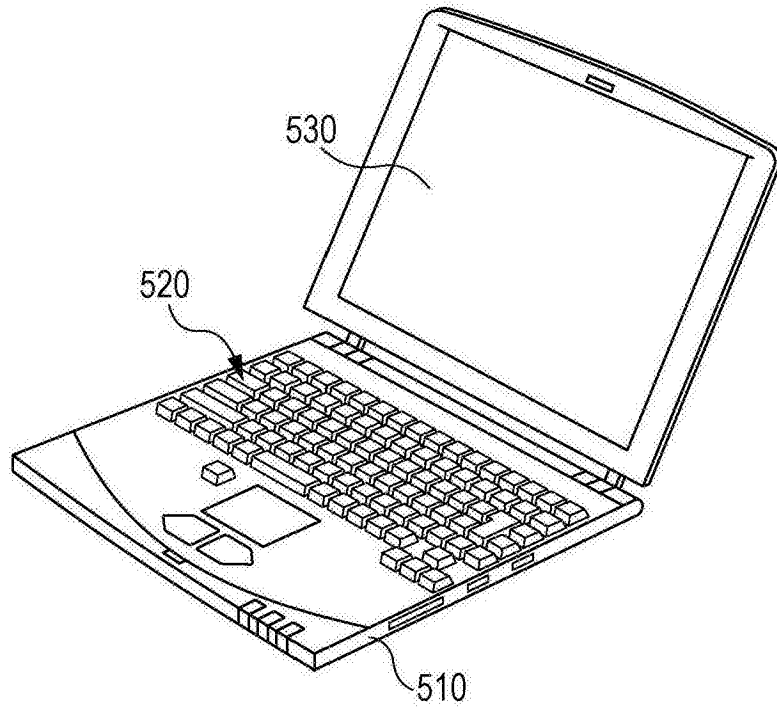


图19

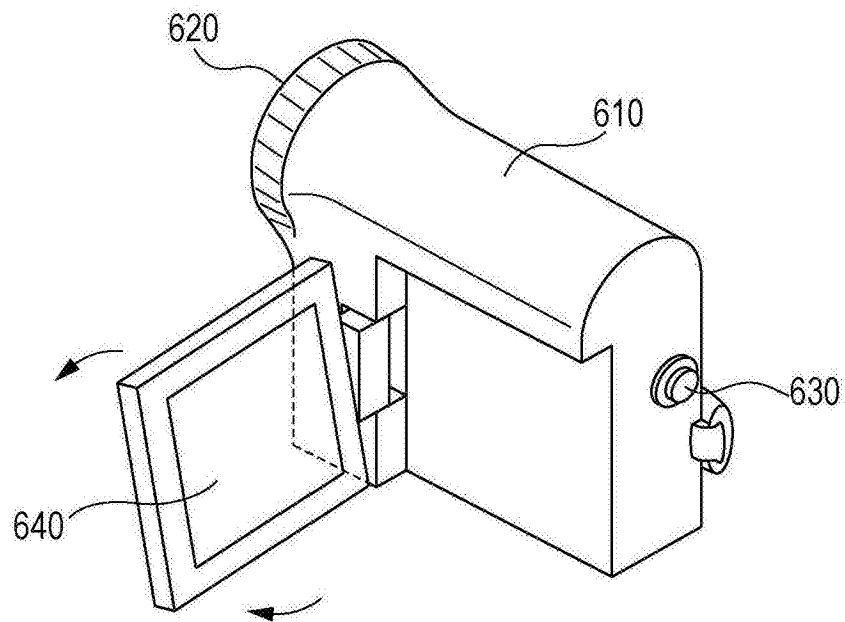


图20

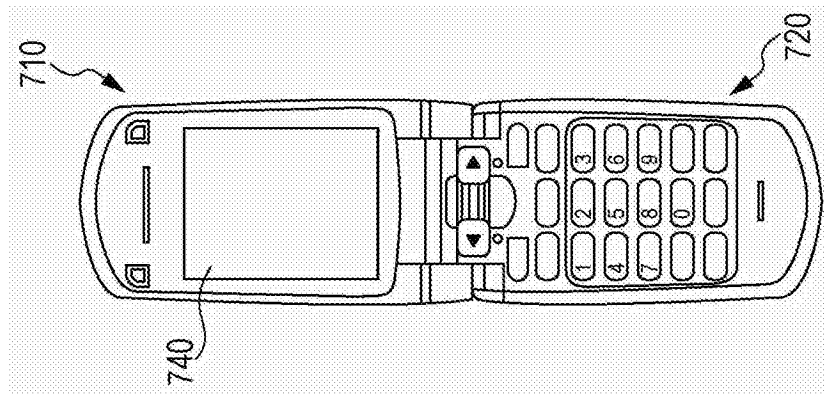


图21A

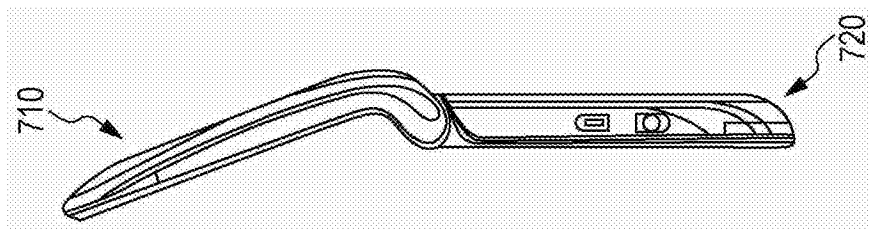


图21B

