(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 8 月 28 日(28.08.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/129245 A1

(51) 国際特許分類:
H01L 21/338 (2006.01) *H01L 29/778* (2006.01)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 29/06 (2006.01) *H01L 29/812* (2006.01)
H01L 29/41 (2006.01)

(21) 国際出願番号: PCT/JP2014/050992

(22) 国際出願日: 2014 年 1 月 20 日(20.01.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-031975 2013 年 2 月 21 日(21.02.2013) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 藤井　敬久(FUJII, Norihisa).

(74) 代理人: 鮫島　睦, 外(SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町８番１号梅田阪急ビルオフィスタワー青山特許事務所 Osaka (JP).

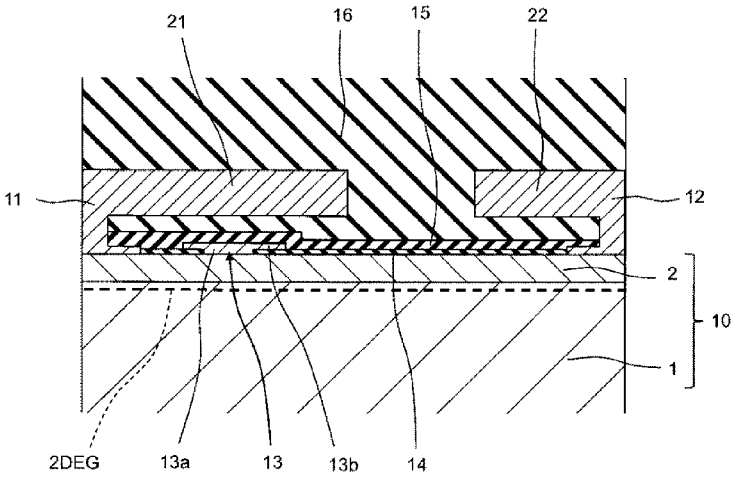
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: NITRIDE SEMICONDUCTOR DEVICE

(54) 発明の名称 : 窒化物半導体装置



(57) **Abstract**: A gate electrode (13) has: a base section (13a) that is formed on a nitride semiconductor layer (10); and a gate field plate section (13b) that extends on a first insulating film (14) from an upper portion of the base section (13a) toward the drain electrode (12) side. A second insulating film (15) is formed on the first insulating film (14) and the gate electrode (13). An interlayer insulating film (16) composed of a material containing SiO_2 is formed on the second insulating film (15). A dielectric constant of the second insulating film (15) is set higher than that of the interlayer insulating film (16). Consequently, electric field concentration at an end of the gate field plate section can be effectively suppressed, and off-withstand voltage can be improved.

(57) 要約: ゲート電極１３は、窒化物半導体層１０上に形成された基部１３ａと、その基部１３ａの上部からドレイン電極１２側に向かって第１の絶縁膜１４上に延在するゲートフィールドプレート部１３ｂとを有する。上記第１の絶縁膜１４上およびゲート電極１３上に第２の絶縁膜１５を形成する。上記第２の絶縁膜１５上にSiO_2を含む材料からなる層間絶縁膜１６を形成する。上記第２の絶縁膜１５の誘電率を層間絶縁膜１６の誘電率よりも高くする。これにより、ゲートフィールドプレート部の端での電界集中を効果的に抑制でき、オフ耐圧を向上できる。

WO 2014/129245 A1

明　細　書

発明の名称 ： 窒化物半導体装置

技術分野

[0001] この発明は、窒化物半導体装置に関し、詳しくは、窒化物半導体層上にソース電極とドレイン電極およびゲート電極が形成された窒化物半導体装置に関する。

背景技術

[0002] 従来の第１の窒化物半導体装置としては、ゲート電極にフィールドプレート部を形成することにより、ゲート電極端の電界強度を緩和するものがある(例えば、特開２００４－２００２４８号公報(特許文献１)参照)。

[0003] また、従来の第２の窒化物半導体装置としては、ゲート電極とドレイン電極との間のパッシベーション膜の上に、パッシベーション膜よりも誘電率の高い高誘電率膜を形成することで、ゲート電極端への電界集中を緩和するものがある(例えば、特開２０１１－２０４７８０号公報(特許文献２)参照)。

先行技術文献

特許文献

[0004] 特許文献1：特開２００４－２００２４８号公報

特許文献2：特開２０１１－２０４７８０号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、上記従来の第１の窒化物半導体装置では、ゲート電極のフィールドプレート部の端での電界集中により、所望のオフ耐圧まで保たないという問題がある。ここで、オフ耐圧は、例えばノーマリオンのＧａＮ系ＨＦＥＴにおいて、ゲート電極に－１０Ｖを印加し続けているオフ状態において、ソース電極に０Ｖを印加すると共にドレイン電極に印加する電圧が何ボルトのときに絶縁破壊に至るのかを表す。

[0006] また、上記従来の第２の窒化物半導体装置では、ゲート電極のフィールド

プレート部が無いため、ゲート電極端に電界が集中して、ゲートリーク電流が増大すると共に、オフ耐圧が所望の電圧まで保たないという問題がある。

[0007] そこで、この発明の課題は、ゲートフィールドプレート部の端での電界集中を効果的に抑制でき、オフ耐圧を向上できる窒化物半導体装置を提供することにある。

課題を解決するための手段

[0008] 上記課題を解決するため、この発明の窒化物半導体装置は、

窒化物半導体層と、

上記窒化物半導体層上に、または、上記窒化物半導体層内に少なくとも一部が形成されると共に、互いに間隔をあけて配置されたソース電極およびドレイン電極と、

上記ソース電極と上記ドレイン電極との間かつ上記窒化物半導体層上に形成されたゲート電極と、

上記ソース電極と上記ゲート電極との間および上記ドレイン電極と上記ゲート電極との間で上記窒化物半導体層上に形成された第１の絶縁膜と、

少なくとも上記第１の絶縁膜上および上記ゲート電極上に形成された第２の絶縁膜と、

上記第２の絶縁膜上に形成され、少なくともSiO_2を含む材料からなる層間絶縁膜と

を備え、

上記ゲート電極は、上記窒化物半導体層上に形成された基部と、その基部の上部から上記ドレイン電極側に向かって上記第１の絶縁膜上に延在するゲートフィールドプレート部とを有すると共に、

上記第２の絶縁膜の誘電率は、上記層間絶縁膜の誘電率よりも高いことを特徴とする。

[0009] また、一実施形態の窒化物半導体装置では、

上記ソース電極は、上記ゲート電極を覆うように上記ドレイン電極側に向かって上記層間絶縁膜上に延在するソースフィールドプレート部を有する。

[0010] また、一実施形態の窒化物半導体装置では、

上記ゲート電極の上記基部は、上記窒化物半導体層の最上層とショットキー接合されている。

[0011] また、一実施形態の窒化物半導体装置では、

少なくとも上記ゲート電極の上記基部と上記窒化物半導体層との間に形成されたゲート絶縁膜を備えた。

[0012] また、一実施形態の窒化物半導体装置では、

上記第２の絶縁膜の誘電率が５以上である。

[0013] また、一実施形態の窒化物半導体装置では、

上記第２の絶縁膜の膜厚が３０ｎｍ以上である。

発明の効果

[0014] 以上より明らかなように、この発明によれば、ソース電極とゲート電極との間およびドレイン電極とゲート電極との間で窒化物半導体層上に第１の絶縁膜を形成し、その第１の絶縁膜およびゲート電極上に層間絶縁膜の誘電率よりも誘電率が高い第２の絶縁膜を形成することによって、ゲートフィールドプレート部の端での電界集中を効果的に抑制でき、オフ耐圧を向上できる窒化物半導体装置を実現することができる。

図面の簡単な説明

[0015] [図1]図１はこの発明の第１実施形態の窒化物半導体装置の一例としてのＧａＮ系ＨＦＥＴの断面図である。

[図2]図２は上記ＧａＮ系ＨＦＥＴの要部の拡大断面図である。

[図3]図３は第１比較例のＧａＮ系ＨＦＥＴの要部の拡大断面図である。

[図4]図４は第２比較例のＧａＮ系ＨＦＥＴの要部の拡大断面図である。

[図5]図５は上記ＧａＮ系ＨＦＥＴのゲート電極端の電界強度を説明するための断面図である。

[図6]図６はゲート電極カバー絶縁膜の誘電率に対するゲート電極端の電界強度のシミュレーション結果を示す図である。

[図7]図７は上記電界強度のシミュレーションの条件を示す図である。

[図8]図８はゲート電極カバー絶縁膜の誘電率に対するゲートフィールドプレート部の端の電界強度の緩和率のシミュレーション結果を示す図である。

[図9]図９はゲート電極カバー絶縁膜(誘電率４)の膜厚に対するゲートフィールドプレート部の端の電界強度のシミュレーション結果を示す図である。

[図10]図１０はゲート電極カバー絶縁膜(誘電率２０)の膜厚に対するゲートフィールドプレート部の端の電界強度のシミュレーション結果を示す図である。

[図11]図１１はこの発明の第２実施形態の窒化物半導体装置の一例としてのＧａＮ系ＨＦＥＴの断面図である。

発明を実施するための形態

[0016] 以下、この発明の窒化物半導体装置を図示の実施の形態により詳細に説明する。

[0017] 〔第１実施形態〕

図１はこの発明の第１実施形態の窒化物半導体装置の一例としてのノーマリーオンタイプのＧａＮ系ＨＦＥＴの断面図を示し、図２は上記ＧａＮ系ＨＦＥＴの要部の拡大断面図を示している。

[0018] この第１実施形態のＧａＮ系ＨＦＥＴは、図１,図２に示すように、Ｓi基板(図示せず)上に形成された窒化物半導体層１０と、窒化物半導体層１０上に形成され、互いに間隔をあけて配置されたＴｉ／Ａｌからなるソース電極１１,ドレイン電極１２と、ソース電極１１とドレイン電極１２との間かつ窒化物半導体層１０上に形成されたＷＮ／ＷまたはＴｉＮからなるゲート電極１３とを備えている。

[0019] 上記窒化物半導体層１０は、Ｓi基板(図示せず)上に順に形成されたアンドープGaN層１とアンドープＡｌGaN層２で構成されている。このアンドープGaN層１とアンドープＡｌGaN層２との界面に２ＤＥＧ(２次元電子ガス)が発生する。

[0020] なお、上記基板は、Ｓi基板に限らず、サファイヤ基板やＳｉＣ基板を用いてもよく、サファイヤ基板やＳｉＣ基板上に窒化物半導体層を成長させてもよ

いし、GaN基板にＡｌGaN層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。また、適宜、バッファ層を基板と各層間に形成してもよい。また、上記アンドープGaN層１とアンドープＡｌGaN層２との間に層厚１ｎｍ程度のＡｌN層をヘテロ改善層として形成してもよい。また、上記ＡｌGaN層２上にGaNキャップ層を形成してもよい。

[0021] ここでは、上記窒化物半導体層１０のアンドープＡｌGaN層２の厚さを例えば１０ｎｍとしてソース電極１１とドレイン電極１２をアニールすることでオーミックコンタクト可能にしている。なお、上記アンドープＡｌGaN層の厚さを例えば３０ｎｍとしてアンドープＡｌGaN層のオーミックコンタクト部分に予めＳｉドープをしてｎ型化させることで電極のオーミックコンタクトを可能としてもよい。また、アンドープＡｌGaN層のうちのソース電極が形成される領域およびドレイン電極が形成される領域に予めリセスを形成し、このリセスにソース電極およびドレイン電極を蒸着,アニールすることでオーミックコンタクトを可能としてもよい。

[0022] 一方、上記ゲート電極１３は、窒化物半導体層１０のアンドープＡｌGaN層２にショットキー接合している。

[0023] また、電流コラプスを抑制するための第１の絶縁膜の一例としてのコラプス抑制膜１４が、ソース電極１１とゲート電極１３との間およびドレイン電極１２とゲート電極１３との間で窒化物半導体層１０上に形成されている。

[0024] 上記コラプス抑制膜１４は、一例として、Ｓｉリッチなシリコン窒化膜で作製されている。このＳｉリッチなシリコン窒化膜とは、Ｓｉ：Ｎ＝０．７５：１のストイキオメトリなシリコン窒化膜よりもシリコンＳｉの比率の大きいＳｉＮ膜であり、例えば、ＳｉとＮとの組成比はＳｉ：Ｎ＝１．１～１．９：１である。また、好ましい一例では、ＳｉとＮとの組成比はＳｉ：Ｎ＝１．３～１．５：１である。

[0025] 上記ゲート電極１３は、窒化物半導体層１０のアンドープＡｌGaN層２にショットキー接合する基部１３ａと、その基部１３ａの上部からドレイン電極

１２側に向かってコラプス抑制膜１４上に延在するゲートフィールドプレート部１３bとを有する。

[0026] また、ストイキオメトリなＳｉＮ膜で作製されたゲート電極カバー絶縁膜１５を、ソース電極１１の一部の上、ドレイン電極１２の一部の上、ゲート電極１３上およびコラプス抑制膜１４上に形成している。

[0027] なお、この第１実施形態では、一例として、第２の絶縁膜であるゲート電極カバー絶縁膜１５をＳｉＮ膜で作製したが、第２の絶縁膜はこれに限らず、層間絶縁膜の誘電率よりも誘電率が高い絶縁材料であればよい。

[0028] 次に、上記ＧａＮ系ＨＦＥＴの製造工程を説明する。

[0029] まず、図示しないＳｉ基板上に、ＭＯＣＶＤ(有機金属気相成長)法を用いて、アンドープＧａＮ層１とアンドープＡｌＧａＮ層２を順に形成する。

[0030] 次に、上記アンドープＡｌＧａＮ層２上に、プラズマＣＶＤ法を用いて、コラプス抑制膜１４となるシリコン窒化膜を形成する。

[0031] この電流コラプスとは、特に、ＧａＮ系半導体素子において顕著に表れるもので、低電圧動作でのトランジスタのオン抵抗と比べて、高電圧動作でのトランジスタのオン抵抗が著しく高くなってしまう現象である。

[0032] 次に、フォトレジストをマスクとしてウェットエッチングを行うことにより、コラプス抑制膜１４となるシリコン窒化膜のうちのゲート電極１３の基部１３aを形成すべき領域を除去して、この領域にアンドープＡｌＧａＮ層２を露出させる。

[0033] 次に、上記フォトレジストを除去し、コラプス抑制膜１４を熱処理する(例えば５００℃で３０分間)。

[0034] その後、ＷＮ／Ｗ(またはＴｉＮ)を全面スパッタし、フォトリソグラフィでゲート電極１３を形成すべきゲート電極形成領域にエッチングマスク(図示せず)を形成し、このエッチングマスクを用いてドライエッチングまたはウェットエッチングを行なって、ゲート電極形成領域以外のＷＮ／Ｗ膜(またはＴｉＮ膜)を除去して、基部１３aとゲートフィールドプレート部１３bを有するゲート電極１３を形成する。このゲート電極１３の基部１３aは、ＡｌＧａＮ層２

にショットキー接合している。

[0035] その後、上記ゲート電極１３上およびコラプス抑制膜１４上に、プラズマＣＶＤ(化学的気相成長)法により、ゲート電極カバー絶縁膜１５となるＳｉＮ膜を形成する。

[0036] 次に、フォトリソグラフィにより、ソース電極１１,ドレイン電極１２を形成すべき領域にレジストパターン(図示せず)を形成して、このレジストパターン上にＴｉ/Ａｌ(またはＨｆ／Ａｉ)を順に蒸着し、リフトオフによりＴｉ/Ａｌ(またはＨｆ／Ａｉ)からなるソース電極１１,ドレイン電極１２を形成する。

[0037] 次に、上記ソース電極１１,ドレイン電極１２を、熱処理(オーミックアニール)してオーミック電極にする(例えば５００℃で３０分)。

[0038] 次に、ゲート電極カバー絶縁膜１５上およびソース電極１１,ドレイン電極１２,ゲート電極１３上に、ＬＴＯ(Low Temperature Oxide：低温酸化膜)などのシリコン酸化膜で層間絶縁膜１６を形成する。

[0039] 次に、エッチングマスクを用いたドライエッチングまたはウェットエッチングにより、ソース電極１１上およびドレイン電極１２上にコンタクトホールを形成する。

[0040] そして、上記コンタクトホール内にＡｌまたはＣｕなどからなる配線層を形成し、ソース電極１１側の配線層からゲート電極１３を覆うようにドレイン電極１２側に向かって延びるソースフィールドプレート部２１を形成している。一方、ドレイン電極１２側の配線層からソース電極１１側に向かって延びるドレインフィールドプレート部２２を形成している。なお、ソースフィールドプレート部２１やドレインフィールドプレート部２２は無くてもよい。

[0041] 図３は第１比較例のＧａＮ系ＨＦＥＴの要部の拡大断面図を示している。この第１比較例のＧａＮ系ＨＦＥＴは、第２の絶縁膜であるゲート電極カバー絶縁膜１１５が層間絶縁膜１６と同じシリコン酸化膜で形成されている点を除いて、図１,図２に示すＧａＮ系ＨＦＥＴと同一の構成をしている。なお、この第１比較例のＧａＮ系ＨＦＥＴは、この発明の窒化物半導体装置では

ない。

[0042] また、図４は第２比較例のＧａＮ系ＨＦＥＴの要部の拡大断面図を示している。この第２比較例のＧａＮ系ＨＦＥＴは、ゲート電極１１３にゲートフィールドプレート部がない点を除いて、図１,図２に示すＧａＮ系ＨＦＥＴと同一の構成をしている。なお、この第２比較例のＧａＮ系ＨＦＥＴは、この発明の窒化物半導体装置ではない。

[0043] 図５は上記ＧａＮ系ＨＦＥＴのゲート電極端の電界強度を説明するための断面図を示している。図５において、図１,図２に示す構成と同一の構成部には同一参照番号を付している。また、Ａはゲート電極１３のゲートフィールドプレート部１３bの端(ドレイン電極１２側の端縁部)の領域であり、Ｂはゲート電極１３直下の領域である(基部１３aのドレイン電極１２側の端縁部の直下)。

[0044] また、図６はゲート電極カバー絶縁膜１５の誘電率に対するゲート電極１３端の電界強度のシミュレーション結果を示している。図６において、横軸はゲート電極カバー絶縁膜１５の誘電率εを表し、縦軸はゲート電極１３直下の領域Ｂの電界強度[ＭＶ／ｃｍ]を表している。

[0045] 上記シミュレーションの条件を図７に示しており、詳しくは、次のとおりである。なお、図７において、１００はＳi基板である。

[0046] ゲート電極・ドレイン電極間の距離(Ｌgd) ： １０μｍ

ゲート長(Ｌg) ： ２．２μｍ

シートキャリア濃度Ｎs ： ５．５×10^{12}／cm^2

ゲート電極カバー絶縁膜の誘電率(ε) ： ２～２０(パラメータ)

層間絶縁膜の膜厚(１層目) ： ８２００Å(８２０ｎｍ)

層間絶縁膜の膜厚(２層目) ： ３００００Å(３０００ｎｍ)

ゲートフィールドプレート長(Ｌgfp) ： １μｍまたはなし(パラメータ)

ソースフィールドプレート長(Ｌsfp) ： ７．５μｍ

ソースフィールドプレート部の厚さ ： １５０００Å(１５００ｎｍ

)

ドレインフィールドプレート長(Ｌdfp)　：　３μｍ

ソース電極 印加電圧(Ｖs)　：　０Ｖ

ドレイン電極 印加電圧(Ｖd)　：　６００Ｖ

ゲート電極 印加電圧(Ｖg)　：　－１０Ｖ

基板電位　：　０Ｖ(基板グラウンド)

[0047] また、図６に示す「○」(丸印)は第２比較例のゲートフィールドプレート部がないゲート電極１１３を備えたＧａＮ系ＨＦＥＴにおいて、ゲート電極カバー絶縁膜１５の誘電率εを４および２０としたときのゲート電極１１３直下の電界強度のデータである。また、図６に示す「□」(四角印)はこの第１実施形態のＧａＮ系ＨＦＥＴにおいて、ゲート電極カバー絶縁膜１５の誘電率εを２，３，４，７，１０，１５，２０としたときのゲート電極１３直下の領域Ｂの電界強度のデータである。なお、層間絶縁膜１６が誘電率４のSiO_2からなるとき、ゲート電極カバー絶縁膜１５の誘電率εが２，３，４については、この発明に含まれない。

[0048] ここで、各誘電率εの具体的な絶縁材料の一例として、

誘電率ε＝２～３：　ＳｉＯＣ、ポリイミド等

誘電率ε＝４　　：　SiO_2

誘電率ε＝６　　：　ＳｉＮ

誘電率ε＝７　　：　ＳｉＮｘ(N-rich)

誘電率ε＝１０　：　Al_2O_3

誘電率ε＝２０（～２５）：　Ta_2O_5

がある。

[0049] 図６に示すように、ゲート電極１１３(図６に示す)にゲートフィールドプレート部がない構造では、ゲート電極１３のゲートフィールドプレート部１３bがある場合に比べて、ゲート電極１３直下の領域Ｂの電界強度が著しく増大する(１．５～１．８倍)。ゲート電極１３直下の領域Ｂでは、２ＤＥＧとゲート電極とが近接しており、比較的低い電界強度でも絶縁破壊となる。

[0050] 図８はゲート電極カバー絶縁膜の誘電率に対するゲートフィールドプレート部の端の電界強度の緩和率のシミュレーション結果を示している。図８において、横軸はゲート電極カバー絶縁膜１５の誘電率εを表し、縦軸は電界強度の緩和率を表している。この「電界強度の緩和率」とは、ゲート電極カバー絶縁膜１５の誘電率εが２のときのＧａＮ系ＨＦＥＴの領域Ａ(ゲートフィールドプレート部１３bの端)の電界強度に対して、ゲート電極カバー絶縁膜１５の誘電率εが３，４，６，１０，２０のときのＧａＮ系ＨＦＥＴの領域Ａ(ゲートフィールドプレート部１３bの端)の電界強度の比率を百分率で表したものである。

[0051] なお、図８において誘電率εが４の場合は、第１比較例のSiO_2からなるゲート電極カバー絶縁膜１１５を備えたＧａＮ系ＨＦＥＴに相当する。

[0052] このシミュレーションの条件は、図６，図７に示すシミュレーションの条件と同じである。

[0053] 図８に示すように、ゲート電極カバー絶縁膜１５の誘電率εが大きくなるほど、ゲートフィールドプレート部１３bの端の領域Ａの電界強度の緩和率が大きくなり、特に誘電率εが５よりも大きい絶縁材料(ＳｉＮ，ＳｉＮｘ(N-rich)，Al_2O_3など)で電界強度の緩和効果が高い。上記構成のＧａＮ系ＨＦＥＴでは、ゲートフィールドプレート部１３bの端の領域Ａの電界強度を下げるほど、高電圧印加状態での信頼性(寿命)が向上する。

[0054] 次に、図９はゲート電極カバー絶縁膜１５(誘電率４)の膜厚に対するゲートフィールドプレート部１３bの端の電界強度(図５の領域Ａ)のシミュレーション結果を示し、図１０はゲート電極カバー絶縁膜１５(誘電率２０)の膜厚に対するゲートフィールドプレート部１３bの端(図５の領域Ａ)の電界強度のシミュレーション結果を示している。

[0055] このシミュレーションの条件は、ゲート電極カバー絶縁膜１５(誘電率４)の膜厚をパラメータとした点を除いて図６，図７に示すシミュレーションの条件と同じである。

[0056] 図９，図１０において、横軸はゲート電極カバー絶縁膜１５の膜厚[Å]を表

し、縦軸は電界強度[ＭＶ／ｃｍ]を表している。

[0057] また、図９,図１０に示す「◆」(菱形印)は、領域Ａにおけるゲートフィールドプレート部１３b側の電界強度であり、図９,図１０に示す「■」(四角印)は、領域Ａにおけるゲート電極カバー絶縁膜１５側の電界強度である。

[0058] 図９,図１０に示すように、ゲート電極カバー絶縁膜１５の膜厚が薄くなると、領域Ａの電界強度が緩和されにくくなる。

[0059] したがって、上記ＧａＮ系ＨＦＥＴでは、ゲート電極カバー絶縁膜１５の膜厚は３００Å(＝３０ｎｍ)以上であることが好ましい。これにより、ゲートフィールドプレート部１３b端での電界強度を確実に緩和することができる。

[0060] 上記構成の窒化物半導体装置によれば、ソース電極１１とゲート電極１３との間およびドレイン電極１２とゲート電極１３との間で窒化物半導体層１０上にコラプス抑制膜１４(第１の絶縁膜)を形成し、少なくともコラプス抑制膜１４およびゲート電極１３上に層間絶縁膜１６の誘電率よりも誘電率が高いゲート電極カバー絶縁膜１５(第２の絶縁膜)を形成することによって、ゲートフィールドプレート部１３bの端での電界集中を効果的に抑制でき、オフ耐圧を向上できる。

[0061] また、ソース電極１１のソースフィールドプレート部２１が、ゲート電極１３を覆うようにドレイン電極１２側に向かって層間絶縁膜１６上に延在することによって、ゲートフィールドプレート部１３bの端での電界集中をさらに効果的に抑制できる。

[0062] また、ゲート電極１３の基部１３aを窒化物半導体層１０の最上層とショットキー接合されているので、ゲート絶縁膜を形成することなく、窒化物半導体層１０とゲート電極１３との間に障壁を形成できる。

[0063] また、誘電率が５以上のゲート電極カバー絶縁膜１５(第２の絶縁膜)によりコラプス抑制膜１４(第１の絶縁膜)上およびゲート電極１３上を覆うことによって、ゲートフィールドプレート部１３bの端での電界強度を効果的に緩和することができる。

[0064] 上記第１実施形態では、層間絶縁膜１６の材料としてSiO_2を用いたが、ポリイミドやＳＯＧ(Spin On Glass;スピン・オン・グラス)またはＢＰＳＧ(Boron Phosphorus Silicon Glass;ホウ素・リン・シリケート・ガラス)などの絶縁材料を用いてもよい。また、層間絶縁膜として、例えばSiO_2とＳＯＧからなる多層膜構造としてもよい。

[0065] 〔第２実施形態〕

図１１はこの発明の第２実施形態の窒化物半導体装置の一例としてのノーマリーオンタイプのＧａＮ系ＨＦＥＴの断面図を示している。

[0066] この第２実施形態のＧａＮ系ＨＦＥＴは、図１１に示すコラプス抑制膜１１４が多層絶縁膜構造である点とゲート絶縁膜２０を有する点が第１実施形態のＧａＮ系ＨＦＥＴと異なる。図１１では、第１実施形態のＧａＮ系ＨＦＥＴと同一の構成部に同一参照番号を付している。

[0067] 上記GaN系ＨＦＥＴの製造工程は、アンドープGaN層１とアンドープＡｌGaN層２を順に形成した後、アンドープＡｌGaN層２上にプラズマＣＶＤ法を用いてSiO_2やＳｉＮを積層して、多層絶縁膜構造のコラプス抑制膜１１４を形成する。

[0068] 次に、上記コラプス抑制膜１１４のうち、ゲート電極１３の基部１３aを形成すべき領域をウェットエッチングにより除去して、この領域にアンドープＡｌGaN層２を露出させる。

[0069] 次に、露出したアンドープＡｌGaN層２上およびコラプス抑制膜１１４にプラズマＣＶＤ法を用いてゲート絶縁膜２０を形成する。

[0070] 次に、ＷＮ／Ｗ(またはＴｉＮ)を全面スパッタし、フォトリソグラフィでゲート電極１３を形成すべきゲート電極形成領域にエッチングマスク(図示せず)を形成し、このエッチングマスクを用いてドライエッチングまたはウェットエッチングを行なって、ゲート電極形成領域以外のＷＮ／Ｗ膜(またはＴｉＮ膜)およびゲート絶縁膜２０を除去して、ＷＮ／Ｗ(またはＴｉＮ)からなるゲート電極１３を形成する。

[0071] 上記第２実施形態のＧａＮ系ＨＦＥＴは、第１実施形態のＧａＮ系ＨＦＥ

Ｔと同様の効果を有する。

[0072] また、上記第２実施形態では、ゲート電極１３の基部１３aと窒化物半導体層１０との間にゲート絶縁膜２０を形成することによって、窒化物半導体層１０とゲート電極１３を確実に絶縁できる。

[0073] なお、上記第２実施形態では、ゲート電極１３の基部１３aと窒化物半導体層１０との間およびコラプス抑制膜１１４とゲートフィールドプレート部１３bとの間にゲート絶縁膜２０を形成したが、少なくともゲート電極の基部と窒化物半導体層との間にゲート絶縁膜を形成したものであればよい。

[0074] また、上記第１,第２実施形態では、窒化物半導体層を、ＧａＮ層やＡｌＧａＮ層で構成したが、$Al_xIn_yGa_{1-x-y}N$（ｘ≧０、ｙ≧０、０≦ｘ＋ｙ＜１）で表されるＧａＮ系半導体層を含むものでもよい。すなわち、上記窒化物半導体層は、ＡｌＧａＮ、ＧａＮ、ＩｎＧａＮ等を含むものとしてもよい。また、上記第１,第２実施形態では、ノーマリーオンタイプのＨＦＥＴについて説明したが、ノーマリオフタイプでも同様の効果が得られる。

[0075] この発明の具体的な実施の形態について説明したが、この発明は上記第１,第２実施形態に限定されるものではなく、この発明の範囲内で種々変更して実施することができる。

[0076] すなわち、この発明および実施形態をまとめると、次のようになる。

[0077] この発明の窒化物半導体装置は、

窒化物半導体層１０と、

上記窒化物半導体層１０上に、または、上記窒化物半導体層１０内に少なくとも一部が形成されると共に、互いに間隔をあけて配置されたソース電極１１およびドレイン電極１２と、

上記ソース電極１１と上記ドレイン電極１２との間かつ上記窒化物半導体層１０上に形成されたゲート電極１３と、

上記ソース電極１１と上記ゲート電極１３との間および上記ドレイン電極１２と上記ゲート電極１３との間で上記窒化物半導体層１０上に形成された第１の絶縁膜１４,１１４と、

少なくとも上記第１の絶縁膜１４，１１４上および上記ゲート電極１３上に形成された第２の絶縁膜１５と、

上記第２の絶縁膜１５上に形成され、少なくともSiO_2を含む材料からなる層間絶縁膜１６と

を備え、

上記ゲート電極１３は、上記窒化物半導体層１０上に形成された基部と、その基部の上部から上記ドレイン電極１２側に向かって上記第１の絶縁膜１４，１１４上に延在するゲートフィールドプレート部１３bとを有すると共に、

上記第２の絶縁膜１５の誘電率は、上記層間絶縁膜１６の誘電率よりも高いことを特徴とする。

[0078] 上記構成によれば、ソース電極１１とゲート電極１３との間およびドレイン電極１２とゲート電極１３との間で窒化物半導体層１０上に第１の絶縁膜１４，１１４を形成し、少なくとも第１の絶縁膜１４，１１４およびゲート電極１３上に、少なくともSiO_2を含む材料からなる層間絶縁膜１６の誘電率よりも誘電率が高い第２の絶縁膜１５を形成することによって、ゲートフィールドプレート部１３bの端での電界集中を効果的に抑制でき、オフ耐圧を向上できる。なお、上記ソース電極１１およびドレイン電極１２は、窒化物半導体層１０上に互いに間隔をあけて形成してもよいし、窒化物半導体層１０内に少なくとも一部が埋め込まれるようにかつ互いに間隔をあけて形成してもよい。

[0079] また、一実施形態の窒化物半導体装置では、

上記ソース電極１１は、上記ゲート電極１３を覆うように上記ドレイン電極１２側に向かって上記層間絶縁膜１６上に延在するソースフィールドプレート部２１を有する。

[0080] 上記実施形態によれば、ソース電極１１のソースフィールドプレート部２１が、ゲート電極１３を覆うようにドレイン電極１２側に向かって層間絶縁膜１６上に延在することによって、ゲートフィールドプレート部１３bの端で

の電界集中をさらに効果的に抑制できる。

[0081] また、一実施形態の窒化物半導体装置では、

上記ゲート電極１３の上記基部１３aは、上記窒化物半導体層１０の最上層とショットキー接合されている。

[0082] 上記実施形態によれば、ゲート電極１３の基部１３aを窒化物半導体層１０の最上層とショットキー接合されているので、ゲート絶縁膜を形成することなく、窒化物半導体層１０とゲート電極１３との間に障壁を形成できる。

[0083] また、一実施形態の窒化物半導体装置では、

少なくとも上記ゲート電極１３の上記基部１３aと上記窒化物半導体層１０との間に形成されたゲート絶縁膜２０を備えた。

[0084] 上記実施形態によれば、少なくともゲート電極１３の基部１３aと窒化物半導体層１０との間にゲート絶縁膜２０を形成することによって、窒化物半導体層１０とゲート電極１３を確実に絶縁できる。

[0085] また、一実施形態の窒化物半導体装置では、

上記第２の絶縁膜１５の誘電率が５以上である。

[0086] 上記実施形態によれば、誘電率が５以上の第２の絶縁膜１５により第１の絶縁膜１４，１１４上およびゲート電極１３上を覆うことによって、ゲートフィールドプレート部１３bの端での電界強度を効果的に緩和することができる。

[0087] また、一実施形態の窒化物半導体装置では、

上記第２の絶縁膜１５の膜厚が３０ｎｍ以上である。

[0088] 上記実施形態によれば、膜厚が３０ｎｍ以上の第２の絶縁膜１５により第１の絶縁膜１４，１１４上およびゲート電極１３上を覆うことによって、ゲートフィールドプレート部１３bの端での電界強度を確実に緩和することができる。

[0089] また、この発明の窒化物半導体装置は、

窒化物半導体層１０と、

上記窒化物半導体層１０上に、または、上記窒化物半導体層１０内に少な

くとも一部が形成されると共に、互いに間隔をあけて配置されたソース電極１１およびドレイン電極１２と、

上記ソース電極１１と上記ドレイン電極１２との間かつ上記窒化物半導体層１０上に形成されたゲート電極１３と、

上記ソース電極１１と上記ゲート電極１３との間および上記ドレイン電極１２と上記ゲート電極１３との間で上記窒化物半導体層１０上に形成された第１の絶縁膜１４と、

少なくとも上記第１の絶縁膜１４上および上記ゲート電極１３上に形成された第２の絶縁膜１５と、

上記第２の絶縁膜１５上に形成され、少なくともSiO_2を含む材料からなる層間絶縁膜１６と

を備え、

上記ゲート電極１３は、上記窒化物半導体層１０の最上層とショットキー接合された基部と、その基部の上部から上記ドレイン電極１２側に向かって上記第１の絶縁膜１４上に延在するゲートフィールドプレート部１３bとを有すると共に、

上記ソース電極１１は、上記ゲート電極１３を覆うように上記ドレイン電極１２側に向かって上記層間絶縁膜１６上に延在するソースフィールドプレート部２１を有し、

上記第２の絶縁膜１５の誘電率は、上記層間絶縁膜１６の誘電率よりも高いことを特徴とする。

[0090] 上記構成によれば、ソース電極１１のソースフィールドプレート部２１が、ゲート電極１３を覆うようにドレイン電極１２側に向かって層間絶縁膜１６上に延在する窒化物半導体装置において、ソース電極１１とゲート電極１３との間およびドレイン電極１２とゲート電極１３との間で窒化物半導体層１０上に第１の絶縁膜１４を形成し、少なくとも第１の絶縁膜１４およびゲート電極１３上に、少なくともSiO_2を含む材料からなる層間絶縁膜１６の誘電率よりも誘電率が高い第２の絶縁膜１５を形成することによって、ゲー

トフィールドプレート部１３bの端での電界集中を効果的に抑制でき、オフ耐圧を向上できる。なお、上記ソース電極１１およびドレイン電極１２は、窒化物半導体層１０上に互いに間隔をあけて形成してもよいし、窒化物半導体層１０内に少なくとも一部が埋め込まれるようにかつ互いに間隔をあけて形成してもよい。

[0091] また、一実施形態の窒化物半導体装置では、

上記第２の絶縁膜１５の誘電率が５以上である。

[0092] 上記実施形態によれば、誘電率が５以上の第２の絶縁膜１５により第１の絶縁膜１４上およびゲート電極１３上を覆うことによって、ゲートフィールドプレート部１３bの端での電界強度を効果的に緩和することができる。

[0093] また、一実施形態の窒化物半導体装置では、

上記第２の絶縁膜１５の膜厚が３０ｎｍ以上である。

[0094] 上記実施形態によれば、膜厚が３０ｎｍ以上の第２の絶縁膜１５により第１の絶縁膜１４上およびゲート電極１３上を覆うことによって、ゲートフィールドプレート部１３bの端での電界強度を確実に緩和することができる。

符号の説明

[0095] １…アンドープＧａＮ層

２…アンドープＡｌＧａＮ層

１０…窒化物半導体層

１１…ソース電極

１２…ドレイン電極

１３…ゲート電極

１３a…基部

１３b…ゲートフィールドプレート部

１４…コラプス抑制膜

１５…ゲート電極カバー絶縁膜

１６…層間絶縁膜

２０…ゲート絶縁膜

２１…ソースフィールドプレート部

２２…ドレインフィールドプレート部

１００…Ｓｉ基板

請求の範囲

[請求項1] 窒化物半導体層(１０)と、

上記窒化物半導体層(１０)上に、または、上記窒化物半導体層(１０)内に少なくとも一部が形成されると共に、互いに間隔をあけて配置されたソース電極(１１)およびドレイン電極(１２)と、

上記ソース電極(１１)と上記ドレイン電極(１２)との間かつ上記窒化物半導体層(１０)上に形成されたゲート電極(１３)と、

上記ソース電極(１１)と上記ゲート電極(１３)との間および上記ドレイン電極(１２)と上記ゲート電極(１３)との間で上記窒化物半導体層(１０)上に形成された第１の絶縁膜(１４,１１４)と、

少なくとも上記第１の絶縁膜(１４,１１４)上および上記ゲート電極(１３)上に形成された第２の絶縁膜(１５)と、

上記第２の絶縁膜(１５)上に形成され、少なくともSiO_2を含む材料からなる層間絶縁膜(１６)と

を備え、

上記ゲート電極(１３)は、上記窒化物半導体層(１０)上に形成された基部(１３a)と、その基部(１３a)の上部から上記ドレイン電極(１２)側に向かって上記第１の絶縁膜(１４,１１４)上に延在するゲートフィールドプレート部(１３b)とを有すると共に、

上記第２の絶縁膜(１５)の誘電率は、上記層間絶縁膜(１６)の誘電率よりも高いことを特徴とする窒化物半導体装置。

[請求項2] 請求項１に記載の窒化物半導体装置において、

上記ソース電極(１１)は、上記ゲート電極(１３)を覆うように上記ドレイン電極(１２)側に向かって上記層間絶縁膜(１６)上に延在するソースフィールドプレート部(２１)を有することを特徴とする窒化物半導体装置。

[請求項3] 請求項１または２に記載の窒化物半導体装置において、

上記ゲート電極(１３)の上記基部(１３a)は、上記窒化物半導体層(

１０)の最上層とショットキー接合されていることを特徴とする窒化物半導体装置。

[請求項4] 請求項１または２に記載の窒化物半導体装置において、

少なくとも上記ゲート電極(１３)の上記基部(１３a)と上記窒化物半導体層(１０)との間に形成されたゲート絶縁膜(２０)を備えたことを特徴とする窒化物半導体装置。

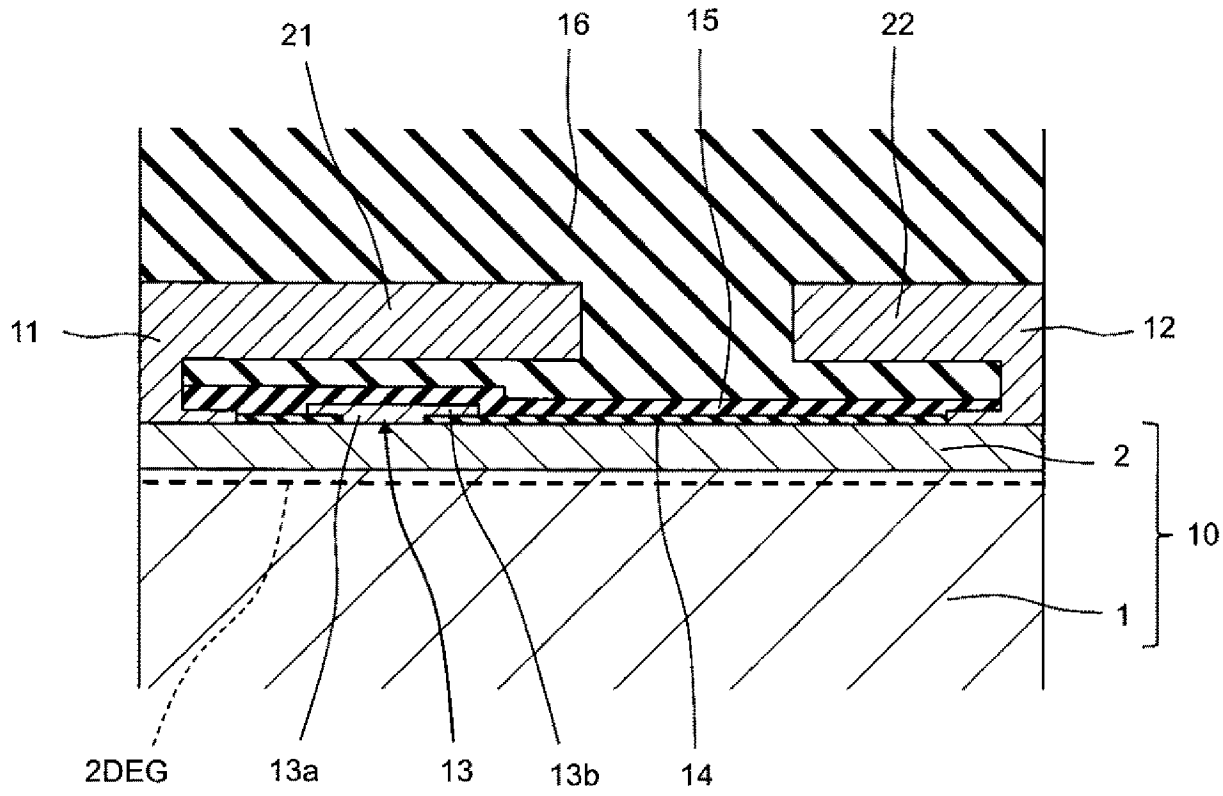
[請求項5] 請求項１から４までのいずれか１つに記載の窒化物半導体装置において、

上記第２の絶縁膜(１５)の誘電率が５以上であることを特徴とする窒化物半導体装置。

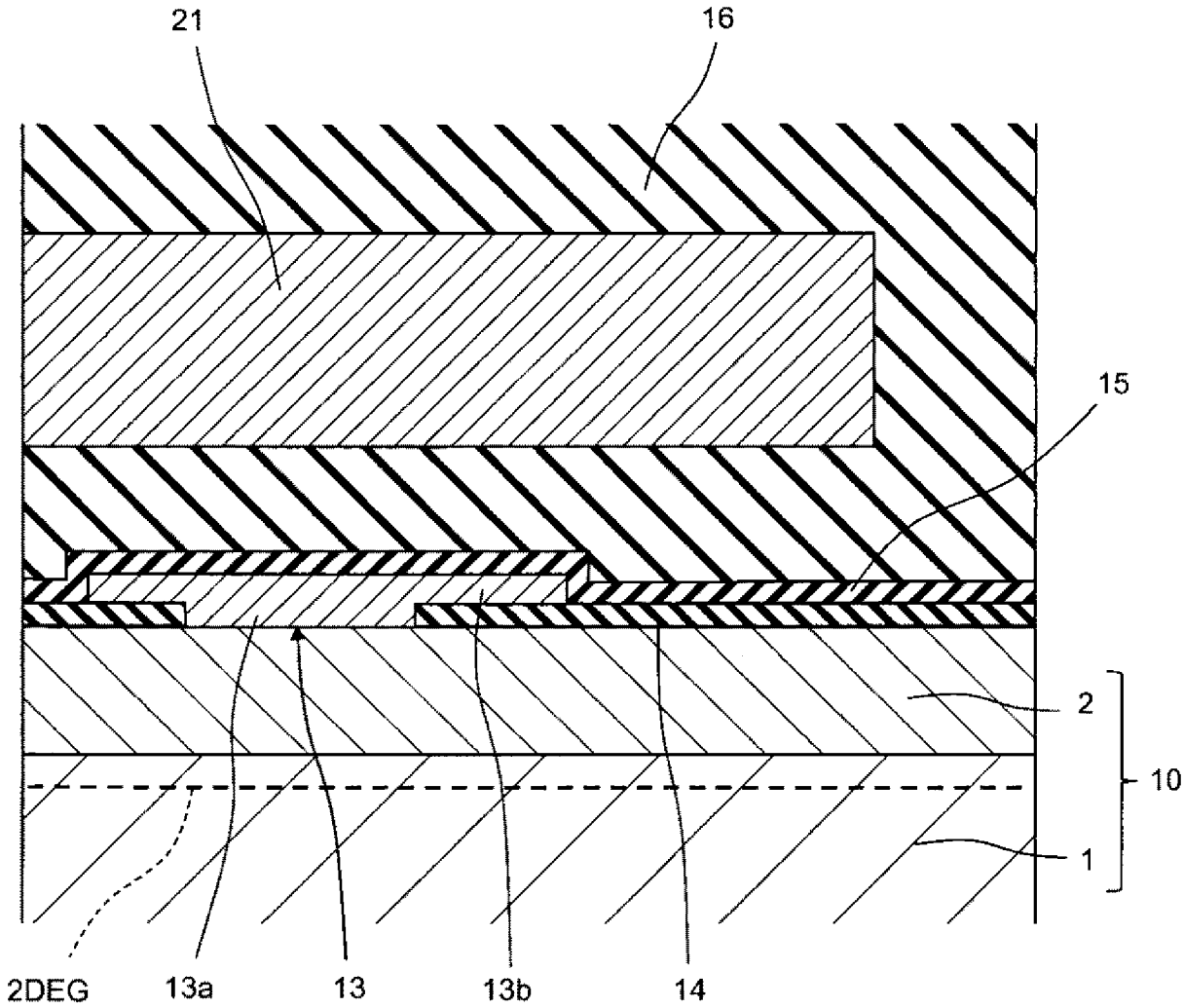
[請求項6] 請求項１から５までのいずれか１つに記載の窒化物半導体装置において、

上記第２の絶縁膜(１５)の膜厚が３０ｎｍ以上であることを特徴とする窒化物半導体装置。

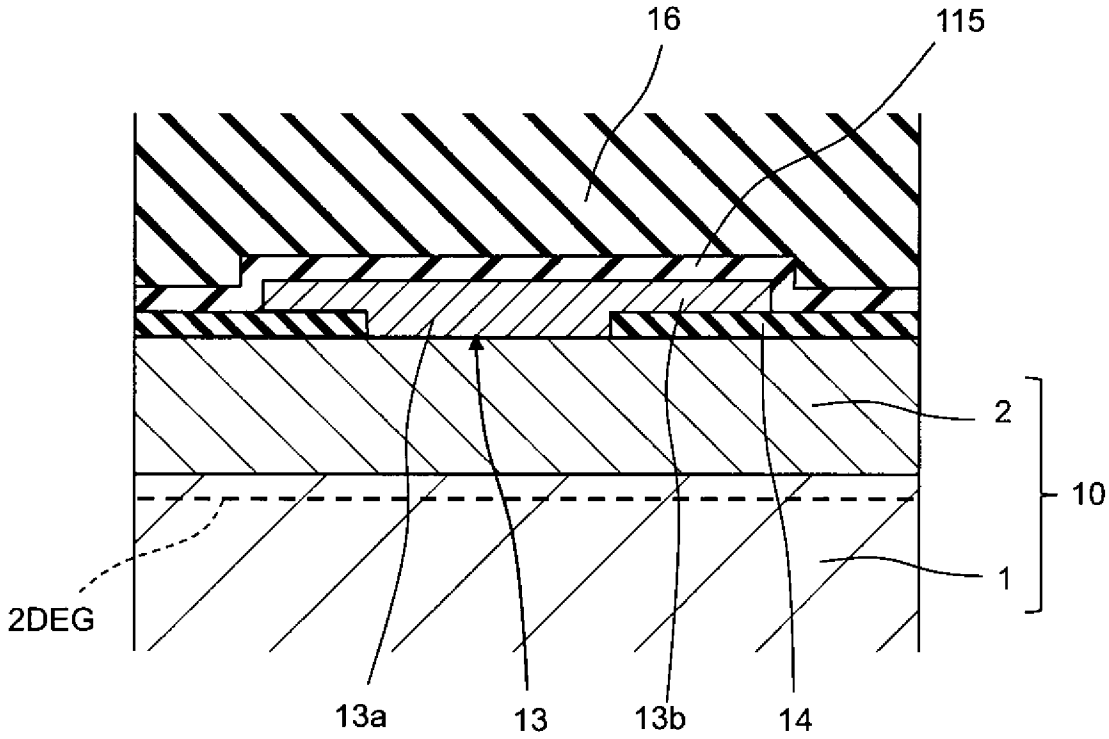
[図1]



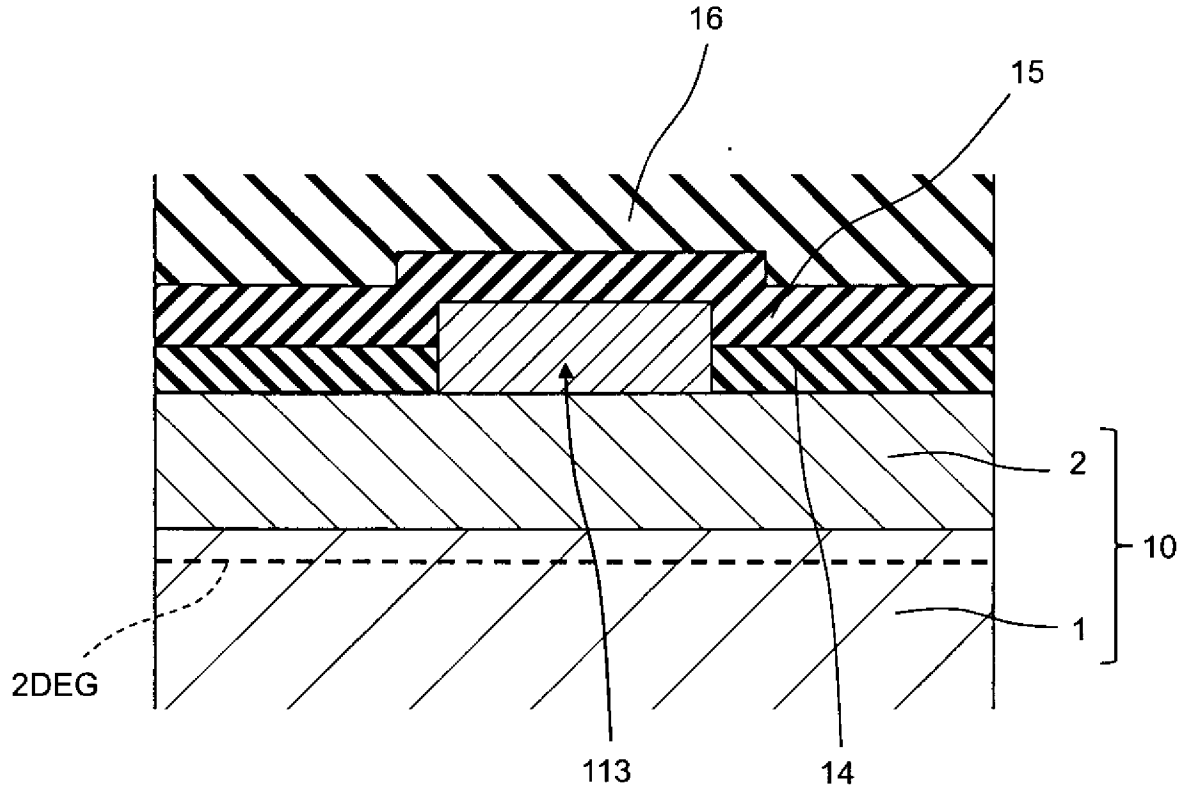
[図2]



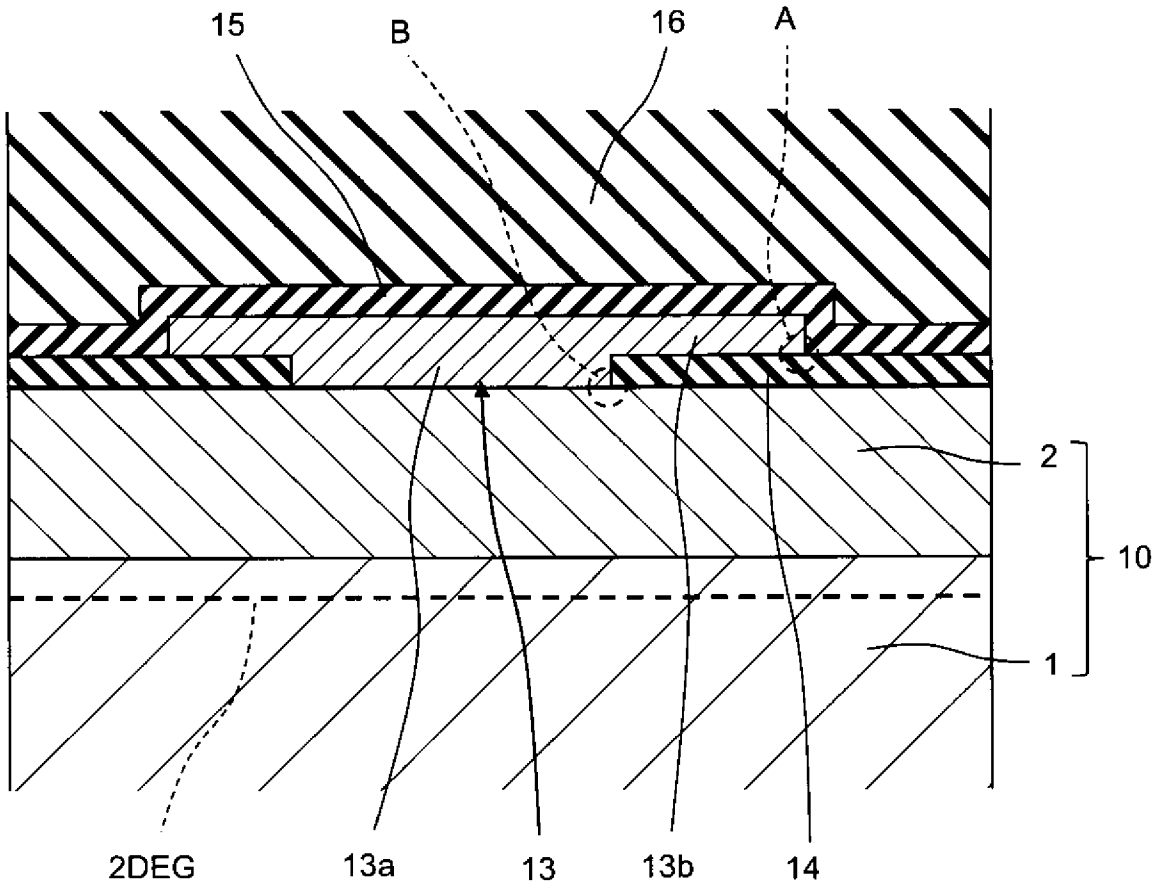
[図3]



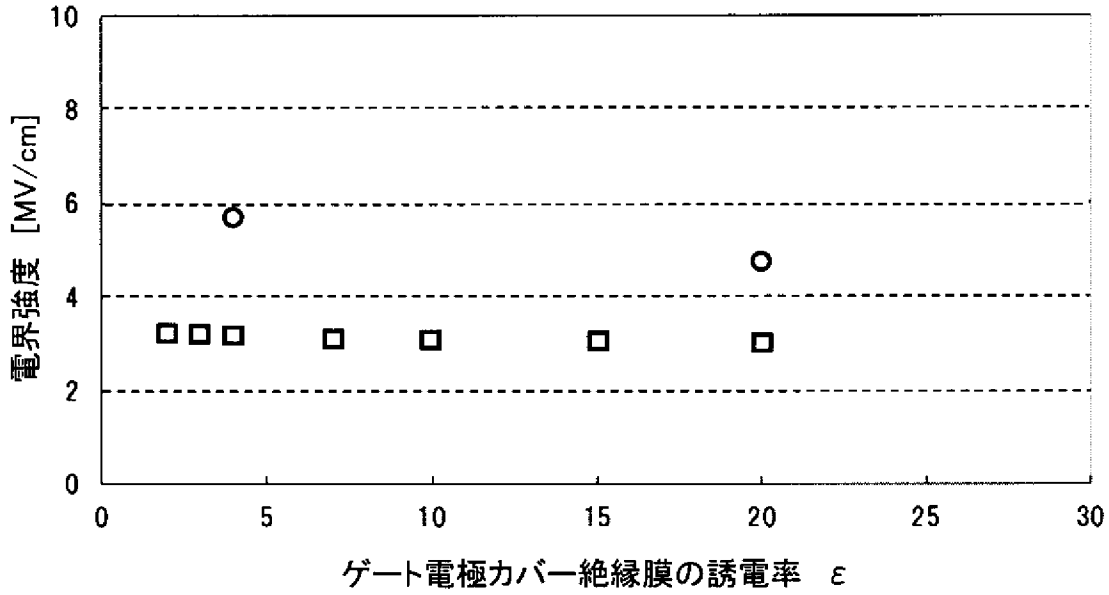
[図4]



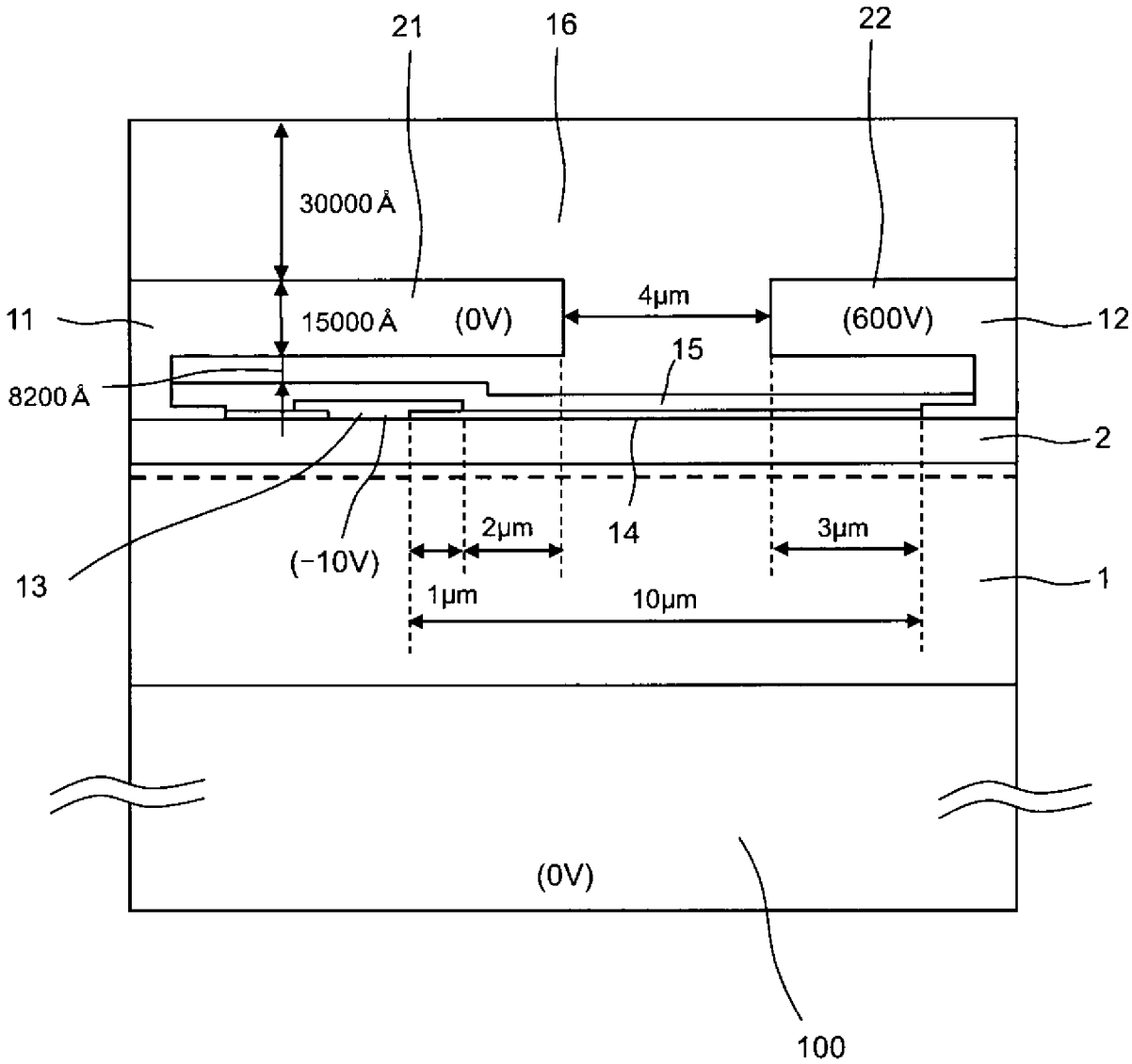
[図5]



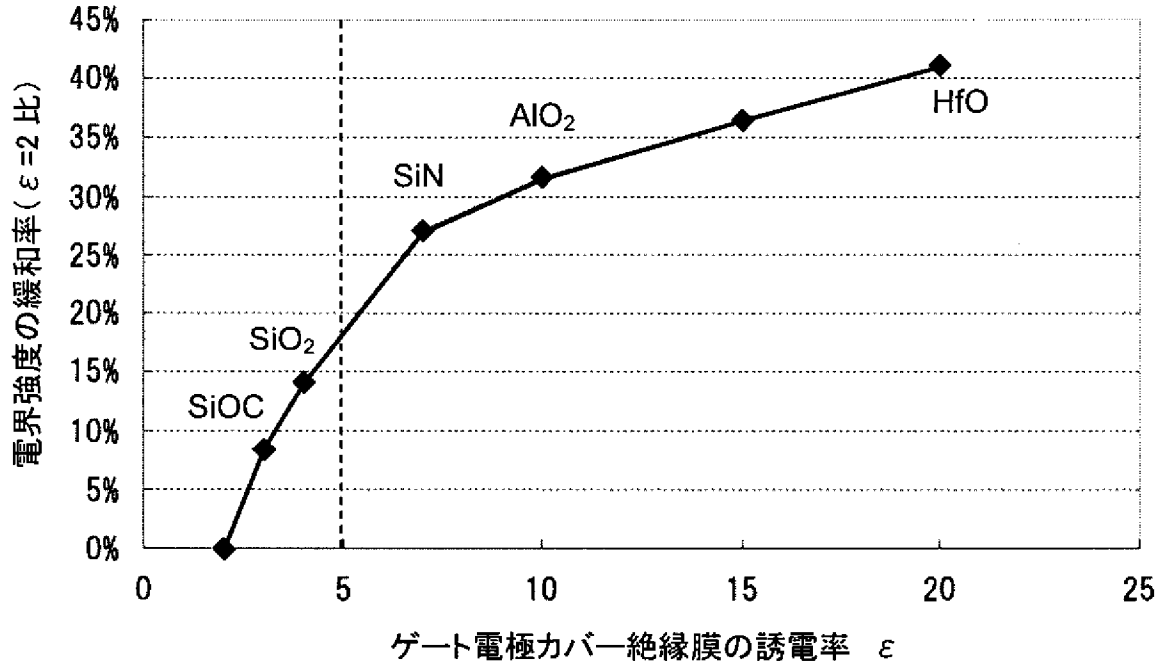
[図6]


10
8
6
4
2
0
電界強度 [MV/cm]
0
5
10
15
20
25
30
ゲート電極カバー絶縁膜の誘電率 ε

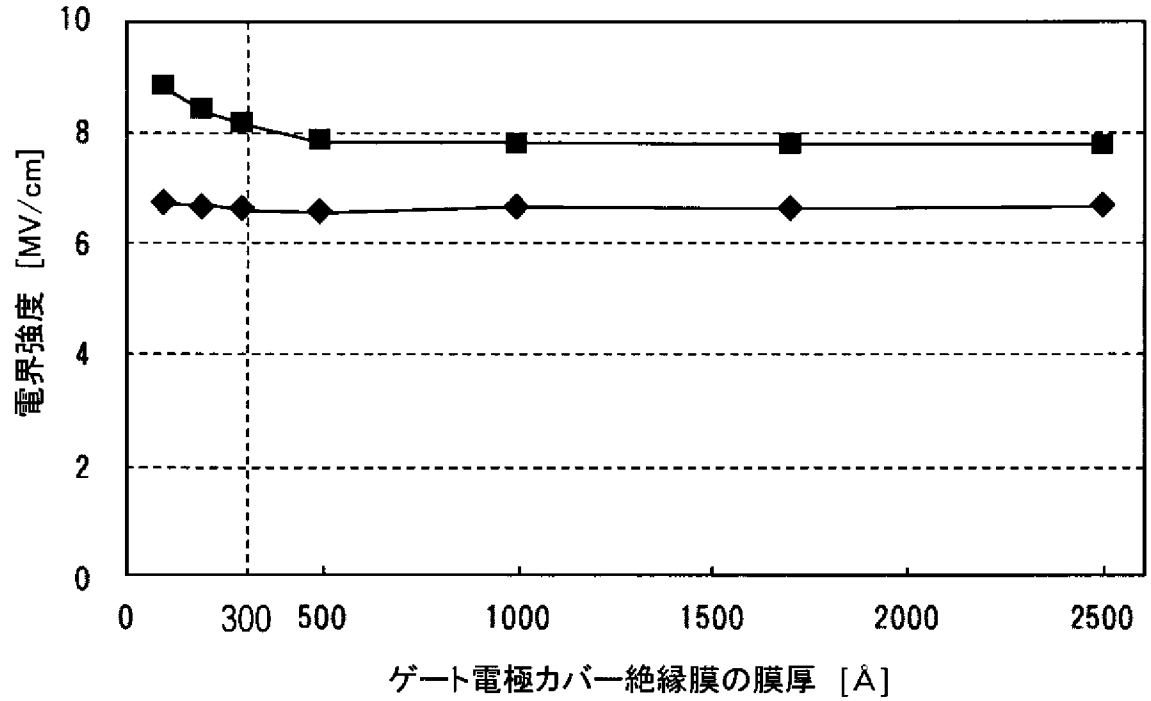
[図7]


21
16
22
30000Å
15000Å
(0V)
4μm
(600V)
11
12
15
8200Å
2
13
(−10V)
2μm
14
3μm
1
1μm
10μm
(0V)
100

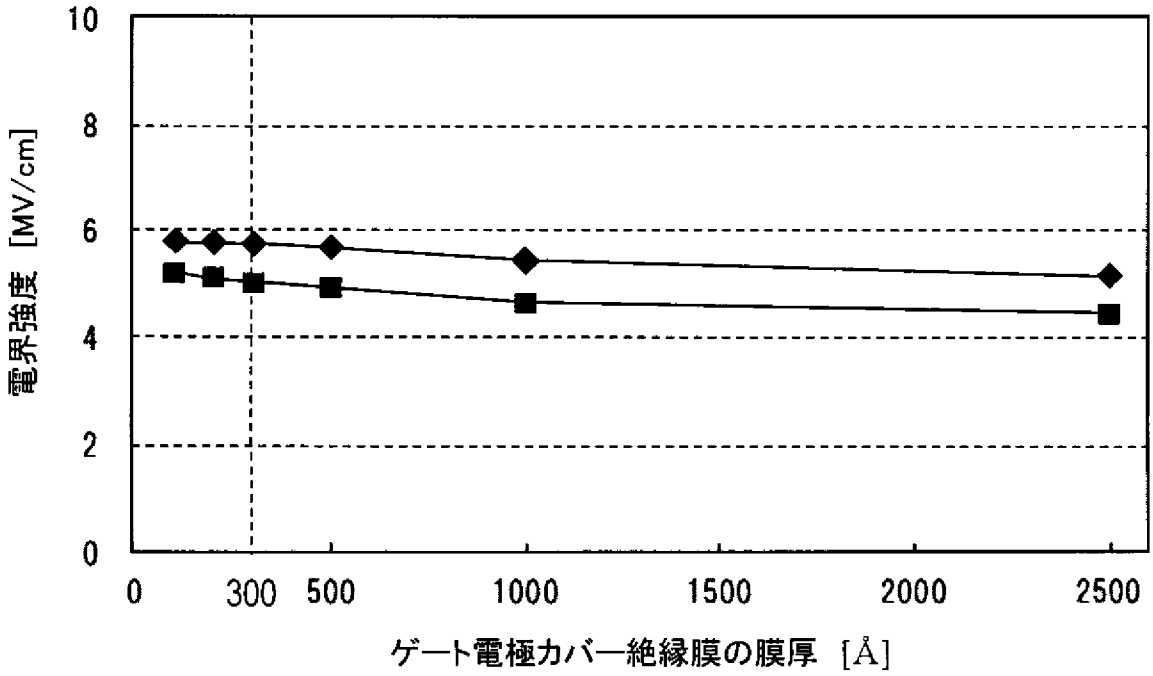
[図8]


45%
40%
35%
30%
25%
20%
15%
10%
5%
0%
電界強度の緩和率（ε=2 比）
SiOC
SiO2
SiN
AlO2
HfO
0
5
10
15
20
25
ゲート電極カバー絶縁膜の誘電率 ε

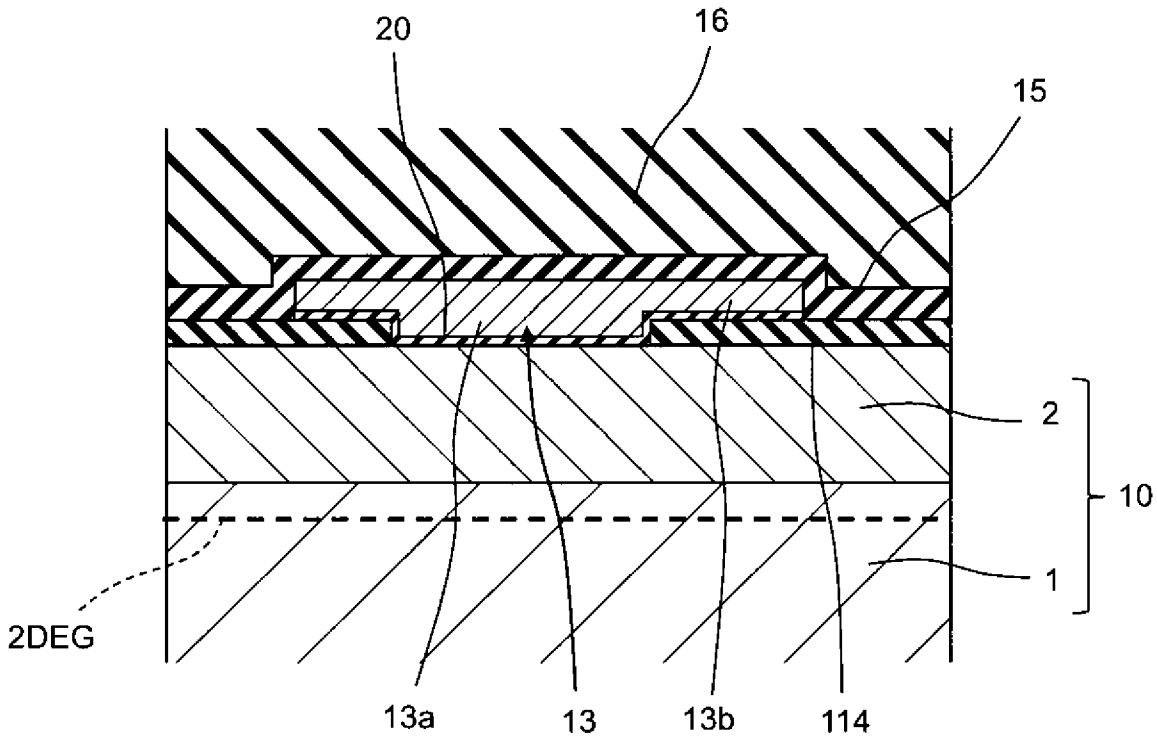
[図9]


10
8
6
4
2
0
電界強度 [MV/cm]
0
300
500
1000
1500
2000
2500
ゲート電極カバー絶縁膜の膜厚 [Å]

[図10]


10
8
6
4
2
0
電界強度 [MV/cm]
0
300
500
1000
1500
2000
2500
ゲート電極カバー絶縁膜の膜厚 [Å]

[図11]


20
16
15
2
10
1
2DEG
13a
13
13b
114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/050992

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/338(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/41*(2006.01)i, *H01L29/778*(2006.01)i, *H01L29/78*(2006.01)i, *H01L29/812*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/338, H01L21/336, H01L29/06, H01L29/41, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2007/091301 A1 (Fujitsu Ltd.), 16 August 2007 (16.08.2007), paragraphs [0151] to [0171]; fig. 19 to 23 & US 2008/0290372 A1 & US 2011/0204422 A1 & US 2011/0207270 A1 & US 2012/0178226 A1 & EP 1983559 A1 & EP 2325871 A2	1-6
Y	JP 2011-204780 A (Toshiba Corp.), 13 October 2011 (13.10.2011), paragraphs [0024] to [0040]; fig. 3 to 4 (Family: none)	1-6
Y	JP 2012-109366 A (Sharp Corp.), 07 June 2012 (07.06.2012), paragraphs [0033], [0069] to [0075]; fig. 7 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 February, 2014 (27.02.14)	11 March, 2014 (11.03.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/050992

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-16780 A (Panasonic Corp.), 22 January 2009 (22.01.2009), paragraphs [0025] to [0041]; fig. 1 & US 2008/0303162 A1	1-6
Y A	JP 2010-10489 A (Fujitsu Ltd.), 14 January 2010 (14.01.2010), paragraphs [0047] to [0063]; fig. 5 to 10 (Family: none)	2,4 1,3,5-6
A	JP 2006-86398 A (Matsushita Electric Industrial Co., Ltd.), 30 March 2006 (30.03.2006), paragraphs [0031] to [0053]; fig. 1 to 4 & US 2006/0060895 A1 & EP 1638147 A2 & CN 1750273 A	1-6
A	WO 2012/111363 A1 (Sharp Corp.), 23 August 2012 (23.08.2012), paragraphs [0040] to [0054]; fig. 2 to 3 (Family: none)	1-6

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０５０９９２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/338(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/41(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/338, H01L21/336, H01L29/06, H01L29/41, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2007/091301 A1（富士通株式会社）2007.08.16, 段落[0151]-[0171]，図 19-23 & US 2008/0290372 A1 & US 2011/0204422 A1 & US 2011/0207270 A1 & US 2012/0178226 A1 & EP 1983559 A1 & EP 2325871 A2	1-6
Y	JP 2011-204780 A（株式会社東芝）2011.10.13, 段落[0024]-[0040]，図 3-4 （ファミリーなし）	1-6

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２７．０２．２０１４	国際調査報告の発送日 １１．０３．２０１４
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　９７３３ 早川　朋一 電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-109366 A（シャープ株式会社）2012.06.07, 段落[0033], [0069]-[0075], 図 7 （ファミリーなし）	1-6
Y	JP 2009-16780 A（パナソニック株式会社）2009.01.22, 段落[0025]-[0041], 図 1 & US 2008/0303162 A1	1-6
Y A	JP 2010-10489 A（富士通株式会社）2010.01.14, 段落[0047]-[0063], 図 5-10 （ファミリーなし）	2, 4 1, 3, 5-6
A	JP 2006-86398 A（松下電器産業株式会社）2006.03.30, 段落[0031]-[0053], 図 1-4 & US 2006/0060895 A1 & EP 1638147 A2 & CN 1750273 A	1-6
A	WO 2012/111363 A1（シャープ株式会社）2012.08.23, 段落[0040]-[0054], 図 2-3 （ファミリーなし）	1-6