

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
23 mai 2019 (23.05.2019)



(10) Numéro de publication internationale
WO 2019/096794 A1

(51) Classification internationale des brevets :
H01L 27/146 (2006.01)

(21) Numéro de la demande internationale :
PCT/EP2018/081093

(22) Date de dépôt international :
13 novembre 2018 (13.11.2018)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
1701175 14 novembre 2017 (14.11.2017) FR

(71) Déposants : THALES [FR/FR] ; TOUR CARPE DIEM,
Place des Corolles, Esplanade Nord, 92400 COURBEVOIE
(FR). COMMISSARIAT A L'ENERGIE ATOMIQUE

ET AUX ENERGIES ALTERNATIVES [—/FR] ; 25 rue
Leblanc -, Bâtiment "Le Ponant D", 75015 PARIS (FR).

(72) Inventeurs : REVERCHON, Jean-Luc ; chez Thales Re-
search & Technology, 1 rue Augustin Fresnel, 91767 Pa-
laiseau Cedex (FR). LE GOFF, Florian ; chez Thales Re-
search & Technology, 1 rue Augustin Fresnel, 91767 Palai-
seau Cedex (FR).

(74) Mandataire : JOUBERT, Cécile ; Immeuble "Visium",
22, avenue Aristide Briand, 94117 ARCUEIL Cedex (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA,
CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR,

(54) Title: IMPROVED HYBRID OPTICAL/ELECTRONIC SYSTEM

(54) Titre : SYSTEME OPTIQUE/ELECTRONIQUE HYBRIDE AMELIORE

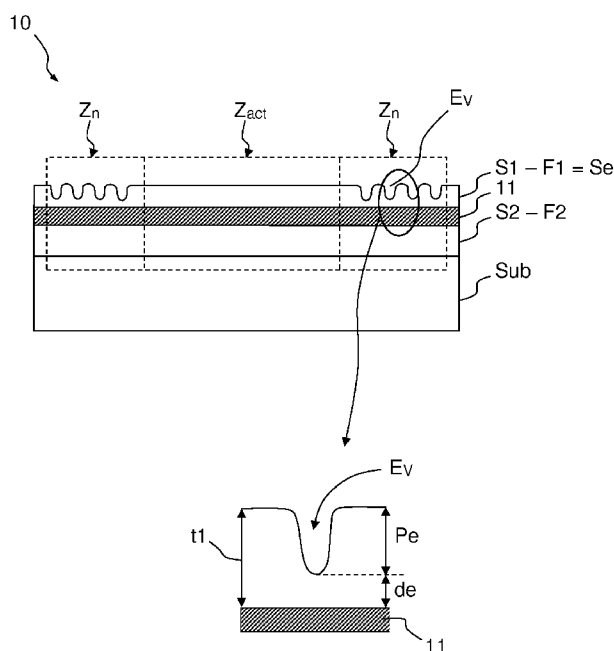


FIG. 8

(57) Abstract: The invention relates to a hybrid optical and/or electronic system (10) comprising: a first planar structure (S1) having a first functionality and made of at least one first material (M1), and a second planar structure (S2) having a second functionality and made of at least one second material (M2) different from the first material, the first and second planar structures being assembled by an assembly layer (11), at least one of the planar structures being disposed on a rigid substrate (Sub), the system comprising at least one active zone (Zact) used for implementing the functionalities, and at least one neutral zone (Zn) not used to implement said functionalities and disposed at the periphery of the active zone, the system also comprising recesses (Ev) made in at least one neutral zone of the planar structure which is not disposed on the rigid substrate and is referred to as hollowed-out planar structure (Se).

[Suite sur la page suivante]



WO 2019/096794 A1

KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) États désignés (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

(57) Abrégé : L'invention concerne un système optique et/ou électronique (10) hybride comprenant : une première structure planaire (S1) présentant une première fonctionnalité réalisée dans au moins un premier matériau (M1) et une deuxième structure (S2) planaire présentant une deuxième fonctionnalité réalisée dans au moins un deuxième matériau (M2) différent du premier matériau, la première et la deuxième structure planaire étant assemblées par une couche d'assemblage (11), au moins une des structures planaires étant disposée sur un substrat rigide (Sub), le système comprenant au moins une zone active (Zact) utilisée pour mettre en œuvre lesdites fonctionnalités, et au moins une zone neutre (Zn) non utilisée pour mettre en œuvre lesdites fonctionnalités et disposée en périphérie de ladite zone active, le système comprenant en outre des évidements (Ev) réalisés dans au moins une zone neutre de la structure planaire qui n'est pas disposée sur le substrat rigide, dénommée structure planaire évidée (Se).

Système optique/électronique hybride amélioré

DOMAINE DE L'INVENTION

L'invention concerne les systèmes hybrides, c'est à dire constitués de deux parties distinctes assemblées par une couche d'assemblage, chaque partie étant réalisée dans un matériau différent. Ces systèmes peuvent être optique, électronique ou optoélectronique en fonction des caractéristiques des parties assemblées. L'invention concerne particulièrement l'amélioration des performances de la couche d'assemblage d'un système hybride.

10

ETAT DE LA TECHNIQUE

Les systèmes hybrides permettent d'associer deux fonctionnalités réalisées dans des matériaux différents. Il s'agit par exemple :

- d'un détecteur, dans lequel la partie sensible est associée à un circuit de lecture permettant de récolter et traiter le signal à détecter,
- d'un afficheur, par exemple de type électroluminescent, dans lequel la partie émettrice est associée avec un circuit de génération de signaux électriques adaptés à l'émission,
- d'un circuit photonique, avec des émetteurs lasers associés à des couches de traitement des faisceaux émis (guidage, multiplexage/démultiplexage, amplification ...), la/les couches de traitement étant déposées sur un substrat silicium (« Photonic on Silicon »),
- d'un circuit électronique avec des transistors rapides ou de puissance associés à un système de contrôle.

Les deux premiers systèmes hybrides peuvent être qualifiés d'optoélectroniques, le troisième peut être purement optique ou optoélectronique, tandis que le quatrième est purement électronique.

30

2

De manière générale, les systèmes hybrides HS sont réalisés tel que décrit figure 1.

Au départ on a une première partie P1 assurant une première fonctionnalité, par exemple la détection ou l'émission, réalisée dans un (ou plusieurs) premier matériau M1 sur un substrat Sub1, et une deuxième partie P2 assurant une deuxième fonctionnalité, par exemple un circuit sur silicium permettant la lecture ou la génération de signaux électriques, réalisée dans un deuxième matériau M2 différent du premier matériau M1 et supportée par un substrat Sub2. Ces deux parties sont réalisées indépendamment. On dispose sur chacune d'elles une couche d'un matériau M3 qui va être utilisé pour effectuer l'assemblage. Ces deux parties sont de structure planaire, et présentent une « grande surface », c'est-à-dire typiquement 1 mm^2 ou plus. Puis les deux parties sont assemblées l'une avec l'autre par un procédé d'assemblage, le matériau M3 permettant de former la couche d'assemblage 11. Cette étape est également dénommée hybridation.

Une technique d'assemblage en plein développement est le collage. Elle constitue un progrès important pour la réalisation d'étapes technologiques dites « above IC », c'est-à-dire d'étapes réalisables directement sur la plaque du circuit formant l'une des parties, typiquement de type CMOS, et de manière collective sur l'ensemble des puces. Cette compatibilité avec les moyens de fabrication CMOS est adaptée à une baisse significative des coûts de production et à la possibilité d'atteindre des motifs technologiques de taille plus fine.

Un exemple de collage est le collage moléculaire. Cette méthode consiste à préparer spécifiquement la surface des deux parties avec comme M3 un dépôt d'un matériau diélectrique, typiquement de la silice, puis à effectuer des planarisations. On les met ensuite en contact mécaniquement, puis on réalise un recuit thermique (de l'ordre de 200°C). La couche finale d'assemblage 11, par exemple du SiO_2 , présente une épaisseur fine, typiquement de quelques dizaines de nm à quelques μm .

On peut également utiliser de l'époxy sur une des parties puis procéder à l'assemblage.

Une fois l'assemblage réalisé, on procède généralement à l'élimination d'un des substrats. Dans certains cas, on enlève également le substrat restant, pour le remplacer par un substrat de destination Subd, moins cher et/ou présentant de meilleures propriétés mécaniques ou autres (faibles pertes diélectriques).

L'étape d'assemblage est une étape à haut risque, et les inventeurs ont mis en évidence certains effets négatifs induits par le collage sur des détecteurs hybrides.

Un but de la présente invention est de remédier aux inconvénients précités en proposant un système hybride présentant une qualité d'assemblage améliorée.

15

DESCRIPTION DE L'INVENTION

La présente invention a pour objet un système optique et/ou électronique hybride comprenant :

- 20 -une première structure planaire présentant une première fonctionnalité réalisée dans au moins un premier matériau et une deuxième structure planaire présentant une deuxième fonctionnalité réalisée dans au moins un deuxième matériau différent du premier matériau,
- la première et la deuxième structure planaire étant assemblées par une
- 25 couche d'assemblage, au moins une des structures planaires étant disposée sur un substrat rigide,
- le système comprenant au moins une zone active utilisée pour mettre en œuvre lesdites fonctionnalités, et au moins une zone neutre non utilisée pour mettre en œuvre lesdites fonctionnalités et disposée en périphérie de ladite
- 30 zone active,
- le système comprenant en outre des évidements réalisés dans au moins une zone neutre de la structure planaire qui n'est pas disposée sur le substrat rigide, dénommée structure planaire évidée.

Préférentiellement une profondeur d'un évidement est telle qu'un fond dudit évidement est disposé à une distance de la couche d'assemblage inférieure à $1\mu\text{m}$.

5 Selon un mode de réalisation les évidements présentent la forme de trous ou de sillons.

Selon un mode de réalisation les évidements sont recouverts d'une couche métallique.

10 Préférentiellement le matériau de la structure planaire évidée présente un coefficient de dilatation thermique supérieur au coefficient de dilatation thermique de l'autre structure planaire.

Selon un mode de réalisation la structure planaire évidée présente une épaisseur inférieure à $20\mu\text{m}$.

Préférentiellement l'assemblage est réalisé par collage moléculaire.

15 Préférentiellement une surface de l'au moins une zone active est supérieure ou égale à 1mm^2 .

Selon une première variante l'invention concerne un système optoélectronique de détection selon l'une des revendications précédentes comprenant une matrice de pixels,

20 dans lequel la première fonctionnalité est une photo-génération pixélisée de porteurs, la première structure comprenant une pluralité de couches dont une couche absorbante en matériau semi-conducteur II-VI ou III-V,

25 dans lequel la deuxième fonctionnalité est une lecture d'un signal électrique généré par un pixel, la deuxième structure comprenant un circuit de lecture comprenant une pluralité de contacts enterrés,

et dans lequel l'au moins une zone active comprend ladite matrice de pixels et l'au moins une zone neutre est disposée en périphérie de ladite matrice de pixels.

30 Préférentiellement la première structure comprend dans au moins une couche une pluralité de zones dopées configurées pour collecter des porteurs photogénérés par la couche absorbante, une zone dopée permettant de définir un pixel du système de détection, dans lequel le signal électrique est généré par un pixel à partir desdits porteurs photogénérés par la couche absorbante, une connexion électrique entre une zone dopée et un
35 contact enterré du circuit de lecture étant réalisée via des trous

d'interconnexion métallisés, et dans lequel la structure planaire évidée est celle qui est traversée par les trous d'interconnexions.

Selon un premier mode de réalisation la deuxième structure est disposée sur le substrat rigide, dans lequel les trous d'interconnexion traversent la première structure et le circuit de lecture jusqu'au contact, dans lequel
5 chaque zone dopée s'étend de manière annulaire autour d'un trou d'interconnexion, la structure planaire évidée étant la première structure planaire.

Préférentiellement une profondeur d'un évidement est telle que ledit
10 évidement n'atteint pas le circuit de lecture.

Préférentiellement les évidements sont réalisés dans la zone neutre disposée entre un contact commun et des plots de contact dudit système.

Selon un mode de réalisation une première pluralité d'évidements sont interconnectés entre eux de manière à former un plot de test et une
15 deuxième pluralité d'évidements sont reliés entre eux et audit contact commun de la matrice de pixels.

Selon un deuxième mode de réalisation la première structure planaire est disposée sur le substrat rigide, ledit substrat rigide étant transparent, chaque
20 zone dopée (DZ) est réalisée dans une couche de contact (CL) disposée sous la couche absorbante (AL), la deuxième structure planaire (S2) est disposée sur un substrat aminci (Sub'), les trous d'interconnexion (IH) traversent le substrat aminci (Sub') et la deuxième structure planaire (S2), la structure planaire évidée étant la deuxième structure planaire, les
25 évidements étant réalisés dans le substrat aminci Sub' et la deuxième structure planaire S2.

Selon une deuxième variante l'invention concerne un système optoélectronique d'affichage comprenant une matrice de pixels
30 électroluminescents, dans lequel la première fonctionnalité est une émission pixélisée, la première structure planaire comprenant une pluralité de couches dont une couche électroluminescente, dans lequel la deuxième fonctionnalité est une génération de signaux électriques adaptés pour réaliser l'émission électroluminescente, la deuxième structure planaire comprenant un circuit
35 d'adressage des pixels déposé sur un substrat en silicium, et dans lequel l'au

moins une zone active comprend ladite matrice de pixels et l'au moins une zone neutre est disposée en périphérie de ladite matrice de pixels, la structure évidée correspondant à la première structure planaire.

- 5 Selon une troisième variante l'invention concerne un système électronique dans lequel la première structure planaire comprend une pluralité de transistors et la deuxième structure planaire comprend des circuits associés auxdits transistors, et dans lequel l'au moins une zone active comprend lesdits transistors et l'au moins une zone neutre est disposée en périphérie
10 desdits transistors, la structure évidée correspondant à la première structure planaire.

Préférentiellement, pour la deuxième et troisième variante le système comprend en outre des via d'interconnexion CV dans la zone active.

15

Selon un autre aspect l'invention concerne un procédé de fabrication d'un système hybride optique et/ou électronique hybride, le procédé comprenant les étapes consistant à :

- 20 -Assembler par une couche d'assemblage, une première structure planaire présentant une première fonctionnalité réalisée dans au moins un premier matériau, la première structure étant déposée sur un premier substrat, et une deuxième structure planaire présentant une deuxième fonctionnalité réalisée dans au moins un deuxième matériau différent du premier matériau, la
25 deuxième structure étant déposée sur un deuxième substrat,
les première et deuxième structures assemblées comprenant au moins une zone active utilisée pour mettre en œuvre lesdites fonctionnalités, et au moins une zone neutre non utilisée pour mettre en œuvre lesdites fonctionnalités,
30 -Détacher un des substrats de manière à ne conserver qu'un seul substrat rigide,
-Réaliser des évidements dans au moins une zone neutre de la structure planaire qui n'est pas disposée sur le substrat rigide, dénommée structure planaire évidée (Se).

35

D'autres caractéristiques, buts et avantages de la présente invention apparaîtront à la lecture de la description détaillée qui va suivre et en regard des dessins annexés donnés à titre d'exemples non limitatifs et sur lesquels :

5

La figure 1 déjà citée illustre un procédé de réalisation d'un système hybride selon l'état de la technique.

La figure 2 illustre un premier type de détecteur optique hybride présentant une matrice de photodiodes de type « loop hole ».

10 La figure 3 illustre le principe du procédé pour réaliser un détecteur de type « loop hole ». Les figures 3a à 3e schématisent les différentes étapes de ce procédé.

La figure 4 illustre un deuxième type de détecteur optique hybride, particulièrement adapté pour l'infra rouge, dénommé TSV.

15 La figure 5 illustre un système hybride « grande surface », présentant un ensemble de pixels Pix agencés selon une matrice.

La figure 6 illustre le décollement de la couche reportée de matériau III-V du circuit de lecture déposé sur un substrat.

20 La figure 7 est une photographie de la zone de collage d'un système hybride de type détecteur « loop hole » tel qu'illustré figure 2 après l'étape de diffusion du zinc à haute température.

La figure 8 illustre un système hybride selon l'invention en coupe

La figure 9 illustre un système hybride selon l'invention en vue de dessus du côté présentant les trous.

25 La figure 10 illustre un système hybride selon l'invention présentant des évidements en forme de sillon.

La figure 11 illustre une première variante d'un système optoélectronique de détection selon l'invention comprenant une matrice de pixels.

30 La figure 12 illustre une deuxième variante d'un système optoélectronique de détection selon l'invention comprenant une matrice de pixels.

La figure 13 illustre un système hybride de détection selon l'invention de type « loop hole ».

La figure 14 illustre un mode du système de détection de type « loop hole » selon l'invention.

La figure 15 illustre un mode particulier du système de détection de type « loop hole » selon l'invention.

La figure 16 illustre un système hybride de détection de type TSV selon la deuxième variante de l'invention.

5 La figure 17 illustre un système optoélectronique hybride d'affichage comprenant une matrice de pixels électroluminescents selon l'invention.

La figure 18 illustre un système électronique hybride de transistors de puissance et/ou rapides selon l'invention.

10 La figure 19 illustre un système optique ou optoélectronique comprenant des émetteurs laser.

La figure 20 illustre un procédé de fabrication d'un système hybride optique et/ou électronique hybride selon l'invention.

La figure 21 illustre une variante du procédé illustré figure 20

15 La figure 22 illustre une variante du procédé illustré figure 21 appliquée aux systèmes de détection.

DESCRIPTION DETAILLEE DE L'INVENTION

20 Les inventeurs ont particulièrement étudié les détecteurs hybrides utilisant des via d'interconnexions pour mettre en relation les éléments de détection et le circuit de lecture. Cette étude a permis de mettre en évidence l'apparition de « bulles » et, suite à l'analyse de ce phénomène, de proposer une solution permettant de les supprimer.

25

Deux types de détecteurs hybrides à via d'interconnexions basés sur une technologie III-V sont décrits ci-dessous. Ils opèrent dans la gamme infrarouge et sont constitués par assemblage d'une matrice comprenant une pluralité de pixels élémentaires à base de photodiodes transformant un flux
30 de photons incidents en porteurs photogénérés, et d'un circuit de lecture couramment dénommé ROIC pour « Read Out Integrated Circuit » en anglais pour collecter le signal électrique issu des pixels du détecteur.

Un premier type de détecteur comprend des trous d'interconnexion
35 dénommés en anglais « via-hole » et des photodiodes de symétrie

cylindrique autour de ces trous d'interconnexion. Cette photodiode est communément appelée « loop-hole ». On réalise ainsi un imageur infrarouge en couplant interconnexion 3D (circuit ROIC) et photodiode cylindrique.

Un détecteur optique hybride 20 présentant une matrice de photodiodes de type « loop hole » adaptées pour une structure absorbante réalisée avec des matériaux III-V est illustré figure 2, la figure 2a correspondant à une coupe transversale et la figure 2b à une vue de dessus.

La matrice de photodétecteurs comprend une structure absorbante Sabs comprenant au moins une couche absorbante AL en matériau III-V ou II-VI, apte à générer des porteurs PC à partir d'un flux de photons incidents F. La structure Sabs est recouverte d'une couche de passivation Pass. Cette structure est assemblée au circuit ROIC par une couche d'assemblage 11, selon le procédé décrit ci-dessus.

Les contacts du circuit de lecture ROIC destinés à recevoir le signal électrique généré par chaque pixel Pix du détecteur sont des contacts TLC enterrés dénommés « Top Level Contacts » en anglais. Ils sont réalisés en fin de procédé de fabrication des circuits intégrés, et sont localisés proches de la surface du circuit.

Dans une matrice de type « loop hole » une diode cylindrique PhD est réalisée autour d'un trou d'interconnexion IH (pour « Interconnection Hole » en anglais), qui traverse la structure absorbante, la couche d'assemblage 11 et le circuit ROIC jusqu'au contact TLC. Les parois du trou IH sont recouvertes d'une couche de métallisation ML, réalisant la liaison électrique entre la diode PhD et le contact TLC.

La diode PhD est réalisée par dopage localisé d'une zone DZ proche du trou IH d'un type opposé au dopage initial de la couche absorbante AL. La photodiode de type p-n réalise la séparation et le transport des porteurs photo-générés vers la couche de métallisation ML et collecte les porteurs minoritaires (les trous lorsque la zone DZ est dopée p). Chaque zone dopée DZ qui s'étend de manière annulaire autour d'un trou d'interconnexion IH permet de définir un pixel Pix du détecteur, et les trous IH métallisés réalisent une connexion électrique entre DZ et le contact TLC.

Le document WO2013079603 décrit une méthode de fabrication d'un détecteur 20 à base de diodes « loop hole » tel que décrit ci-dessus, avec

une couche absorbante AL en matériau III-V. Un exemple est une couche absorbante en InGaAs dopée n disposée entre deux couches d'encapsulation en InP. Le détecteur 20 du document WO2013079603 présente une configuration d'illumination spécifique à travers le substrat, et
5 un double imageur Visible/IR.

Le principe du procédé pour réaliser un détecteur de type « loop hole » est illustré figure 3.

Dans une première étape illustrée figure 3a une structure semi-conductrice
10 Sabs comprenant la couche absorbante AL entre deux couches barrières est assemblée par collage, via une couche d'assemblage 11, à un circuit de lecture ROIC présentant des contacts enterrés TLC. Puis on dépose un diélectrique de masquage 12 sur la structure Sabs, et on effectue une gravure d'une partie de la couche diélectrique de masquage en regard des
15 contacts TLC tel que représenté figure 3b.

Les trous d'interconnexion IH sont réalisés par gravure verticale jusqu'aux contacts TLC, au travers de la structure absorbante et de la couche d'assemblage tel qu'illustré figure 3c. La gravure est réalisée par voie sèche ou par voie humide.

20 Lors d'une étape illustrée figure 3d, on réalise une zone dopée DZ, par exemple de type p, par diffusion ou implantation ionique d'un dopant Dop via chaque trou IH, de manière à former une photodiode PhD comprenant une jonction p-n cylindrique. La diffusion s'opère à partir de la surface des parois du trou IH, et en parallèle au travers de toutes les couches composant la
25 structure absorbante.

Dans une étape finale illustrée figure 3e on procède au dépôt d'une couche métallique ML sur les parois des trous IH de manière à mettre en contact électrique la zone dopée DZ et le contact TLC.

30 Dans un deuxième type de détecteur IR, illustré figure 4, les trous d'interconnexion IH ne sont pas réalisés de manière à traverser la structure absorbante comme dans la structure « loop hole » mais traversent le circuit de lecture ROIC de type CMOS. Nous nommerons cette variante TSV pour « Through Silicon Via » en anglais. Ce type de détecteur est décrit dans

la demande de brevet FR1601066 non encore publiée au moment de la rédaction de la présente demande de brevet.

La structure absorbante Sabs, déposée sur un substrat Sub, comprend dans ce cas : une couche active absorbante AL, une couche d'interface IL
5 déposée entre le substrat et la couche active, dont le rôle est d'assurer un bon contact électrique commun tout en limitant la génération de courant d'obscurité ; une couche barrière BL déposée sur la couche absorbante et une couche de contact CL, déposée sur la couche barrière, comprenant les zones dopées DZ.

10 L'épaisseur globale de la structure le long de la direction d'empilement est comprise entre 0.5 et 10 μm .

On crée la diode par l'empilement des couches verticales, notamment en utilisant une barrière, sans avoir besoin du dopage pour fabriquer la diode (contrairement à la technologie Loop hole) mais seulement pour définir le
15 contact. De manière classique le gap de la couche active est le plus souvent inférieur au gap du substrat et inférieur au gap de la couche d'interface.

Pour la fabrication d'un tel détecteur, après l'assemblage entre la structure absorbante et le circuit de lecture ROIC, les trous d'interconnexion IH sont
20 gravés au travers du circuit de lecture. Dans ce cas le substrat initial en silicium sur lequel était réalisé le circuit ROIC a été aminci (substrat aminci non représenté).

Puis les zones dopées DZ sont réalisées par dopage de la couche de contact CL au travers des via IH, par exemple par diffusion ou implantation. Enfin
25 une étape de finalisation de la connectique consiste à réaliser les contacts pour chaque pixel en remplissant les trous IH d'un matériau métallique et en raccordant ce métal avec les contacts TLC.

Préférentiellement la couche absorbante AL de la structure absorbante (pour
30 les deux variantes « loop hole » et « TSV ») est constituée d'un alliage III-V, mais peut également être un matériau II-VI tel le HgCdTe.

Des exemples de matériau constituant la couche AL sont : InGaAs / InP ; InAsSb ; super réseau InAsSb/InAs ; InSb ; super réseau GaSb/InAs ; GaN ; AlGaIn, AlInN, AlGaAsSb ; multi-puits quantiques GaAs/AlGaAs ou
35 InGaAs/AlInAs. Le matériau est choisi en fonction de la plage de longueur

d'onde de sensibilité souhaitée. Les matériaux des couches adjacentes sont adaptés au matériau de la couche AL.

Chaque couche composant la structure absorbante Sabs est, de manière classique, en accord de maille ou en quasi accord de maille avec la ou les
5 couches adjacentes.

La structure absorbante est réalisée par épitaxie des couches sur un substrat initial Sub.

En variante le substrat Sub de la figure 4 n'est pas le substrat initial. Celui-ci
10 a été retiré et remplacé par un substrat plus rigide présentant une tenue mécanique améliorée, par exemple du silicium ou tout autre matériau rigide utilisé dans les procédés technologiques de fabrication industrielle de circuits intégrés. Cette étape de remplacement est effectuée une fois la structure absorbante collée au circuit de lecture (voir figure 1).

15

On remarquera par ailleurs que les systèmes hybride « grande surface », par exemple les détecteurs ou les afficheurs, présentent un ensemble de pixels Pix souvent agencés selon une matrice, comme illustré figure 5. Le système hybride HS présente alors une zone centrale active Zact, c'est-à-dire
20 fonctionnelle, et sur la périphérie une zone non fonctionnelle Zn.

La réalisation d'une matrice de photodiode « loop-hole » pour un imageur demande la réalisation sur une grande surface ($>1 \text{ mm}^2$) d'un grand nombre de pixels homogènes et leurs connexions au circuit de lecture. La réalisation
25 de ces pixels se fait par gravure de via de connexion de diamètre d_1 , puis par la diffusion à environ 400°C de zinc afin de doper localement chaque via. En outre d'autres étapes du procédé (pour le « loop hole » ou le TSV) sont susceptibles d'être réalisées à des températures de cet ordre de grandeur : dépôt d'un diélectrique, recuit d'activation, recuit de contact...

30

Or les inventeurs ont remarqué que lors d'une montée en température supérieure à 300°C de la structure hybride collée, la couche reportée de matériau III-V (matériau M1) peut se détacher du circuit de lecture (matériau M2 : silicium) déposé sur un substrat Sub (également en silicium s'il n'y a
35 pas eu remplacement), tel qu'illustré figure 6. Ce décollement peut aller

jusqu'à l'éclatement local de M1, laissant des zones dépourvues de matériau M1. De manière générale on emploiera le terme de « bulle » pour qualifier les zones perturbées. La présence de ces bulles est bien entendu très préjudiciable au bon fonctionnement du système hybride et à la suite du
5 procédé de fabrication.

La figure 7 illustre une photographie de la zone de collage d'un système hybride de type détecteur « loop hole » tel qu'illustré figure 2 après l'étape de diffusion du zinc à haute température. Le détecteur est constitué de :

10 Sub et ROIC matériau M2 : Si

Matériau de collage M3 : SiO_2

Structure absorbante : InP/ InGaAs (AL) / InP, soit un matériau M1 InP et un matériau M1' InGaAs, tous deux étant des matériaux III-V.

Couche de passivation : SiN

15 Les bulles 70 blanches correspondent à des zones qui ont perdu le matériau M1, et la bulle 71 correspond à une zone avec un matériau M1 décollé et sous contrainte. Ces bulles ont typiquement un diamètre compris entre 10 et 100 μm .

20 Les inventeurs ont par ailleurs remarqué que ces bulles apparaissent principalement dans les zones dépourvues de via d'interconnexion, c'est-à-dire de pixels, qui sont donc des zones non fonctionnelles, dénommées zones neutres, situées à la périphérie du détecteur (voir figure 5). Les zones avec des via en sont totalement exemptes.

25 Ces zones neutres sont des zones sans structuration, sans motif, c'est-à-dire sans couches spatialement délimitées. Cela ne signifie pas que ces zones sont inutiles pour le circuit de lecture, seulement ces surfaces ne possèdent pas de motif « top level » pour la connexion à la structure absorbante ou aux connexions finales du composants. Il existe des structures/composants
30 électroniques à des niveaux plus profonds. Et on constate que des bulles apparaissent aux niveaux de toutes ces surfaces, dégradant fortement la qualité des étapes de photolithographie, la matrice et finalement ses performances.

35 Plusieurs hypothèses pourraient expliquer l'origine de ces bulles.

Une première hypothèse est que ce phénomène est dû à un dégazage (dihydrogène, eau ...) de la silice de collage ou de circuit. Dans les zones non structurées, le gaz s'accumule pour former des bulles, rompant alors le collage entre le circuit et l'empilement III-V. Par contre dans les zones structurées, les via feraient office de cheminés d'évacuation de ce gaz, limitant fortement la formation de bulle.

Une seconde hypothèse à ce phénomène serait que du fait de la forte différence de dilatation thermique entre le silicium et les matériaux III-V ($2,6 \cdot 10^{-6} \text{ }^{\circ}\text{C}^{-1}$ pour le silicium et $4,6 \cdot 10^{-6} \text{ }^{\circ}\text{C}^{-1}$ pour l'InP), les fortes montées en température augmenteraient les contraintes sur l'interface de collage et ainsi rompraient les liaisons, formant les bulles. Les zones avec vias, permettraient de diminuer ces contraintes en donnant du volume disponible et ainsi empêcher la formation de via.

Bien entendu ces deux hypothèses peuvent chacune contribuer au phénomène.

En se basant sur ces études et hypothèses, il est proposé un système hybride selon l'invention qui possède des « trous » dans les zones qui en sont normalement dépourvues. Ce concept est applicable à tout système hybride « grande surface », y compris ceux pour lesquels la zone fonctionnelle ne présente pas de via. Dans tous les cas la présence de trous permet de réduire l'apparition de ces bulles.

Un système hybride 10 selon l'invention est illustré en coupe figure 8, et en vue de dessus figure 9, du côté présentant les trous de profondeur P_e . Le système hybride 10 selon l'invention est optique et/ou électronique comme expliqué plus haut.

Il comprend : une première structure planaire S1 présentant une première fonctionnalité réalisée dans au moins un premier matériau M1 et une deuxième structure S2 planaire présentant une deuxième fonctionnalité réalisée dans au moins un deuxième matériau M2 différent du premier matériau. Par exemple pour une fonctionnalité de type détecteur, la structure correspondante peut être constituée d'une pluralité de couches de matériaux différents mais en accord de maille, tel InP/InGaAs/InP. On a donc un matériau M1 en InP et un matériau M'1 en InGaAs. Pour une fonctionnalité

de type circuit, la variante la plus commune est un circuit réalisé dans du silicium

La première et la deuxième structure planaire sont assemblées par une couche d'assemblage 11, au moins une des structures planaires étant
5 disposée sur un substrat rigide Sub. Lorsque le système comprend une fonctionnalité circuit (génération / collecte/traitement d'un signal électrique) le substrat Sub est alors également du silicium (s'il n'a pas été remplacé).

En outre comme vu plus haut, le système hybride 10 comprend au moins une zone active Zact utilisée pour mettre en œuvre les fonctionnalités, et au
10 moins une zone neutre Zn non utilisée pour mettre en œuvre ces fonctionnalités et disposée en périphérie de ladite zone active.

Le système hybride est préférentiellement « grande surface », c'est-à-dire avec une surface de la zone utile centrale d'au moins 1 mm².

15

Enfin le système comprend en outre des évidements Ev réalisés dans au moins une zone neutre Zn de la structure planaire qui n'est pas disposée sur le substrat rigide, dénommée structure planaire évidée Se.

Les évidements sont disposés dans des zones non fonctionnelles et en
20 périphérie, et donc ne perturbent pas le fonctionnement du système. Il s'agit de simples « trous » qui n'ont aucune fonctionnalité électrique. Leur fonction est de permettre le dégazage et/ou la relaxation des contraintes thermiques afin de réduire voir supprimer les bulles précédemment décrites.

On utilise le terme « évidement » car ceux-ci peuvent prendre toute forme
25 adaptée. Par exemple, ils peuvent prendre la forme de trous tel qu'illustré figure 9, selon diverses variantes telles que cylindrique, de base circulaire, carré, triangulaire, pentagonale ... ou conique, ou de sillons tel qu'illustré figure 10. L'important est de réaliser des cavités dans une des structures permettant l'évacuation du dihydrogène et/ou le relâchement des contraintes
30 mécaniques dues au différentiel de dilatation entre M1 et M2.

Pour en faciliter la fabrication les évidements sont préférentiellement réalisés dans la structure Se la moins épaisse, c'est-à-dire celle qui n'est pas disposée sur le substrat rigide Sub qui supporte le système. Préférentiellement la structure planaire évidée Se présente une épaisseur
35 inférieure à 20 µm.

La profondeur P_e des évidements est fonction de l'épaisseur de la structure Se , et cette épaisseur peut varier entre 1 μm et 20 μm . Préférentiellement, la profondeur P_e des évidements Ev est telle qu'un fond dudit évidement est disposé à une distance « de » de la couche d'assemblage inférieure à 1 μm .

- 5 Les inventeurs ont montré qu'il n'est pas nécessaire pour obtenir la suppression des bulles que l'évidement atteigne la couche d'assemblage 11, il suffit de s'en approcher suffisamment pour obtenir l'effet souhaité. Cela permet de réaliser des évidements moins profonds qui ne risquent pas d'endommager la structure du dessous, tel un composant du circuit.

10

Lorsque les évidements sont réalisés dans des détecteurs utilisant des via d'interconnexion IH, ils peuvent être réalisés lors de l'étape de gravure de ces via. Ils subiront ensuite toutes les autres étapes du procédé, et donc dans cette variante les évidements sont métallisés, c'est-à-dire recouverts

15 d'une couche métallique, comme les IH.

- Selon un mode de réalisation, pour obtenir un bon relâchement des contraintes thermiques, le matériau de la structure planaire évidée Se présente un coefficient de dilatation thermique supérieur au coefficient de
- 20 dilatation thermique de l'autre structure planaire. Pour un détecteur « loop hole » InP/GaInAs/InP sur ROIC Silicium, avec les trous Ev du côté des via IH du détecteur cette condition est réalisée ($2,6 \cdot 10^{-6} \text{ }^\circ\text{C}^{-1}$ pour le silicium et $4,6 \cdot 10^{-6} \text{ }^\circ\text{C}^{-1}$ pour l'InP).

- 25 Préférentiellement l'assemblage est réalisé par collage moléculaire. La couche d'assemblage comprend alors préférentiellement de la silice.

La figure 11 illustre une première variante d'un système optoélectronique de détection 10 selon l'invention comprenant une matrice de pixels Matd.

- 30 La première fonctionnalité est une photo-génération pixélisée de porteurs, la première structure $S1$ comprenant une pluralité de couches dont une couche absorbante AL en matériau semi-conducteur II-VI ou III-V, et dans lequel la deuxième fonctionnalité est une lecture d'un signal généré par un pixel, la deuxième structure $S2$ comprenant un circuit de lecture ROIC qui comprend
- 35 des contacts TLC enterrés.

Une zone active Zact comprend la matrice de pixels Matd et une zone neutre Zn est disposée en périphérie de la matrice de pixels.

Les évidements sont réalisés dans la première structure, et le substrat Sub est le substrat du circuit ROIC, typiquement en silicium.

5

La figure 12 illustre une deuxième variante d'un système optoélectronique de détection 10 selon l'invention comprenant une matrice de pixels Matd.

Le substrat rigide Sub est ici le substrat des couches de détection, soit le substrat initial en InP soit un substrat de remplacement, tel que le silicium.

10 Les évidements sont réalisés dans la deuxième structure ROIC, et les évidements traversent le substrat en silicium aminci Sub' du circuit ROIC et au moins une partie du circuit lui-même.

Selon un mode de réalisation, applicable aux deux variantes ci-dessus, la première structure S1 du système hybride optoélectronique de détection
15 comprend dans au moins une couche une pluralité de zones dopées DZ configurées pour collecter des porteurs photogénérés par la couche absorbante, une zone dopée permettant de définir un pixel Pix du système de détection.

20 Le signal électrique est alors généré par un pixel à partir des porteurs photogénérés par la couche absorbante AL, et la connexion électrique entre une zone dopée DZ et un contact TLC enterré du circuit de lecture ROIC est réalisée via des trous d'interconnexion IH métallisés.

La structure planaire évidée Se est alors préférentiellement celle qui est
25 traversée par les trous d'interconnexions IH.

Un système hybride de détection 10 de type « loop hole » selon la première variante et selon le mode de réalisation ci-dessus est illustré figure 13.

La deuxième structure S2 est disposée sur le substrat rigide Sub, les trous
30 d'interconnexion IH traversent la première structure S1, la couche d'assemblage et le circuit de lecture ROIC jusqu'au contact TLC. Chaque zone dopée DZ s'étend de manière annulaire autour d'un trou d'interconnexion IH, et la structure planaire évidée Se est la première structure planaire S1.

35

Selon un mode de réalisation illustré figure 14, la zone active du système de détection 10 selon l'invention de type « loop hole » matriciel comprend la matrice Matd de pixels Pix et comprend également un contact commun CC autour de la matrice. En périphérie de système on trouve des plots de connexion CP pour le contrôle du circuit de lecture et l'extraction du signal vidéo de l'imageur. Le système présente ainsi une zone neutre Zn non fonctionnelle entre le contact commun CC et les plots de connexion CP dans laquelle sont réalisés les évidements Ev.

- 10 Préférentiellement la profondeur p_e d'un évidement Ev est telle que celui-ci n'atteint pas le circuit de lecture ROIC, pour ne pas risquer d'endommager celui-ci.

Selon un mode de réalisation les via IH sont des trous circulaires qui présentent un diamètre d_1 et une profondeur p_1 et les évidements Ev sont également des trous circulaires qui présentent donc une profondeur $p_2 < p_1$ et un diamètre $d_2 < d_1$. En effet lors d'une gravure, il est connu que la profondeur des vias diminue avec leur diamètre, et donc si l'on souhaite obtenir une profondeur $d_2 < d_1$, il faut que d_2 soit inférieur à d_1 .

Ainsi la création dans les zones sans pixel ni plot de contact du système, de trous de diamètre d_2 inférieur au diamètre d_1 des via d'interconnexion empêche la formation de bulle de décollement de matériau III-V lors des étapes de fabrication réalisées à des températures supérieures à 300°C.

Ces trous Ev sont préférentiellement réalisés en même temps que les via IH pour Loop-hole. Leur réalisation ne nécessite pas de lithographie spécifique ou bien d'étape de gravure. Le diamètre d_1 des via IH est choisi de manière à ce que la profondeur p_1 soit telle que IH débouche sur le niveau « top metal » (cas des pixels), et le diamètre d_2 des trous Ev est choisi de manière à ce que la profondeur p_2 soit telle que Ev débouche au niveau de la silice de collage (dans les zones sans pixels). Les zones non pixellisées ne sont pas couvertes de niveau « top-metal ».

Les trous Ev, réalisés en même temps que les via IH, présentent également une zone dopée DZ et une métallisation (non représentée figure 14).

Un second avantage de ce mode de réalisation est que les surfaces qui étaient libres (sans via), vont alors subir les mêmes mécanismes de

fabrication, et homogénéiser la surface de la matrice lors des étapes de fabrication nécessitant l'intervention d'espèces réactives (gravure plasma, diffusion de dopant). On obtient alors une meilleure homogénéité de pixel de la matrice en diminuant les différences entre bord et centre de la matrice.

5

Dans un mode particulier de ce mode de réalisation illustré figure 15 on utilise le fait que les trous Ev présentent les mêmes caractéristiques que les via IH. Des évidements formant une première pluralité sont interconnectés entre eux de manière à former un plot de test TestP et des évidements
10 formant une deuxième pluralité sont reliés entre eux et au contact commun CC de la matrice de pixels Matd. On réalise ainsi un motif de test de surface permettant de vérifier le bon déroulement des gravures de via, du dopage localisé par diffusion et des métallisations.

15 Un système hybride de détection 10 de type TSV selon la deuxième variante (voir figure 12) est illustré figure 16. Les trous d'interconnexion IH traversent le substrat aminci Sub' et la deuxième structure planaire S2. Les évidements Ev sont réalisés du côté du circuit de lecture, au travers du substrat en silicium aminci Sub'. La structure planaire évidée Se est ici la deuxième
20 structure planaire S2. Le substrat rigide Sub ici disposé du côté des rayons lumineux incidents, doit alors être transparent dans la bande spectrale d'intérêt.

Selon une variante, le système hybride 10 est un système optoélectronique d'affichage comprenant une matrice de pixels électroluminescents Matel, tel
25 qu'illustré figure 17, par exemple de type microdisplay LED. La première fonctionnalité est une émission pixélisée, la première structure planaire S1 comprend une pluralité de couches dont une couche électroluminescente EL. La deuxième fonctionnalité est une génération de signaux électriques
30 adaptés pour réaliser l'émission électroluminescente, la deuxième structure planaire S2 comprenant un circuit d'adressage AC des pixels déposé sur un substrat Sub, préférentiellement en silicium.

L'au moins une zone active Zact comprend la matrice de pixels Mael et l'au moins une zone neutre Zn est disposée en périphérie de ladite matrice de
35 pixels. Préférentiellement la structure évidée Se correspond à S1.

Selon une autre variante le système hybride 10 est un système électronique rapide illustré figure 18, issu de l'intégration hétérogène de matériaux III-V sur un circuit CMOS sur silicium. La première structure planaire S1 comprend une pluralité de transistors T et la deuxième structure planaire S2 comprend des circuits Circ associés auxdits transistors. La zone active Zact comprend les transistors T et la zone neutre Zn dans laquelle sont réalisés les évidements est disposée en périphérie des transistors, la structure évidée Se correspondant à la première structure planaire S1.

10 Le premier matériau pour les transistors est par exemple du GaN, de l'InP ou du GaAs et le deuxième matériau pour les circuits est par exemple du silicium.

Des transistors bipolaires à hétéro-structure dans du InGaAs/InP permettent d'effectuer des fonctions de conversion analogique rapide jusqu'à quelques dizaines de GHz. Un collage InP sur un circuit CMOS permet d'associer des fonctions rapides sur InP et numériques sur CMOS.

Selon un mode de réalisation des systèmes d'affichage de la figure 17 ou des systèmes électroniques de la figure 18, la zone active Zact comprend des trous d'interconnexion ou via de connexion CV prenant diverses formes, pour évacuer les bulles qui pourraient se former dans cette zone. Ici également, la réalisation simultanée de via de dégazage, c'est à dire d'évidements Ev, et de via de connexion électrique CV (base, collecteur émetteur dans le cas de transistor bipolaire, grille, drain, source dans le cas d'un transistor à effet de champ) permet d'évacuer des bulles susceptibles de se former lors de l'intégration (assemblage) sur une surface de quelques millimètres carrés.

On cite à titre d'exemple des composants de puissance sur GaAs ou GaN associés à un circuit MMIC avec des via d'interconnexion entre ligne hyperfréquence microstrip et interconnexion des transistors.

Un système optique ou optoélectronique est illustré figure 19. La première fonctionnalité est une émission laser individualisée, la première structure planaire S1 comprenant une pluralité d'émetteurs laser Las, la deuxième fonctionnalité est un traitement des faisceaux optiques FI générés par les

émetteurs laser Las. La deuxième structure planaire S2 comprend au moins une couche de traitement optique OL déposée sur le substrat rigide Sub. Les émetteurs lasers sont configurés pour émettre vers la couche OL. La ou les couches de traitement réalisent des fonctions de guidage, multiplexage/démultiplexage, filtrage, amplification ...

Les évidements sont réalisés dans les zones n'ayant pas été éliminées lors de la fabrication des rubans lasers. Ce sont des zones non fonctionnelles, mais qui ont pu être gardées afin de protéger le circuit sous-jacent. Les évidements sont réalisés dans les zones où il n'y a pas de ruban laser mais où il existe toujours du matériau reporté.

Selon un autre aspect l'invention concerne un procédé 50 de fabrication d'un système hybride optique et/ou électronique hybride, illustré figure 20. Le procédé comprend une première étape 100 consistant à assembler par une couche d'assemblage 11 d'une part une première structure planaire S1 présentant une première fonctionnalité réalisée dans au moins un premier matériau M1, S1 étant déposée sur un premier substrat Sub1, et d'autre part une deuxième structure S2 planaire présentant une deuxième fonctionnalité réalisée dans au moins un deuxième matériau M2 différent du premier matériau, S2 étant déposée sur un deuxième substrat Sub2.

Les première et deuxième structures assemblées comprennent au moins une zone active (Zact) utilisée pour mettre en œuvre lesdites fonctionnalités, et au moins une zone neutre (Zn) non utilisée pour mettre en œuvre lesdites fonctionnalités.

Dans une deuxième étape 200 on détache au moins un des substrats pour ne conserver qu'un seul substrat rigide Sub1 ou Sub2. Dans une variante, le procédé 50 comprend en outre une étape 250 de remplacement du substrat Sub1 ou Sub 2 restant par un substrat de destination Subd (voir figure 1).

Ces deux étapes ont été décrites plus haut (voir figure 1).

Dans une troisième étape 300 on réalise des évidements Ev dans au moins une zone neutre Zn de la structure planaire qui n'est pas disposée sur le substrat rigide Sub, dénommée structure planaire évidée Se.

Dans une variante illustrée figure 21 du procédé 50 selon l'invention, l'étape 300 de réalisation des évidements consiste à réaliser simultanément des trous d'interconnexion IH ou CV dans l'au moins une zone active Zact au travers d'une des structures planaires, et les évidements Ev dans l'au moins
5 une zone neutre Zn de ladite structure planaire traversée par les trous d'interconnexion. La structure évidée est celle au travers de laquelle on réalise les trous de connexion.

Préférentiellement l'étape de réalisation simultanée des trous
10 d'interconnexion IH, CV et/ou des évidements Ev s'effectue par lithographie puis gravure. La technologie de lithographie est choisie parmi : par faisceau d'électrons ; par nano-impression ; par lithographie optique. La technologie de gravure est choisie parmi gravure ionique, gravure chimique, gravure plasma .

15

Dans une variante illustrée figure 22 le procédé 50 réalise un détecteur opto-électronique hybride comprenant une matrice de pixels Matd.

La première fonctionnalité est ici une photo-génération pixélisée de porteurs, la première structure S1 comprenant une pluralité de couches dont une
20 couche absorbante AL en matériau semi-conducteur II-VI ou III-V.

La deuxième fonctionnalité étant une lecture d'un signal généré par un pixel, la deuxième structure S2 comprenant un circuit de lecture ROIC destiné à récupérer un signal électrique à partir desdits porteurs photo-générés par la couche absorbante AL et comprenant une pluralité de contacts TLC enterrés.
25 L'au moins une zone active Zact comprend la matrice de pixels, et l'au moins une zone neutre Zn est disposée en périphérie de ladite matrice de pixels.

Dans cette variante, l'étape 300 de réalisation des évidements consiste à réaliser simultanément des trous d'interconnexions IH dans l'au moins une zone active Zact au travers d'une des structures planaires, et les évidements
30 Ev dans l'au moins une zone neutre Zn de ladite structure planaire traversée par les trous d'interconnexion.

Selon une variante également illustrée figure 22 le procédé 50 de fabrication d'un détecteur optoélectronique hybride comprend en outre les étapes suivantes, réalisées après l'étape 300 :

Dans une étape 400 on réalise une pluralité de zones dopées DZ configurées pour collecter des porteurs photogénérés par la couche absorbante, une zone dopée permettant de définir un pixel Pix du détecteur. Dans une étape 500 on connecte électriquement chaque zone dopée DZ
5 avec le contact associé TLC du circuit de lecture ROIC via les trous d'interconnexion IH.

Selon un mode de réalisation de cette variante le procédé 50 selon l'invention réalise un détecteur « loop hole ». L'étape 300 de réalisation
10 simultanée des trous d'interconnexion et des évidements s'effectue par gravure de la première structure planaire S1 et, pour les trous d'interconnexion, du circuit de lecture ROIC jusqu'aux contacts enterrés TLC. La structure planaire évidée correspond ici à la première structure planaire.

15 Selon un autre mode de réalisation de cette variante le procédé 50 selon l'invention réalise un détecteur TSV. L'étape 300 de réalisation simultanée des trous d'interconnexion et des évidements s'effectue par gravure du substrat aminci Sub' sur lequel le circuit de lecture ROIC est déposé et par gravure, au moins partiellement, du circuit de lecture ROIC. La structure
20 planaire évidée Se correspond ici à la deuxième structure S2.

.

REVENDICATIONS

1. Système optique et/ou électronique (10) hybride comprenant :
 - une première structure planaire (S1) présentant une première fonctionnalité réalisée dans au moins un premier matériau (M1) et une deuxième structure
 - 5 (S2) planaire présentant une deuxième fonctionnalité réalisée dans au moins un deuxième matériau (M2) différent du premier matériau,
 - la première et la deuxième structure planaire étant assemblées par une couche d'assemblage (11), au moins une des structures planaires étant disposée sur un substrat rigide (Sub),
 - 10 -le système comprenant au moins une zone active (Zact) utilisée pour mettre en œuvre lesdites fonctionnalités, et au moins une zone neutre (Zn) non utilisée pour mettre en œuvre lesdites fonctionnalités et disposée en périphérie de ladite zone active,
 - le système comprenant en outre des évidements (Ev) réalisés dans au
 - 15 moins une zone neutre de la structure planaire qui n'est pas disposée sur le substrat rigide, dénommée structure planaire évidée (Se).
2. Système selon la revendication 1 dans lequel une profondeur d'un évidement (pe) est telle qu'un fond dudit évidement est disposé à une
- 20 distance (de) de la couche d'assemblage inférieure à $1\mu\text{m}$.
3. Système selon l'une des revendications 1 ou 2 dans lequel les évidements présentent la forme de trous ou de sillons.
- 25 4. Système selon l'une des revendications précédentes dans lequel les évidements sont recouverts d'une couche métallique.
5. Système selon l'une des revendications précédentes dans lequel le matériau de la structure planaire évidée (Se) présente un coefficient de
- 30 dilatation thermique supérieur au coefficient de dilatation thermique de l'autre structure planaire.
6. Système selon l'une des revendications précédentes dans lequel la structure planaire évidée présente une épaisseur inférieure à $20\mu\text{m}$.

7. Système selon l'une des revendications précédentes dans lequel l'assemblage est réalisé par collage moléculaire.

5 8. Système selon l'une des revendications précédentes dans lequel une surface de l'au moins une zone active est supérieure ou égale à 1 mm^2 .

9. Système optoélectronique de détection (10) selon l'une des revendications précédentes comprenant une matrice de pixels (Matd),
10 dans lequel la première fonctionnalité est une photo-génération pixélisée de porteurs, la première structure (S1) comprenant une pluralité de couches dont une couche absorbante (AL) en matériau semi-conducteur II-VI ou III-V, dans lequel la deuxième fonctionnalité est une lecture d'un signal électrique généré par un pixel, la deuxième structure (S2) comprenant un circuit de
15 lecture (ROIC) comprenant une pluralité de contacts (TLC) enterrés, et dans lequel l'au moins une zone active (Zact) comprend ladite matrice de pixels et l'au moins une zone neutre (Zn) est disposée en périphérie de ladite matrice de pixels.

20 10. Système optoélectronique de détection (10) selon la revendication 9 dans lequel la première structure (S1) comprend dans au moins une couche une pluralité de zones dopées (DZ) configurées pour collecter des porteurs photogénérés par la couche absorbante, une zone dopée permettant de définir un pixel (Pix) du système de détection, dans lequel le signal électrique
25 est généré par un pixel à partir desdits porteurs photogénérés par la couche absorbante (AL), une connexion électrique entre une zone dopée (DZ) et un contact (TLC) enterré du circuit de lecture (ROIC) étant réalisée via des trous d'interconnexion (IH) métallisés, et dans lequel la structure planaire évidée (Se) est celle qui est traversée par les trous d'interconnexions.

30 11. Système optoélectronique de détection (10) selon la revendication 10 dans lequel la deuxième structure (S2) est disposée sur le substrat rigide (Sub), dans lequel les trous d'interconnexion (IH) traversent la première structure (S1) et le circuit de lecture (ROIC) jusqu'au contact (TLC), dans
35 lequel chaque zone dopée (DZ) s'étend de manière annulaire autour d'un

trou d'interconnexion, la structure planaire évidée (Se) étant la première structure planaire (S1).

12 Système optoélectronique de détection (10) selon l'une des
5 revendications 10 ou 11 dans lequel une profondeur d'un évidement (Pe) est telle que ledit évidement n'atteint pas le circuit de lecture.

13. Système optoélectronique de détection (10) selon l'une des
10 revendications 9 à 12 dans lequel les évidements sont réalisés dans la zone neutre (Zn) disposée entre un contact commun (CC) et des plots de contact (CP) dudit système.

14. Système optoélectronique de détection (10) selon la revendication 13
15 dans lequel une première pluralité d'évidements sont interconnectés entre eux de manière à former un plot de test (TestP) et dans lequel une deuxième pluralité d'évidements sont reliés entre eux et audit contact commun (CC) de la matrice de pixels (Matd).

15. Système optoélectronique de détection selon l'une des revendications 9
20 ou 10 dans lequel la première structure planaire (S1) est disposée sur le substrat rigide (Sub), ledit substrat rigide étant transparent, dans lequel chaque zone dopée (DZ) est réalisée dans une couche de contact (CL) disposée sous la couche absorbante (AL),
dans lequel la deuxième structure planaire (S2) est disposée sur un substrat
25 aminci (Sub'),
dans lequel les trous d'interconnexion (IH) traversent le substrat aminci (Sub') et la deuxième structure planaire (S2), la structure planaire évidée (Se) étant la deuxième structure planaire (S2), les évidements étant réalisés dans le substrat aminci (Sub') et la deuxième structure planaire (S2).

30
16. Système optoélectronique d'affichage selon l'une des revendications 1 à 8 comprenant une matrice de pixels électroluminescents (Matel),
dans lequel la première fonctionnalité est une émission pixélisée, la première structure planaire (S1) comprenant une pluralité de couches dont une couche
35 électroluminescente,

dans lequel la deuxième fonctionnalité est une génération de signaux électriques adaptés pour réaliser l'émission électroluminescente, la deuxième structure planaire (S2) comprenant un circuit d'adressage (AC) des pixels déposé sur un substrat en silicium, et dans lequel l'au moins une zone active (Zact) comprend ladite matrice de pixels (Matel) et l'au moins une zone neutre (Zn) est disposée en périphérie de ladite matrice de pixels, la structure évidée (Se) correspondant à la première structure planaire (S1).

17. Système électronique selon l'une des revendications 1 à 8 dans lequel la première structure planaire (S1) comprend une pluralité de transistors (T) et la deuxième structure planaire comprend des circuits (Circ) associés auxdits transistors, et dans lequel l'au moins une zone active (Zact) comprend lesdits transistors et l'au moins une zone neutre (Zn) est disposée en périphérie desdits transistors, la structure évidée (Se) correspondant à la première structure planaire (S1).

18. Système selon l'une des revendications 16 ou 17 comprenant en outre des via d'interconnexion (CV) dans la zone active.

20

19. Procédé (50) de fabrication d'un système hybride optique et/ou électronique hybride, le procédé comprenant les étapes consistant à :
-Assembler (100), par une couche d'assemblage (11), une première structure planaire (S1) présentant une première fonctionnalité réalisée dans au moins un premier matériau (M1), la première structure (S1) étant déposée sur un premier substrat (Sub1), et une deuxième structure (S2) planaire présentant une deuxième fonctionnalité réalisée dans au moins un deuxième matériau (M2) différent du premier matériau, la deuxième structure (S2) étant déposée sur un deuxième substrat (Sub2),
les première et deuxième structures assemblées comprenant au moins une zone active (Zact) utilisée pour mettre en œuvre lesdites fonctionnalités, et au moins une zone neutre (Zn) non utilisée pour mettre en œuvre lesdites fonctionnalités,
-Détacher (200) un des substrats de manière à ne conserver qu'un seul substrat rigide (Sub1, Sub2),

-Réaliser (300) des évidements (Ev) dans au moins une zone neutre (Zn) de la structure planaire qui n'est pas disposée sur le substrat rigide, dénommée structure planaire évidée (Se).

- 5 20. Procédé (50) selon la revendication 19 comprenant en outre une étape (250) de remplacement du substrat restant par un substrat de destination (Subd).

21. Procédé (50) de fabrication selon l'une des revendications 19 ou 20 d'un
10 détecteur optoélectronique hybride comprenant une matrice de pixels (Matd), la première fonctionnalité étant une photo-génération pixélisée de porteurs, la première structure (S1) comprenant une pluralité de couches dont une couche absorbante (AL) en matériau semi-conducteur II-VI ou III-V, la deuxième fonctionnalité étant une lecture d'un signal généré par un pixel,
15 la deuxième structure (S2) comprenant un circuit de lecture (ROIC) destiné à récupérer un signal électrique à partir desdits porteurs photo-générés par la couche absorbante (AL) et comprenant une pluralité de contacts (TLC) enterrés,
l'au moins une zone active (Zact) comprenant la matrice de pixels, et l'au
20 moins une zone neutre (Zn) étant disposée en périphérie de ladite matrice de pixels,
l'étape de réalisation des évidements (300) consistant à réaliser simultanément des trous d'interconnexions (IH) dans l'au moins une zone active (Zact) au travers d'une des structures planaires, et lesdits évidements
25 (Ev) dans l'au moins une zone neutre (Zn) de ladite structure planaire traversée par les trous d'interconnexion.

22. Procédé (50) de fabrication selon l'une des revendications 19 à 21 d'un
détecteur optoélectronique hybride comprenant en outre les étapes
30 consistant à :

- Réaliser (400) une pluralité de zones dopées (DZ) configurées pour collecter des porteurs photogénérés par la couche absorbante, une zone dopée permettant de définir un pixel (Pix) du détecteur,
-Connecter électriquement (500) chaque zone dopée (DZ) avec le contact
35 associé (TLC) du circuit de lecture (ROIC) via les trous d'interconnexion (IH).

23. Procédé selon l'une des revendications 21 à 22 dans lequel l'étape de réalisation simultanée des trous d'interconnexion et des évidements s'effectue par gravure de la première structure planaire (S1) et, pour les trous d'interconnexion, du circuit de lecture (ROIC) jusqu'aux contacts enterrés (TLC), la structure planaire évidée correspondant à la première structure planaire.

24. Procédé selon l'une des revendications 21 à 22 dans lequel l'étape de réalisation simultanée des trous d'interconnexion et des évidements s'effectue par gravure du substrat aminci (Sub') sur lequel le circuit de lecture est déposé et au moins partiellement du circuit de lecture (ROIC), la structure planaire évidée correspondant à la deuxième structure.

25. Procédé selon l'une des revendications 21 à 24 dans lequel l'étape de réalisation simultanée des trous d'interconnexion (IH) et des évidements (Ev) s'effectue par lithographie puis gravure, la technologie de lithographie étant choisie parmi : par faisceau d'électrons ; par nano-impression ; par lithographie optique, et la technologie de gravure étant choisie parmi la gravure ionique, gravure chimique ou plasma....

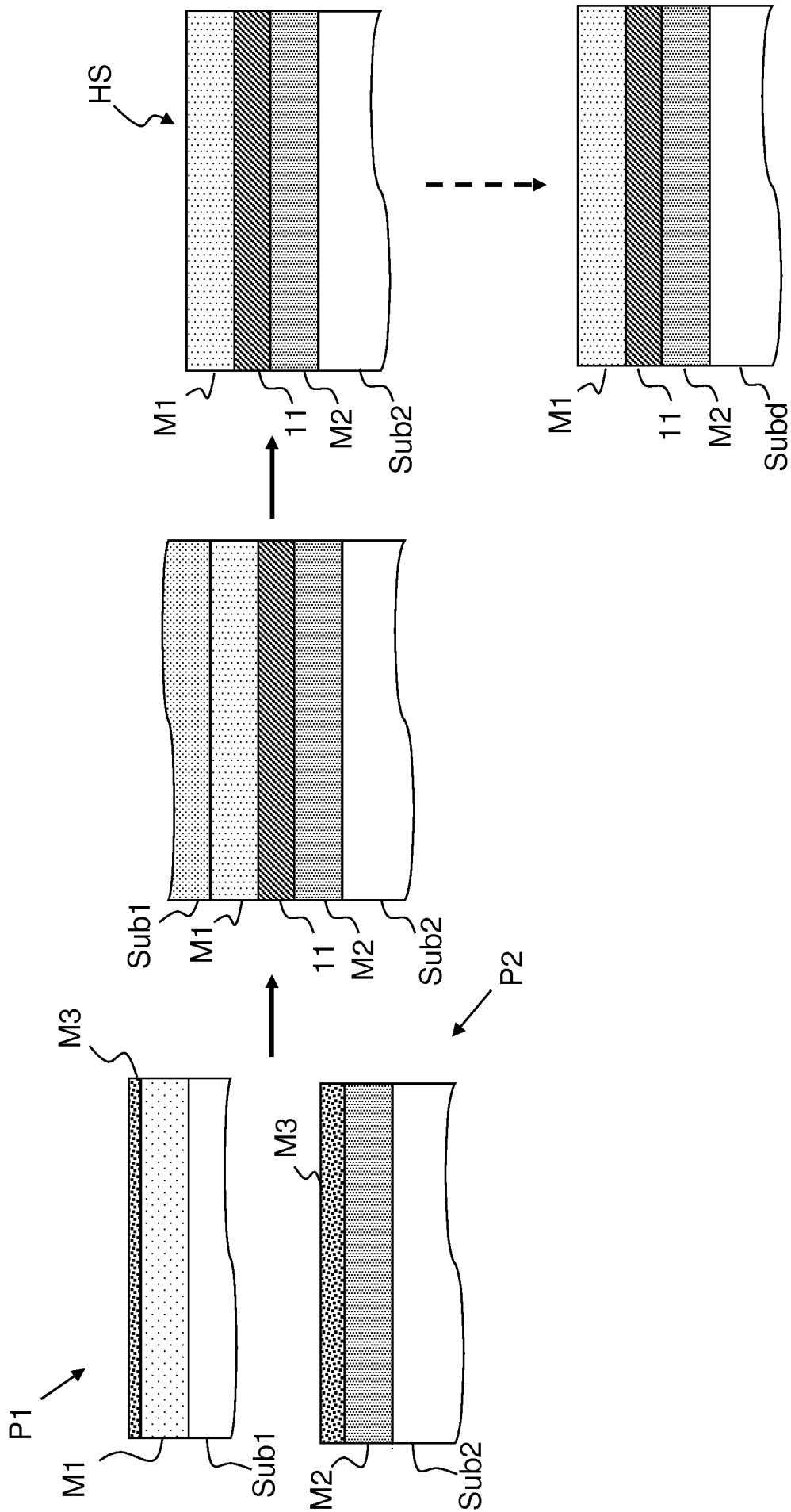


FIG.1

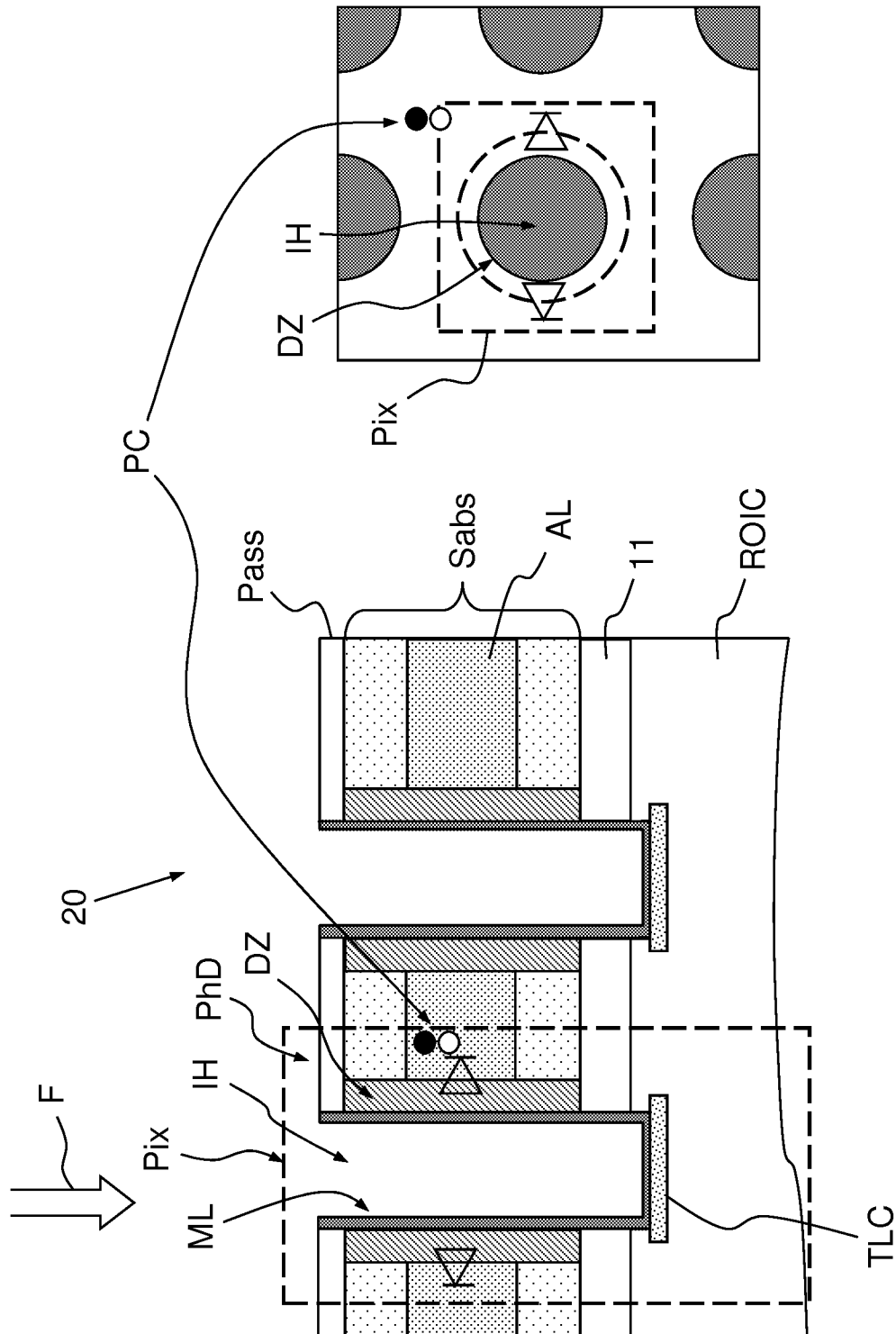


FIG. 2

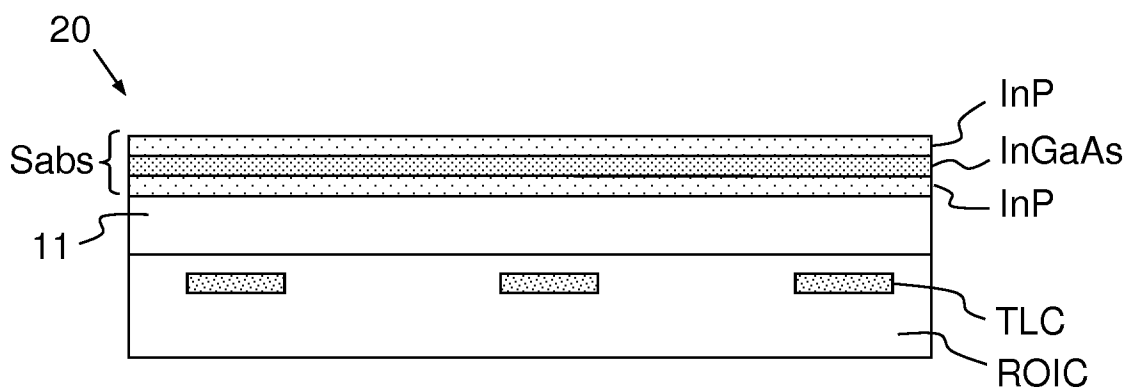


FIG.3a

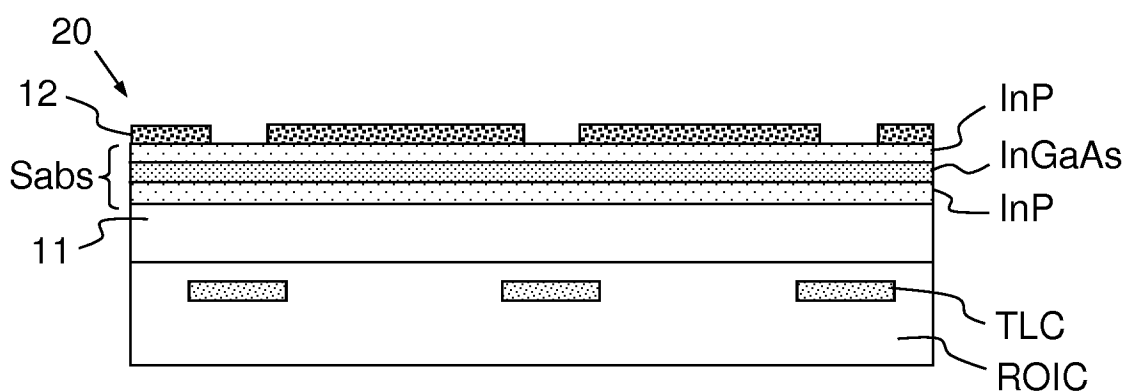


FIG.3b

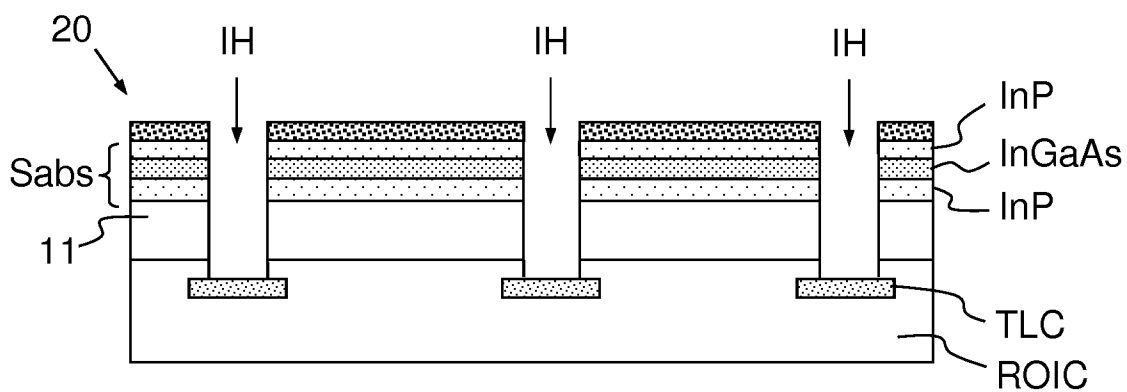


FIG.3c

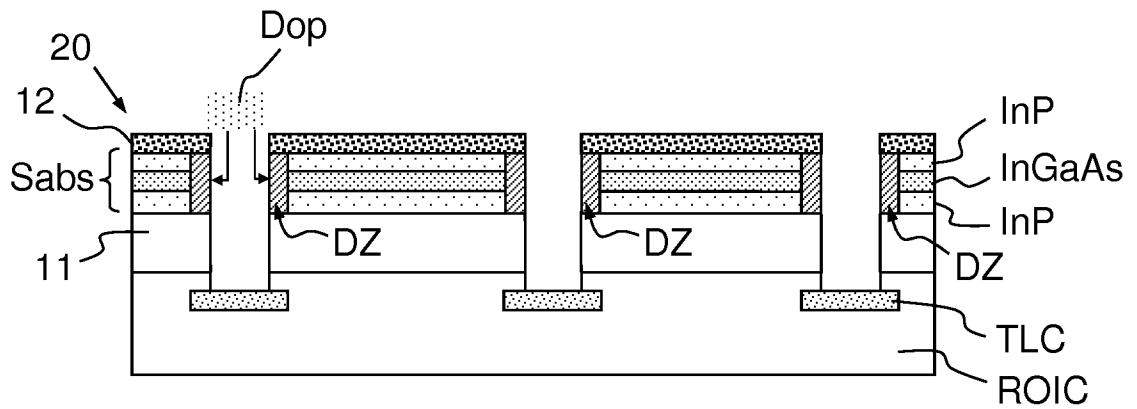


FIG.3d

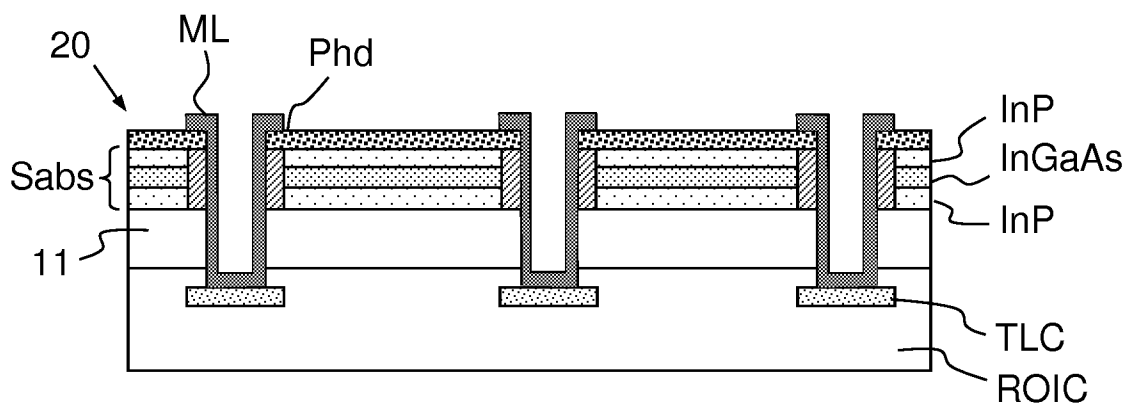


FIG.3e

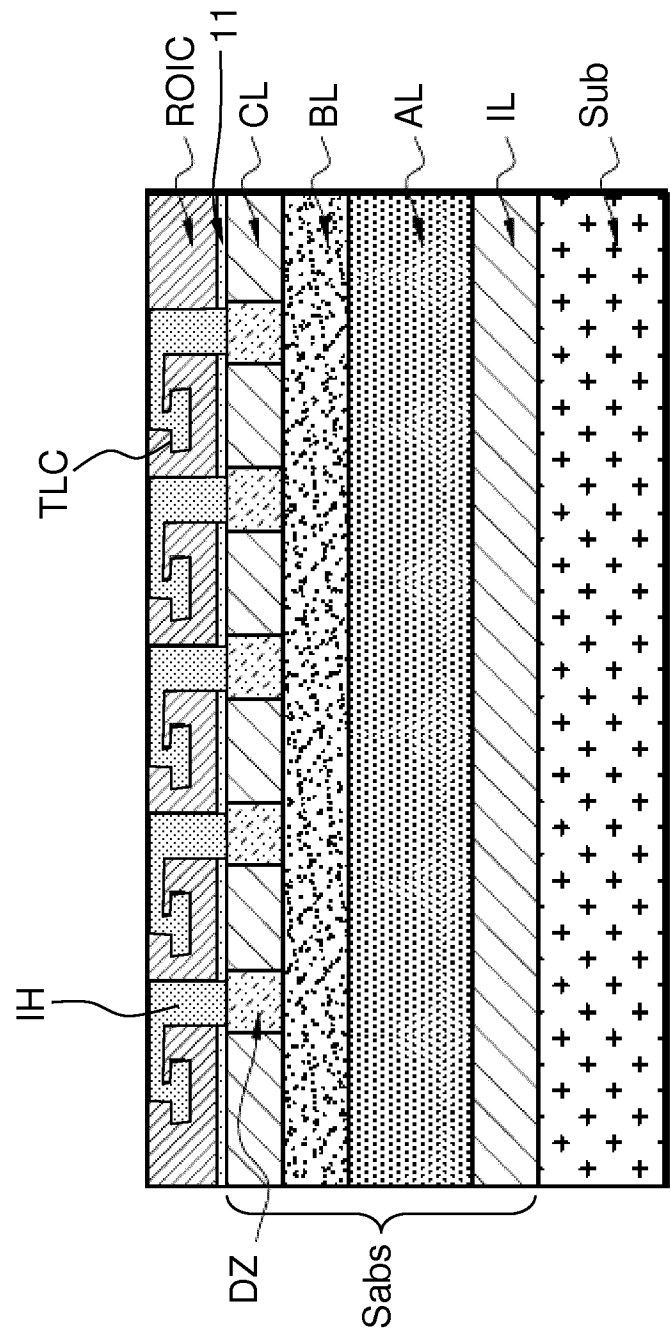


FIG.4

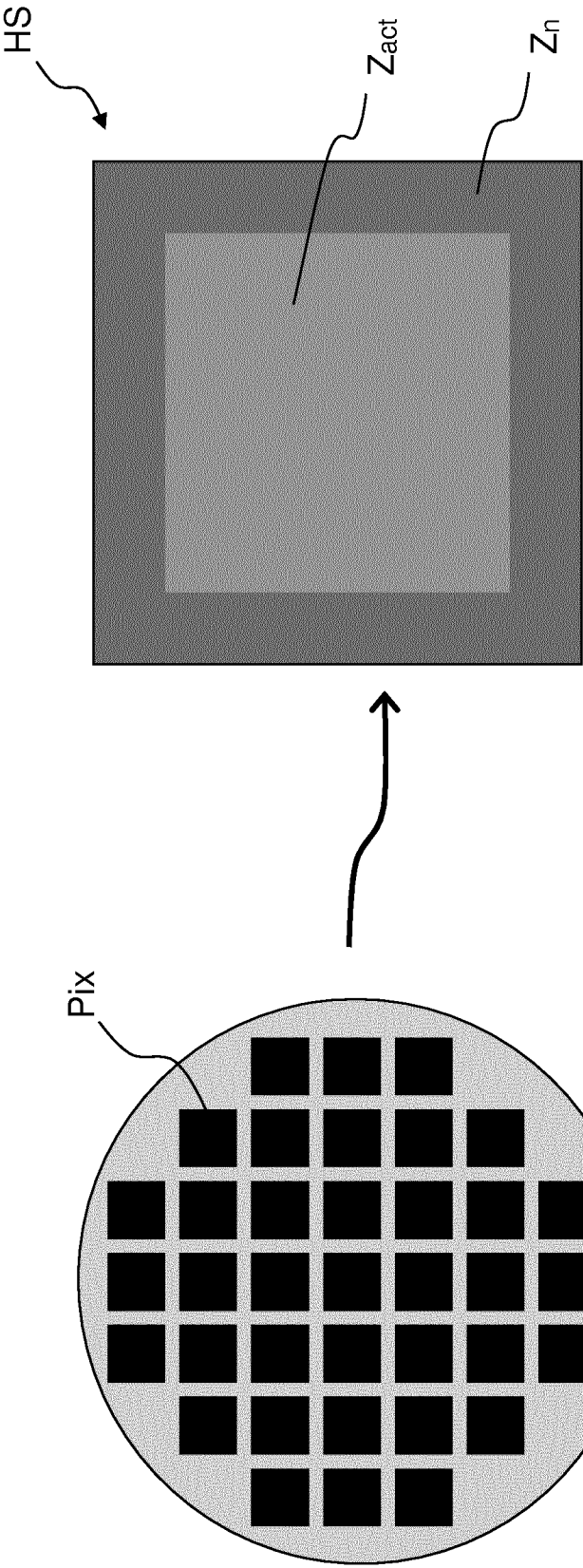


FIG.5

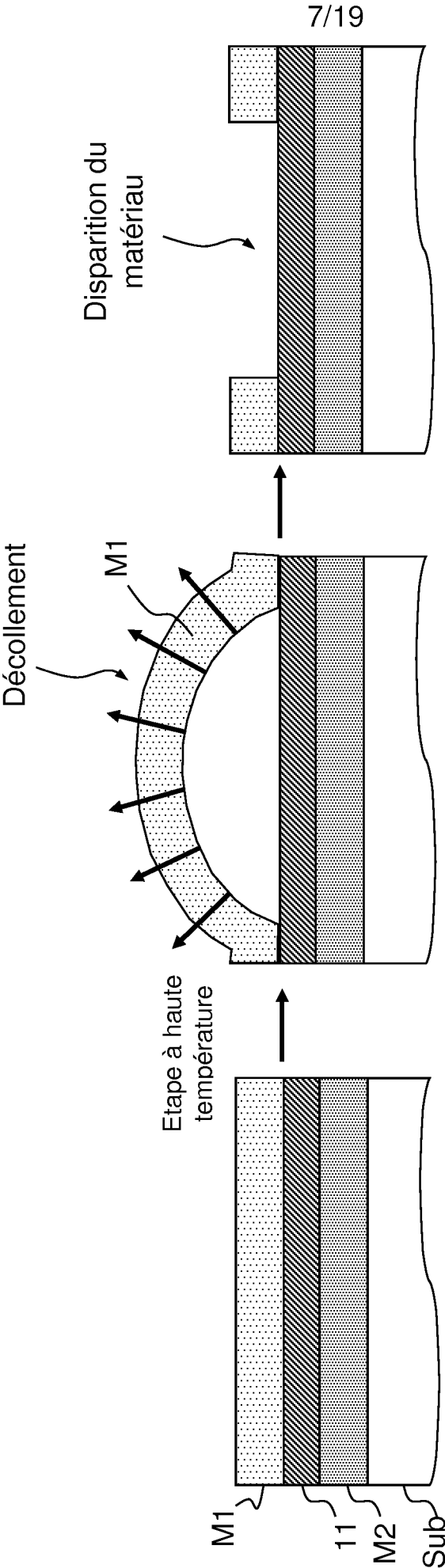


FIG.6

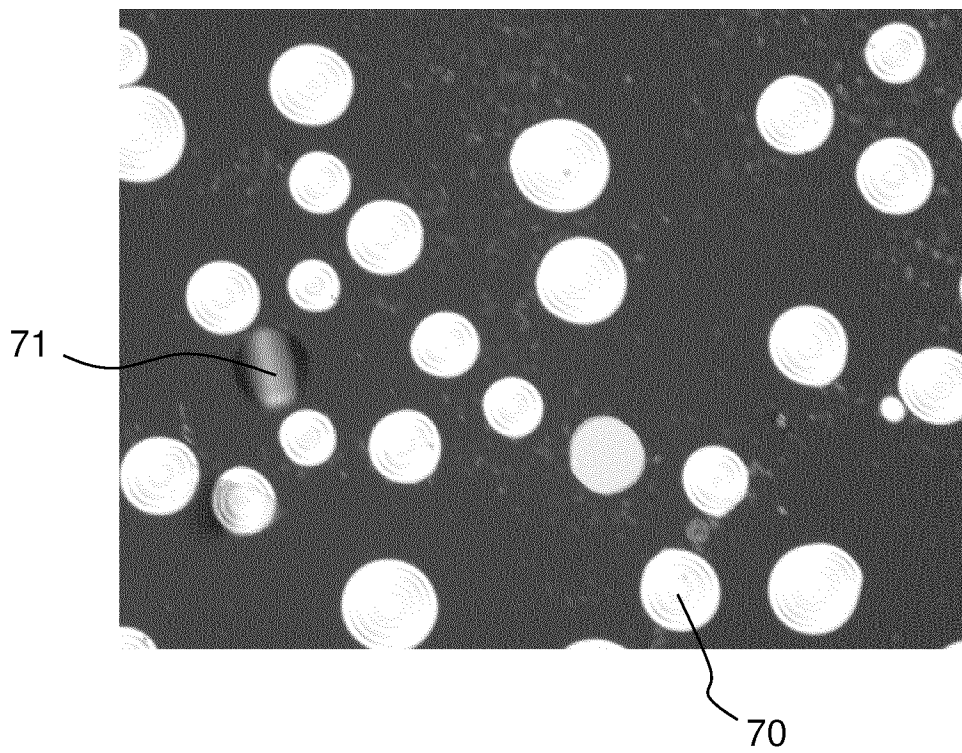


FIG.7

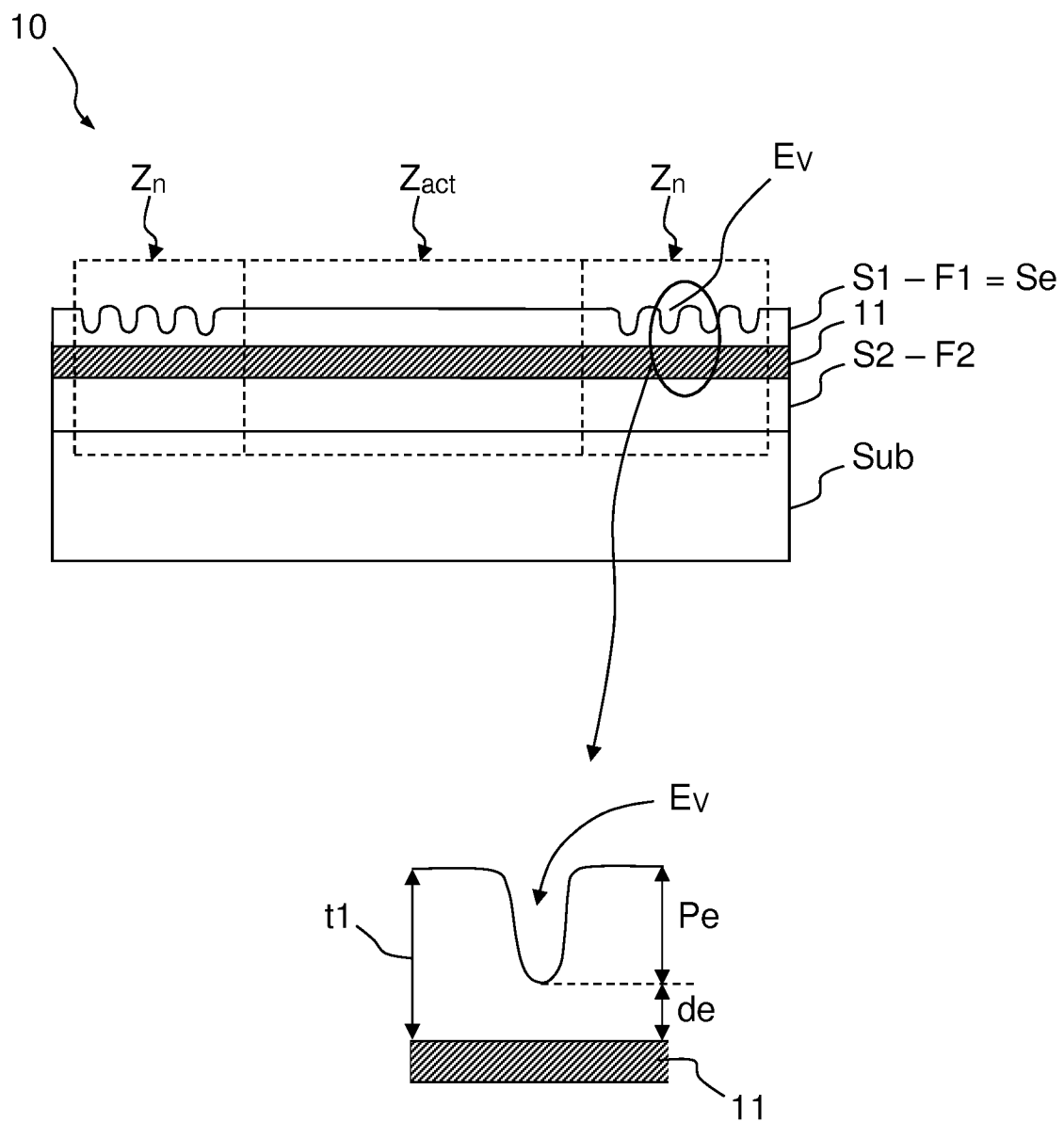


FIG.8

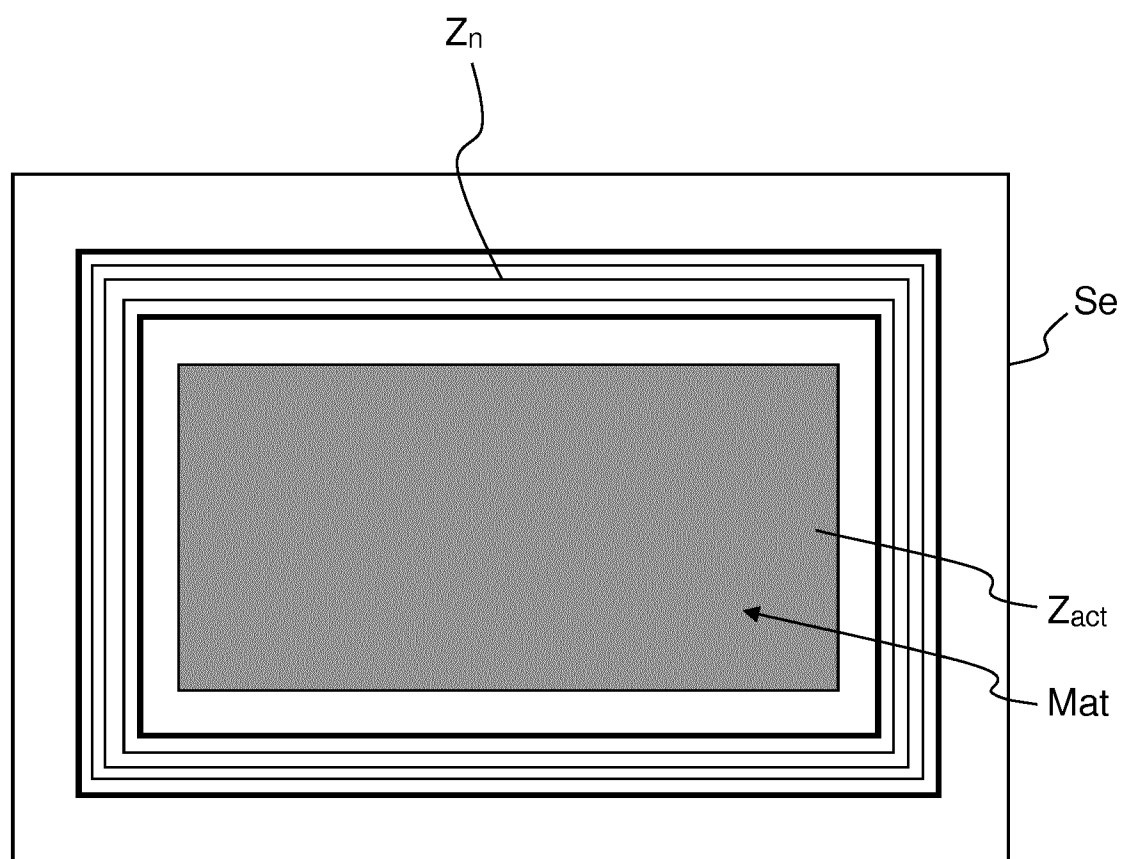


FIG.10

11/19

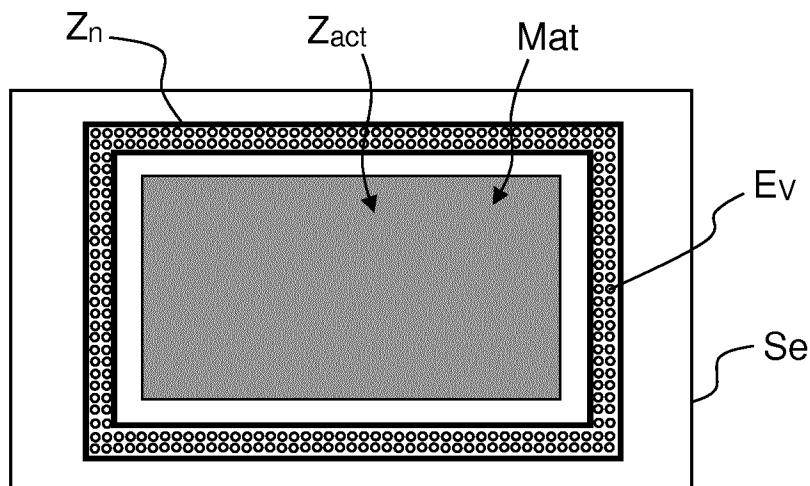


FIG. 9

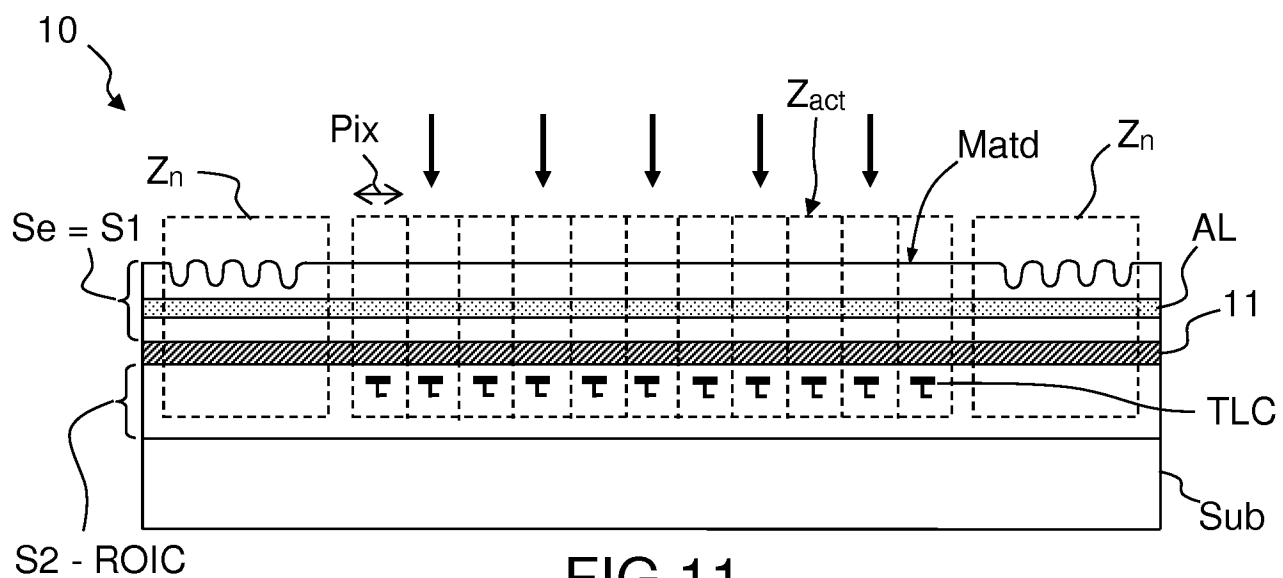


FIG. 11

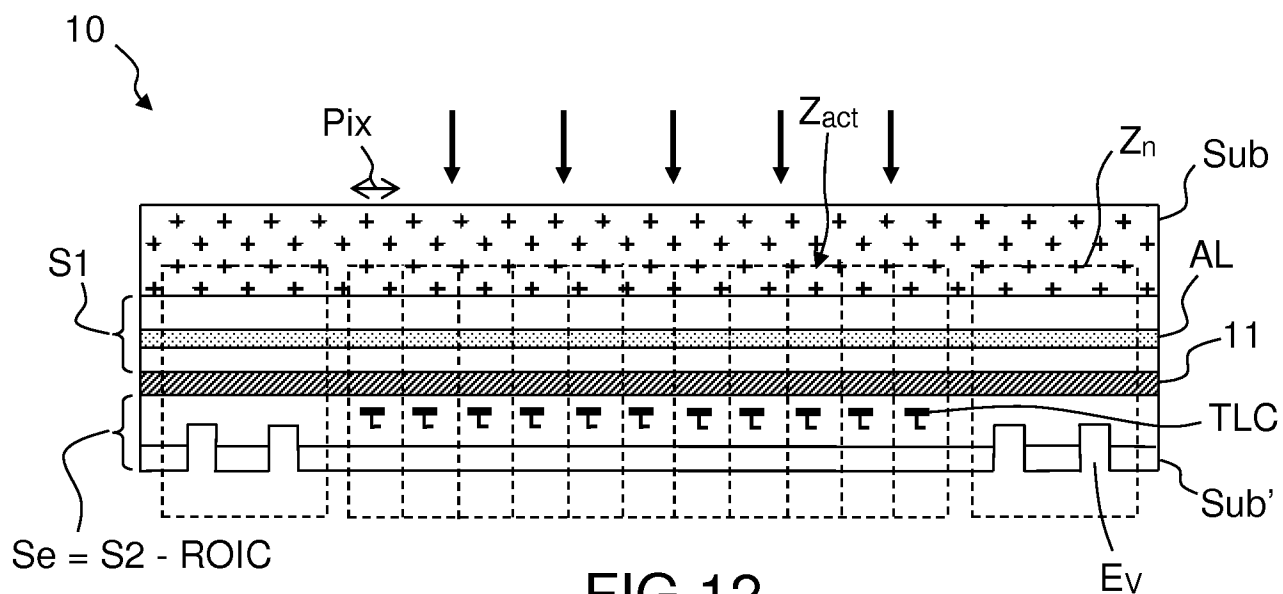


FIG. 12

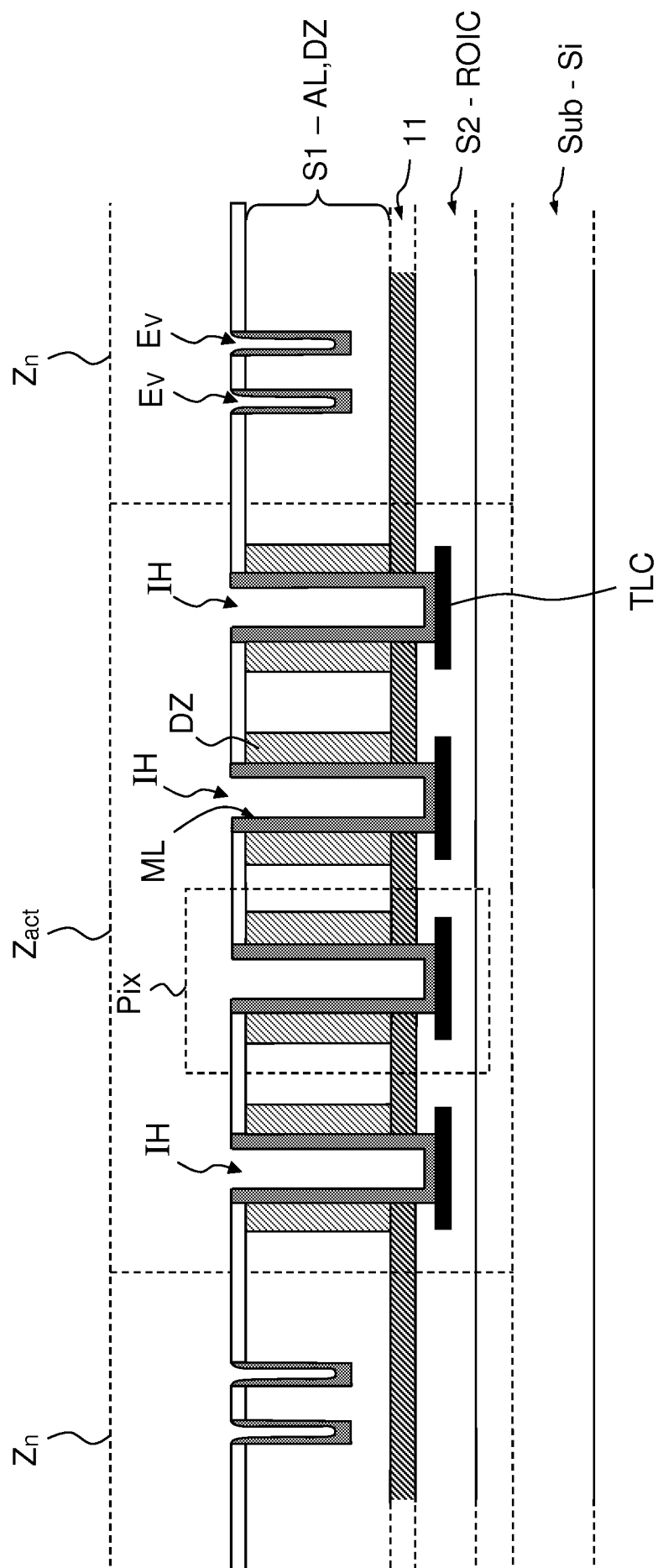


FIG. 13

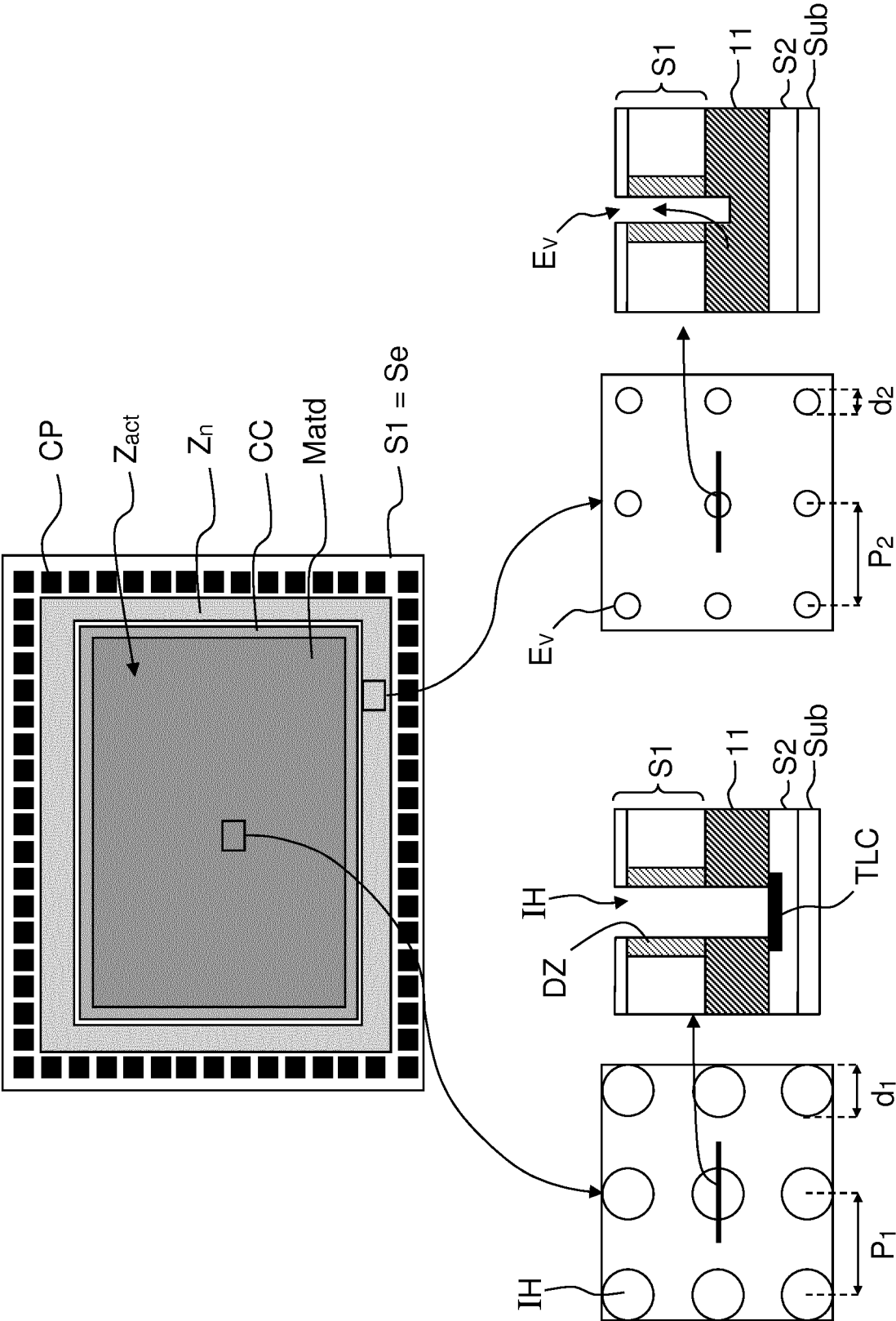


FIG.14

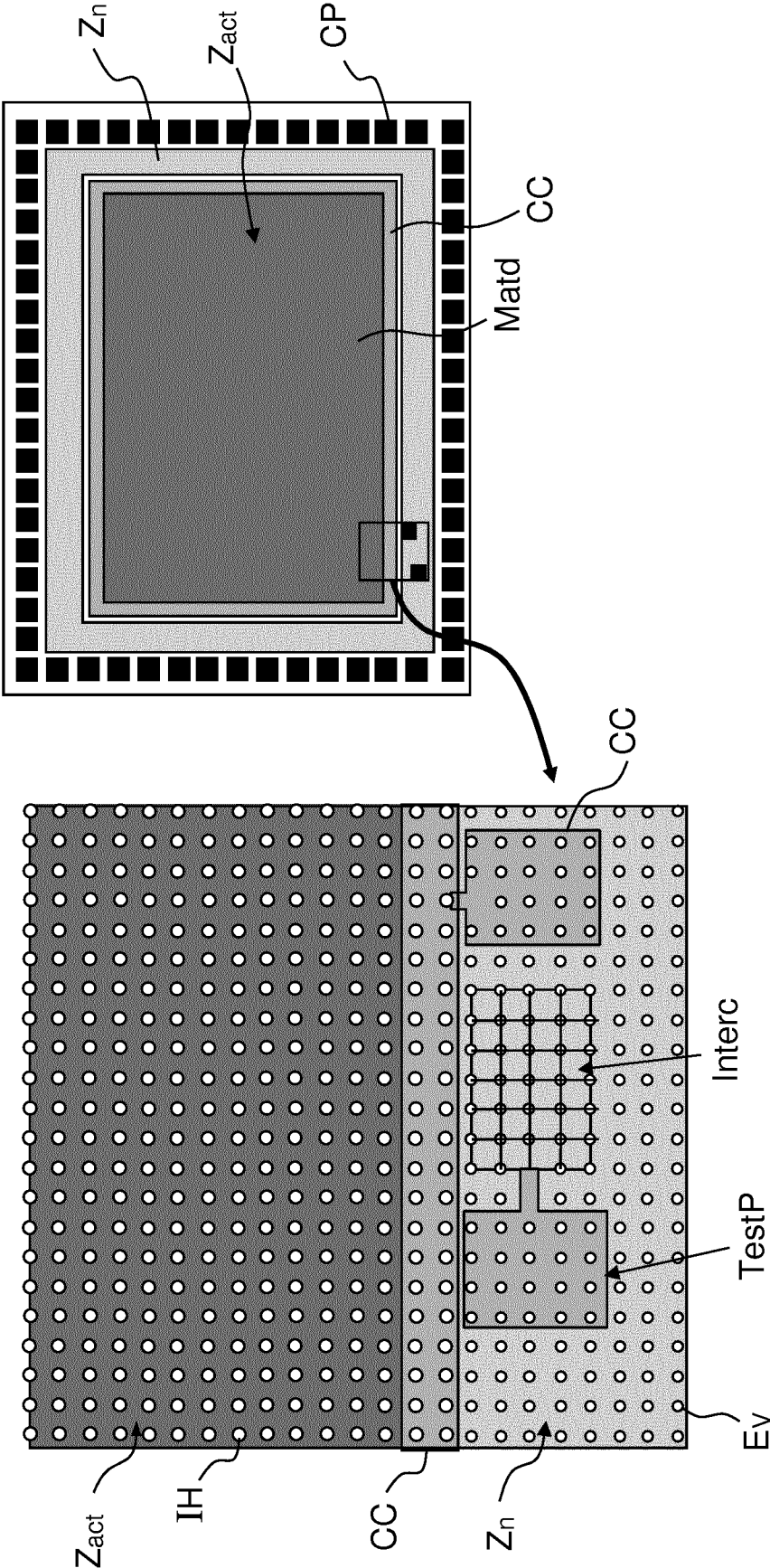


FIG.15

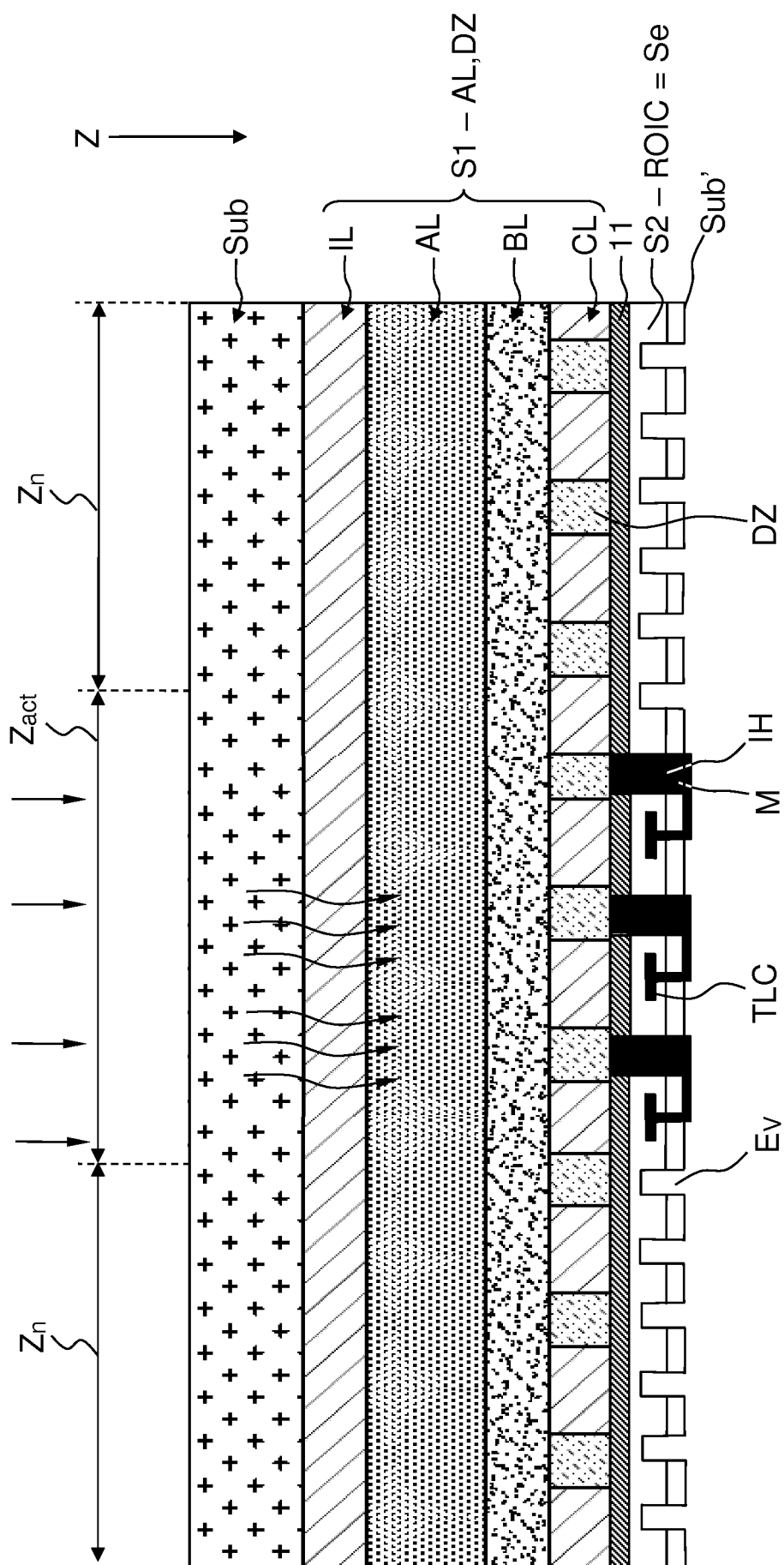


FIG.16

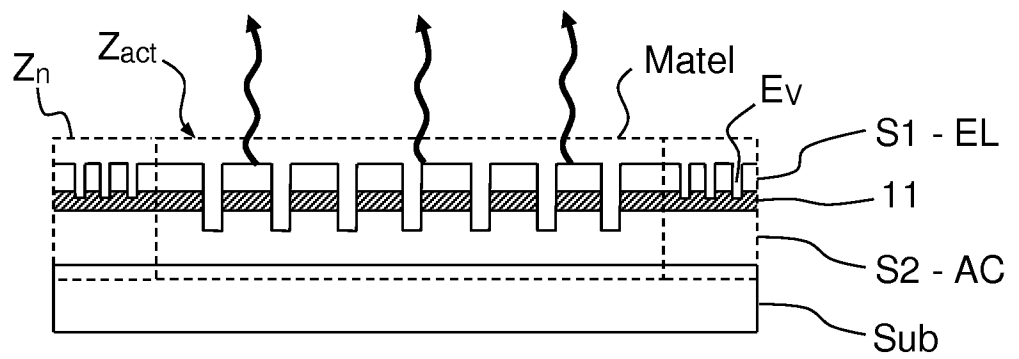


FIG.17

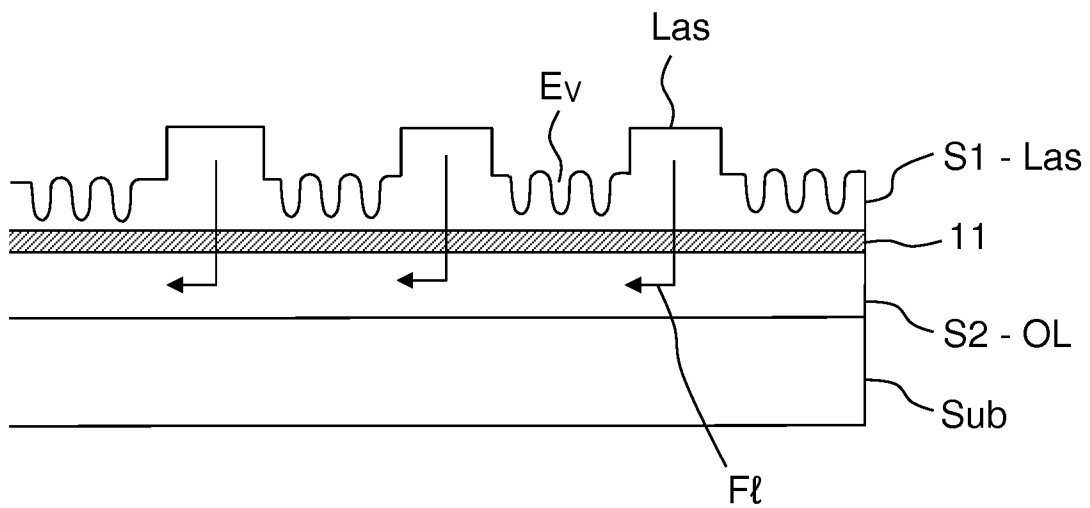


FIG.19

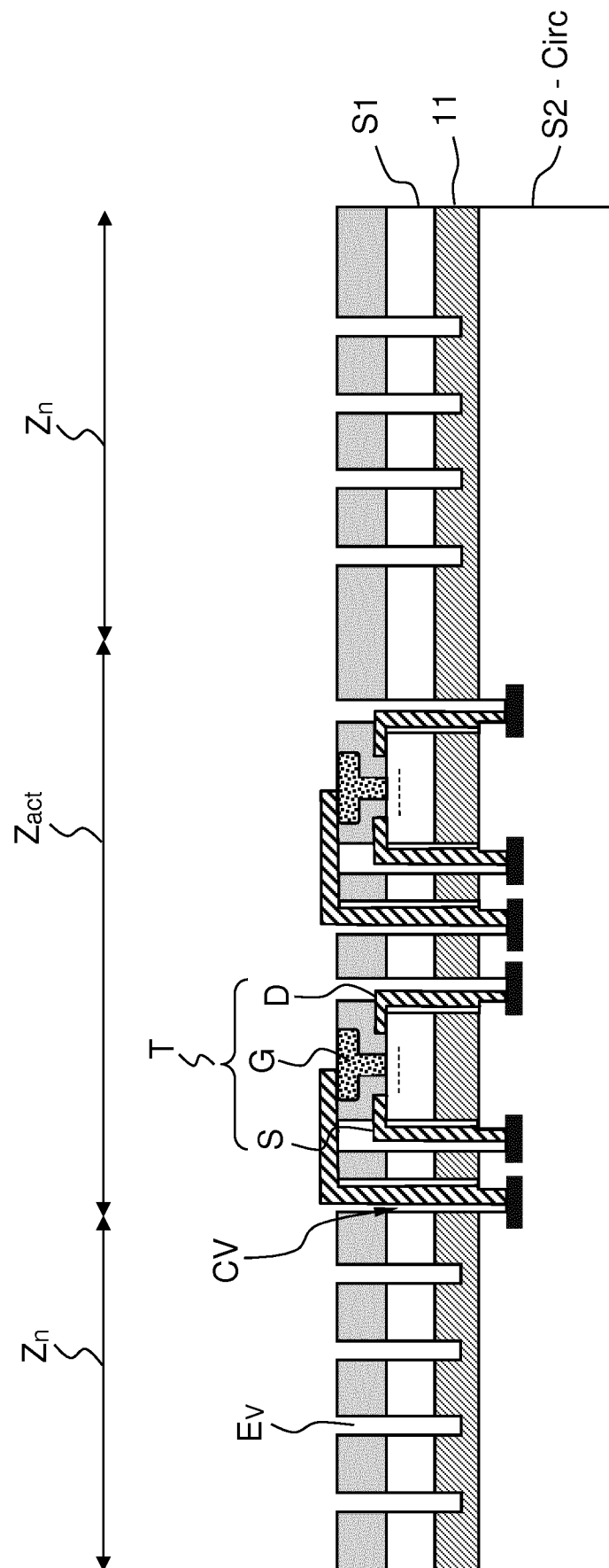


FIG. 18

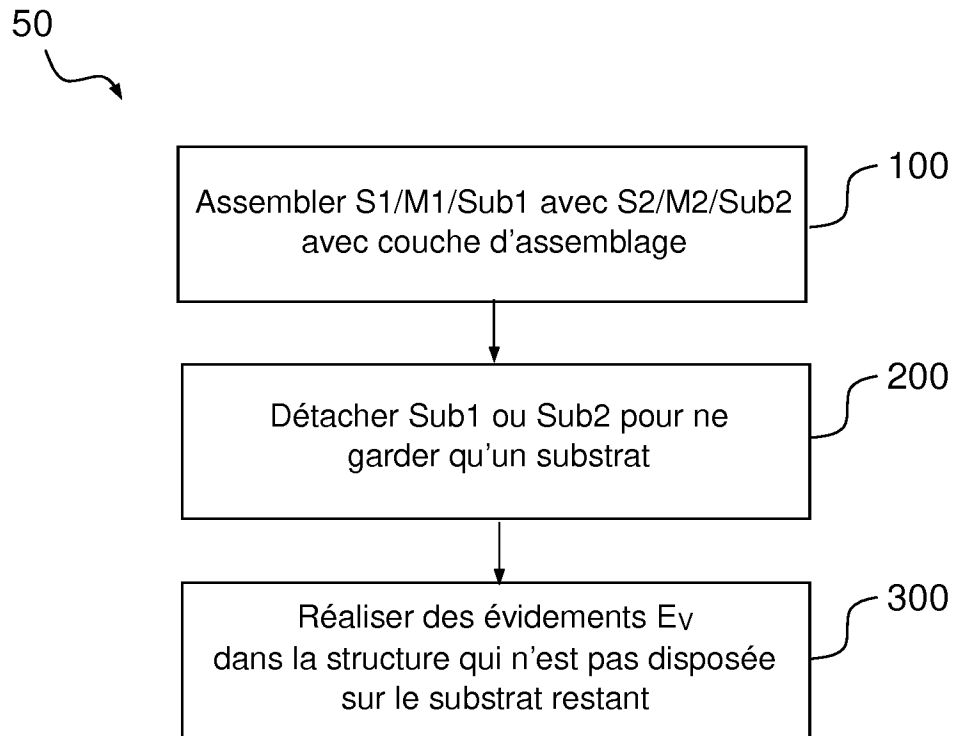


FIG.20

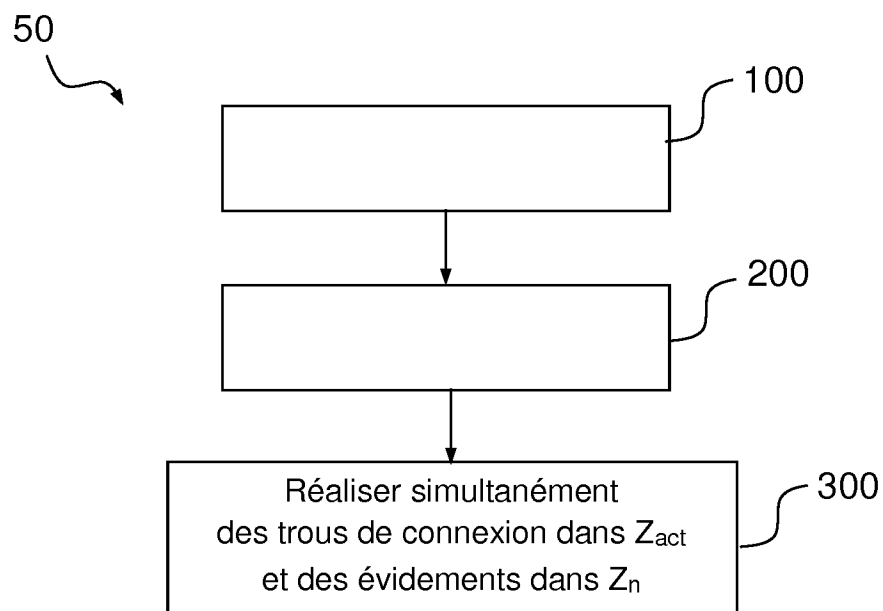


FIG.21

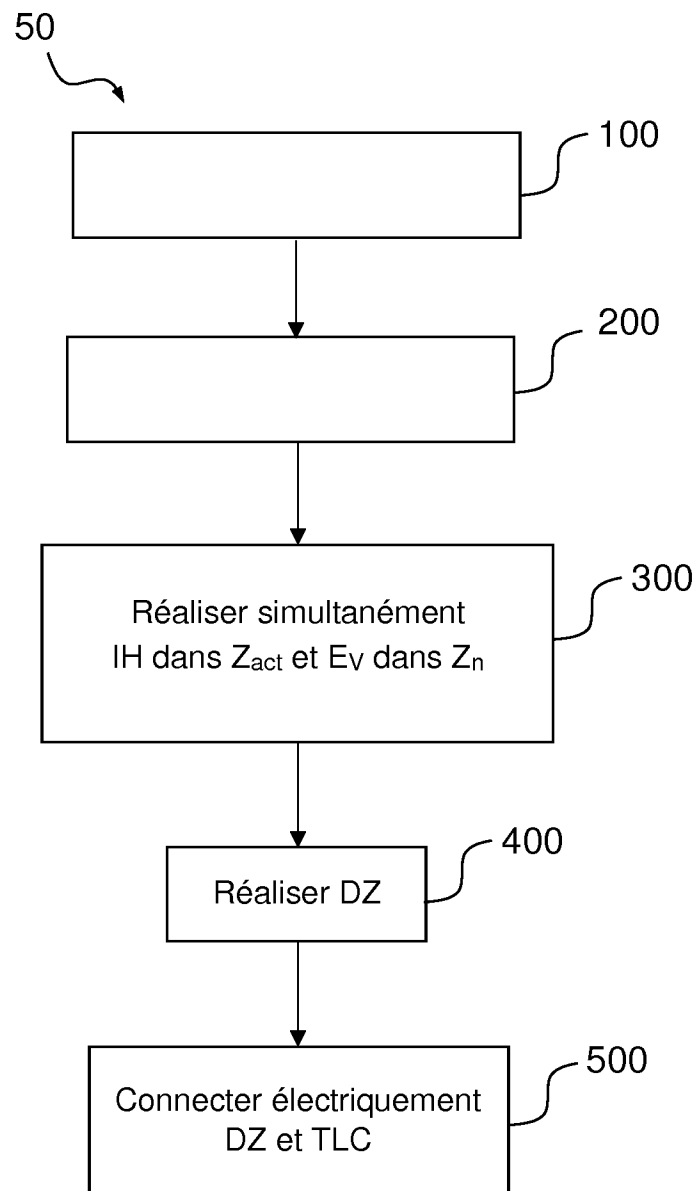


FIG.22

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2018/081093

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L27/146
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2017/037527 A1 (G-RAY SWITZERLAND SA [CH]) 9 March 2017 (2017-03-09) figures 4D, 6A-6K -----	1-3,5-8, 16,19
X	US 2017/221951 A1 (ZHENG YUANWEI [US] ET AL) 3 August 2017 (2017-08-03) paragraphs [0013] - [0026]; figure 1E -----	1,2,4,9, 10,12, 16-18
X	US 2016/307946 A1 (HUANG CHIEN-CHANG [TW] ET AL) 20 October 2016 (2016-10-20) paragraphs [0024] - [0028]; figure 3 -----	1,3,6
A	WO 2013/079603 A1 (THALES SA [FR]; COMMISSARIAT ENERGIE ATOMIQUE [FR]; ALCATEL LUCENT [FR]) 6 June 2013 (2013-06-06) figures 1-6 -----	1-25



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

10 January 2019

Date of mailing of the international search report

22/01/2019

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Cabrita, Ana

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2018/081093

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2017037527 A1	09-03-2017	CN 108140658 A EP 3345220 A1 JP 2018534087 A KR 20180074671 A US 2018240842 A1 WO 2017037527 A1	08-06-2018 11-07-2018 22-11-2018 03-07-2018 23-08-2018 09-03-2017
US 2017221951 A1	03-08-2017	CN 107039477 A TW 201740550 A US 2017221951 A1	11-08-2017 16-11-2017 03-08-2017
US 2016307946 A1	20-10-2016	CN 106057837 A TW 201639132 A US 2016307946 A1 US 2017236864 A1	26-10-2016 01-11-2016 20-10-2016 17-08-2017
WO 2013079603 A1	06-06-2013	EP 2786412 A1 FR 2983348 A1 US 2014346356 A1 WO 2013079603 A1	08-10-2014 31-05-2013 27-11-2014 06-06-2013

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2018/081093

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L27/146 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 2017/037527 A1 (G-RAY SWITZERLAND SA [CH]) 9 mars 2017 (2017-03-09) figures 4D, 6A-6K -----	1-3,5-8, 16,19
X	US 2017/221951 A1 (ZHENG YUANWEI [US] ET AL) 3 août 2017 (2017-08-03) alinéas [0013] - [0026]; figure 1E -----	1,2,4,9, 10,12, 16-18
X	US 2016/307946 A1 (HUANG CHIEN-CHANG [TW] ET AL) 20 octobre 2016 (2016-10-20) alinéas [0024] - [0028]; figure 3 -----	1,3,6
A	WO 2013/079603 A1 (THALES SA [FR]; COMMISSARIAT ENERGIE ATOMIQUE [FR]; ALCATEL LUCENT [FR]) 6 juin 2013 (2013-06-06) figures 1-6 -----	1-25
☐ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 10 janvier 2019		Date d'expédition du présent rapport de recherche internationale 22/01/2019
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Cabrita, Ana

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2018/081093

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2017037527 A1	09-03-2017	CN 108140658 A EP 3345220 A1 JP 2018534087 A KR 20180074671 A US 2018240842 A1 WO 2017037527 A1	08-06-2018 11-07-2018 22-11-2018 03-07-2018 23-08-2018 09-03-2017
US 2017221951 A1	03-08-2017	CN 107039477 A TW 201740550 A US 2017221951 A1	11-08-2017 16-11-2017 03-08-2017
US 2016307946 A1	20-10-2016	CN 106057837 A TW 201639132 A US 2016307946 A1 US 2017236864 A1	26-10-2016 01-11-2016 20-10-2016 17-08-2017
WO 2013079603 A1	06-06-2013	EP 2786412 A1 FR 2983348 A1 US 2014346356 A1 WO 2013079603 A1	08-10-2014 31-05-2013 27-11-2014 06-06-2013