



(12) 发明专利申请



(10) 申请公布号 CN 118202445 A

(43) 申请公布日 2024. 06. 14

(21) 申请号 202280073432.8

(22) 申请日 2022.10.28

(30) 优先权数据

2021-181322 2021.11.05 JP

(85) PCT国际申请进入国家阶段日

2024.04.30

(86) PCT国际申请的申请数据

PCT/JP2022/040503 2022.10.28

(87) PCT国际申请的公布数据

W02023/080091 JA 2023.05.11

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 中野佑纪

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 许静 范胜杰

(51) Int.Cl.

H01L 21/304 (2006.01)

H01L 21/02 (2006.01)

H01L 21/301 (2006.01)

H01L 21/336 (2006.01)

H01L 29/06 (2006.01)

H01L 29/12 (2006.01)

H01L 29/78 (2006.01)

H01L 29/872 (2006.01)

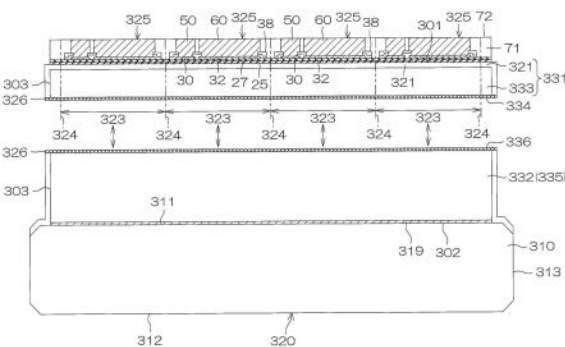
权利要求书2页 说明书62页 附图76页

(54) 发明名称

半导体装置的制造方法

(57) 摘要

一种半导体装置的制造方法,包含以下工序:准备晶圆源的工序,该晶圆源具有一侧的第一主面以及另一侧的第二主面;在所述第一主面之上形成主面电极的工序;在所述主面电极之上形成端子电极的工序;以使所述端子电极的一部分露出的方式在所述第一主面之上形成密封绝缘体的工序,该密封绝缘体覆盖所述端子电极的周围;以及从所述晶圆源的厚度范围的中途部在沿着所述第一主面的水平方向上切断所述晶圆源,并将所述晶圆源分离为所述密封绝缘体侧的密封晶圆以及所述第二主面侧的未密封晶圆的工序。



1. 一种半导体装置的制造方法,包含以下工序:

准备晶圆源的工序,该晶圆源具有一侧的第一主面以及另一侧的第二主面;

在所述第一主面之上形成主面电极的工序;

在所述主面电极之上形成端子电极的工序;

以使所述端子电极的一部分露出的方式在所述第一主面之上形成密封绝缘体的工序,该密封绝缘体覆盖所述端子电极的周围;以及

从所述晶圆源的厚度范围的中途部在沿着所述第一主面的水平方向上切断所述晶圆源,并将所述晶圆源分离为所述密封绝缘体侧的密封晶圆以及所述第二主面侧的未密封晶圆的工序。

2. 根据权利要求1所述的半导体装置的制造方法,其中,

所述晶圆源的分离工序包含:切出比所述密封绝缘体薄的所述密封晶圆的工序。

3. 根据权利要求1或2所述的半导体装置的制造方法,其中,

所述晶圆源的分离工序包含:切出比所述密封晶圆厚的所述未密封晶圆的工序。

4. 根据权利要求1~3中任一项所述的半导体装置的制造方法,其中,

所述晶圆源的分离工序包含:在通过激光光束照射法在所述晶圆源的厚度范围的中途部形成沿着所述水平方向延伸的改性层之后,以所述改性层为起点将所述晶圆源在所述水平方向上劈开的工序。

5. 根据权利要求1~4中任一项所述的半导体装置的制造方法,其中,

所述半导体装置的制造方法还包含:在所述晶圆源的分离工序之前将支承基板粘贴于所述第二主面的工序,

所述晶圆源的分离工序包含:将所述晶圆源分离为所述密封绝缘体侧的所述密封晶圆以及所述支承基板侧的所述未密封晶圆的工序。

6. 根据权利要求1~5中任一项所述的半导体装置的制造方法,其中,

所述半导体装置的制造方法还包含:对所述未密封晶圆进行再利用的工序。

7. 根据权利要求1~6中任一项所述的半导体装置的制造方法,其中,

所述半导体装置的制造方法还包含:在所述端子电极的形成工序之前形成部分地覆盖所述主面电极的绝缘膜的工序,

所述密封绝缘体的形成工序包含:形成覆盖所述端子电极和所述绝缘膜的所述密封绝缘体的工序。

8. 根据权利要求1~7中任一项所述的半导体装置的制造方法,其中,

所述半导体装置的制造方法还包含:在所述主面电极的形成工序之前,通过使外延层从所述第一主面生长,形成包含所述晶圆源和所述外延层、且具有由所述外延层形成的所述第一主面的晶圆构造的工序,

所述晶圆源的分离工序包含:切出包含由所述晶圆源的一部分构成的晶圆部和层叠于所述晶圆部之上的所述外延层的所述密封晶圆的工序。

9. 根据权利要求8所述的半导体装置的制造方法,其中,

所述半导体装置的制造方法还包含:在所述晶圆源的分离工序之后,在所述密封晶圆被所述密封绝缘体支承的状态下除去所述晶圆部的至少一部分的工序。

10. 根据权利要求1~9中任一项所述的半导体装置的制造方法,其中,

所述晶圆源包含宽带隙半导体的单晶。

11. 一种半导体装置的制造方法, 包含以下工序:

准备晶圆源的工序, 该晶圆源具有一侧的第一主面以及另一侧的第二主面;

将支承基板粘贴于所述第二主面的工序;

从所述晶圆源的厚度范围的中途部在沿着所述第一主面的水平方向上切断所述晶圆源, 并将具有由切断面构成的晶圆主面的晶圆与所述支承基板一起从所述晶圆源分离的工序;

在所述晶圆主面之上形成主面电极的工序;

在所述主面电极之上形成端子电极的工序;

以使所述端子电极的一部分露出的方式在所述晶圆主面之上形成密封绝缘体的工序, 该密封绝缘体覆盖所述端子电极的周围; 以及

在所述晶圆由所述密封绝缘体支承的状态下除去所述支承基板的工序。

12. 根据权利要求11所述的半导体装置的制造方法, 其中,

准备从晶锭切出的所述晶圆源。

13. 根据权利要求11或12所述的半导体装置的制造方法, 其中,

所述晶圆源的分离工序包含: 将比所述支承基板薄的所述晶圆从所述晶圆源分离的工序。

14. 根据权利要求11~13中任一项所述的半导体装置的制造方法, 其中,

所述半导体装置的制造方法还包含: 反复进行包含所述支承基板的粘贴工序和所述晶圆源的分离工序的一系列工序, 直到所述晶圆源不能分离的工序。

15. 根据权利要求11~14中任一项所述的半导体装置的制造方法, 其中,

所述晶圆源的分离工序包含: 在通过激光光束照射法在所述晶圆源的厚度范围的中途部形成沿着所述水平方向的改性层之后, 以所述改性层为起点将所述晶圆源在所述水平方向上劈开的工序。

16. 根据权利要求11~15中任一项所述的半导体装置的制造方法, 其中,

所述半导体装置的制造方法还包含: 在所述支承基板的除去工序之后, 在所述晶圆被所述密封绝缘体支承的状态下使所述晶圆薄化的工序。

17. 根据权利要求16所述的半导体装置的制造方法, 其中,

所述晶圆的薄化工序包含: 使比所述密封绝缘体薄的所述晶圆进一步薄化的工序、或者使比所述密封绝缘体厚的所述晶圆薄化至比所述密封绝缘体薄的工序。

18. 根据权利要求11~17中任一项所述的半导体装置的制造方法, 其中,

所述密封绝缘体的形成工序包含: 形成比所述晶圆厚的所述密封绝缘体的工序。

19. 根据权利要求11~18中任一项所述的半导体装置的制造方法, 其中,

所述半导体装置的制造方法还包含: 在所述主面电极的形成工序之前, 通过使外延层从所述晶圆主面生长, 形成包含所述晶圆和所述外延层、且具有由所述外延层形成的所述晶圆主面的晶圆构造的工序。

20. 根据权利要求19所述的半导体装置的制造方法, 其中,

所述半导体装置的制造方法还包含: 在所述支承基板的除去工序之后, 在所述晶圆构造被所述密封绝缘体支承的状态下从所述晶圆构造除去所述晶圆的至少一部分的工序。

半导体装置的制造方法

技术领域

[0001] 本申请主张基于在2021年11月5日提交给日本专利局的日本特愿2021-181322号的优先权,本申请的全部公开通过引用而汇入其中。本公开涉及半导体装置的制造方法。

背景技术

[0002] 专利文献1公开了一种包含半导体基板、电极以及保护层的半导体装置。电极配置在半导体基板之上。保护层具有包含无机保护层和有机保护层的层叠构造,并覆盖电极。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:美国专利申请公开第2019/0080976号说明书

发明内容

[0006] 发明要解决的课题

[0007] 一实施方式提供具有高可靠性的半导体装置的高效的制造方法。

[0008] 用于解决课题的手段

[0009] 一实施方式提供一种半导体装置的制造方法,包含以下工序:准备晶圆源的工序,该晶圆源具有一侧的第一主面以及另一侧的第二主面;在所述第一主面之上形成主面电极的工序;在所述主面电极之上形成端子电极的工序;以使所述端子电极的一部分露出的方式在所述第一主面之上形成密封绝缘体的工序,该密封绝缘体覆盖所述端子电极的周围;以及从所述晶圆源的厚度范围的中途部在沿着所述第一主面的水平方向上切断所述晶圆源,并将所述晶圆源分离为所述密封绝缘体侧的密封晶圆以及所述第二主面侧的未密封晶圆的工序。

[0010] 一实施方式提供一种半导体装置的制造方法,包含以下工序:准备晶圆源的工序,该晶圆源具有一侧的第一主面以及另一侧的第二主面;将支承基板粘贴于所述第二主面的工序;从所述晶圆源的厚度范围的中途部在沿着所述第一主面的水平方向上切断所述晶圆源,并将具有由切断面构成的晶圆主面的晶圆与所述支承基板一起从所述晶圆源分离的工序;在所述晶圆主面之上形成主面电极的工序;在所述主面电极之上形成端子电极的工序;以使所述端子电极的一部分露出的方式在所述晶圆主面之上形成密封绝缘体的工序,该密封绝缘体覆盖所述端子电极的周围;以及在所述晶圆由所述密封绝缘体支承的状态下除去所述支承基板的工序。

[0011] 上述的或者其他目的、特征以及效果通过参照附图说明的实施方式而得以明确。

附图说明

[0012] 图1是表示第一实施方式的半导体装置的俯视图。

[0013] 图2是沿着图1所示的II-II线的剖视图。

[0014] 图3是表示芯片内部的主要部分的放大俯视图。

- [0015] 图4是沿着图3所示的IV-IV线的剖视图。
- [0016] 图5是表示芯片的周缘部的主要部分的放大剖视图。
- [0017] 图6是表示栅极电极和源极电极的布局例的俯视图。
- [0018] 图7是表示上绝缘膜的布局例的俯视图。
- [0019] 图8是表示图1所示的半导体装置的第一～第三制法例中使用的晶圆源和支承基板的立体图。
- [0020] 图9是表示图1所示的半导体装置的第一制法例的流程图。
- [0021] 图10A是表示图9所示的第一制法例的剖视图。
- [0022] 图10B是表示图10A之后的工序的剖视图。
- [0023] 图10C是表示图10B之后的工序的剖视图。
- [0024] 图10D是表示图10C之后的工序的剖视图。
- [0025] 图10E是表示图10D之后的工序的剖视图。
- [0026] 图10F是表示图10E之后的工序的剖视图。
- [0027] 图10G是表示图10F之后的工序的剖视图。
- [0028] 图10H是表示图10G之后的工序的剖视图。
- [0029] 图10I是表示图10H之后的工序的剖视图。
- [0030] 图11是表示图9所示的器件构造的形成工序的一例的工序图。
- [0031] 图12A是表示图11所示的器件构造的形成工序的一例的剖视图。
- [0032] 图12B是表示图12A之后的工序的剖视图。
- [0033] 图12C是表示图12B之后的工序的剖视图。
- [0034] 图12D是表示图12C之后的工序的剖视图。
- [0035] 图12E是表示图12D之后的工序的剖视图。
- [0036] 图12F是表示图12E之后的工序的剖视图。
- [0037] 图12G是表示图12F之后的工序的剖视图。
- [0038] 图12H是表示图12G之后的工序的剖视图。
- [0039] 图12I是表示图12H之后的工序的剖视图。
- [0040] 图12J是表示图12I之后的工序的剖视图。
- [0041] 图12K是表示图12J之后的工序的剖视图。
- [0042] 图12L是表示图12K之后的工序的剖视图。
- [0043] 图12M是表示图12L之后的工序的剖视图。
- [0044] 图13A是表示图11所示的器件构造的形成工序的一例中的主面电极的形成工序以后的工序的剖视图。
- [0045] 图13B是表示图13A之后的工序的剖视图。
- [0046] 图13C是表示图13B之后的工序的剖视图。
- [0047] 图13D是表示图13C之后的工序的剖视图。
- [0048] 图13E是表示图13D之后的工序的剖视图。
- [0049] 图13F是表示图13E之后的工序的剖视图。
- [0050] 图13G是表示图13F之后的工序的剖视图。
- [0051] 图13H是表示图13G之后的工序的剖视图。

- [0052] 图13I是表示图13H之后的工序的剖视图。
- [0053] 图13J是表示图13I之后的工序的剖视图。
- [0054] 图14是表示图1所示的半导体装置的第二制法例的工序图。
- [0055] 图15是表示图1所示的半导体装置的第三制法例的工序图。
- [0056] 图16是表示图1所示的半导体装置的第四～第五制法例中使用的晶圆源、第一支承基板及第二支承基板的立体图。
- [0057] 图17是表示图1所示的半导体装置的第四制法例的工序图。
- [0058] 图18A是表示图17所示的半导体装置的第四制法例的剖视图。
- [0059] 图18B是表示图18A之后的工序的剖视图。
- [0060] 图18C是表示图18B之后的工序的剖视图。
- [0061] 图18D是表示图18C之后的工序的剖视图。
- [0062] 图18E是表示图18D之后的工序的剖视图。
- [0063] 图18F是表示图18E之后的工序的剖视图。
- [0064] 图18G是表示图18F之后的工序的剖视图。
- [0065] 图18H是表示图18G之后的工序的剖视图。
- [0066] 图18I是表示图18H之后的工序的剖视图。
- [0067] 图18J是表示图18I之后的工序的剖视图。
- [0068] 图18K是表示图18J之后的工序的剖视图。
- [0069] 图19是表示图1所示的半导体装置的第五制法例的工序图。
- [0070] 图20是表示第二实施方式的半导体装置的俯视图。
- [0071] 图21是表示第三实施方式的半导体装置的俯视图。
- [0072] 图22是沿着图21所示的XXII-XXII线的剖视图。
- [0073] 图23是表示图21所示的半导体装置的电气结构的电路图。
- [0074] 图24是表示第四实施方式的半导体装置的俯视图。
- [0075] 图25是沿着图24所示的XXV-XXV线的剖视图。
- [0076] 图26是表示第五实施方式的半导体装置的俯视图。
- [0077] 图27是表示第六实施方式的半导体装置的俯视图。
- [0078] 图28是表示第七实施方式的半导体装置的俯视图。
- [0079] 图29是表示第八实施方式的半导体装置的俯视图。
- [0080] 图30是沿着图29所示的XXX-XXX线的剖视图。
- [0081] 图31是表示应用于各实施方式的芯片的变形例的剖视图。
- [0082] 图32是表示应用于各实施方式的密封绝缘体的变形例的剖视图。
- [0083] 图33是表示搭载第一～第七实施方式的半导体装置的封装体的俯视图。
- [0084] 图34是表示搭载第八实施方式的半导体装置的封装体的俯视图。
- [0085] 图35是表示搭载第一～第七实施方式的半导体装置及第八实施方式的半导体装置的封装体的立体图。
- [0086] 图36是图35所示的封装体的分解立体图。
- [0087] 图37是沿着图35所示的XXXVII-XXXVII线的剖视图。

具体实施方式

[0088] 以下,参照附图对实施方式进行详细说明。附图是示意图,并非严格地图示,比例尺等未必一致。另外,对附图之间对应的构造标注相同的参照符号,省略或简化重复的说明。对于省略或简化了说明的构造,应用在省略或简化之前进行的说明。

[0089] 图1是表示第一实施方式的半导体装置1A的俯视图。图2是沿着图1所示的II-II线的剖视图。图3是表示芯片2的内部的主要部分的放大俯视图。图4是沿着图3所示的IV-IV线的剖视图。图5是表示芯片2的周缘部的主要部分的放大剖视图。图6是表示栅极电极30及源极电极32的布局例的俯视图。图7是表示上绝缘膜38的布局例的俯视图。

[0090] 参照图1~图7,半导体装置1A在本方式(this embodiment)中包含芯片2,该芯片2包含宽带隙半导体的单晶,形成为六面体形状(具体而言为长方体形状)。即,半导体装置1A是“宽带隙半导体装置”。芯片2也可以称为“半导体芯片”或“宽带隙半导体芯片”。宽带隙半导体是具有超过Si(硅)带隙的带隙的半导体。作为宽带隙半导体,例示GaN(氮化镓)、SiC(碳化硅)以及C(金刚石)。

[0091] 在本方式中,芯片2是包含六方晶的SiC单晶作为宽带隙半导体的一例的“SiC芯片”。即,半导体装置1A是“SiC半导体装置”。六方晶的SiC单晶具有包含2H(Hexagonal)-SiC单晶、4H-SiC单晶、6H-SiC单晶等的多种多晶型。在本方式中,表示了芯片2包含4H-SiC单晶的例子,但不排除其他多晶型的选择。

[0092] 芯片2具有:一侧的第一主面3、另一侧的第二主面4、以及连接第一主面3和第二主面4的第一~第四侧面5A~5D。第一主面3及第二主面4在从它们的法线方向Z观察的俯视图(以下,简称为“俯视图”)中形成为四边形状。法线方向Z也是芯片2的厚度方向。第一主面3和第二主面4优选由SiC单晶的c面形成。

[0093] 该情况下,优选的是,第一主面3由SiC单晶的硅面形成,第二主面4由SiC单晶的碳面形成。第一主面3和第二主面4也可以具有:相对于c面在规定的偏离方向上以规定的角度倾斜的偏离角。偏离方向优选为SiC单晶的a轴方向([11-20]方向)。偏离角可以超过0°且为10°以下。偏离角优选为5°以下。第二主面4可以由具有磨削痕的磨削面构成,也可以由不具有磨削痕的平滑面构成。

[0094] 第一侧面5A及第二侧面5B在沿着第一主面3的第一方向X上延伸,在与第一方向X交叉(具体而言为正交)的第二方向Y上对置。第三侧面5C及第四侧面5D在第二方向Y上延伸,在第一方向X上对置。也可以是,第一方向X为SiC单晶的m轴方向([1-100]方向),第二方向Y为SiC单晶的a轴方向。当然,也可以是,第一方向X为SiC单晶的a轴方向,第二方向Y为SiC单晶的m轴方向。第一~第四侧面5A~5D可以由具有磨削痕的磨削面构成,也可以由不具有磨削痕的平滑面构成。

[0095] 芯片2在法线方向Z上可以具有5 μ m以上且250 μ m以下的厚度。芯片2的厚度可以为100 μ m以下。芯片2的厚度优选为50 μ m以下。芯片2的厚度特别优选为40 μ m以下。第一~第四侧面5A~5D在俯视图中也可以具有0.5mm以上且10mm以下的长度。

[0096] 第一~第四侧面5A~5D的长度优选为1mm以上。第一~第四侧面5A~5D的长度特别优选为2mm以上。即,芯片2优选具有1mm见方以上(优选为2mm见方以上)的平面面积,在剖视图中具有100 μ m以下(优选为50 μ m以下)的厚度。在本方式中,第一~第四侧面5A~5D的长度设定为4mm以上且6mm以下的范围。

[0097] 半导体装置1A包含:在芯片2内形成于第一主面3侧的区域(表层部)的n型(第一导电型)的第一半导体区6。第一半导体区6形成为沿着第一主面3延伸的层状,从第一主面3以及第一~第四侧面5A~5D露出。在本方式中,第一半导体区6由外延层(具体而言SiC外延层)构成。第一半导体区6在法线方向Z上可以具有 $1\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下的厚度。第一半导体区6的厚度优选为 $3\mu\text{m}$ 以上且 $30\mu\text{m}$ 以下。第一半导体区6的厚度特别优选为 $5\mu\text{m}$ 以上且 $25\mu\text{m}$ 以下。

[0098] 半导体装置1A包含:在芯片2内形成于第二主面4侧的区域(表层部)的n型的第二半导体区7。第二半导体区7形成为沿着第二主面4延伸的层状,从第二主面4和第一~第四侧面5A~5D露出。第二半导体区7具有比第一半导体区6高的n型杂质浓度,并与第一半导体区6电连接。在本方式中,第二半导体区7由半导体基板(具体而言SiC半导体基板)构成。即,芯片2具有包含半导体基板及外延层的层叠构造。

[0099] 第二半导体区7在法线方向Z上可以具有 $1\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下的厚度。第二半导体区7的厚度优选为 $5\mu\text{m}$ 以上且 $50\mu\text{m}$ 以下。第二半导体区7的厚度特别优选为 $5\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。若考虑在第一半导体区6产生的误差,则第二半导体区7的厚度优选为 $10\mu\text{m}$ 以上。第二半导体区7的厚度最优选小于第一半导体区6的厚度。根据具有比较小的厚度的第二半导体区7,能够削减起因于第二半导体区7的电阻值(例如导通电阻)。当然,第二半导体区7的厚度也可以超过第一半导体区6的厚度。

[0100] 半导体装置1A包含:形成于第一主面3的活性面8(active surface)、外侧面9(outer surface)以及第一~第四连接面10A~10D(connecting surface)。活性面8、外侧面9和第一~第四连接面10A~10D在第一主面3划分台面部11(mesa)。也可以将活性面8称为“第一面部”,将外侧面9称为“第二面部”,将第一~第四连接面10A~10D称为“连接面部”。活性面8、外侧面9和第一~第四连接面10A~10D(即台面部11)可以视为芯片2(第一主面3)的构成要素。

[0101] 活性面8形成为从第一主面3的周缘(第一~第四侧面5A~5D)向内侧隔开间隔。活性面8具有沿第一方向X及第二方向Y延伸的平坦面。在本方式中,活性面8在俯视图中形成为具有与第一~第四侧面5A~5D平行的四边的四边形状。

[0102] 外侧面9位于活性面8外,从活性面8向芯片2的厚度方向(第二主面4侧)凹陷。具体而言,外侧面9以小于第一半导体区6的厚度的深度凹陷,以使第一半导体区6露出。外侧面9在俯视图中沿着活性面8呈带状延伸,形成为包围活性面8的环状(具体而言为四边环状)。外侧面9具有沿第一方向X及第二方向Y延伸的平坦面,形成为相对于活性面8大致平行。外侧面9与第一~第四侧面5A~5D相连。

[0103] 第一~第四连接面10A~10D沿法线方向Z延伸,连接活性面8和外侧面9。第一连接面10A位于第一侧面5A侧,第二连接面10B位于第二侧面5B侧,第三连接面10C位于第三侧面5C侧,第四连接面10D位于第四侧面5D侧。

[0104] 第一连接面10A及第二连接面10B沿第一方向X延伸,在第二方向Y上对置。

[0105] 第三连接面10C及第四连接面10D沿第二方向Y延伸,在第一方向X上对置。

[0106] 第一~第四连接面10A~10D可以以划分四棱柱状的台面部11的方式在活性面8和外侧面9之间大致垂直地延伸。第一~第四连接面10A~10D也可以以划分四棱锥台状的台面部11的方式从活性面8朝向外侧面9斜向下倾斜。这样,半导体装置1A包含:在第一主面3

形成于第一半导体区6的台面部11。台面部11仅形成于第一半导体区6,而不形成于第二半导体区7。

[0107] 半导体装置1A包含形成于活性面8(第一主面3)的MISFET(Metal Insulator Semiconductor Field Effect Transistor)构造12。在图2中,用虚线简化表示MISFET构造12。以下,参照图3及图4,对MISFET构造12的具体的构造进行说明。

[0108] MISFET构造12包含:形成于活性面8的表层部的p型(第二导电型)的体区13。体区13形成为从第一半导体区6的底部向活性面8侧隔开间隔。体区13形成为沿着活性面8延伸的层状。体区13也可以从第一~第四连接面10A~10D的一部分露出。

[0109] MISFET构造12包含:形成于体区13的表层部的n型的源极区14。源极区14具有比第一半导体区6高的n型杂质浓度。源极区14形成为从体区13的底部朝向活性面8侧隔开间隔。源极区14形成为沿着活性面8延伸的层状。源极区14也可以从活性面8的整个区域露出。源极区14也可以从第一~第四连接面10A~10D的一部分露出。源极区14在与第一半导体区6之间在体区13内形成沟道。

[0110] MISFET构造12包含:形成于活性面8的多个栅极构造15。多个栅极构造15在俯视图中在第一方向X上隔开间隔地排列,分别形成为沿第二方向Y延伸的带状。多个栅极构造15贯通体区13及源极区14而到达第一半导体区6。多个栅极构造15控制体区13内的沟道的反转以及非反转。

[0111] 在本方式中,各栅极构造15包含:栅极沟槽15a、栅极绝缘膜15b以及栅极埋设电极15c。栅极沟槽15a形成于活性面8,划分栅极构造15的壁面。栅极绝缘膜15b覆盖栅极沟槽15a的壁面。栅极埋设电极15c隔着栅极绝缘膜15b埋设于栅极沟槽15a,隔着栅极绝缘膜15b与沟道对置。

[0112] MISFET构造12包含:形成于活性面8的多个源极构造16。多个源极构造16分别配置在活性面8中相邻的一对栅极构造15之间的区域。多个源极构造16在俯视图中分别形成为沿第二方向Y延伸的带状。多个源极构造16贯通体区13及源极区14而到达第一半导体区6。多个源极构造16具有超过栅极构造15的深度的深度。具体而言,多个源极构造16具有与外侧面9的深度大致相等的深度。

[0113] 各源极构造16包含:源极沟槽16a、源极绝缘膜16b以及源极埋设电极16c。源极沟槽16a形成于活性面8,划分源极构造16的壁面。源极绝缘膜16b覆盖源极沟槽16a的壁面。源极埋设电极16c隔着源极绝缘膜16b埋设于源极沟槽16a。

[0114] MISFET构造12包含:在芯片2内在沿着多个源极构造16的区域分别形成的多个p型的接触区17。多个接触区17具有比体区13高的p型杂质浓度。各接触区17覆盖各源极构造16的侧壁及底壁,并与体区13电连接。

[0115] MISFET构造12包含:在芯片2内沿着多个源极构造16的区域分别形成的多个p型的阱区18。各阱区18可以具有比体区13高且比接触区17低的p型杂质浓度。各阱区18隔着对应的接触区17覆盖对应的源极构造16。各阱区18覆盖对应的源极构造16的侧壁和底壁,并与体区13和接触区17电连接。

[0116] 参照图5,半导体装置1A包含:形成于外侧面9的表层部的p型的外部接触区19。外部接触区19具有超过体区13的p型杂质浓度的p型杂质浓度。外部接触区19在俯视图中形成为从活性面8的周缘及外侧面9的周缘隔开间隔,并形成为沿着活性面8延伸的带状。

[0117] 在本方式中,外部接触区19在俯视图中形成为包围活性面8的环状(具体而言为四边环状)。外部接触区19形成为从第一半导体区6的底部向外侧面9隔开间隔。外部接触区19相对于多个栅极构造15(源极构造16)的底壁位于第一半导体区6的底部侧。

[0118] 半导体装置1A包含:形成于外侧面9的表层部的p型的外部阱区20。外部阱区20具有小于外部接触区19的p型杂质浓度的p型杂质浓度。外部阱区20的p型杂质浓度优选与阱区18的p型杂质浓度大致相等。外部阱区20在俯视图中形成在活性面8的周缘以及外部接触区19之间的区域,形成为沿着活性面8延伸的带状。

[0119] 在本方式中,外部阱区20在俯视图中形成为包围活性面8的环状(具体而言为四边环状)。外部阱区20形成为从第一半导体区6的底部向外侧面9隔开间隔。外部阱区20也可以形成为比外部接触区19深。外部阱区20相对于多个栅极构造15(源极构造16)的底壁位于第一半导体区6的底部侧。

[0120] 外部阱区20与外部接触区19电连接。在本方式中,外部阱区20从外部接触区19侧朝向第一~第四连接面10A~10D延伸,并覆盖第一~第四连接面10A~10D。外部阱区20在活性面8的表层部与体区13电连接。

[0121] 半导体装置1A包含:在外侧面9的表层部形成于外侧面9的周缘及外部接触区19之间的区域的至少一个(优选为2个以上且20个以下)p型的场区21。在本方式中,半导体装置1A包含5个场区21。多个场区21在外侧面9缓和芯片2内的电场。场区21的个数、宽度、深度、p型杂质浓度等是任意的,可以根据应缓和的电场而取各种值。

[0122] 多个场区21从外部接触区19侧向外侧面9的周缘侧隔开间隔地排列。多个场区21在俯视图中形成为沿着活性面8延伸的带状。在本方式中,多个场区21在俯视图中形成为包围活性面8的环状(具体而言为四边环状)。由此,多个场区21分别形成为FLR(Field Limiting Ring)区。

[0123] 多个场区21形成为从第一半导体区6的底部向外侧面9隔开间隔。多个场区21相对于多个栅极构造15(源极构造16)的底壁位于第一半导体区6的底部侧。多个场区21可以形成为比外部接触区19深。最内的场区21可以与外部接触区19连接。

[0124] 半导体装置1A包含覆盖第一主面3的主面绝缘膜25。主面绝缘膜25可以包含氧化硅膜、氮化硅膜和氮氧化硅膜中的至少一个。在本方式中,主面绝缘膜25具有由氧化硅膜构成的单层构造。主面绝缘膜25特别优选包含由芯片2的氧化物构成的氧化硅膜。

[0125] 主面绝缘膜25覆盖活性面8、外侧面9和第一~第四连接面10A~10D。主面绝缘膜25与栅极绝缘膜15b和源极绝缘膜16b相连,以使栅极埋设电极15c和源极埋设电极16c露出的方式覆盖活性面8。主面绝缘膜25以覆盖外部接触区19、外部阱区20和多个场区21的方式覆盖外侧面9和第一~第四连接面10A~10D。

[0126] 主面绝缘膜25可以与第一~第四侧面5A~5D相连。此时,主面绝缘膜25的外壁可以由具有磨削痕的磨削面构成。主面绝缘膜25的外壁可以与第一~第四侧面5A~5D形成1个磨削面。当然,主面绝缘膜25的外壁也可以形成为从外侧面9的周缘向内侧隔开间隔,使第一半导体区6从外侧面9的周缘部露出。

[0127] 半导体装置1A包含:侧壁构造26,其在外侧面9以覆盖第一~第四连接面10A~10D中的至少1个的方式形成在主面绝缘膜25之上。在本方式中,侧壁构造26在俯视图中形成为包围活性面8的环状(四边环状)。侧壁构造26可以具有搭在活性面8之上的部分。侧壁构造

26可以包含无机绝缘体或多晶硅。侧壁构造26可以是与源极构造16电连接的侧壁布线。

[0128] 半导体装置1A包含:形成在主面绝缘膜25之上的层间绝缘膜27。层间绝缘膜27可以包含氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在本方式中,层间绝缘膜27具有由氧化硅膜构成的单层构造。

[0129] 层间绝缘膜27隔着主面绝缘膜25覆盖活性面8、外侧面9和第一~第四连接面10A~10D。具体而言,层间绝缘膜27隔着侧壁构造26覆盖活性面8、外侧面9和第一~第四连接面10A~10D。层间绝缘膜27在活性面8侧覆盖MISFET构造12,在外侧面9侧覆盖外部接触区19、外部阱区20以及多个场区21。

[0130] 在本方式中,层间绝缘膜27与第一~第四侧面5A~5D相连。层间绝缘膜27的外壁可以由具有磨削痕的磨削面构成。层间绝缘膜27的外壁可以与第一~第四侧面5A~5D形成一个磨削面。当然,层间绝缘膜27的外壁也可以形成为从外侧面9的周缘向内侧隔开间隔,并使第一半导体区6从外侧面9的周缘部露出。

[0131] 半导体装置1A包含:配置在第一主面3(层间绝缘膜27)之上的栅极电极30。栅极电极30可以称为“栅极主面电极”。栅极电极30从第一主面3的周缘隔开间隔地配置于第一主面3的内部。在本方式中,栅极电极30配置在活性面8之上。具体而言,栅极电极30在活性面8的周缘部配置于与第三连接面10C(第三侧面5C)的中央部接近的区域。在本方式中,栅极电极30在俯视图中形成为四边形状。当然,栅极电极30在俯视图中也可以形成为四边形状以外的多边形形状、圆形状或者椭圆形状。

[0132] 栅极电极30优选具有第一主面3的25%以下的平面面积。栅极电极30的平面面积可以为第一主面3的10%以下。栅极电极30可以具有 $0.5\mu\text{m}$ 以上且 $15\mu\text{m}$ 以下的厚度。栅极电极30也可以包含Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜以及导电性多晶硅膜中的至少一种。

[0133] 栅极电极30可以包含纯Cu膜(纯度为99%以上的Cu膜)、纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜以及AlSiCu合金膜中的至少一个。在本方式中,栅极电极30具有:包含从芯片2侧依次层叠的Ti膜和Al合金膜(在本方式中为AlSiCu合金膜)的层叠构造。

[0134] 半导体装置1A包含:从栅极电极30隔开间隔地配置在第一主面3(层间绝缘膜27)之上的源极电极32。源极电极32可以称为“源极主面电极”。源极电极32从第一主面3的周缘隔开间隔地配置于第一主面3的内部。在本方式中,源极电极32配置在活性面8之上。在本方式中,源极电极32具有主体电极部33以及至少一个(在本方式中为多个)引出电极部34A、34B。

[0135] 主体电极部33在俯视图中从栅极电极30隔开间隔地配置于第四侧面5D(第四连接面10D)侧的区域,在第一方向X上与栅极电极30对置。在本方式中,主体电极部33在俯视图中形成为具有与第一~第四侧面5A~5D平行的四边的多边形形状(具体而言为四边形状)。

[0136] 多个引出电极部34A、34B包含一侧(第一侧面5A侧)的第一引出电极部34A和另一侧(第二侧面5B侧)的第二引出电极部34B。第一引出电极部34A在俯视图中从主体电极部33引出到相对于栅极电极30位于第二方向Y的一侧(第一侧面5A侧)的区域,并在第二方向Y上与栅极电极30对置。

[0137] 第二引出电极部34B在俯视图中从主体电极部33引出到相对于栅极电极30位于第

二方向Y的另一侧(第二侧面5B侧)的区域,在第二方向Y上与栅极电极30对置。即,多个引出电极部34A、34B在俯视图中从第二方向Y的两侧夹着栅极电极30。

[0138] 源极电极32(主体电极部33以及引出电极部34A、34B)贯通层间绝缘膜27以及主面绝缘膜25,并与多个源极构造16、源极区14以及多个阱区18电连接。当然,源极电极32也可以不具有引出电极部34A、34B而仅由主体电极部33构成。

[0139] 源极电极32具有超过栅极电极30的平面面积的平面面积。源极电极32的平面面积优选为第一主面3的50%以上。源极电极32的平面面积特别优选为第一主面3的75%以上。源极电极32可以具有0.5 μm 以上且15 μm 以下的厚度。源极电极32可以包含Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜及导电性多晶硅膜中的至少1种。

[0140] 源极电极32优选包含纯Cu膜(纯度为99%以上的Cu膜)、纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜以及AlSiCu合金膜中的至少一个。在本方式中,源极电极32具有:包含从芯片2侧起依次层叠的Ti膜以及Al合金膜(在本方式中为AlSiCu合金膜)的层叠构造。源极电极32优选包含与栅极电极30相同的导电材料。

[0141] 半导体装置1A包含:从栅极电极30引出到第一主面3(层间绝缘膜27)之上的至少一个(在本方式中为多个)栅极布线36A、36B。多个栅极布线36A、36B优选包含与栅极电极30相同的导电材料。在本方式中,多个栅极布线36A、36B覆盖活性面8,而不覆盖外侧面9。多个栅极布线36A、36B在俯视图中引出到活性面8的周缘和源极电极32之间的区域,沿着源极电极32呈带状延伸。

[0142] 具体而言,多个栅极布线36A、36B包含第一栅极布线36A以及第二栅极布线36B。第一栅极布线36A在俯视图中从栅极电极30引出到第一侧面5A侧的区域。第一栅极布线36A具有:沿着第三侧面5C在第二方向Y上呈带状延伸的部分、以及沿着第一侧面5A在第一方向X上呈带状延伸的部分。第二栅极布线36B在俯视图中从栅极电极30引出到第二侧面5B侧的区域。第二栅极布线36B具有:沿着第三侧面5C在第二方向Y上呈带状延伸的部分、以及沿着第二侧面5B在第一方向X上呈带状延伸的部分。

[0143] 多个栅极布线36A、36B在活性面8(第一主面3)的周缘部与多个栅极构造15的两端部交叉(具体而言为正交)。多个栅极布线36A、36B贯通层间绝缘膜27而与多个栅极构造15电连接。多个栅极布线36A、36B可以与多个栅极构造15直接连接,也可以经由导体膜与多个栅极构造15电连接。

[0144] 半导体装置1A包含:从源极电极32引出至第一主面3(层间绝缘膜27)之上的源极布线37。源极布线37优选包含与源极电极32相同的导电材料。源极布线37在比多个栅极布线36A、36B靠外侧面9侧的区域形成成为沿着活性面8的周缘延伸的带状。在本方式中,源极布线37在俯视图中形成成为包围栅极电极30、源极电极32以及多个栅极布线36A、36B的环状(具体而言为四边环状)。

[0145] 源极布线37隔着层间绝缘膜27覆盖侧壁构造26,并从活性面8侧引出到外侧面9侧。源极布线37优选遍及整周地覆盖侧壁构造26的整个区域。源极布线37具有:在外侧面9侧贯通层间绝缘膜27以及主面绝缘膜25,并与外侧面9(具体而言为外部接触区19)连接的部分。源极布线37也可以贯通层间绝缘膜27而与侧壁构造26电连接。

[0146] 半导体装置1A包含:选择性地覆盖栅极电极30、源极电极32、多个栅极布线36A、36B及源极布线37的上绝缘膜38。上绝缘膜38具有使栅极电极30的内部露出的栅极开口39,

并遍及整周地覆盖栅极电极30的周缘部。在本方式中,栅极开口39在俯视图中形成为四边形状。

[0147] 上绝缘膜38具有在俯视图中使源极电极32的内部露出的源极开口40,并遍及整周地覆盖源极电极32的周缘部。在本方式中,源极开口40在俯视图中形成为沿着源极电极32的多边形状。上绝缘膜38覆盖多个栅极布线36A、36B的整个区域及源极布线37的整个区域。

[0148] 上绝缘膜38隔着层间绝缘膜27覆盖侧壁构造26,并从活性面8侧引出到外侧面9侧。上绝缘膜38形成为从外侧面9的周缘(第一~第四侧面5A~5D)向内侧隔开间隔,并覆盖外部接触区19、外部阱区20以及多个场区21。上绝缘膜38在与外侧面9的周缘之间划分切割道41。

[0149] 切割道41在俯视图中形成为沿着外侧面9的周缘(第一~第四侧面5A~5D)延伸的带状。在本方式中,切割道41在俯视图中形成为包围第一主面3的内部(活性面8)的环状(具体而言为四边环状)。在本方式中,切割道41使层间绝缘膜27露出。

[0150] 当然,在主面绝缘膜25及层间绝缘膜27使外侧面9露出时,切割道41也可以使外侧面9露出。切割道41可以具有1 μ m以上且200 μ m以下的宽度。切割道41的宽度是与切割道41的延展方向正交的方向的宽度。切割道41的宽度优选为5 μ m以上且50 μ m以下。

[0151] 上绝缘膜38优选具有超过栅极电极30的厚度及源极电极32的厚度的厚度。上绝缘膜38的厚度优选小于芯片2的厚度。上绝缘膜38的厚度可以为3 μ m以上且35 μ m以下。上绝缘膜38的厚度优选为25 μ m以下。

[0152] 在本方式中,上绝缘膜38具有:包含从芯片2侧依次层叠的无机绝缘膜42和有机绝缘膜43的层叠构造。上绝缘膜38只要包含无机绝缘膜42及有机绝缘膜43中的至少一个即可,不必需要同时包含无机绝缘膜42和有机绝缘膜43。无机绝缘膜42选择性地覆盖栅极电极30、源极电极32、多个栅极布线36A、36B及源极布线37,划分栅极开口39的一部分、源极开口40的一部分及切割道41的一部分。

[0153] 无机绝缘膜42可以包含氧化硅膜、氮化硅膜和氮氧化硅膜中的至少一个。无机绝缘膜42优选包含与层间绝缘膜27不同的绝缘材料。无机绝缘膜42优选包含氮化硅膜。无机绝缘膜42优选具有小于层间绝缘膜27的厚度的厚度。无机绝缘膜42的厚度可以为0.1 μ m以上且5 μ m以下。

[0154] 有机绝缘膜43选择性地覆盖无机绝缘膜42,划分栅极开口39的一部分、源极开口40的一部分以及切割道41的一部分。具体而言,有机绝缘膜43在栅极开口39的壁面使无机绝缘膜42部分地露出。另外,有机绝缘膜43在源极开口40的壁面使无机绝缘膜42部分地露出。另外,有机绝缘膜43在切割道41的壁面使无机绝缘膜42部分地露出。

[0155] 当然,有机绝缘膜43也可以以无机绝缘膜42不从栅极开口39的壁面露出的方式覆盖无机绝缘膜42。有机绝缘膜43也可以以无机绝缘膜42不从源极开口40的壁面露出的方式覆盖无机绝缘膜42。有机绝缘膜43也可以以无机绝缘膜42不从切割道41的壁面露出的方式覆盖无机绝缘膜42。这些情况下,有机绝缘膜43也可以覆盖无机绝缘膜42的整个区域。

[0156] 有机绝缘膜43优选由热固化性树脂以外的树脂膜构成。有机绝缘膜43可以由透光性树脂或透明树脂构成。有机绝缘膜43也可以由负型或正型的感光性树脂膜构成。有机绝缘膜43优选由聚酰亚胺膜、聚酰胺膜或聚苯并噁唑膜构成。在本方式中,有机绝缘膜43包含聚苯并噁唑膜。

[0157] 有机绝缘膜43优选具有超过无机绝缘膜42的厚度的厚度。有机绝缘膜43的厚度优选超过层间绝缘膜27的厚度。有机绝缘膜43的厚度特别优选超过栅极电极30的厚度及源极电极32的厚度。有机绝缘膜43的厚度可以为 $3\mu\text{m}$ 以上且 $30\mu\text{m}$ 以下。有机绝缘膜43的厚度优选为 $20\mu\text{m}$ 以下。

[0158] 半导体装置1A包含:配置在栅极电极30之上的栅极端子电极50。栅极端子电极50在栅极电极30中呈柱状竖立设置于从栅极开口39露出的部分之上。栅极端子电极50在俯视图中具有小于栅极电极30的面积,并从栅极电极30的周缘隔开间隔地配置在栅极电极30的内部之上。

[0159] 栅极端子电极50具有栅极端子面51和栅极端子侧壁52。栅极端子面51沿着第一主面3平坦地延伸。栅极端子面51可以由具有磨削痕的磨削面构成。在本方式中,栅极端子侧壁52位于上绝缘膜38(具体而言为有机绝缘膜43)之上。

[0160] 即,栅极端子电极50包含:与无机绝缘膜42和有机绝缘膜43相接的部分。栅极端子侧壁52在法线方向Z上大致铅垂地延伸。“大致铅垂”也包含一边弯曲(蜿蜒)一边在层叠方向上延伸的方式。栅极端子侧壁52包含隔着上绝缘膜38而与栅极电极30对置的部分。栅极端子侧壁52优选由不具有磨削痕的平滑面构成。

[0161] 在本方式中,栅极端子电极50在栅极端子侧壁52的下端部具有朝向外侧突出的第一突出部53。第一突出部53形成于比栅极端子侧壁52的中间部靠上绝缘膜38(有机绝缘膜43)侧的区域。第一突出部53在剖视图中沿着上绝缘膜38的外表面延伸,形成为厚度从栅极端子侧壁52朝向前端部逐渐变小的尖细形状。由此,第一突出部53具有呈锐角的尖锐形状的前端部。当然,也可以形成不具有第一突出部53的栅极端子电极50。

[0162] 栅极端子电极50优选具有超过栅极电极30的厚度的厚度。栅极端子电极50的厚度由栅极电极30与栅极端子面51之间的距离定义。栅极端子电极50的厚度特别优选超过上绝缘膜38的厚度。在本方式中,栅极端子电极50的厚度超过芯片2的厚度。当然,栅极端子电极50的厚度也可以小于芯片2的厚度。栅极端子电极50的厚度可以为 $10\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。栅极端子电极50的厚度优选为 $30\mu\text{m}$ 以上。栅极端子电极50的厚度特别优选为 $80\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。

[0163] 栅极端子电极50的平面面积根据第一主面3的平面面积来调整。栅极端子电极50的平面面积由栅极端子面51的平面面积定义。栅极端子电极50的平面面积优选为第一主面3的25%以下。栅极端子电极50的平面面积可以为第一主面3的10%以下。

[0164] 在第一主面3具有 1mm 见方以上的平面面积时,栅极端子电极50的平面面积可以为 0.4mm 见方以上。栅极端子电极50也可以形成为具有 $0.4\text{mm} \times 0.7\text{mm}$ 以上的平面面积的多边形状(例如长方形状)。在本方式中,栅极端子电极50在俯视图中形成为具有与第一~第四侧面5A~5D平行的4边的多边形形状(具有切成矩形状的四角的四边形形状)。当然,栅极端子电极50在俯视图下也可以形成为四边形状、四边形状以外的多边形形状、圆形状或椭圆形状。

[0165] 在本方式中,栅极端子电极50具有:包含从栅极电极30侧起依次层叠的第一栅极导体膜55及第二栅极导体膜56的层叠构造。第一栅极导体膜55可以包含Ti系金属膜。第一栅极导体膜55也可以具有由Ti膜或TiN膜构成的单层构造。第一栅极导体膜55也可以具有:包含以任意顺序层叠的Ti膜和TiN膜的层叠构造。

[0166] 第一栅极导体膜55具有小于栅极电极30的厚度的厚度。第一栅极导体膜55在栅极

开口39内呈膜状覆盖栅极电极30,呈膜状引出到上绝缘膜38之上。第一栅极导体膜55形成第一突出部53的一部分。不需要一定形成第一栅极导体膜55,也可以去除。

[0167] 第二栅极导体膜56形成栅极端子电极50的主体。第二栅极导体膜56可以包含Cu系金属膜。Cu系金属膜可以是纯Cu膜(纯度为99%以上的Cu膜)或Cu合金膜。在本方式中,第二栅极导体膜56包含纯Cu镀膜。第二栅极导体膜56优选具有超过栅极电极30的厚度的厚度。第二栅极导体膜56的厚度特别优选超过上绝缘膜38的厚度。在本方式中,第二栅极导体膜56的厚度超过芯片2的厚度。

[0168] 第二栅极导体膜56在栅极开口39内隔着第一栅极导体膜55而覆盖栅极电极30,隔着第一栅极导体膜55呈膜状引出到上绝缘膜38之上。第二栅极导体膜56形成第一突出部53的一部分。即,第一突出部53具有:包含第一栅极导体膜55以及第二栅极导体膜56的层叠构造。第二栅极导体膜56优选在第一突出部53内具有超过第一栅极导体膜55的厚度的厚度。

[0169] 半导体装置1A包含:配置在源极电极32之上的源极端子电极60。源极端子电极60在源极电极32中呈柱状竖立设置于从源极开口40露出的部分之上。源极端子电极60在俯视图中具有小于源极电极32的面积,从源极电极32的周缘隔开间隔地配置在源极电极32的内部之上。

[0170] 在本方式中,源极端子电极60配置在源极电极32的主体电极部33之上,而不配置在源极电极32的引出电极部34A、34B之上。由此,削减了栅极端子电极50与源极端子电极60之间的对置面积。这样的构造在焊料、金属膏等导电粘接剂附着于栅极端子电极50和源极端子电极60时,在降低栅极端子电极50与源极端子电极60之间的短路风险方面是有效的。当然,导体板、导线(例如键合线)等导电接合构件也可以与栅极端子电极50和源极端子电极60连接。此时,可以降低栅极端子电极50侧的导电接合构件与源极端子电极60侧的导电接合构件之间的短路风险。

[0171] 源极端子电极60具有源极端子面61和源极端子侧壁62。源极端子面61沿着第一主面3平坦地延伸。源极端子面61可以由具有磨削痕的磨削面构成。在本方式中,源极端子侧壁62位于上绝缘膜38(具体而言为有机绝缘膜43)之上。

[0172] 即,源极端子电极60包含:与无机绝缘膜42和有机绝缘膜43相接的部分。源极端子侧壁62在法线方向Z上大致铅垂地延伸。“大致铅垂”也包含一边弯曲(蜿蜒)一边沿层叠方向延伸的方式。源极端子侧壁62包含隔着上绝缘膜38与源极电极32对置的部分。源极端子侧壁62优选由不具有磨削痕的平滑面构成。

[0173] 在本方式中,源极端子电极60在源极端子侧壁62的下端部具有朝向外侧突出的第二突出部63。第二突出部63形成在比源极端子侧壁62的中间部靠上绝缘膜38(有机绝缘膜43)侧的区域。第二突出部63在剖视图中沿着上绝缘膜38的外表面延伸,形成厚度从源极端子侧壁62朝向前端部逐渐变小的尖细形状。由此,第二突出部63具有呈锐角的尖锐形状的前端部。当然,也可以形成不具有第二突出部63的源极端子电极60。

[0174] 源极端子电极60优选具有超过源极电极32的厚度的厚度。源极端子电极60的厚度由源极电极32与源极端子面61之间的距离定义。源极端子电极60的厚度特别优选超过上绝缘膜38的厚度。在本方式中,源极端子电极60的厚度超过芯片2的厚度。

[0175] 当然,源极端子电极60的厚度也可以小于芯片2的厚度。源极端子电极60的厚度可以为10 μm 以上且300 μm 以下。源极端子电极60的厚度优选为30 μm 以上。源极端子电极60的厚

度特别优选为80 μ m以上且200 μ m以下。源极端子电极60的厚度与栅极端子电极50的厚度大致相等。

[0176] 源极端子电极60的平面面积根据第一主面3的平面面积进行调整。源极端子电极60的平面面积由源极端子面61的平面面积定义。源极端子电极60的平面面积优选超过栅极端子电极50的平面面积。源极端子电极60的平面面积优选为第一主面3的50%以上。源极端子电极60的平面面积特别优选为第一主面3的75%以上。

[0177] 在第一主面3具有1mm见方以上的平面面积时,源极端子电极60的平面面积优选为0.8mm见方以上。此时,源极端子电极60的平面面积特别优选为1mm见方以上。源极端子电极60也可以形成为具有1mm $\times$ 1.4mm以上的平面面积的多边形状。在本方式中,源极端子电极60在俯视图中形成为具有与第一~第四侧面5A~5D平行的四边的四边形状。当然,源极端子电极60在俯视图中也可以形成为四边形状以外的多边形状、圆形状或者椭圆形状。

[0178] 在本方式中,源极端子电极60具有:包含从源极电极32侧依次层叠的第一源极导体膜67以及第二源极导体膜68的层叠构造。第一源极导体膜67可以包含Ti系金属膜。第一源极导体膜67也可以具有由Ti膜或TiN膜构成的单层构造。第一源极导体膜67也可以具有:包含以任意顺序层叠的Ti膜和TiN膜的层叠构造。第一源极导体膜67优选由与第一栅极导体膜55相同的导电材料构成。

[0179] 第一源极导体膜67具有小于源极电极32的厚度的厚度。第一源极导体膜67在源极开口40内呈膜状覆盖源极电极32,呈膜状引出到上绝缘膜38之上。第一源极导体膜67形成第二突出部63的一部分。第一源极导体膜67的厚度与第一栅极导体膜55的厚度大致相等。不需要一定形成第一源极导体膜67,也可以去除。

[0180] 第二源极导体膜68形成源极端子电极60的主体。第二源极导体膜68可以包含Cu系金属膜。Cu系金属膜也可以是纯Cu膜(纯度为99%以上的Cu膜)或Cu合金膜。在本方式中,第二源极导体膜68包含纯Cu镀膜。第二源极导体膜68优选由与第二栅极导体膜56相同的导电材料构成。

[0181] 第二源极导体膜68优选具有超过源极电极32的厚度的厚度。第二源极导体膜68的厚度特别优选超过上绝缘膜38的厚度。在本方式中,第二源极导体膜68的厚度超过芯片2的厚度。第二源极导体膜68的厚度与第二栅极导体膜56的厚度大致相等。

[0182] 第二源极导体膜68在源极开口40内隔着第一源极导体膜67覆盖源极电极32,隔着第一源极导体膜67呈膜状引出到上绝缘膜38之上。第二源极导体膜68形成第二突出部63的一部分。即,第二突出部63具有:包含第一源极导体膜67和第二源极导体膜68的层叠构造。第二源极导体膜68优选在第二突出部63内具有超过第一源极导体膜67的厚度的厚度。

[0183] 半导体装置1A包含:覆盖第一主面3的密封绝缘体71(a sealing insulator)。密封绝缘体71在第一主面3之上以使栅极端子电极50的一部分和源极端子电极60的一部分露出的方式覆盖栅极端子电极50的周围和源极端子电极60的周围。具体而言,密封绝缘体71以使栅极端子电极50和源极端子电极60露出的方式覆盖活性面8、外侧面9和第一~第四连接面10A~10D。

[0184] 密封绝缘体71使栅极端子面51和源极端子面61露出,并覆盖栅极端子侧壁52和源极端子侧壁62。在本方式中,密封绝缘体71覆盖栅极端子电极50的第一突出部53,隔着第一突出部53与上绝缘膜38对置。密封绝缘体71抑制栅极端子电极50的脱落。另外,密封绝缘体

71覆盖源极端子电极60的第二突出部63,并隔着第二突出部63与上绝缘膜38对置。密封绝缘体71抑制源极端子电极60的脱落。

[0185] 密封绝缘体71在外侧面9的周缘部覆盖切割道41。在本方式中,密封绝缘体71在切割道41直接覆盖层间绝缘膜27。当然,在芯片2(外侧面9)、主面绝缘膜25从切割道41露出时,密封绝缘体71也可以在切割道41直接覆盖芯片2、主面绝缘膜25。

[0186] 密封绝缘体71具有绝缘主面72和绝缘侧壁73。绝缘主面72沿着第一主面3平坦地延伸。绝缘主面72与栅极端子面51和源极端子面61形成一个平坦面。绝缘主面72可以由具有磨削痕的磨削面构成。此时,绝缘主面72优选与栅极端子面51和源极端子面61形成一个磨削面。

[0187] 绝缘侧壁73从绝缘主面72的周缘朝向芯片2延伸,并与第一~第四侧面5A~5D形成1个平坦面。绝缘侧壁73相对于绝缘主面72形成为大致直角。绝缘侧壁73在与绝缘主面72之间所成的角度可以为 88° 以上且 92° 以下。绝缘侧壁73可以由具有磨削痕的磨削面构成。绝缘侧壁73也可以与第一~第四侧面5A~5D形成一个磨削面。

[0188] 密封绝缘体71优选具有超过栅极电极30的厚度以及源极电极32的厚度的厚度。密封绝缘体71的厚度特别优选超过上绝缘膜38的厚度。在本方式中,密封绝缘体71的厚度超过芯片2的厚度。当然,密封绝缘体71的厚度也可以小于芯片2的厚度。密封绝缘体71的厚度可以为 $10\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。密封绝缘体71的厚度优选为 $30\mu\text{m}$ 以上。密封绝缘体71的厚度特别优选为 $80\mu\text{m}$ 以上且 $200\mu\text{m}$ 以下。密封绝缘体71的厚度与栅极端子电极50的厚度和源极端子电极60的厚度大致相等。

[0189] 密封绝缘体71包含:基质树脂、多个填料以及多个增韧粒子(增韧剂)。密封绝缘体71构成为通过基质树脂、多个填料以及多个增韧粒子来调节机械强度。密封绝缘体71只要包含基质树脂即可,有无填料以及增韧粒子是任意的。

[0190] 密封绝缘体71可以包含炭黑等使基质树脂着色的色料。基质树脂优选由热固化性树脂构成。基质树脂可以包含作为热固化性树脂的一例的环氧树脂、酚醛树脂和聚酰亚胺树脂中的至少1个。在本方式中,基质树脂包含环氧树脂。

[0191] 多个填料通过由绝缘体构成的球体物和由绝缘体构成的不定形物中的某一方或双方构成,并添加到基质树脂中。不定形物具有粒状、碎片状、破碎片状等球体以外的随机形状。不定形物也可以具有棱角。在本方式中,从抑制填料侵蚀引起的损伤的观点出发,多个填料分别由球体物构成。

[0192] 多个填料可以包含陶瓷、氧化物和氮化物中的至少一个。在本方式中,多个填料分别由氧化硅粒子(二氧化硅粒子)构成。多个填料可以分别具有 1nm 以上且 $100\mu\text{m}$ 以下的粒径。多个填料的粒径优选为 $50\mu\text{m}$ 以下。

[0193] 密封绝缘体71优选包含粒径(particle sizes)不同的多个填料。多个填料也可以包含多个小径填料、多个中径填料以及多个大径填料。多个填料优选以成为小径填料、中径填料和大径填料的顺序的含有率(密度)添加到基质树脂中。

[0194] 小径填料可以具有小于源极电极32的厚度(栅极电极30的厚度)的厚度。小径填料的粒径可以为 1nm 以上且 $1\mu\text{m}$ 以下。中径填料可以具有超过源极电极32的厚度且上绝缘膜38的厚度以下的厚度。中径填料的粒径可以为 $1\mu\text{m}$ 以上且 $20\mu\text{m}$ 以下。

[0195] 大径填料可以具有超过上绝缘膜38的厚度的厚度。多个填料也可以包含超过第一

半导体区6(外延层)的厚度、第二半导体区7(基板)的厚度以及芯片2的厚度中的任一个的至少一个大径填料。大径填料的粒径可以为20 μm 以上且100 μm 以下。大径填料的粒径优选为50 μm 以下。

[0196] 多个填料的平均粒径可以为1 μm 以上且10 μm 以下。多个填料的平均粒径优选为4 μm 以上且8 μm 以下。当然,多个填料无需同时包含小径填料、中径填料及大径填料的全部,可以由小径填料及中径填料中的某一方或双方构成。例如,此时多个填料(中径填料)的最大粒径可以为10 μm 以下。

[0197] 密封绝缘体71可以包含:具有在绝缘主面72的表层部以及绝缘侧壁73的表层部断裂的粒形(particle shapes)的多个填料碎片(a plurality of filler fragments)。多个填料碎片可以分别由小径填料的一部分、中径填料的一部分以及大径填料的一部分中的任一个形成。

[0198] 位于绝缘主面72侧的多个填料碎片具有以面向绝缘主面72的方式沿着绝缘主面72形成的断裂部。位于绝缘侧壁73侧的多个填料碎片具有以面向绝缘侧壁73的方式沿着绝缘侧壁73形成的断裂部。多个填料碎片的断裂部可以从绝缘主面72以及绝缘侧壁73露出,也可以被基质树脂部分地或者整体地覆盖。多个填料碎片位于绝缘主面72以及绝缘侧壁73的表层部,因此,对芯片2侧的构造物没有影响。

[0199] 多个增韧粒子被添加到基质树脂中。多个增韧粒子可以包含硅系增韧粒子、丙烯酸系增韧粒子和丁二烯系增韧粒子中的至少一种。密封绝缘体71优选包含硅系增韧粒子。多个增韧粒子优选具有小于多个填料的平均粒径的平均粒径。多个增韧粒子的平均粒径优选为1nm以上且1 μm 以下。多个增韧粒子的最大粒径优选为1 μm 以下。

[0200] 在本方式中,多个增韧粒子以总截面积在每单位截面积中所占的比例为0.1%以上且10%以下的方式添加到基质树脂中。换言之,多个增韧粒子以0.1重量%以上且10重量%以下的范围的含有率添加到基质树脂。多个增韧粒子的平均粒径、含有率根据制造时和/或制造后应赋予给密封绝缘体71的弹性模量而适当调节。例如,根据具有亚微米级(=1 μm 以下)的平均粒径的多个增韧粒子,能够有助于密封绝缘体71的低弹性模量、低固化收缩率。

[0201] 半导体装置1A包含覆盖第二主面4的漏极电极77(第二主面电极)。漏极电极77与第二主面4电连接。漏极电极77与从第二主面4露出的第二半导体区7形成欧姆接触。漏极电极77可以以与芯片2的周缘(第一~第四侧面5A~5D)相连的方式覆盖第二主面4的整个区域。

[0202] 漏极电极77可以从芯片2的周缘向内侧隔开间隔地覆盖第二主面4。漏极电极77成为在与源极端子电极60之间施加500V以上且3000V以下的漏极源极电压。即,芯片2形成在第一主面3和第二主面4之间施加500V以上且3000V以下的电压。

[0203] 以上,半导体装置1A包含:芯片2、栅极电极30(源极电极32:主面电极)、栅极端子电极50(源极端子电极60)以及密封绝缘体71。芯片2具有第一主面3。栅极电极30(源极电极32)配置在第一主面3之上。栅极端子电极50(源极端子电极60)配置在栅极电极30(源极电极32)之上。密封绝缘体71以使栅极端子电极50(源极端子电极60)的一部分露出的方式在第一主面3之上覆盖栅极端子电极50(源极端子电极60)的周围。

[0204] 根据该构造,能够利用密封绝缘体71保护密封对象物不受外力、湿气(水分)的影

响。即,能够保护密封对象物不受起因于外力的损伤(包含剥离)、起因于湿气的劣化(包含腐蚀)。由此,能够抑制形状不良、电气特性的变动。因此,可以提供能够提高可靠性的半导体装置1A。

[0205] 半导体装置1A优选包含部分地覆盖栅极电极30(源极电极32)的上绝缘膜38。根据该构造,能够利用上绝缘膜38保护覆盖对象物不受外力、湿气的影响。即,根据该构造,能够通过上绝缘膜38和密封绝缘体71双方保护密封对象物。

[0206] 在这样的构造中,密封绝缘体71优选具有直接覆盖上绝缘膜38的部分。密封绝缘体71优选具有隔着上绝缘膜38覆盖栅极电极30(源极电极32)的部分。栅极端子电极50(源极端子电极60)优选具有直接覆盖上绝缘膜38的部分。上绝缘膜38优选包含无机绝缘膜42和有机绝缘膜43中的某一方或双方。有机绝缘膜43优选由感光性树脂膜构成。

[0207] 上绝缘膜38优选比栅极电极30(源极电极32)厚。上绝缘膜38优选比芯片2薄。密封绝缘体71优选比栅极电极30(源极电极32)厚。密封绝缘体71优选比上绝缘膜38厚。密封绝缘体71特别优选比芯片2厚。

[0208] 密封绝缘体71优选包含热固化性树脂(基质树脂)。密封绝缘体71优选包含添加到热固化性树脂的多个填料。根据该构造,能够通过多个填料来调节密封绝缘体71的强度。密封绝缘体71优选包含添加到热固化性树脂的多个增韧粒子(增韧剂)。根据该构造,能够利用多个增韧粒子调节密封绝缘体71的弹性模量。

[0209] 密封绝缘体71优选使栅极端子电极50(源极端子电极60)的栅极端子面51(源极端子面61)露出,覆盖栅极端子侧壁52(源极端子侧壁62)。即,密封绝缘体71优选从栅极端子侧壁52(源极端子侧壁62)侧保护栅极端子电极50(源极端子电极60)。

[0210] 该情况下,密封绝缘体71优选具有与栅极端子面51(源极端子面61)形成一个平坦面的绝缘主面72。密封绝缘体71优选具有与芯片2的第一~第四侧面5A~5D(侧面)形成1个平坦面的绝缘侧壁73。根据该构造,能够利用密封绝缘体71适当地保护位于第一主面3侧的密封对象物。

[0211] 上述结构在对具有比较大的平面面积和/或比较小的厚度的芯片2应用具有比较大的平面面积和/或比较大的厚度的栅极端子电极50(源极端子电极60)时是有效的。具有比较大的平面面积和/或比较大的厚度的栅极端子电极50(源极端子电极60)在吸收芯片2侧所产生的热、并向外部扩散方面也是有效的。

[0212] 例如,栅极端子电极50(源极端子电极60)优选比栅极电极30(源极电极32)厚。栅极端子电极50(源极端子电极60)优选比上绝缘膜38厚。栅极端子电极50(源极端子电极60)特别优选比芯片2厚。例如,也可以是,栅极端子电极50在俯视图中覆盖第一主面3的25%以下的区域,源极端子电极60在俯视图中覆盖第一主面3的50%以上的区域。

[0213] 例如,芯片2在俯视图中也可以具有具备1mm见方以上的面积的第一主面3。芯片2在剖视图中也可以具有100 μm 以下的厚度。芯片2优选在剖视图中具有50 μm 以下的厚度。芯片2可以具有包含半导体基板及外延层的层叠构造。此时,外延层优选比半导体基板厚。

[0214] 在上述结构中,芯片2优选包含宽带隙半导体的单晶。宽带隙半导体的单晶在提高电气特性方面是有效的。另外,根据宽带隙半导体的单晶,可以通过比较高的硬度来抑制芯片2的变形,同时达成芯片2的薄化以及芯片2的平面面积的增加。芯片2的薄化和芯片2的平面面积的扩展在提高电气特性方面也是有效的。

[0215] 具有密封绝缘体71的结构在包含覆盖芯片2的第二主面4的漏极电极77的构造中也是有效的。漏极电极77在与源极电极32之间形成经由芯片2的电位差(例如500V以上且3000V以下)。在比较薄的芯片2时,源极电极32与漏极电极77之间的距离缩短,因此,第一主面3的周缘与源极电极32之间的放电现象的风险提高。关于这一点,在具有密封绝缘体71的构造中,能够提高第一主面3的周缘与源极电极32之间的绝缘性,能够抑制放电现象。

[0216] 图8是表示图1所示的半导体装置1A的第一~第三制造方法例中使用的晶圆源300及支承基板310的立体图。晶圆源300成为芯片2(具体而言,第二半导体区7)的基体。晶圆源300是通过切片加工法从由半导体单晶构成的晶锭(在本方式中为SiC单晶块)切成圆盘状或圆柱状的晶体板。晶圆源300是切出至少一个(优选为多个)晶圆直到不能分离的晶圆供给源。晶圆源300可以由从晶锭切出的器件形成用的一般的晶圆构成。

[0217] 晶圆源300具有:一侧的第一主面301、另一侧的第二主面302、以及连接第一主面301和第二主面302的侧面303。第一主面301和第二主面302面向SiC单晶的c面。优选的是,第一主面301面向硅面,第二主面302面向碳面。

[0218] 与芯片2的第一主面3和第二主面4一样,第一主面301和第二主面302可以具有相对于c面在规定的偏离方向上以规定的角度倾斜的偏离角。偏离方向优选为SiC单晶的a轴方向。偏离角可以超过0°且为10°以下。偏离角优选为5°以下。偏离角特别优选为2°以上且4.5°以下。支承基板310的偏离方向和偏离角优选与晶圆源300的偏离方向和偏离角大致相等。

[0219] 第一主面301可以由磨削面、解理面、研磨面或镜面构成。第二主面302可以由磨削面、解理面、研磨面或镜面构成。第二主面302的面状态不需要一定与第一主面301的面状态相同。第一主面301的周缘为棱角,未被倒角。即,第一主面301相对于侧面303形成大致直角。第二主面302的周缘为棱角,未被倒角。即,第二主面302相对于侧面303形成大致直角。

[0220] 晶圆源300在侧面303具有表示SiC单晶的晶体取向的第一标记304。在本方式中,第一标记304在俯视图中包含切成直线状的定向平面。在本方式中,定向平面沿第二方向Y延伸。

[0221] 当然,定向平面不一定需要沿第二方向Y延伸,也可以沿第一方向X延伸。另外,第一标记304可以包含沿第一方向X延伸的定向平面以及沿第二方向Y延伸的定向平面。另外,第一标记304可以代替定向平面或者在定向平面的基础上,具有朝向晶圆源300的中央部切口的定向凹口。定向凹口在俯视图中可以是切成三角形、四边形状等多边形状的切口部。

[0222] 晶圆源300可以具有25mm以上且300mm以下(即1英寸以上且12英寸以下)的直径。晶圆源300的直径由在第一标记304外通过晶圆源300的中心的弦的长度来定义。晶圆源300可以具有0.1mm以上且50mm以下的厚度。晶圆源300的厚度典型地为20mm以下。在使用从晶锭切出的器件形成用的晶圆作为晶圆源300时,晶圆源300的厚度可以为0.3mm以上且15mm以下(优选为10mm以下)。

[0223] 支承基板310是从第二主面302侧支承晶圆源300的板状构件。支承基板310可以形成圆盘状或圆柱状。只要能够从第二主面302侧支承晶圆源300,则支承基板310的材料是任意的。支承基板310可以由无机物板、有机物板、金属板、晶体板或非晶质板(玻璃板)构成。支承基板310由透光板或透明板构成,优选构成为抑制激光的衰减。支承基板310的熔点

优选为晶圆源300的熔点以上。支承基板310的热膨胀系数相对于晶圆源300的热膨胀系数之比优选为0.5以上且1.5以下。

[0224] 支承基板310特别优选由与晶圆源300相同的材料(即SiC)构成。此时,支承基板310可以由SiC单晶或SiC多晶构成。并且,此时支承基板310优选由六方晶的SiC单晶构成。在本方式中,支承基板310与晶圆源300一样,由4H-SiC单晶构成。当然,支承基板310也可以由4H-SiC单晶以外的其他多晶型构成。在本方式中,支承基板310由通过切片加工法从晶圆(SiC单晶块)切出的晶体板(即晶圆)构成。

[0225] 支承基板310的杂质浓度独立于晶圆源300来设定。支承基板310的杂质浓度优选与晶圆源300的杂质浓度不同。支承基板310的杂质浓度优选小于晶圆源300的杂质浓度。支承基板310特别优选不添加杂质。此时,能够抑制起因于支承基板310的激光光束的吸收(衰减)。

[0226] 支承基板310可以包含钒作为杂质。在支承基板310包含n型杂质或p型杂质时,支承基板310的杂质浓度优选为 $1 \times 10^{18} \text{cm}^{-3}$ 以下。注意具有390 μm 以下的波长的激光光束具有无论有无杂质添加都被SiC单晶吸收(衰减)的倾向。

[0227] 支承基板310具有:一侧(晶圆源300侧)的第一板面311、另一侧的第二板面312、以及连接第一板面311和第二板面312的板侧面313。第一板面311可以由磨削面、解理面、研磨面或镜面构成。第二板面312可以由磨削面、解理面、研磨面或镜面构成。第二板面312的面状态无需一定与第一板面311的面状态相同。

[0228] 第一板面311和第二板面312优选面向SiC单晶的c面。此时,优选的是,第一板面311面向硅面,第二板面312面向碳面。第一板面311及第二板面312可以与晶圆源300的第一主面301及第二主面302一样,具有相对于c面在规定的偏离方向上以规定的角度倾斜的偏离角。

[0229] 偏离方向优选为SiC单晶的a轴方向。偏离角可以超过 0° 且为 10° 以下。偏离角优选为 5° 以下。偏离角特别优选为 2° 以上且 4.5° 以下。支承基板310的偏离方向和偏离角优选与晶圆源300的偏离方向和偏离角大致相等。支承基板310的偏离方向和偏离角优选与晶圆源300的偏离方向和偏离角大致相等。

[0230] 第一板面311的周缘具有倾斜的倒角部。第一板面311的倒角部可以是R倒角部或C倒角部。第二板面312的周缘具有倾斜的倒角部。第二板面312的倒角部也可以是R倒角部或C倒角部。第一板面311的周缘及第二板面312的周缘中的某一方或双方可以不具有倒角部而为棱角。但是,从处理(handling)的观点出发,优选的是,第一板面311的周缘以及第二板面312的周缘双方具有倒角部。本说明书的“处理”的用语除了伴随半导体装置1A的制造工序的输送作业,还包含向市场的流通。

[0231] 支承基板310在板侧面313具有表示晶体取向的第二标记314。第二标记314也是间接地表示晶圆源300的晶体取向的标记。在本方式中,第二标记314包含在俯视图中切成直线状的定向平面。在本方式中,定向平面沿第二方向Y延伸。当然,定向平面不一定需要沿第二方向Y延伸,也可以沿第一方向X延伸。

[0232] 另外,第二标记314可以包含沿第一方向X延伸的定向平面以及沿第二方向Y延伸的定向平面。另外,第二标记314可以代替定向平面或者在定向平面的基础上,具有朝向晶圆源300的中央部切口的定向凹口。定向凹口在俯视图中也可以是切成三角形状、四边形状

等多边形状的切口部。

[0233] 支承基板310的直径和厚度是任意的。支承基板310的直径由在第二标记314外通过支承基板310的中心的弦的长度来定义。鉴于晶圆源300的处理,支承基板310优选具有晶圆源300的直径以上的直径和晶圆源300的厚度以上的厚度。将晶圆源300的中央部与支承基板310的中央部重叠时的晶圆源300的周缘与支承基板310的周缘之间的间隔优选为0mm以上且10mm以下。

[0234] 图9是表示图1所示的半导体装置1A的第一制造方法例的流程图。图10A~图10I是表示图9所示的半导体装置1A的第一制造方法例的剖视图。在图10A~图10I中,简化表示了晶圆源300和支承基板310。

[0235] 参照图10A,准备晶圆源300和支承基板310(图9的步骤S1)。接着,将支承基板310粘贴于晶圆源300(图9的步骤S2)。在该工序中,支承基板310的第一板面311(硅面)粘贴于晶圆源300的第二主面302(碳面)。

[0236] 支承基板310以在第二标记314接近第一标记304的位置与该第一标记304平行地延伸的方式粘贴于晶圆源300(参照图8)。在第一标记304和第二标记314均包含定向凹口时,以切口方向一致的方式将支承基板310粘贴于晶圆源300。通过第一标记304和第二标记314中的某一方或双方来判别晶圆源300的晶体取向。

[0237] 支承基板310的第一板面311可以通过作为直接接合法的一例的常温接合法与晶圆源300的第二主面302直接接合。在常温接合法中,实施活化工序以及接合工序。在活化工序中,例如在高真空中对晶圆源300的第二主面302和支承基板310的第一板面311照射原子或离子,在第二主面302和第一板面311分别形成悬空键(未结合键)。

[0238] 在接合工序中,被活化的第二主面302以及被活化的第一板面311接合。在接合后的第二主面302与第一板面311之间,形成由晶圆源300的一部分及支承基板310的一部分构成的非晶接合层319。即,支承基板310经由非晶接合层319与晶圆源300接合。直接接合法可以包含用于提高支承基板310相对于晶圆源300的接合强度的热处理工序或加压工序。

[0239] 非晶接合层319具有与晶圆源300不同的吸光系数。具体而言,非晶接合层319具有比晶圆源300的吸光系数大的吸光系数。并且,非晶接合层319的吸光系数大于支承基板310的吸光系数。非晶接合层319的厚度可以超过0 μm 且为5 μm 以下。非晶接合层319的厚度优选为1 μm 以下。晶圆源300与支承基板310和非晶接合层319一起形成晶圆粘贴构造320。即,晶圆源300与支承基板310一体地处理。

[0240] 在该工序中,支承基板310通过直接接合法与晶圆源300接合。但是,只要能够通过支承基板310支承晶圆源300,则支承基板310相对于晶圆源300的接合法是任意的。例如,支承基板310可以通过双面胶带、粘接剂等与晶圆源300接合。此时,在晶圆源300与支承基板310之间形成由双面胶带、粘接剂等构成的粘接层。

[0241] 接着,参照图10B,通过外延生长法,从第一主面301生长外延层321(图9的步骤S3)。外延层321成为芯片2(具体而言,第一半导体区6)的基体。外延层321具有小于晶圆源300的厚度的厚度。外延层321的厚度优选为3 μm 以上且30 μm 以下。外延层321的厚度特别优选为5 μm 以上且25 μm 以下。

[0242] 在本方式中,外延层321也形成在晶圆源300的侧面303和支承基板310的第一板面311之上。外延层321可以在晶圆源300的侧面303的下端侧覆盖非晶接合层319。经过该工

序,在第一板面311之上形成外延晶圆源322。外延晶圆源322具有包含晶圆源300和外延层321的层叠构造,具有由外延层321形成的第一主面301。可以在外延层321的形成工序之前,实施对第一主面301进行磨削的工序。即,外延层321可以从磨削工序后的第一主面301生长。

[0243] 接着,参照图10C,在外延晶圆源322的第一主面301设定多个器件区323及多个切断预定线324(也一并参照图8的虚线部),在多个器件区323分别形成器件构造325(图9的步骤S4)。多个器件区323是分别与半导体装置1A对应的区域。多个器件区323在俯视图中分别设定为四边形状。在本方式中,多个器件区323在俯视图中沿着第一方向X以及第二方向Y呈矩阵状排列。

[0244] 多个切断预定线324是确定成为芯片2的第一~第四侧面5A~5D的部位(呈带状延伸的区域)。多个切断预定线324以划分多个器件区323的方式设定为沿着第一方向X及第二方向Y延伸的格子状。多个切断预定线324例如可以由设置在外延晶圆源322的内部和/或外部的对准标记等确定。

[0245] 多个器件构造325分别包含与半导体装置1A对应的构造。在器件构造325的形成工序中,在多个器件区323分别形成台面部11、MISFET构造12、主面绝缘膜25、侧壁构造26、层间绝缘膜27、栅极电极30、源极电极32、多个栅极布线36A、36B、源极布线37、上绝缘膜38、栅极端子电极50、源极端子电极60以及密封绝缘体71。在器件构造325的形成工序中形成的各构造的具体特征的说明如上所述。另外,关于器件构造325的形成工序的具体说明将在后面描述。

[0246] 接着,参照图10D,在外延晶圆源322的厚度范围的中途部形成沿着与第一主面301平行的水平方向的改性层326(图9的步骤S5)。具体而言,改性层326在外延晶圆源322中的由晶圆源300构成的部分中形成于晶圆源300的厚度范围的中途部。更具体而言,改性层326从外延层321隔开间隔地形成于晶圆源300的内部。

[0247] 在该工序中,在晶圆源300的厚度范围的中途部设定聚光部,从激光光束照射装置经由支承基板310向晶圆源300照射激光光束。由此,防止激光光束被栅极端子电极50、源极端子电极60以及密封绝缘体71遮蔽。激光光束相对于晶圆源300的照射位置沿着水平方向移动。激光光束优选呈脉冲状照射到晶圆源300的内部。由此,形成晶圆源300(SiC单晶)的晶体构造的一部分被改性为其他性质的改性层326。

[0248] 即,改性层326是通过激光光束的照射而形成的激光加工痕。改性层326由密度、折射率、机械强度(晶体强度)或其他物理特性被改性为与晶圆源300不同的性质,且具有比晶圆源300脆弱的物性的层构成。改性层326可以包含非晶层、熔融再固化层、缺陷层、绝缘破坏层或折射率变化层中的至少一个层。

[0249] 非晶层是晶圆源300的一部分非晶化而成的层。熔融再固化层是晶圆源300的一部分熔融后再次固化而成的层。缺陷层是形成于晶圆源300的包含空孔、龟裂等的层。绝缘破坏层是晶圆源300的一部分绝缘破坏而成的层。折射率变化层是晶圆源300的一部分变化为不同的折射率而成的层。

[0250] 根据应从外延晶圆源322取得的晶圆的厚度来设定改性层326的形成部位。第一主面301与改性层326之间的距离优选设定为小于第二主面302与改性层326之间的距离的值。当然,第一主面301与改性层326之间的距离也可以设定为超过第二主面302与改性层326之

间的距离的值。

[0251] 第一主面301与改性层326之间的距离优选设定为小于密封绝缘体71的厚度的值。此时,从外延晶圆源322取得具有小于密封绝缘体71的厚度的厚度的晶圆。并且,此时优选将外延层321和改性层326之间的距离设定为小于外延层321的厚度的值。

[0252] 当然,第一主面301与改性层326之间的距离也可以设定为超过密封绝缘体71的厚度的值。此时,从外延晶圆源322取得具有超过密封绝缘体71的厚度的厚度的晶圆。并且,此时外延层321和改性层326之间的距离也可以设定为超过外延层321的厚度的值。

[0253] 第一主面301与改性层326之间的距离可以为10 μm 以上且300 μm 以下。第一主面301与改性层326之间的距离可以为100 μm 以下。第二主面302与改性层326之间的距离可以为50 μm 以下。第二主面302与改性层326之间的距离可以为40 μm 以下。

[0254] 接下来,参照图10E,以改性层326为起点从厚度范围的中间部沿着水平方向切断外延晶圆源322(图9的步骤S6)。在该工序中,在外延晶圆源322被密封绝缘体71和支承基板310支承(夹持)的状态下对改性层326施加外力,以改性层326为起点将晶圆源300在水平方向上劈开。

[0255] 施加于晶圆源300的外力可以是超声波。执行晶圆源300的分离工序,而不将支承外延晶圆源322的支承构件粘贴到密封绝缘体71。其中,外延晶圆源322的定位用的夹具、用于抑制外延晶圆源322的位置偏移的夹具等与外延晶圆源322、密封绝缘体71等抵接也无妨。

[0256] 由此,外延晶圆源322被分离为密封绝缘体71侧的密封晶圆331和支承基板310侧的未密封晶圆332。密封晶圆331独立于未密封晶圆332来处理,未密封晶圆332独立于密封晶圆331来处理。

[0257] 密封晶圆331具有层叠构造,该层叠构造包含由晶圆源300的一部分构成的第一晶圆部333、及层叠于第一晶圆部333之上的外延层321。密封晶圆331具有由第一晶圆部333形成的第一切断面334。第一切断面334面向SiC单晶的碳面。密封晶圆331在被密封绝缘体71支承的状态下被切出,因此,通过密封绝缘体71抑制密封晶圆331的变形(例如伴随着薄化的翘曲)。由此,能够适当地形成密封晶圆331。

[0258] 因此,优选的是,将第一主面301与改性层326之间的距离设定为小于密封绝缘体71的厚度的值,切出比密封绝缘体71薄的密封晶圆331。此时,外延层321与改性层326之间的距离被设定为超过外延层321的厚度的值,可以切出具有比外延层321厚的第一晶圆部333的密封晶圆331。另外,外延层321与改性层326之间的距离被设定为小于外延层321的厚度的值,可以切出具有比第一晶圆部333厚的外延层321的密封晶圆331。

[0259] 当然,可以切出比密封绝缘体71厚的密封晶圆331。此时,密封晶圆331可以具有比外延层321厚的第一晶圆部333。另外,密封晶圆331可以具有比第一晶圆部333厚的外延层321。

[0260] 未密封晶圆332具有单层构造,并经由非晶接合层319被支承基板310支承,该单层构造包含由晶圆源300的一部分构成的第二晶圆部335。未密封晶圆332具有由第二晶圆部335形成的第二切断面336。第二切断面336面向SiC单晶的硅面。未密封晶圆332在被支承基板310支承的状态下被切出,因此,通过支承基板310来抑制未密封晶圆332的变形(例如伴随着薄化的翘曲)。

[0261] 由此,能够适当地形成未密封晶圆332。该工序中,切出比密封晶圆331厚的未密封晶圆332。未密封晶圆332的厚度可以超过密封绝缘体71。并且,未密封晶圆332的厚度可以超过密封晶圆331及密封绝缘体71的总厚度。

[0262] 参照图10F,在由密封绝缘体71支承的密封晶圆331侧,实施密封晶圆331的薄化工序(图9的步骤S7)。该工序包含:在被密封绝缘体71支承的状态下,从第一切断面334侧将第一晶圆部333的至少一部分除去的工序。另外,该工序包含:将附着于第一切断面334的改性层326的剩余部分除去的工序。该工序包含针对第一切断面334的磨削工序以及针对第一切断面334的蚀刻工序中的至少一个。磨削工序可以包含机械研磨法和化学机械研磨法中的至少一个。蚀刻工序可以包含干式蚀刻工序和湿式蚀刻工序中的至少一个。

[0263] 密封晶圆331被薄化至期望的厚度。在切出比密封绝缘体71薄的密封晶圆331时,密封晶圆331的薄化工序包含使密封晶圆331进一步薄化的工序。另一方面,在切出比密封绝缘体71厚的密封晶圆331时,密封晶圆331的薄化工序优选包含:使密封晶圆331薄化至小于密封绝缘体71的厚度的工序。在这些工序中,在第一晶圆部333比外延层321薄时,第一晶圆部333被进一步薄化。另一方面,在第一晶圆部333比外延层321厚时,优选的是,将第一晶圆部333薄化至小于外延层321的厚度。

[0264] 接着,参照图10G,形成覆盖密封晶圆331的第一切断面334的漏极电极77(第二主面电极)(图9的步骤S8)。漏极电极77可以通过溅射法和/或蒸镀法形成。

[0265] 然后,参照图10H,沿着切断预定线324将密封晶圆331及密封绝缘体71切断(图9的步骤S9)。密封晶圆331及密封绝缘体71可以由切割刀片(未图示)切断。经过包含以上的工序,从晶圆源300(密封晶圆331)制造多个半导体装置1A。

[0266] 另一方面,参照图10I,在由支承基板310支承的未密封晶圆332(第二晶圆部335)侧,判定未密封晶圆332是否能够作为新的晶圆源300再利用(图9的步骤S10)。在未密封晶圆332具有能够取得其他密封晶圆331的程度的厚度和状态时,可以判定为未密封晶圆332能够再利用。

[0267] 在未密封晶圆332能够再利用时(图9的步骤S10:是),实施未密封晶圆332(第二晶圆部335)的维护工序(图9的步骤S11)。未密封晶圆332的维护工序包含:将未密封晶圆332修补为能够用作新的晶圆源300的状态的工序。该工序可以包含:将附着于未密封晶圆332的第二切断面336的改性层326的剩余部分除去的工序。

[0268] 改性层326的除去工序包含针对改性层326的磨削工序和针对改性层326的蚀刻工序中的至少一个。磨削工序可以包含机械研磨法和化学机械研磨法中的至少一个。蚀刻工序可以包含干式蚀刻工序和湿式蚀刻工序中的至少一个。改性层326的除去工序可以包含针对未密封晶圆332(第二切断面336)的磨削工序和针对未密封晶圆332的蚀刻工序中的至少一个。

[0269] 经过该工序,未密封晶圆332的第二切断面336得以平滑化,未密封晶圆332作为新的晶圆源300而再利用。之后,依次实施图9的步骤S1~S6(也一并参照图10A~图10E)。在未密封晶圆332作为最后的晶圆源300再利用时,该最后的晶圆源300可以作为密封晶圆331从支承基板310分离。此时,可以在非晶接合层319的内部或附近形成改性层326,通过劈开该改性层326而将最后的晶圆源300从支承基板310分离。

[0270] 另一方面,在未密封晶圆332不能再利用时(图9的步骤S10:否),使用了一个晶圆

源300的制造工序结束,判定支承基板310是否能够再利用(图9的步骤S12)。在支承基板310具有能够支承其他晶圆源300的程度的厚度和状态时,可以判定为支承基板310能够再利用。在支承基板310不能再利用时(图9的步骤S12:否),使用了该支承基板310的制造工序结束。

[0271] 在支承基板310能够再利用时(图9的步骤S12:是),实施支承基板310的维护工序(图9的步骤S13)。支承基板310的维护工序包含:将支承基板310修补为能够作为新的支承基板310来使用的状态的工序。该工序包含:从支承基板310除去非晶接合层319及未密封晶圆332的工序。

[0272] 未密封晶圆332(非晶接合层319)的除去工序包含针对未密封晶圆332的磨削工序和针对未密封晶圆332的蚀刻工序中的至少一个。磨削工序可以包含机械研磨法和化学机械研磨法中的至少一个。蚀刻工序可以包含干式蚀刻工序和湿式蚀刻工序中的至少一个。

[0273] 未密封晶圆332的除去工序可以包含针对支承基板310(第一板面311)的磨削工序和针对支承基板310的蚀刻工序中的至少一个。由此,支承基板310的第一板面311得以平滑化,支承基板310被再利用。之后,依次实施图9的步骤S1~S6(也一并参照图10A~图10E)。

[0274] 在图9中,在针对晶圆源300的初次的制造工序以及晶圆源300的再利用工序中制造半导体装置1A。但是,也可以在初次的制造工序中制造与半导体装置1A不同的任意的半导体装置(例如其他实施方式的半导体装置1B~1H),在再利用工序中制造半导体装置1A。当然,也可以在初次的制造工序中制造半导体装置1A,在再利用工序中制造与半导体装置1A不同的任意的半导体装置。另外,也可以使用从再利用工序取得的至少一个未密封晶圆332来制造半导体装置1A,使用剩余的未密封晶圆332来制造与半导体装置1A不同的任意的半导体装置。

[0275] 以下,表示器件构造325的形成工序(图9的步骤S4)的一例。图11是表示图9所示的器件构造325的形成工序(图9的步骤S4)的一例的工序图。

[0276] 图12A~图12M是表示图11所示的器件构造325的形成工序的一例中的栅极电极30(源极电极32)的形成工序之前的剖视图。图13A~图13J是表示图11所示的器件构造325的形成工序例中的栅极电极30(源极电极32)的形成工序以后的工序的剖视图。

[0277] 在图12A~图12M中,在纸面左侧的区域表示活性面8的主要部分,在纸面右侧的区域表示外侧面9的主要部分。在图13A~图13J中,表示包含一个器件区323的截面。图12A~图12M和图13A~图13J所示的各工序中形成的各构造的具体特征的说明如上所述,因此,对其省略或简化。

[0278] 参照图12A,在外延层321的形成工序(图9的步骤S3)之后,在第一主面301的表层部形成p型的体区13以及n型的源极区14(图11的步骤S4A)。在该工序中,体区13通过对第一主面301导入p型杂质而形成于第一主面301的表层部的整个区域。在该工序中,源极区14通过对第一主面301导入n型杂质而形成于第一主面301的表层部的整个区域。源极区14的形成工序可以在体区13的形成工序后实施,也可以在体区13的形成工序前实施。

[0279] 接着,参照图12B,在第一主面301之上形成具有规定图案的第一掩模M1(图11的步骤S4B)。在本说明书中,“掩模”的术语被用作包含单层构造或任意层叠顺序的层叠构造的概念,该单层构造包括含无机绝缘体的硬掩模和含有有机绝缘体的软掩模(例如抗蚀剂掩模)中的至少一个。

[0280] 第一掩模M1使应形成多个栅极沟槽15a、多个源极沟槽16a及外侧面9的区域露出,并覆盖它们以外的区域。接下来,通过经由第一掩模M1的蚀刻法除去外延晶圆源322(具体而言,外延层321)的不必要的部分。蚀刻法可以为湿式蚀刻法和/或干式蚀刻法。由此,多个栅极沟槽15a、多个源极沟槽16a以及外侧面9形成于第一主面301。另外,包含活性面8、外侧面9和第一~第四连接面10A~10D的台面部11形成于第一主面301。

[0281] 接下来,参照图12C,在第一主面301之上形成具有规定图案的第二掩模M2。第二掩模M2将多个栅极沟槽15a覆盖,使多个源极沟槽16a及外侧面9露出。接着,通过经由第二掩模M2的蚀刻法除去外延晶圆源322(具体而言,外延层321)的不必要的部分。蚀刻法可以为湿式蚀刻法和/或干式蚀刻法。由此,多个源极沟槽16a及外侧面9被进一步挖掘。

[0282] 接着,参照图12D,在第一主面301之上形成具有规定图案的第三掩模M3(图11的步骤S4C)。第三掩模M3使应形成多个阱区18以及外部阱区20的区域露出,并覆盖除此以外的区域。接着,将p型杂质经由第三掩模M3导入到第一主面301的表层部。由此,在第一主面301的表层部形成多个阱区18和外部阱区20。

[0283] 接着,参照图12E,在第一主面301之上形成具有规定图案的第四掩模M4(图11的步骤S4D)。第四掩模M4使应形成多个场区21的区域露出,并覆盖除此以外的区域。接着,将p型杂质经由第四掩模M4导入到第一主面301的表层部。由此,多个场区21形成于第一主面301的表层部。

[0284] 接着,参照图12F,在第一主面301之上形成具有规定图案的第五掩模M5(图11的步骤S4E)。第五掩模M5使应形成多个接触区17以及外部接触区19的区域露出,并覆盖除此以外的区域。接着,将p型杂质经由第五掩模M5导入到第一主面301的表层部。由此,多个接触区17以及外部接触区19形成在第一主面301的表层部。图11的步骤S4C~S4E的工序顺序是任意的,可以适当替换。

[0285] 接着,参照图12G,形成覆盖第一主面301的基体绝缘膜341(图11的步骤S4F)。基体绝缘膜341成为栅极绝缘膜15b、源极绝缘膜16b以及主面绝缘膜25的基体。基体绝缘膜341可以通过CVD(chemical vapor deposition)法和/或热氧化处理法形成。

[0286] 接着,参照图12H,在第一主面301之上形成基体电极膜342(图11的步骤S4G)。基体电极膜342成为多个栅极埋设电极15c、多个源极埋设电极16c以及侧壁构造26的基体。基体电极膜342在该工序中包含导电性多晶硅膜。基体电极膜342可以通过CVD法形成。基体电极膜342填埋多个栅极沟槽15a以及多个源极沟槽16a而覆盖第一主面301(活性面8、外侧面9以及第一~第四连接面10A~10D)。

[0287] 接着,参照图12I,在基体电极膜342之上形成具有规定图案的第六掩模M6。第六掩模M6覆盖应形成侧壁构造26的区域,并使除此以外的区域露出。接着,通过经由第六掩模M6的蚀刻法,除去基体电极膜342的不需要的部分。蚀刻法可以为湿式蚀刻法和/或干式蚀刻法。由此,形成多个栅极埋设电极15c、多个源极埋设电极16c以及侧壁构造26。

[0288] 接着,参照图12J,在第一主面301之上形成层间绝缘膜27(图11的步骤S4H)。层间绝缘膜27一并覆盖第一主面301之上的构造。层间绝缘膜27可以通过CVD法形成。

[0289] 接下来,参照图12K,在层间绝缘膜27之上形成具有规定图案的第七掩模M7。第七掩模M7选择性地使层间绝缘膜27中的覆盖多个栅极构造15、多个源极构造16、接触区17以及外部接触区19的部分露出,并覆盖除此以外的区域。接着,通过经由第七掩模M7的蚀刻

法,除去层间绝缘膜27的不需要的部分和基体绝缘膜341的不需要的部分。蚀刻法可以为湿式蚀刻法和/或干式蚀刻法。由此,在层间绝缘膜27形成使多个栅极构造15、多个源极构造16、接触区17以及外部接触区19分别露出的多个贯通孔343。

[0290] 接着,参照图12L,基体主面电极膜344以填埋多个贯通孔343的方式形成在层间绝缘膜27之上(图11的步骤S4I)。基体主面电极膜344成为栅极电极30、源极电极32、多个栅极布线36A、36B以及源极布线37的基体。基体主面电极膜344可以通过溅射法、蒸镀法以及电镀法中的至少一个方法来形成。

[0291] 接着,参照图12M,在基体主面电极膜344之上形成具有规定图案的第八掩模M8。第八掩模M8覆盖在基体主面电极膜344中应形成栅极电极30、源极电极32、多个栅极布线36A、36B以及源极布线37的区域,并使除此以外的区域露出。接着,通过经由第八掩模M8的蚀刻法除去基体主面电极膜344的不需要的部分。蚀刻法可以为湿式蚀刻法和/或干式蚀刻法。由此,形成栅极电极30、源极电极32、多个栅极布线36A、36B及源极布线37。

[0292] 接着,参照图13A,在第一主面301之上形成无机绝缘膜42(图11的步骤S4J)。无机绝缘膜42覆盖层间绝缘膜27、栅极电极30、源极电极32、多个栅极布线36A、36B以及源极布线37。无机绝缘膜42也可以通过CVD法形成。

[0293] 接下来,参照图13B,在无机绝缘膜42之上形成具有规定图案的第九掩模M9。第九掩模M9使在无机绝缘膜42中应形成栅极开口39、源极开口40及切割道41的区域露出,并覆盖除此以外的区域。

[0294] 接着,通过经由第九掩模M9的蚀刻法除去无机绝缘膜42的不需要的部分。蚀刻法可以为湿式蚀刻法和/或干式蚀刻法。由此,形成划分栅极开口39、源极开口40及切割道41的无机绝缘膜42。

[0295] 接着,参照图13C,在无机绝缘膜42之上形成有机绝缘膜43。在该工序中,首先,在无机绝缘膜42之上涂敷感光性树脂。接着,以与栅极开口39、源极开口40及切割道41对应的图案对感光性树脂进行曝光及显影。由此,与无机绝缘膜42一起形成上绝缘膜38,并形成划分栅极开口39、源极开口40及切割道41的有机绝缘膜43。

[0296] 切割道41以使切断预定线324露出的方式横穿切断预定线324而横跨多个器件区323。切割道41形成为沿着多个切断预定线324延伸的格子状。在本方式中,切割道41使层间绝缘膜27露出。上述的第九掩模M9也可以是有机绝缘膜43。即,上述的无机绝缘膜42的不需要的部分也可以通过经由有机绝缘膜43的蚀刻法来除去。

[0297] 接下来,参照图13D,在第一主面301之上形成成为第一栅极导体膜55以及第一源极导体膜67的基体的第一基体导体膜345(图11的步骤S4K)。第一基体导体膜345沿着层间绝缘膜27、栅极电极30、源极电极32、多个栅极布线36A、36B、源极布线37以及上绝缘膜38呈膜状形成。第一基体导体膜345包含Ti类金属膜。第一基体导体膜345可以通过溅射法和/或蒸镀法形成。

[0298] 接下来,在第一基体导体膜345之上形成成为第二栅极导体膜56以及第二源极导体膜68的基体的第二基体导体膜346。第二基体导体膜346隔着第一基体导体膜345呈膜状覆盖层间绝缘膜27、栅极电极30、源极电极32、多个栅极布线36A、36B、源极布线37以及上绝缘膜38。第二基体导体膜346包含Cu类金属膜。第二基体导体膜346可以通过溅射法和/或蒸镀法形成。

[0299] 接下来,参照图13E,在第二基体导体膜346之上形成具有规定图案的第十掩模M10。第十掩模M10包含使栅极电极30露出的第一开口347和使源极电极32露出的第二开口348。第一开口347使在栅极电极30上的区域中应形成栅极端子电极50的区域露出。第二开口348使在源极电极32上的区域应形成源极端子电极60的区域露出。

[0300] 该工序包含:降低第十掩模M10相对于第二基体导体膜346的紧贴性的工序。第十掩模M10的紧贴性通过调节针对第十掩模M10的曝光条件、曝光后的烘烤条件(烧结温度、时间等)来调整。由此,在第一开口347的下端部形成第一突出部53的生长起点,在第二开口348的下端部形成第二突出部63的生长起点。

[0301] 接下来,参照图13F,在第二基体导体膜346之上形成成为第二栅极导体膜56以及第二源极导体膜68的基体的第三基体导体膜349。在本方式中,通过利用镀敷法(例如电解镀敷法)使导电体(在本方式中为Cu系金属)堆积在第一开口347以及第二开口348内而形成第三基体导体膜349。第三基体导体膜349在第一开口347和第二开口348内与第二基体导体膜346一体化。由此,形成覆盖栅极电极30的栅极端子电极50。另外,形成覆盖源极电极32的源极端子电极60。

[0302] 该工序包含:使电镀液进入到第一开口347的下端部的第二基体导体膜346与第十掩模M10之间的工序。另外,该工序包含:使电镀液进入到第二开口348的下端部的第二基体导体膜346与第十掩模M10之间的工序。由此,在第一开口347的下端部,第三基体导体膜349的一部分(栅极端子电极50)呈突起状生长,形成第一突出部53。另外,在第二开口348的下端部,第三基体导体膜349的一部分(源极端子电极60)呈突起状生长,形成第二突出部63。

[0303] 接下来,参照图13G,除去第十掩模M10。由此,栅极端子电极50及源极端子电极60向外部露出。

[0304] 接着,参照图13H,除去第二基体导体膜346中的从栅极端子电极50和源极端子电极60露出的部分。第二基体导体膜346的不需要的部分可以通过蚀刻法除去。蚀刻法可以为湿式蚀刻法和/或干式蚀刻法。接着,除去第一基体导体膜345中的从栅极端子电极50和源极端子电极60露出的部分。第一基体导体膜345的不需要的部分可以通过蚀刻法除去。蚀刻法可以为湿式蚀刻法和/或干式蚀刻法。

[0305] 接着,参照图13I,以覆盖栅极端子电极50和源极端子电极60的方式向第一主面301之上供给密封剂350(图11的步骤S4L)。密封剂350成为密封绝缘体71的基体。密封剂350以一并覆盖多个器件区323的整个区域的方式供给到第一主面301之上。具体而言,密封剂350在各器件区323中覆盖栅极端子电极50的周围和源极端子电极60的周围,并覆盖上绝缘膜38的整个区域、栅极端子电极50的整个区域和源极端子电极60的整个区域。

[0306] 在本方式中,密封剂350包含:热固化性树脂、多个填料以及多个挠性化粒子(挠性化剂),通过加热而固化。由此,形成密封绝缘体71。密封绝缘体71具有覆盖栅极端子电极50的整个区域及源极端子电极60的整个区域的绝缘主面72。

[0307] 接着,参照图13J,将密封绝缘体71部分地除去(图11的步骤S4M)。在本方式中,密封绝缘体71通过磨削法从绝缘主面72侧被磨削。磨削法可以是机械研磨法,也可以是化学机械研磨法。绝缘主面72被磨削至栅极端子电极50及源极端子电极60露出。该工序包含栅极端子电极50及源极端子电极60的磨削工序。

[0308] 由此,形成在与栅极端子电极50(栅极端子面51)和源极端子电极60(源极端子面

61)之间形成一个磨削面的绝缘主面72。经过包含以上的工序,在各器件区323中形成器件构造325。然后,实施改性层326的形成工序(图9的步骤S5)。

[0309] 以上,半导体装置1A的第一制造方法例包含:晶圆源300的准备工序(图9的步骤S1)、栅极电极30(源极电极32)的形成工序(图11的步骤S4I)、栅极端子电极50(源极端子电极60)的形成工序(图11的步骤S4K)、密封绝缘体71的形成工序(图11的步骤S4L)、及晶圆源300的分离工序(图9的步骤S6)。

[0310] 在晶圆源300的准备工序中,准备具有一侧的第一主面301及另一侧的第二主面302的晶圆源300。在栅极电极30(源极电极32)的形成工序中,在第一主面301之上形成栅极电极30(源极电极32)。在栅极端子电极50(源极端子电极60)的形成工序中,在栅极电极30(源极电极32)之上形成栅极端子电极50(源极端子电极60)。

[0311] 在密封绝缘体71的形成工序中,以使栅极端子电极50(源极端子电极60)的一部分露出的方式在第一主面301之上形成密封绝缘体71,该密封绝缘体71覆盖栅极端子电极50(源极端子电极60)的周围。在晶圆源300的分离工序中,从晶圆源300的厚度范围的中途部在沿着第一主面301的水平方向上切断晶圆源300。通过该工序,晶圆源300被分离为密封绝缘体71侧的密封晶圆331及第二主面302侧的未密封晶圆332。

[0312] 根据该制造方法,比晶圆源300薄的密封晶圆331在被密封绝缘体71支承的状态下从晶圆源300分离。因此,可以通过密封绝缘体71抑制密封晶圆331的变形,同时可以将密封绝缘体71作为支承构件来处理密封晶圆331。由此,能够抑制起因于变形(例如伴随薄化的翘曲)的密封晶圆331的形状不良和电气特性的变动。

[0313] 另外,根据该构造,能够利用密封绝缘体71保护密封晶圆331不受外力、湿气的影响。即,能够保护密封晶圆331不受起因于外力的损伤、起因于湿气的劣化。由此,能够抑制形状不良、电气特性的变动。因此,能够提供具有高可靠性的半导体装置1A的高效的制造方法。

[0314] 另外,根据该制造方法,还能够保留未密封晶圆332的再利用的余地。由此,能够抑制晶圆源300的消耗,能够增加能够从一个晶圆源300取得的半导体装置1A的个数。因此,能够削减制造成本。在晶圆源300包含比较昂贵的宽带隙半导体的单晶(特别是SiC单晶)时,能够削减起因于该宽带隙半导体的制造成本。因此,这样的制造方法在晶圆源300包含宽带隙半导体的单晶时特别有益。在晶圆源300的准备工序中,优选准备从晶圆切出的晶圆源300。

[0315] 晶圆源300的分离工序优选包含:切出比密封绝缘体71薄的密封晶圆331的工序。根据该制造方法,密封晶圆331的变形被密封绝缘体71抑制,因此,能够适当地切出比较薄的密封晶圆331。根据比较薄的密封晶圆331,可以制造通过削减电阻值(例如导通电阻)而能够提高电气特性的具有高可靠性的半导体装置1A。另外,根据该制造方法,能够增加未密封晶圆332的残留量。因此,在再利用晶圆源300时,能够抑制晶圆源300的消耗,能够提高制造效率。

[0316] 当然,晶圆源300的分离工序可以包含:切出比密封绝缘体71厚的密封晶圆331的工序。此时,半导体装置1A的制造方法优选包含:在晶圆源300的分离工序之后,使密封晶圆331薄化至小于密封绝缘体71的厚度的厚度的工序(图11的步骤S4M)。通过这样的制造方法,能够适当地形成比较薄的密封晶圆331。另外,通过削减电阻值(例如导通电阻),能够提

高电气特性。

[0317] 半导体装置1A的制造方法优选包含:对未密封晶圆332进行再利用的工序(图9的步骤S10)。此时,未密封晶圆332可以作为用于制造半导体装置1A的晶圆源300来再利用。当然,未密封晶圆332可以作为用于制造与半导体装置1A不同的其他半导体装置的晶圆源300来再利用。另外,未密封晶圆332可以作为支承基板310等其他构件进行再利用。

[0318] 未密封晶圆332的再利用工序优选包含:从第二切断面336侧使未密封晶圆332薄化的工序(图9的步骤S11)。根据该制造方法,能够抑制未密封晶圆332的形状不良、电气特性的变动。因此,能够适当地再利用未密封晶圆332。未密封晶圆332的薄化工序优选包含:使第二切断面336平滑化的工序。第二切断面336的平滑化工序优选包含:磨削第二切断面336的工序。

[0319] 晶圆源300的分离工序优选包含:切出比栅极端子电极50(源极端子电极60)薄的密封晶圆331的工序。当然,晶圆源300的分离工序可以包含:切出比栅极端子电极50(源极端子电极60)厚的密封晶圆331的工序。此时,半导体装置1A的制造方法优选包含:在晶圆源300的分离工序之后,使密封晶圆331薄化至小于栅极端子电极50(源极端子电极60)的厚度的工序(图11的步骤S4M)。根据这些制造方法,能够制造散热性优异的具有高可靠性的半导体装置1A。

[0320] 晶圆源300的分离工序可以包含:切出比密封晶圆331厚的未密封晶圆332的工序。根据该制造方法,能够提高未密封晶圆332的再利用可能性。例如,通过预先设定应从一个晶圆源300取得的密封晶圆331的个数,调节晶圆源300的厚度,能够实现这样的制造方法。晶圆源300的分离工序可以包含:切出比密封绝缘体71厚的未密封晶圆332的工序。

[0321] 晶圆源300的分离工序优选包含如:通过激光光束照射法在晶圆源300的厚度范围的中途部形成沿水平方向延伸的改性层326后,以改性层326为起点将晶圆源300沿水平方向劈开的工序。根据该制造方法,无需通过切削来分离晶圆源300。由此,能够在抑制晶圆源300的消耗的同时高效地分离晶圆源300。

[0322] 这样的制造方法在晶圆源300包含具有比Si高的硬度的宽带隙半导体的单晶(特别是SiC单晶)时特别有益。根据改性层326的形成工序,能够容易地劈开具有比较高的硬度的宽带隙半导体。因此,能够提高宽带隙半导体的制造效率。

[0323] 改性层326的形成工序优选包含:从晶圆源300的第二主面302侧向晶圆源300内照射激光光束的工序。根据该制造方法,从不存在密封绝缘体71的第二主面302向晶圆源300的内部照射激光光束。因此,能够在晶圆源300内适当地形成改性层326,能够适当地劈开晶圆源300。

[0324] 半导体装置1A的制造方法优选包含:在栅极电极30(源极电极32)的形成工序之前,将支承基板310粘贴于第二主面302的工序(图9的步骤S2)。此时,晶圆源300的分离工序优选包含:在被支承基板310和密封绝缘体71支承的状态下分离晶圆源300的工序。并且,此时改性层326的形成工序优选包含:隔着支承基板310向晶圆源300内照射激光光束的工序。

[0325] 根据这些制造方法,晶圆源300被分离为密封绝缘体71侧的密封晶圆331和支承基板310侧的未密封晶圆332。由此,能够通过密封绝缘体71抑制密封晶圆331的变形,通过支承基板310抑制未密封晶圆332的变形。另外,能够将密封绝缘体71作为支承构件来处理(输送)密封晶圆331,能够将支承基板310作为支承构件来处理(输送)未密封晶圆332。因此,能

够提高制造效率。

[0326] 半导体装置1A的制造方法优选包含:在被密封绝缘体71支承的状态下,从第一一切断面334侧使密封晶圆331薄化的工序(图9的步骤S7)。根据该制造方法,能够抑制起因于第一一切断面334的形状不良、电气特性的变动。因此,能够制造具有高可靠性的半导体装置1A。此时,密封晶圆331的薄化工序优选包含:使密封晶圆331的第一一切断面334平滑化的工序。第一一切断面334的平滑化工序优选包含:磨削第一一切断面334的工序。

[0327] 半导体装置1A的制造方法优选包含:形成覆盖密封晶圆331的第一一切断面334的漏极电极77(第二主面电极)的工序(图9的步骤S8)。半导体装置1A的制造方法优选包含:将密封晶圆331与密封绝缘体71一起切断的工序(图9的步骤S9)。

[0328] 密封绝缘体71的形成工序优选包含:形成覆盖栅极端子电极50(源极端子电极60)的整个区域的密封绝缘体71的工序、以及除去密封绝缘体71到栅极端子电极50(源极端子电极60)的一部分露出的工序。密封绝缘体71的形成工序优选包含:将包含热固化性树脂的密封剂350供给到第一主面301之上,并使密封剂350热固化的工序。

[0329] 半导体装置1A的制造方法优选包含:在栅极端子电极50(源极端子电极60)的形成工序前,形成部分地覆盖栅极电极30(源极电极32)的上绝缘膜38的工序(图11的步骤S4J)。此时,密封绝缘体71的形成工序优选包含:形成覆盖栅极端子电极50(源极端子电极60)以及上绝缘膜38的密封绝缘体71的工序。

[0330] 栅极端子电极50(源极端子电极60)的形成工序优选包含:形成具有直接覆盖上绝缘膜38的部分的栅极端子电极50(源极端子电极60)的工序。上绝缘膜38的形成工序优选包含:形成包含无机绝缘膜42及有机绝缘膜43中的至少一个的上绝缘膜38的工序。

[0331] 栅极端子电极50(源极端子电极60)的形成工序优选包含:形成覆盖栅极电极30(源极电极32)的第二基体导体膜346(导体膜)的工序;在第二基体导体膜346之上形成使第二基体导体膜346中的覆盖栅极电极30(源极电极32)的部分露出的第十掩模M10的工序;在第二基体导体膜346中的从第十掩模M10露出的部分之上,堆积第三基体导体膜349(导电体)的工序;以及在第三基体导体膜349的堆积工序之后,除去第十掩模M10的工序。

[0332] 半导体装置1A的制造方法优选包含:在栅极电极30(源极电极32)的形成工序之前形成外延晶圆源322(晶圆构造)的工序(图9中的步骤S3)。在外延晶圆源322的形成工序中,外延层321从第一主面301生长。由此,形成包含晶圆源300及外延层321、且具有由外延层321形成的第一主面301的外延晶圆源322。

[0333] 此时,在晶圆源300的分离工序中,从外延晶圆源322切出具有互不相同的结构密封晶圆331及未密封晶圆332。具体而言,切出具有层叠构造的密封晶圆331,该层叠构造包含由晶圆源300的一部分构成的第一晶圆部333、及层叠于第一晶圆部333之上的外延层321,切出具有单层构造的未密封晶圆332,该单层构造包含由晶圆源300的一部分构成的第二晶圆部335。

[0334] 此时,密封晶圆331优选包含比外延层321薄的第一晶圆部333。根据该制造方法,能够削减起因于第一晶圆部333的电阻值(例如导通电阻)。当然,密封晶圆331也可以包含比外延层321厚的第一晶圆部333。

[0335] 此时,半导体装置1A的制造方法优选包含:在晶圆源300的分离工序后,除去第一晶圆部333的至少一部分的工序(图9的步骤S7)。通过这样的制造方法,也能够削减起因于

第一晶圆部333的电阻值(例如导通电阻)。此时,第一晶圆部333优选除去至小于外延层321的厚度的厚度。

[0336] 图14是表示图1所示的半导体装置1A的第二制造方法例的工序图。参照图14,第二制造方法例是使第一制造方法例(参照图9)变形的制造方法。具体而言,在第二制造方法例中,在器件构造325的形成工序(步骤S4:步骤S4A~S4M)之后且改性层326的形成工序(步骤S5)之前,实施支承基板310相对于晶圆源300的粘贴工序(步骤S2)。在晶圆源300的再利用工序中,省略支承基板310的粘贴工序(步骤S2)。以上,通过第二制造方法例也能够获得与第一制造方法例的效果一样的效果。

[0337] 图15是表示图1所示的半导体装置1A的第三制造方法例的工序图。参照图15,第三制造方法例是使第一制造方法例(参照图9)变形的制造方法。具体而言,在第三制造方法例中,在改性层326的形成工序(参照步骤S5)之后,实施支承基板310相对于晶圆源300的粘贴工序(步骤S2)。

[0338] 在改性层326的形成工序中,在不存在支承基板310的状态下,从第二主面302侧向晶圆源300内照射激光光束,形成改性层326。在晶圆源300的再利用工序中,省略支承基板310的粘贴工序(步骤S2)。以上,通过第三制造方法例也能够获得与第一制造方法例的效果一样的效果。另外,根据第三制造方法例,能够在晶圆源300内适当地形成改性层326。

[0339] 图16是表示图1所示的半导体装置1A的第四~第五制造方法例中使用的晶圆源300、第一支承基板400及第二支承基板410的立体图。参照图16,第四~第五制造方法例在使用晶圆源300这一点上与第一~第三制造方法例共通,但在使用第一支承基板400及第二支承基板410来代替支承基板310这一点上与第一~第三制造方法例不同。关于晶圆源300的说明如上所述,因此对其省略。

[0340] 第一支承基板400是从第二主面302侧支承晶圆源300的板状构件。第一支承基板400可以形成为圆盘状或圆柱状。只要能够从第二主面302侧支承晶圆源300,则第一支承基板400的材料是任意的。第一支承基板400可以由无机物板、有机物板、金属板、晶体板或非晶质板(玻璃板)构成。第一支承基板400由透光板或透明板构成,优选构成为抑制激光光束的衰减。第一支承基板400的熔点优选为晶圆源300的熔点以上。第一支承基板400的热膨胀系数相对于晶圆源300的热膨胀系数之比优选为0.5以上且1.5以下。

[0341] 第一支承基板400特别优选由与晶圆源300相同的材料(即SiC)构成。此时,第一支承基板400可以由SiC单晶或SiC多晶构成。此时,第一支承基板400优选由六方晶的SiC单晶构成。在本方式中,第一支承基板400由4H-SiC单晶构成。当然,第一支承基板400也可以由4H-SiC单晶以外的其他多晶型构成。在本方式中,由通过切片加工法从晶锭(SiC单晶块)切出的圆盘状或圆柱状的晶体板(即晶圆),构成第一支承基板400。

[0342] 第一支承基板400的杂质浓度独立于晶圆源300来设定。第一支承基板400的杂质浓度优选与晶圆源300的杂质浓度不同。第一支承基板400的杂质浓度优选小于晶圆源300的杂质浓度。第一支承基板400特别优选不添加杂质。此时,起因于第一支承基板400的激光光束的吸收(衰减)得以抑制。

[0343] 第一支承基板400可以含有作为杂质的钒。在第一支承基板400包含n型杂质或p型杂质时,第一支承基板400的杂质浓度优选为 $1 \times 10^{18} \text{ cm}^{-3}$ 以下。注意具有390 μm 以下的波长的激光光束具有无论有无杂质添加都被SiC单晶吸收(衰减)的倾向。

[0344] 第一支承基板400具有：一侧(晶圆源300侧)的第一板面401、另一侧的第二板面402、以及连接第一板面401和第二板面402的板侧面403。第一板面401可以由磨削面、解理面、研磨面或镜面构成。第二板面402可以由磨削面、解理面、研磨面或镜面构成。第二板面402的面状态不需要一定与第一板面401的面状态相同。

[0345] 第一板面401和第二板面402优选面向SiC单晶的c面。此时，优选的是，第一板面401面向硅面，第二板面402面向碳面。第一板面401和第二板面402可以具有相对于c面在规定的偏离方向上以规定的角度倾斜的偏离角。偏离方向优选为SiC单晶的a轴方向。偏离角可以超过0°且为10°以下。偏离角优选为5°以下。偏离角特别优选为2°以上且4.5°以下。第一支承基板400的偏离方向及偏离角优选与晶圆源300的偏离方向及偏离角大致相等。

[0346] 第一板面401的周缘具有倾斜的倒角部。第一板面401的倒角部可以是R倒角部或C倒角部。第二板面402的周缘具有倾斜的倒角部。第二板面402的倒角部可以是R倒角部或C倒角部。第一板面401的周缘及第二板面402的周缘的某一方或双方也可以不具有倒角部而为棱角。但是，从处理的观点出发，优选的是，第一板面401的周缘以及第二板面402的周缘双方具有倒角部。

[0347] 第一支承基板400在板侧面403具有表示晶体取向的第二标记404。第二标记404也是间接地表示晶圆源300的晶体取向的标记。在本方式中，第二标记404在俯视图中包含切成直线状的定向平面。在本方式中，定向平面沿第二方向Y延伸。定向平面不需要一定沿第二方向Y延伸，也可以沿第一方向X延伸。

[0348] 当然，第二标记404可以包含沿第一方向X延伸的定向平面以及沿第二方向Y延伸的定向平面。另外，第二标记404可以代替定向平面或者在定向平面的基础上，具有朝向晶圆源300的中央部切口的定向凹口。定向凹口在俯视图中也可以是切成三角形状、四边形状等多边形状的切口部。

[0349] 第一支承基板400的直径和厚度是任意的。第一支承基板400的直径由在第二标记404外通过第一支承基板400的中心的弦的长度来定义。鉴于晶圆源300的处理，第一支承基板400优选具有晶圆源300的直径以上的直径以及晶圆源300的厚度以上的厚度。将晶圆源300的中央部与第一支承基板400的中央部重叠时的晶圆源300的周缘与第一支承基板400的周缘之间的间隔优选为0mm以上且10mm以下。

[0350] 第二支承基板410是从第一主面301侧支承晶圆源300的板状构件。第二支承基板410可以形成为圆盘状或圆柱状。只要能够从第一主面301侧支承晶圆源300，则第二支承基板410的材料是任意的。第二支承基板410可以由无机物板、有机物板、金属板、晶体板或非晶质板(玻璃板)构成。在本方式中，第二支承基板410由玻璃板(氧化硅板)构成。即，第二支承基板410可以由与第一支承基板400不同的材料构成。当然，也可以使用与第一支承基板400一样的支承基板作为第二支承基板410。

[0351] 第二支承基板410具有：一侧(晶圆源300侧)的第一板面411、另一侧的第二板面412、以及连接第一板面411和第二板面412的板侧面413。第一板面411可以由磨削面、解理面、研磨面或镜面构成。第二板面412可以由磨削面、解理面、研磨面或镜面构成。第二板面412的面状态不需要一定与第一板面411的面状态相同。在将与所述第一支承基板400一样的支承基板用作第二支承基板410时，第一板面411设定为碳面，另一侧的第二板面412设定为硅面。

[0352] 第一板面411的周缘具有倾斜的倒角部。第一板面411的倒角部可以是R倒角部或C倒角部。第二板面412的周缘具有倒角部。第二板面412的倒角部可以是R倒角部或C倒角部。第一板面411的周缘及第二板面412的周缘的某一方或双方也可以不具有倒角部而为棱角。但是,从处理的观点出发,优选的是,第一板面411的周缘以及第二板面412的周缘双方具有倒角部。

[0353] 在本方式中,第二支承基板410与第一支承基板400不同,在板侧面413不具有表示晶体取向的标记。当然,第二支承基板410也可以在板侧面413具有与第一支承基板400的第二标记404一样的标记。此时,关于第二支承基板410的标记的说明应用关于第一支承基板400的第二标记404的说明。

[0354] 第二支承基板410的直径和厚度是任意的。鉴于晶圆源300的处理,第二支承基板410优选具有晶圆源300的直径以上的直径以及晶圆源300的厚度以上的厚度。将晶圆源300的中央部与第二支承基板410的中央部重叠时的晶圆源300的周缘与第二支承基板410的周缘之间的间隔优选为0mm以上且10mm以下。

[0355] 图17是表示图1所示的半导体装置1A的第四制造方法例的工序图。图18A~图18K是表示图17所示的半导体装置1A的第四制造方法例的剖视图。在图18A~图18K中,简化表示了晶圆源300、第一支承基板400以及第二支承基板410。

[0356] 参照图18A,准备晶圆源300、第一支承基板400以及第二支承基板410(图17的步骤S21)。接着,将第一支承基板400粘贴于晶圆源300(图17的步骤S22),将第二支承基板410粘贴于晶圆源300(图17的步骤S23)。第一支承基板400的粘贴工序和第二支承基板410的粘贴工序的顺序是任意的,可以调换。在该工序中,第一支承基板400的第一板面401(硅面)粘贴于晶圆源300的第二主面302(碳面),第二支承基板410的第一板面411粘贴于晶圆源300的第一主面301(硅面)。

[0357] 第一支承基板400以在第二标记404接近第一标记304的位置与该第一标记304平行地延伸的方式粘贴于晶圆源300(参照图16)。在第一标记304及第二标记404均包含定向凹口时,以切口方向一致的方式将第一支承基板400粘贴于晶圆源300。通过第一标记304和第二标记404中的某一方或双方来判别晶圆源300的晶体取向。

[0358] 第一支承基板400的第一板面401(硅面)可以通过作为直接接合法的一例的常温接合法与晶圆源300的第二主面302(碳面)直接接合。在常温接合法中,实施活化工序以及接合工序。在活化工序中,例如在高真空中对晶圆源300的第二主面302和第一支承基板400的第一板面401照射原子或离子,在第二主面302和第一板面401分别形成悬空键。

[0359] 在接合工序中,将活化的第二主面302以及活化的第一板面401接合。在接合后的第二主面302与第一板面401之间,形成由晶圆源300的一部分及第一支承基板400的一部分构成的第一非晶接合层420。即,第一支承基板400经由第一非晶接合层420与晶圆源300接合。直接接合法可以包含用于提高晶圆源300与第一支承基板400的接合强度的热处理工序或加压工序。

[0360] 第一非晶接合层420具有与晶圆源300不同的吸光系数。具体而言,第一非晶接合层420具有比晶圆源300的吸光系数大的吸光系数。并且,第一非晶接合层420的吸光系数大于第一支承基板400的吸光系数。第一非晶接合层420的厚度也可以超过0 μ m且为5 μ m以下。第一非晶接合层420的厚度优选为1 μ m以下。

[0361] 在该工序中,第一支承基板400通过直接接合法与晶圆源300接合。但是,只要能够通过第一支承基板400支承晶圆源300,则第一支承基板400相对于晶圆源300的接合法是任意的。例如,第一支承基板400可以利用双面胶带、粘接剂等与晶圆源300接合。此时,在晶圆源300与第一支承基板400之间形成由双面胶带、粘接剂等构成的粘接层。

[0362] 第二支承基板410的第一板面411可以通过作为直接接合法的一例的常温接合法与晶圆源300的第一主面301直接接合。在常温接合法中,实施活化工序以及接合工序。在活化工序中,例如在高真空中对晶圆源300的第一主面301和第二支承基板410的第一板面411照射原子或离子,在第一主面301和第一板面411分别形成悬空键。

[0363] 在接合工序中,将活化的第一主面301以及活化的第一板面411接合。在接合后的第一主面301与第一板面411之间,形成由晶圆源300的一部分及第二支承基板410的一部分构成的第二非晶接合层421。即,第二支承基板410经由第二非晶接合层421与晶圆源300接合。直接接合法可以包含用于提高第二支承基板410相对于晶圆源300的接合强度的热处理工序或加压工序。

[0364] 第二非晶接合层421具有比晶圆源300的吸光系数大的吸光系数。第二非晶接合层421的吸光系数大于第一支承基板400的吸光系数。第二非晶接合层421的厚度也可以超过0 μm 且为5 μm 以下。第二非晶接合层421的厚度优选为1 μm 以下。

[0365] 在该工序中,第二支承基板410通过直接接合法与晶圆源300接合。但是,只要能够通过第二支承基板410支承晶圆源300,则第二支承基板410相对于晶圆源300的接合法是任意的。例如,第二支承基板410可以利用双面胶带、粘接剂等与晶圆源300接合。此时,在晶圆源300与第二支承基板410之间形成由双面胶带、粘接剂等构成的粘接层。

[0366] 接着,参照图18B,在晶圆源300的厚度范围的中途部形成沿着与第一主面301平行的水平方向的改性层422(图17的步骤S24)。在该工序中,在晶圆源300的厚度范围的中途部设定聚光部,从激光光束照射装置经由第一支承基板400向晶圆源300照射激光光束。激光光束相对于晶圆源300的照射位置沿着水平方向移动。激光光束优选呈脉冲状照射到晶圆源300的内部。由此,形成晶圆源300(SiC单晶)的晶体结构的一部分被改性为其他性质的改性层422。

[0367] 即,改性层422是通过激光光束的照射而形成的激光加工痕。改性层422由密度、折射率、机械强度(晶体强度)或其他物理特性被改性为与晶圆源300不同的性质,且具有比晶圆源300脆弱的物性的层构成。改性层422可以包含非晶层、熔融再固化层、缺陷层、绝缘破坏层或折射率变化层中的至少一个层。

[0368] 非晶层是晶圆源300的一部分非晶化而成的层。熔融再固化层是晶圆源300的一部分熔融后再次固化而成的层。缺陷层是形成于晶圆源300的包含空孔、龟裂等的层。绝缘破坏层是晶圆源300的一部分绝缘破坏而成的层。折射率变化层是晶圆源300的一部分变化为不同的折射率而成的层。

[0369] 在第二支承基板410由抑制激光光束的衰减的材质形成时,激光光束可以经由第二支承基板410向晶圆源300照射。激光光束的照射方向也可以根据在晶圆源300内设定的聚光部的厚度位置来调整。例如,在第一支承基板400与聚光部之间的距离小于第二支承基板410与聚光部之间的距离时,激光光束可以经由第一支承基板400照射到晶圆源300。与此相反,在第二支承基板410与聚光部之间的距离小于第一支承基板400与聚光部之间的距离

时,激光光束可以经由第二支承基板410照射到晶圆源300。

[0370] 改性层422的形成部位根据应从晶圆源300取得的晶圆的厚度来设定。第二主面302与改性层422之间的距离优选设定为小于第一主面301与改性层422之间的距离的值。当然,第二主面302与改性层422之间的距离也可以设定为超过第一主面301与改性层422之间的距离的值。

[0371] 第二主面302与改性层422之间的距离优选设定为小于第一支承基板400的厚度的值。此时,从晶圆源300取得具有小于第一支承基板400的厚度的厚度的晶圆。第二主面302与改性层422之间的距离优选设定为小于在后面的工序中形成的密封绝缘体71的厚度的值。此时,从晶圆源300取得具有小于密封绝缘体71的厚度的厚度的晶圆。

[0372] 当然,第二主面302与改性层422之间的距离可以设定为超过密封绝缘体71的厚度的值。此时,从晶圆源300取得具有超过密封绝缘体71的厚度的厚度的晶圆。第二主面302与改性层422之间的距离可以为 $10\mu\text{m}$ 以上且 $300\mu\text{m}$ 以下。第二主面302与改性层422之间的距离可以为 $100\mu\text{m}$ 以下。第二主面302与改性层422之间的距离可以为 $50\mu\text{m}$ 以下。第二主面302与改性层422之间的距离可以为 $40\mu\text{m}$ 以下。

[0373] 接着,参照图18C,以改性层422为起点从厚度范围的中途部沿着水平方向切断晶圆源300(图17的步骤S25)。在该工序中,在被第一支承基板400和第二支承基板410支承(夹持)的状态下对晶圆源300施加外力,以改性层422为起点将晶圆源300在水平方向上劈开。施加于晶圆源300的外力可以是超声波。

[0374] 由此,由晶圆源300的一部分构成的晶圆430从晶圆源300分离。晶圆430成为芯片2(具体而言,第二半导体区7)的基体。晶圆430具有:由切断面构成的第一晶圆主面431、由晶圆源300的第二主面302构成的第二晶圆主面432、以及由晶圆源300的侧面303的一部分构成的侧面433。第一晶圆主面431由SiC单晶的硅面构成。第二晶圆主面432由SiC单晶的碳面构成。晶圆430的侧面433具有从晶圆源300的侧面303继承的第一标记304。

[0375] 晶圆430与第一支承基板400和第一非晶接合层420一起形成晶圆粘贴构造434,并作为该晶圆粘贴构造434从晶圆源300分离。晶圆粘贴构造434从晶圆源300分离后,被输送至另一位置。即,晶圆430与第一支承基板400一体地被处理。

[0376] 在该工序中,晶圆430在被第一支承基板400支承的状态下被切出,因此,晶圆430的变形(例如伴随薄化的翘曲)被第一支承基板400抑制。由此,能够适当地切出比较薄的晶圆430。因此,优选的是,将第二主面302与改性层422之间的距离设定为小于第一支承基板400(优选为密封绝缘体71)的厚度的值,切出具有小于第一支承基板400(优选为密封绝缘体71)的厚度的厚度的晶圆430。

[0377] 参照图18D,在晶圆粘贴构造434侧,从第一晶圆主面431侧实施晶圆430的薄化工序(图17的步骤S26)。晶圆430的薄化工序可以包含针对第一晶圆主面431的磨削工序和针对第一晶圆主面431的蚀刻工序中的至少一个。磨削工序可以包含机械研磨法和化学机械研磨法中的至少一个。蚀刻工序可以包含干式蚀刻工序和湿式蚀刻工序中的至少一个。该工序包含将附着于第一晶圆主面431的改性层422的剩余部分除去的工序。

[0378] 接着,参照图18E,通过外延生长法,从第一晶圆主面431生长外延层435(图17的步骤S27)。外延层435成为芯片2(具体而言为第一半导体区6)的基体。外延层435优选具有超过晶圆430的厚度的厚度。外延层435的厚度优选为 $3\mu\text{m}$ 以上且 $30\mu\text{m}$ 以下。外延层435的厚度

特别优选为 $5\mu\text{m}$ 以上且 $25\mu\text{m}$ 以下。当然,外延层435的厚度也可以小于晶圆源300的厚度。

[0379] 在本方式中,外延层435也形成在晶圆430的侧面433及第一支承基板400的第一板面401之上。外延层435也可以在晶圆430的侧面433的下端侧覆盖第一非晶接合层420。经过该工序,在第一支承基板400之上形成外延晶圆440(晶圆构造)。外延晶圆440具有包含晶圆430和外延层435的层叠构造,并具有由外延层435形成的第一晶圆主面431。

[0380] 接着,参照图18F,与第一制造方法例一样,在外延晶圆440的第一晶圆主面431设定多个器件区323及多个切断预定线324,形成器件构造325(图17的步骤S28)。在器件构造325的形成工序中,在多个器件区323分别形成台面部11、MISFET构造12、主面绝缘膜25、侧壁构造26、层间绝缘膜27、栅极电极30、源极电极32、多个栅极布线36A、36B、源极布线37、上绝缘膜38、栅极端子电极50、源极端子电极60以及密封绝缘体71。

[0381] 在器件构造325的形成工序中形成的各构造的具体特征的说明如上所述。另外,器件构造325经过第一制造方法例的器件构造325的形成工序(图11的步骤S4A~S4M)而形成于第一晶圆主面431。第四制造方法例的器件构造325的形成工序的具体说明,通过在第一制造方法例的器件构造325的形成工序中将“第一主面301”替换为“第一晶圆主面431”而能获得。

[0382] 在第四制造方法例的密封绝缘体71的形成工序(图11的步骤S4L)中,优选形成比外延晶圆440厚的密封绝缘体71。当然,在密封绝缘体71的形成工序中,可以形成比外延晶圆440薄的密封绝缘体71。此时,优选形成至少比外延层435厚的密封绝缘体71。此外,省略关于第四制造方法例的器件构造325的形成工序的具体说明。

[0383] 接着,参照图18G,在晶圆430与第一支承基板400的边界部或该边界部的附近,形成沿着与第一晶圆主面431平行的水平方向延伸的边界改性层441(图17的步骤S29)。具体而言,在该工序中,在第一非晶接合层420的内部或附近形成沿着该第一非晶接合层420延伸的边界改性层441。第一非晶接合层420的附近是指从第一非晶接合层420的位置起 $\pm 50\mu\text{m}$ 以内的厚度范围。第一非晶接合层420的附近优选设定为从第一非晶接合层420的位置起 $\pm 10\mu\text{m}$ 以内的厚度范围。

[0384] 在该工序中,在第一非晶接合层420的内部或附近设定聚光部,从激光光束照射装置经由第一支承基板400朝向第一非晶接合层420照射激光光束。激光光束相对于第一非晶接合层420的照射位置沿着水平方向移动。第一非晶接合层420的吸光系数与晶圆430(晶圆源300)的吸光系数不同。因此,在该工序中,以激光光束被第一非晶接合层420吸收的方式调节激光光束的输出及聚光部。

[0385] 具体而言,第一非晶接合层420的吸光系数大于晶圆430(晶圆源300)的吸光系数和第一支承基板400的吸光系数。因此,即使在第一非晶接合层420的内部或附近增加激光光束输出,边界改性层441的形成位置也大致收敛于一定的厚度范围。即,边界改性层441的形成位置相对于激光光束的输出的偏差得以抑制。

[0386] 经过这样的工序,形成第一非晶接合层420的至少一部分被改性为其他性质的边界改性层441。即,边界改性层441是通过照射激光光束而形成的激光加工痕。边界改性层441由密度、折射率、机械强度(结晶强度)或其他物理特性被改性为与第一非晶接合层420不同的性质,且具有比第一非晶接合层420脆弱的物性的层构成。

[0387] 边界改性层441可以包含熔融再固化层、缺陷层、绝缘破坏层或折射率变化层中的

至少一个层。熔融再固化层是第一非晶接合层420的一部分熔融后再次固化而成的层。缺陷层是形成于第一非晶接合层420的包含空孔、龟裂等的层。绝缘破坏层是第一非晶接合层420的一部分绝缘破坏而成的层。折射率变化层是第一非晶接合层420的一部分变化为不同的折射率而成的层。

[0388] 在该工序中,在外延层435中的形成于第一支承基板400之上的部分也形成边界改性层441。边界改性层441中的形成于外延层435的部分由密度、折射率、机械强度(结晶强度)或其他物理特性被改性为与外延层435(SiC单晶)不同的性质且具有比外延层435脆弱的物性的层构成。

[0389] 接下来,参照图18H,以边界改性层441(第一非晶接合层420)为起点沿着水平方向切断晶圆粘贴构造434,第一支承基板400从外延晶圆440分离(图17的步骤S30)。在该工序中,在被密封绝缘体71和第一支承基板400支承(夹持)的状态下对边界改性层441施加外力,以边界改性层441为起点将晶圆粘贴构造434沿水平方向劈开。

[0390] 施加于边界改性层441的外力可以是超声波。在该工序中,在被密封绝缘体71支承的状态下从晶圆粘贴构造434切出外延晶圆440,因此,通过密封绝缘体71抑制外延晶圆440的变形(例如,伴随薄化的翘曲)。由此,能够适当地切出比较薄的外延晶圆440。

[0391] 接下来,参照图18I,在被密封绝缘体71支承的状态下,从第二晶圆主面432侧实施外延晶圆440的薄化工序(图17的步骤S31)。外延晶圆440的薄化工序可以包含针对第二晶圆主面432的磨削工序和针对第二晶圆主面432的蚀刻工序中的至少一个。磨削工序可以包含机械研磨法和化学机械研磨法中的至少一个。蚀刻工序可以包含干式蚀刻工序和湿式蚀刻工序中的至少一个。该工序包含:将附着于第二晶圆主面432的边界改性层441的剩余部分除去的工序。

[0392] 外延晶圆440薄化至期望的厚度。在切出比密封绝缘体71薄的外延晶圆440时,外延晶圆440的薄化管线包含进一步薄化外延晶圆440的工序。另一方面,在切出比密封绝缘体71厚的外延晶圆440时,外延晶圆440的薄化工序优选包含:将外延晶圆440薄化至小于密封绝缘体71的厚度的工序。在这些工序中,在晶圆430比外延层435薄时,晶圆430被进一步薄化。另一方面,在晶圆430比外延层435厚时,优选晶圆430薄化至小于外延层435的厚度。

[0393] 接着,参照图18J,形成覆盖外延晶圆440的第二晶圆主面432的漏极电极77(第二主面电极)(图17的步骤S32)。漏极电极77也可以通过溅射法和/或蒸镀法形成。

[0394] 然后,参照图18K,沿着切断预定线324切断外延晶圆440和密封绝缘体71(图17的步骤S33)。外延晶圆440和密封绝缘体71可以由切割刀片(未表示)切断。经过包含以上的工序,从外延晶圆440制造多个半导体装置1A。

[0395] 另一方面,对于晶圆源300的分离工序(图17的步骤S25)后的由第二支承基板410支承的晶圆源300(参照图18C),判定该晶圆源300是否能够进一步分离(图17的步骤S34)。在晶圆源300具有能够取得与晶圆粘贴构造434侧的晶圆430不同的晶圆430的程度的厚度以及状态时,可以判定为晶圆源300能够进一步分离。

[0396] 在晶圆源300能够进一步分离时(图17的步骤S34:是),实施晶圆源300的维护工序(图17的步骤S35)。晶圆源300的维护工序可以包含针对第二主面302的磨削工序和针对第二主面302的蚀刻工序中的至少一个。磨削工序可以包含机械研磨法和化学机械研磨法中的至少一个。蚀刻工序可以包含干式蚀刻工序和湿式蚀刻工序中的至少一个。该工序包含

将附着于晶圆源300的第二主面302的改性层422的剩余部分除去的工序。

[0397] 经过该工序,晶圆源300的第二主面302得以平滑化。之后,反复执行图17的步骤S23~S25,直到晶圆源300不能分离。即,在第四制造方法例中,实施晶圆源300的再利用工序。成为反复工序的最后的晶圆源300可以作为晶圆430从第二支承基板410分离。此时,可以在第二非晶接合层421的内部或附近形成边界改性层441,通过劈开该边界改性层441将最后的晶圆源300从第二支承基板410分离。

[0398] 另一方面,在晶圆源300不能分离时(图17的步骤S34:否),使用了一个晶圆源300的制造工序结束,判定第二支承基板410是否能够再利用(图17的步骤S36)。在第二支承基板410具有能够支承其他晶圆源300的程度的厚度及状态时,可以判定为第二支承基板410能够再利用。在第二支承基板410不能再利用时(图17的步骤S36:否),使用了该第二支承基板410的制造工序结束。

[0399] 另一方面,在第二支承基板410能够再利用时(图17的步骤S36:是),实施第二支承基板410的维护工序(图17的步骤S37)。第二支承基板410的维护工序包含:将第二支承基板410修补为能够作为新的第二支承基板410来使用的状态的工序。该工序包含:从第二支承基板410除去晶圆源300及第二非晶接合层421的工序。

[0400] 晶圆源300(第二非晶接合层421)的除去工序包含针对晶圆源300的磨削工序以及针对晶圆源300的蚀刻工序中的至少一个。磨削工序可以包含机械研磨法和化学机械研磨法中的至少一个。蚀刻工序可以包含干式蚀刻工序和湿式蚀刻工序中的至少一个。当然,晶圆源300的除去工序可以包含针对第一板面411的磨削工序以及针对第一板面411的蚀刻工序中的至少一个。

[0401] 另外,可以在第二非晶接合层421的内部或附近形成边界改性层441,通过劈开该边界改性层441而将晶圆源300及第二支承基板410分离。此时,附着于第二支承基板410的边界改性层441的剩余部分可以通过磨削工序和蚀刻工序中的至少一个除去。由此,第二支承基板410的第一板面411得以平滑化,第二支承基板410被再利用。之后,依次实施图17的步骤S21~S25。

[0402] 另一方面,对于第一支承基板400的分离工序(图17的步骤S30)之后的第一支承基板400(参照图18H),判定该第一支承基板400是否能够再利用(图17的步骤S38)。在第一支承基板400具有能够支承其他晶圆源300的程度的厚度及状态时,可以判定为第一支承基板400能够再利用。在第一支承基板400不能再利用时(图17的步骤S38:否),使用了该第一支承基板400的制造工序结束。

[0403] 另一方面,在第一支承基板400能够再利用时(图17的步骤S38:是),实施第一支承基板400的维护工序(图17的步骤S39)。第二支承基板410的维护工序包含将第一支承基板400修补为能够作为新的第一支承基板400来使用的状态的工序。该工序包含:从第一支承基板400除去边界改性层441的剩余部分(第二非晶接合层421的剩余部分)的工序。

[0404] 边界改性层441的除去工序包含针对边界改性层441的磨削工序和针对边界改性层441的蚀刻工序中的至少一个。磨削工序可以包含机械研磨法和化学机械研磨法中的至少一个。蚀刻工序可以包含干式蚀刻工序和湿式蚀刻工序中的至少一个。当然,边界改性层441的除去工序可以包含针对第一板面401的磨削工序以及针对第一板面401的蚀刻工序中的至少一个。之后,依次实施图17的步骤S21~S25。

[0405] 在图17中,在针对晶圆源300的初次的制造工序以及晶圆源300的再利用工序中制造半导体装置1A。但是,也可以在初次的制造工序中制造与半导体装置1A不同的任意的半导体装置(例如其他实施方式的半导体装置1B~1H),在再利用工序中制造半导体装置1A。当然,也可以在初次的制造工序中制造半导体装置1A,在再利用工序中制造与半导体装置1A不同的任意的半导体装置。另外,也可以使用在再利用工序中形成的至少一个晶圆430来制造半导体装置1A,使用剩余的晶圆430来制造与半导体装置1A不同的任意的半导体装置。

[0406] 以上,半导体装置1A的第四制造方法例包含:晶圆源300的准备工序(图17的步骤S21);第一支承基板400的粘贴工序(图17的步骤S22);晶圆源300的分离工序(图17的步骤S25);栅极电极30(源极电极32)的形成工序(图11的步骤S4I);栅极端子电极50(源极端子电极60)的形成工序(图11的步骤S4K);密封绝缘体71的形成工序(图11的步骤S4L);以及第一支承基板400的除去工序(图17的步骤S30)。

[0407] 在晶圆源300的准备工序中准备晶圆源300,该晶圆源300具有一侧的第一主面301及另一侧的第二主面302。在第一支承基板400的粘贴工序中,将第一支承基板400粘贴于晶圆源300的第二主面302。在晶圆源300的分离工序中,从晶圆源300的厚度范围的中途部在沿着第一主面301的水平方向上切断晶圆源300。由此,具有由切断面构成的第一晶圆主面431及由第二主面302构成的第二晶圆主面432的晶圆430,与第一支承基板400一起从晶圆源300分离。

[0408] 在栅极电极30(源极电极32)的形成工序中,在第一晶圆主面431之上形成栅极电极30(源极电极32)。在栅极端子电极50(源极端子电极60)的形成工序中,在栅极电极30(源极电极32)之上形成栅极端子电极50(源极端子电极60)。在密封绝缘体71的形成工序中,以使栅极端子电极50(源极端子电极60)的一部分露出的方式在第一晶圆主面431之上形成密封绝缘体71,该密封绝缘体71覆盖栅极端子电极50(源极端子电极60)的周围。在第一支承基板400的除去工序中,在晶圆430被密封绝缘体71支承的状态下除去第一支承基板400。

[0409] 根据该制造方法,比晶圆源300薄的晶圆430在被第一支承基板400支承的状态下从晶圆源300分离。因此,能够通过第一支承基板400抑制晶圆430的变形,同时能够将晶圆430与第一支承基板400一起处理。由此,能够抑制起因于变形(例如伴随薄化的翘曲)的晶圆430的形状不良、电气特性的变动。

[0410] 另一方面,第一支承基板400在晶圆430被密封绝缘体71支承的状态下被除去。因此,能够通过密封绝缘体71抑制晶圆430的变形,同时能够将密封绝缘体71作为支承构件来处理晶圆430。由此,在第一支承基板400的除去工序后,能够抑制起因于变形的晶圆430的形状不良、电气特性的变动。

[0411] 另外,根据该制造方法,能够利用密封绝缘体71保护密封晶圆331不受外力、湿气的影响。即,能够保护晶圆430不受起因于外力的损伤、起因于湿气的劣化。由此,能够抑制形状不良、电气特性的变动。因此,能够提供具有高可靠性的半导体装置1A的高效的制造方法。

[0412] 另外,根据该制造方法,还能够保留晶圆源300的再利用的余地。由此,能够抑制晶圆源300的消耗,增加能够从一个晶圆源300取得的半导体装置1A的个数。因此,能够削减制造成本。在晶圆源300包含比较昂贵的宽带隙半导体的单晶(特别是SiC单晶)时,能够削减起因于该宽带隙半导体的制造成本。因此,这样的制造方法在晶圆源300包含宽带隙半导体

的单晶时特别有益。在晶圆源300的准备工序中,优选准备从晶圆切出的晶圆源300。

[0413] 晶圆源300的分离工序优选包含:切出比第一支承基板400薄的晶圆430的工序。根据该制造方法,晶圆430的变形被第一支承基板400抑制,因此,能够适当地切出比较薄的晶圆430。根据比较薄的晶圆430,可以制造通过削减电阻值(例如导通电阻)而能够提高电气特性的具有高可靠性的半导体装置1A。另外,根据该制造方法,能够使晶圆源300的残留量增加。因此,在再利用晶圆源300时,还能够抑制晶圆源300的消耗,提高制造效率。

[0414] 半导体装置1A的制造方法优选包含:反复进行包含第一支承基板400的粘贴工序及晶圆源300的分离工序在内的一系列工序,直至晶圆源300不能分离的工序(图17的步骤S34)。根据该制造方法,能够抑制晶圆源300的消耗。此时,从晶圆源300取得的多个晶圆430的一部分可以用于与半导体装置1A不同的其他半导体装置的制造。

[0415] 另外,多个晶圆430的一部分可以作为第一支承基板400、第二支承基板410等其他构件(包含上述的支承基板310)来使用。半导体装置1A的制造方法优选包含:在晶圆源300的分离工序之后,使晶圆源300的第二主面302(切断面)平滑化的工序(图17的步骤S35)。

[0416] 晶圆源300的分离工序优选包含:通过激光光束照射法在晶圆源300的厚度范围的中途部形成沿着水平方向延伸的改性层422后,以改性层422为起点将晶圆源300沿水平方向劈开的工序。根据该制造方法,无需通过切削来分离晶圆源300。由此,能够在抑制晶圆源300的消耗的同时高效地分离晶圆源300。

[0417] 这样的制造方法在晶圆源300包含具有比Si高的硬度的宽带隙半导体的单晶(特别是SiC单晶)时特别有益。根据改性层422的形成工序,能够容易地劈开具有比较高的硬度的宽带隙半导体。因此,能够提高宽带隙半导体的制造效率。改性层422的形成工序优选包含:从晶圆源300的第二主面302侧经由第一支承基板400向晶圆源300内照射激光光束的工序。

[0418] 第一支承基板400的除去工序优选包含:从晶圆430分离第一支承基板400的工序。根据该制造方法,无需通过磨削除去第一支承基板400。因此,能够提高制造效率。此时,第一支承基板400的粘贴工序优选包含:通过直接接合法将第一支承基板400粘贴于第二主面302的工序。

[0419] 并且,此时优选的是,第一支承基板400的除去工序包含:在利用激光光束照射法在晶圆430和第一支承基板400的边界部或边界部的附近形成沿着水平方向延伸的边界改性层441之后,将该边界改性层441在水平方向上劈开的工序。根据该制造方法,能够容易地从晶圆430分离第一支承基板400。因此,能够提高制造效率。

[0420] 此时,第一支承基板400的粘贴工序优选包含:通过直接接合法在晶圆源300与第一支承基板400之间形成第一非晶接合层420的工序。并且,此时优选的是,第一支承基板400的除去工序包含:在第一非晶接合层420的内部或附近,形成沿着第一非晶接合层420延伸的边界改性层441的工序。

[0421] 第一非晶接合层420具有与晶圆源300不同的吸光系数。因此,通过在第一非晶接合层420侧吸收激光光束,由此,能够适当地形成边界改性层441。此时优选的是,形成具有比晶圆源300的吸光系数高的吸光系数的第一非晶接合层420。第一支承基板400优选由与晶圆源300相同的材料构成。

[0422] 半导体装置1A的制造方法优选包含:在第一支承基板400的除去工序之后,在被密

封绝缘体71支承的状态下从第二晶圆主面432侧使晶圆430薄化的工序。根据该工序,晶圆430的变形被密封绝缘体71抑制,因此,能够使晶圆430适当地薄化。另外,根据比较薄的晶圆430,可以制造通过削减电阻值(例如导通电阻)而能够提高电气特性的具有高可靠性的半导体装置1A。

[0423] 密封绝缘体71的形成工序优选包含:形成比晶圆430厚的密封绝缘体71的工序。密封绝缘体71的形成工序可以包含:形成比晶圆430薄的密封绝缘体71的工序。此时优选的是,晶圆430的薄化工序包含:使晶圆430薄化至比密封绝缘体71薄的工序。

[0424] 半导体装置1A的制造方法优选包含:在第一支承基板400的除去工序之后,形成覆盖晶圆430的第二晶圆主面432的漏极电极77(第二主面电极)的工序(图17的步骤S32)。半导体装置1A的制造方法优选包含:在第一支承基板400的除去工序之后,将晶圆430与密封绝缘体71一起切断的工序(图17的步骤S33)。

[0425] 半导体装置1A的制造方法优选包含:在栅极电极30(源极电极32)的形成工序之前,在被密封绝缘体71支承的状态下从第一晶圆主面431侧使晶圆430薄化的工序(图17的步骤S26)。根据该制造方法,能够抑制起因于第一晶圆主面431的形状不良、起因于第一晶圆主面431的电气特性的变动。晶圆430的薄化工序优选包含对第一晶圆主面431进行磨削的工序。

[0426] 半导体装置1A的制造方法优选包含:在栅极电极30(源极电极32)的形成工序之前形成外延晶圆440(晶圆构造)的工序(图17的步骤S27)。在外延晶圆440的形成工序中,外延层435从第一晶圆主面431生长。由此,形成包含晶圆430和外延层435、且具有由外延层435形成的第一晶圆主面431的外延晶圆440。

[0427] 此时,半导体装置1A的制造方法优选包含:在第一支承基板400的除去工序后,在被密封绝缘体71支承的状态下从外延晶圆440除去晶圆430的至少一部分的工序。根据该制造方法,通过密封绝缘体71抑制外延晶圆440的变形,因此,能够适当地薄化外延晶圆440。根据该制造方法,可以削减起因于外延晶圆440的晶圆430的电阻值(例如,导通电阻)。因此,可以制造能够提高电气特性的具有高可靠性的半导体装置1A。

[0428] 外延层435的生长工序可以包含:形成比晶圆430厚的外延层435的工序。此时,晶圆430的薄化工序可以包含:使比外延层435薄的晶圆430进一步薄化的工序。外延层435的生长工序可以包含:形成比晶圆430薄的外延层435的工序。此时,晶圆430的薄化工序可以包含:使比外延层435厚的晶圆430薄化至比外延层435薄的工序。

[0429] 密封绝缘体71的形成工序优选包含:形成覆盖栅极端子电极50(源极端子电极60)的整个区域的密封绝缘体71的工序;以及除去密封绝缘体71到栅极端子电极50(源极端子电极60)的一部分露出的工序。密封绝缘体71的形成工序优选包含:将包含热固化性树脂的密封剂350供给至第一晶圆主面431之上,使密封剂350热固化的工序。

[0430] 半导体装置1A的制造方法优选包含:在栅极端子电极50(源极端子电极60)的形成工序前,形成部分地覆盖栅极电极30(源极电极32)的上绝缘膜38的工序(图11的步骤S4J)。此时,密封绝缘体71的形成工序优选包含:形成覆盖栅极端子电极50(源极端子电极60)以及上绝缘膜38的密封绝缘体71的工序。

[0431] 栅极端子电极50(源极端子电极60)的形成工序优选包含:形成具有直接覆盖上绝缘膜38的部分的栅极端子电极50(源极端子电极60)的工序。上绝缘膜38的形成工序优选包

含:形成包含无机绝缘膜42及有机绝缘膜43中的至少一方的上绝缘膜38的工序。

[0432] 栅极端子电极50(源极端子电极60)的形成工序优选包含:形成覆盖栅极电极30(源极电极32)的第二基体导体膜346(导体膜)的工序;在第二基体导体膜346之上,形成使第二基体导体膜346中的覆盖栅极电极30(源极电极32)的部分露出的第十掩模M10的工序;在第二基体导体膜346中的从第十掩模M10露出的部分之上,堆积第三基体导体膜349(导体)的工序;以及在第三基体导体膜349的堆积工序之后,除去第十掩模M10的工序。

[0433] 图19是表示图1所示的半导体装置1A的第五制造方法例的工序图。参照图19,第五制造方法例是使第四制造方法例(参照图17)变形的制造方法。具体而言,在第五制造方法例中,在改性层422的形成工序(步骤S24)之后实施第一支承基板400的粘贴工序(步骤S22)。在改性层422的形成工序中,在不存在第一支承基板400的状态下从第二主面302侧向晶圆源300内照射激光光束,形成改性层422。

[0434] 以上,通过第五制造方法例也获得与第四制造方法例的效果一样的效果。另外,根据第五制造方法例,能够在晶圆源300内适当地形成改性层422。在第五制造方法例中,在改性层422的形成工序之前实施第二支承基板410的粘贴工序(图17的步骤S23)。但是,也可以在改性层422的形成工序之后实施第二支承基板410的粘贴工序。此时,可以在第一支承基板400的粘贴工序之前实施第二支承基板410的粘贴工序,也可以在第一支承基板400的粘贴工序之后实施第二支承基板410的粘贴工序。

[0435] 此时,在改性层422的形成工序中,可以从第一主面301或第二主面302侧向晶圆源300内照射激光光束。当然,在第五制造方法例中,也可以调换第一支承基板400的粘贴工序和第二支承基板410的粘贴工序。此时,在改性层422的形成工序中,可以从第一主面301侧向晶圆源300内照射激光光束。在再利用工序时,可以省略第二支承基板410的粘贴工序。

[0436] 图20是表示第二实施方式的半导体装置1B的俯视图。参照图20,半导体装置1B具有使半导体装置1A变形后的方式。具体而言,半导体装置1B包含具有至少一个(在本方式中为多个)引出端子部100的源极端子电极60。具体而言,多个引出端子部100以在第二方向Y上与栅极端子电极50对置的方式分别引出到源极电极32的多个引出电极部34A、34B之上。即,多个引出端子部100在俯视图中从第二方向Y的两侧夹着栅极端子电极50。

[0437] 以上,通过半导体装置1B也获得与半导体装置1A的效果一样的效果。在半导体装置1B的制造方法中,除了调整各种掩模的布局这一点以外,实施与半导体装置1A的制造方法一样的工序。因此,通过半导体装置1B的制造方法,也获得与半导体装置1A的制造方法的效果一样的效果。

[0438] 图21是表示第三实施方式的半导体装置1C的俯视图。图22是沿着图21所示的XII-XII线的剖视图。图23是表示图21所示的半导体装置1C的电气结构的电路图。参照图21~图23,半导体装置1C具有使半导体装置1A变形的的方式。

[0439] 具体而言,半导体装置1C包含:在源极电极32之上隔开间隔地配置的多个源极端子电极60。在本方式中,半导体装置1C包含:配置在源极电极32的主体电极部33之上的至少一个(在本方式中为一个)源极端子电极60、以及配置在源极电极32的引出电极部34A、34B之上的至少一个(在本方式中为多个)源极端子电极60。

[0440] 在本方式中,主体电极部33侧的源极端子电极60形成为使漏极源极电流 I_{DS} 导通的主端子电极102。在本方式中,多个引出电极部34A、34B侧的多个源极端子电极60形成为

使监视漏极源极电流IDS的监视电流IM导通的感测端子电极103。各感测端子电极103在俯视图中具有小于主端子电极102的面积。

[0441] 一个感测端子电极103配置在第一引出电极部34A之上,在俯视图中在第二方向Y上与栅极端子电极50对置。另一个感测端子电极103配置在第二引出电极部34B之上,在俯视图中在第二方向Y上与栅极端子电极50对置。由此,多个感测端子电极103在俯视图中从第二方向Y的两侧夹着栅极端子电极50。

[0442] 参照图18,在半导体装置1C中,栅极驱动电路106与栅极端子电极50电连接,至少1个第一电阻R1与主端子电极102电连接,至少1个第二电阻R2与多个感测端子电极103连接。第一电阻R1构成为使半导体装置1C所生成的漏极源极电流IDS导通。第二电阻R2构成为使具有小于漏极源极电流IDS的值的监视电流IM导通。

[0443] 第一电阻R1可以是具有第一电阻值的电阻器或导电接合构件。第二电阻R2可以是具有比第一电阻值大的第二电阻值的电阻器或导电接合构件。导电接合构件可以是导体板或导线(例如键合线)。即,具有第一电阻值的至少1个第一键合线可以与主端子电极102连接。

[0444] 另外,具有超过第一电阻值的第二电阻值的至少一个第二键合线可以与至少一个感测端子电极103连接。第二键合线可以具有小于第一键合线的线宽的线宽。此时,第二键合线相对于感测端子电极103的接合面积可以小于第一键合线相对于主端子电极102的接合面积。

[0445] 以上,通过半导体装置1C也获得与半导体装置1A的效果一样的效果。在半导体装置1C的制造方法中,除了调整各种掩模的布局这一点以外,实施与半导体装置1A的制造方法一样的工序。因此,通过半导体装置1C的制造方法,也获得与半导体装置1A的制造方法的效果一样的效果。因此,通过半导体装置1C的制造方法,也获得与半导体装置1A的制造方法的效果一样的效果。

[0446] 在本方式中,表示了感测端子电极103配置在引出电极部34A、34B之上的例子,但感测端子电极103的配置部位是任意的。因此,感测端子电极103也可以配置在主体电极部33之上。在本方式中,展示了感测端子电极103应用于半导体装置1A的例子。当然,感测端子电极103也可以应用于第二实施方式。

[0447] 图24是表示第四实施方式的半导体装置1D的俯视图。图25是沿着图24所示的XVIII-XVIII线的剖视图。参照图24及图25,半导体装置1D具有使半导体装置1A变形的方式。具体而言,半导体装置1D包含形成于源极电极32的间隙部107。

[0448] 间隙部107形成于源极电极32的主体电极部33。间隙部107在剖视图中贯通源极电极32,使层间绝缘膜27的一部分露出。在本方式中,间隙部107从源极电极32的壁部中的与栅极电极30在第一方向X上对置的部分朝向源极电极32的内部呈带状延伸。

[0449] 在本方式中,间隙部107形成为沿第一方向X延伸的带状。在本方式中,间隙部107在俯视图中沿第一方向X横穿源极电极32的中央部。间隙部107在俯视图中在从源极电极32的第四侧面5D侧的壁部向内侧(栅极电极30侧)隔开间隔的位置具有端部。当然,间隙部107可以在第二方向Y上分割源极电极32。

[0450] 半导体装置1D包含从栅极电极30引出到间隙部107内的栅极中间布线109。栅极中间布线109与栅极电极30(多个栅极布线36A、36B)一样,具有包含第一栅极导体膜55和第二

栅极导体膜56的层叠构造。栅极中间布线109在俯视图中形成为从源极电极32隔开间隔,并沿着间隙部107呈带状延伸。

[0451] 栅极中间布线109在活性面8(第一主面3)的内部贯通层间绝缘膜27而与多个栅极构造15电连接。栅极中间布线109可以与多个栅极构造15直接连接,也可以经由导体膜与多个栅极构造15电连接。

[0452] 在本方式中,上述上绝缘膜38包含覆盖间隙部107的间隙覆盖部110。间隙覆盖部110在间隙部107内覆盖栅极中间布线109的整个区域。间隙覆盖部110可以以覆盖源极电极32的周缘部的方式从间隙部107内引出到源极电极32之上。

[0453] 在本方式中,半导体装置1D包含在源极电极32之上隔开间隔地配置的多个源极端子电极60。多个源极端子电极60在俯视图中从间隙部107隔开间隔地分别配置在源极电极32之上,并在第二方向Y上相互对置。在本方式中,多个源极端子电极60以使间隙覆盖部110露出的方式配置。

[0454] 在本方式中,多个源极端子电极60在俯视图中分别形成为四边形状(具体而言,沿第一方向X延伸的长方形状)。多个源极端子电极60的平面形状是任意的,也可以形成为四边形状以外的多边形、圆形状或椭圆形状。多个源极端子电极60可以包含形成在上绝缘膜38的间隙覆盖部110之上的第二突出部63。

[0455] 在本方式中,上述密封绝缘体71在多个源极端子电极60之间的区域覆盖间隙部107。密封绝缘体71在多个源极端子电极60之间的区域覆盖上绝缘膜38的间隙覆盖部110。即,密封绝缘体71隔着上绝缘膜38覆盖栅极中间布线109。

[0456] 在本方式中,展示了上绝缘膜38具有间隙覆盖部110的例子。但是,间隙覆盖部110的有无是任意的,也可以形成不具有间隙覆盖部110的上绝缘膜38。此时,多个源极端子电极60以使栅极中间布线109露出的方式配置在源极电极32之上。密封绝缘体71直接覆盖栅极中间布线109,使栅极中间布线109与源极电极32电绝缘。密封绝缘体71直接覆盖在间隙部107内从源极电极32与栅极中间布线109之间的区域露出的层间绝缘膜27的一部分。

[0457] 以上,通过半导体装置1D也获得与半导体装置1A的效果一样的效果。在半导体装置1D的制造方法中,除了调整各种掩模的布局这一点以外,实施与半导体装置1A的制造方法一样的工序。因此,通过半导体装置1D的制造方法,也获得与半导体装置1A的制造方法的效果一样的效果。

[0458] 在本方式中,表示了将间隙部107、栅极中间布线109、间隙覆盖部110等应用于半导体装置1A的例子。当然,间隙部107、栅极中间布线109、间隙覆盖部110等也可以应用于第二~第三实施方式。

[0459] 图26是表示第五实施方式的半导体装置1E的俯视图。参照图26,半导体装置1E具有将第四实施方式的半导体装置1D的特征(具有栅极中间布线109的构造)与第三实施方式的半导体装置1C的特征(具有感测端子电极103的构造)组合而成的方式。通过具有这样的方式的半导体装置1E,也获得与半导体装置1A的效果一样的效果。

[0460] 图27是表示第六实施方式的半导体装置1F的俯视图。参照图27,半导体装置1F具有使半导体装置1A变形后的方式。具体而言,半导体装置1F具有配置在沿着芯片2的任意角部区域的栅极电极30。

[0461] 即,在设定了在第一方向X上横穿第一主面3的中央部的第一直线L1(参照双点划

线部)、以及在第二方向Y上横穿第一主面3的中央部的第二直线L2(参照双点划线部)时,栅极电极30配置于从第一直线L1以及第二直线L2双方偏离的位置。在本方式中,栅极电极30在俯视图中配置于沿着连接第二侧面5B以及第三侧面5C的角部的区域。

[0462] 上述的源极电极32的多个引出电极部34A、34B与第一实施方式的情况一样,在俯视图中从第二方向Y的两侧夹着栅极电极30。第一引出电极部34A以第一平面面积从主体电极部33引出。第二引出电极部34B以小于第一平面面积的第二平面面积从主体电极部33引出。当然,源极电极32也可以不具有第二引出电极部34B而仅包含主体电极部33以及第一引出电极部34A。

[0463] 上述的栅极端子电极50与第一实施方式的情况一样,配置在栅极电极30之上。在本方式中,栅极端子电极50配置在沿着芯片2的任意角部区域。即,栅极端子电极50在俯视图下配置于从第一直线L1及第二直线L2双方偏离的位置。在本方式中,栅极端子电极50在俯视图中配置于沿着连接第二侧面5B及第三侧面5C的角部的区域。

[0464] 在本方式中,上述的源极端子电极60具有引出到第一引出电极部34A之上的引出端子部100。在本方式中,源极端子电极60不具有引出到第二引出电极部34B之上的引出端子部100。因此,引出端子部100从第二方向Y的一侧与栅极端子电极50相对。源极端子电极60通过具有引出端子部100而具有从第一方向X及第二方向Y这两个方向与栅极端子电极50对置的部分。

[0465] 以上,通过半导体装置1F也获得与半导体装置1A的效果一样的效果。在半导体装置1F的制造方法中,除了调整各种掩模的布局这一点以外,实施与半导体装置1A的制造方法一样的工序。因此,通过半导体装置1F的制造方法,也获得与半导体装置1A的制造方法的效果一样的效果。栅极电极30及栅极端子电极50配置在沿着芯片2的角部的区域的构造也可以应用于第二~第五实施方式。

[0466] 图28是表示第七实施方式的半导体装置1G的俯视图。参照图28,半导体装置1G具有使半导体装置1A变形后的方式。具体而言,半导体装置1G在俯视图中具有配置于第一主面3(活性面8)的中央部的栅极电极30。

[0467] 即,栅极电极30配置为:在设定了沿第一方向X横穿第一主面3的中央部的第一直线L1(参照双点划线部)、以及沿第二方向Y横穿第一主面3的中央部的第二直线L2(参照双点划线部)时,覆盖第一直线L1与第二直线L2的交叉部Cr。在本方式中,上述的源极电极32在俯视图中形成为包围栅极电极30的环状(具体而言为四边环状)。

[0468] 半导体装置1G包含形成于源极电极32的多个间隙部107A、107B。多个间隙部107A、107B包含第一间隙部107A和第二间隙部107B。第一间隙部107A在第二方向Y上横穿在源极电极32的一侧(第一侧面5A侧)的区域沿第一方向X延伸的部分。第一间隙部107A在俯视图中与栅极电极30在第二方向Y上对置。

[0469] 第二间隙部107B在第二方向Y上横穿在源极电极32的另一侧(第二侧面5B侧)的区域沿第一方向X延伸的部分。第二间隙部107B在俯视图中与栅极电极30在第二方向Y上对置。在本方式中,第二间隙部107B在俯视图中隔着栅极电极30与第一间隙部107A对置。

[0470] 上述的第一栅极布线36A从栅极电极30引出到第一间隙部107A内。具体而言,第一栅极布线36A具有在第一间隙部107A内在第二方向Y上呈带状延伸的部分、以及沿着第一侧面5A(第一连接面10A)在第一方向X上呈带状延伸的部分。上述的第二栅极布线36B从栅极

电极30引出到第二间隙部107B内。具体而言,第二栅极布线36B具有在第二间隙部107B内沿第二方向Y呈带状延伸的部分、以及沿着第二侧面5B(第二连接面10B)在第一方向X上呈带状延伸的部分。

[0471] 多个栅极布线36A、36B与第一实施方式的情况一样,与多个栅极构造15的两端部交叉(具体而言为正交)。多个栅极布线36A、36B贯通层间绝缘膜27而与多个栅极构造15电连接。多个栅极布线36A、36B可以与多个栅极构造15直接连接,也可以经由导体膜与多个栅极构造15电连接。

[0472] 在本方式中,上述的源极布线37从源极电极32的多个部位引出,包围栅极电极30、源极电极32以及栅极布线36A、36B。当然,源极布线37也可以如第一实施方式那样从源极电极32的单个部位引出。

[0473] 在本方式中,上述的上绝缘膜38包含分别覆盖多个间隙部107A、107B的多个间隙覆盖部110A、110B。多个间隙覆盖部110A、110B包含第一间隙覆盖部110A和第二间隙覆盖部110B。第一间隙覆盖部110A在第一间隙部107A内覆盖第一栅极布线36A的整个区域。第二间隙覆盖部110B在第二间隙部107B内覆盖第二栅极布线36B的整个区域。多个间隙覆盖部110A、110B以覆盖源极电极32的周缘部的方式从多个间隙部107A、107B内分别引出到源极电极32之上。

[0474] 上述的栅极端子电极50与第一实施方式的情况一样,配置在栅极电极30之上。在本方式中,栅极端子电极50配置在第一主面3(活性面8)的中央部。即,栅极端子电极50配置为:在设定了在第一方向X上横穿第一主面3的中央部的第一直线L1(参照双点划线部)、以及在第二方向Y上横穿第一主面3的中央部的第二直线L2(参照双点划线部)时,覆盖第一直线L1以及第二直线L2的交叉部Cr。

[0475] 在本方式中,半导体装置1G包含在源极电极32之上隔开间隔地配置的多个源极端子电极60。多个源极端子电极60在俯视图中从多个间隙部107A、107B隔开间隔地分别配置于源极电极32之上,并在第一方向X上相互对置。在本方式中,多个源极端子电极60以使多个间隙部107A、107B露出的方式配置。

[0476] 在本方式中,多个源极端子电极60在俯视图中分别形成成为沿着源极电极32延伸的带状(具体而言,沿着栅极端子电极50弯曲的C形状)。多个源极端子电极60的平面形状是任意的,可以形成成为四边形状、四边形状以外的多边形形状、圆形状或椭圆形状。多个源极端子电极60可以包含形成于上绝缘膜38的间隙覆盖部110A、110B之上的第二突出部63。

[0477] 在本方式中,上述的密封绝缘体71在多个源极端子电极60之间的区域覆盖多个间隙部107A、107B。在本方式中,密封绝缘体71在多个源极端子电极60之间的区域覆盖多个间隙覆盖部110A、110B。即,密封绝缘体71隔着多个间隙覆盖部110A、110B覆盖多个栅极布线36A、36B。

[0478] 在本方式中,表示了上绝缘膜38具有间隙覆盖部110A、110B的例子。但是,多个间隙覆盖部110A、110B的有无是任意的,也可以形成不具有多个间隙覆盖部110A、110B的上绝缘膜38。此时,多个源极端子电极60以使栅极布线36A、36B露出的方式配置在源极电极32之上。

[0479] 密封绝缘体71直接覆盖栅极布线36A、36B,使栅极布线36A、36B与源极电极32电绝缘。密封绝缘体71直接覆盖在多个间隙部107A、107B内从源极电极32与栅极布线36A、36B之

间的区域露出的层间绝缘膜27的一部分。

[0480] 以上,通过半导体装置1G也获得与半导体装置1A的效果一样的效果。在半导体装置1G的制造方法中,除了调整各种掩模的布局这一点以外,实施与半导体装置1A的制造方法一样的工序。因此,通过半导体装置1G的制造方法,也获得与半导体装置1A的制造方法的效果一样的效果。栅极电极30及栅极端子电极50配置在芯片2的中央部的构造也可以应用于第二~第六实施方式。

[0481] 图29是表示第八实施方式的半导体装置1H的俯视图。图30是沿着图29所示的XXIII-XXIII线的剖视图。半导体装置1H包含所述芯片2。在本方式中,芯片2不具有台面部11,而包含平坦的第一主面3。半导体装置1H包含作为形成于芯片2的二极管的一例的SBD (Schottky Barrier Diode) 构造120。以下,对SBD构造120进行具体说明。

[0482] 半导体装置1H包含形成于第一主面3的内部的n型的二极管区121。在本方式中,二极管区121利用第一半导体区6的一部分而形成。半导体装置1H包含在第一主面3将二极管区121与其他区域划分开的p型的保护区122。保护区122从第一主面3的周缘向内侧隔开间隔地形成于第一半导体区6的表层部。在本方式中,保护区122在俯视图中形成为包围二极管区121的环状(在本方式中为四边环状)。保护区122具有二极管区121侧的内缘部以及第一主面3的周缘侧的外缘部。

[0483] 半导体装置1H包含选择性地覆盖第一主面3的上述的主面绝缘膜25。主面绝缘膜25具有使二极管区121以及保护区122的内缘部露出的二极管开口123。主面绝缘膜25形成为从第一主面3的周缘向内侧隔开间隔,并使第一主面3(第一半导体区6)从第一主面3的周缘部露出。当然,主面绝缘膜25也可以覆盖第一主面3的周缘部。此时,主面绝缘膜25的周缘部可以与第一~第四侧面5A~5D相连。

[0484] 半导体装置1H包含配置在第一主面3之上的第一极性电极124(主面电极)。在本方式中,第一极性电极124为“阳极电极”。第一极性电极124配置成从第一主面3的周缘向内侧隔开间隔。在本方式中,第一极性电极124在俯视图中形成为沿着第一主面3的周缘的四边形状。第一极性电极124从主面绝缘膜25之上进入到二极管开口123,与第一主面3以及保护区122的内缘部电连接。

[0485] 第一极性电极124与二极管区121(第一半导体区6)形成肖特基结。由此,形成SBD构造120。第一极性电极124的平面面积优选为第一主面3的50%以上。第一极性电极124的平面面积特别优选为第一主面3的75%以上。第一极性电极124可以具有0.5 μ m以上且15 μ m以下的厚度。

[0486] 第一极性电极124可以具有包含Ti系金属膜及Al系金属膜的层叠构造。Ti系金属膜可以具有由Ti膜或TiN膜构成的单层构造。Ti系金属膜也可以具有以任意顺序包含Ti膜和TiN膜的层叠构造。Al系金属膜优选比Ti系金属膜厚。Al系金属膜也可以包含纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜以及AlSiCu合金膜中的至少一个。

[0487] 半导体装置1H包含选择性地覆盖主面绝缘膜25和第一极性电极124的上述的上绝缘膜38。上绝缘膜38与第一实施方式的情况一样,具有包含从芯片2侧起依次层叠的无机绝缘膜42及有机绝缘膜43的层叠构造。在本方式中,上绝缘膜38在俯视图中具有使第一极性电极124的内部露出的接触开口125,遍及整周地覆盖第一极性电极124的周缘部。在本方式中,接触开口125在俯视图中形成为四边形状。

[0488] 上绝缘膜38形成为从第一主面3的周缘(第一~第四侧面5A~5D)向内侧隔开间隔,并在与第一主面3的周缘之间划分切割道41。切割道41在俯视图中形成为沿着第一主面3的周缘延伸的带状。在本方式中,切割道41在俯视图中形成为包围第一主面3的内部的环状(具体而言为四边环状)。

[0489] 在本方式中,切割道41使第一主面3(第一半导体区6)露出。当然,在主面绝缘膜25覆盖第一主面3的周缘部时,切割道41也可以使主面绝缘膜25露出。上绝缘膜38优选具有超过第一极性电极124的厚度的厚度。上绝缘膜38的厚度也可以小于芯片2的厚度。

[0490] 半导体装置1H包含配置在第一极性电极124之上的端子电极126。端子电极126在第一极性电极124中呈柱状竖立设置于从接触开口125露出的部分之上。也可以是,端子电极126在俯视图中具有小于第一极性电极124的面积的面积,从第一极性电极124的周缘隔开间隔地配置在第一极性电极124的内部之上。在本方式中,端子电极126在俯视图中形成为具有与第一~第四侧面5A~5D平行的四边的多边形形状(在本方式中为四边形状)。

[0491] 端子电极126具有端子面127和端子侧壁128。端子面127沿着第一主面3平坦地延伸。端子面127可以由具有磨削痕的磨削面构成。在本方式中,端子侧壁128位于上绝缘膜38(具体而言为有机绝缘膜43)之上。

[0492] 即,端子电极126包含与无机绝缘膜42及有机绝缘膜43相接的部分。端子侧壁128在法线方向Z上大致铅垂地延伸。“大致铅垂”也包含一边弯曲(蜿蜒)一边沿层叠方向延伸的方式。端子侧壁128包含隔着上绝缘膜38与第一极性电极124相对的部分。端子侧壁128优选由不具有磨削痕的平滑面构成。

[0493] 在本方式中,端子电极126在端子侧壁128的下端部具有朝向外侧突出的突出部129。突出部129形成于比端子侧壁128的中间部靠上绝缘膜38(有机绝缘膜43)侧的区域。突出部129沿着上绝缘膜38的外表面延伸,在剖视图中形成为厚度从端子侧壁128朝向前端部逐渐变小的尖细形状。由此,突出部129具有呈锐角的尖锐形状的前端部。当然,也可以形成不具有突出部129的端子电极126。

[0494] 端子电极126优选具有超过第一极性电极124的厚度的厚度。特别优选端子电极126的厚度超过上绝缘膜38的厚度。在本方式中,端子电极126的厚度超过芯片2的厚度。当然,端子电极126的厚度也可以小于芯片2的厚度。

[0495] 端子电极126的厚度可以为10 μm 以上且300 μm 以下。端子电极126的厚度优选为30 μm 以上。端子电极126的厚度特别优选为80 μm 以上且200 μm 以下。端子电极126优选具有第一主面3的50%以上的平面面积。端子电极126的平面面积特别优选为第一主面3的75%以上。

[0496] 在本方式中,端子电极126具有包含从第一极性电极124侧起依次层叠的第一导体膜133和第二导体膜134的层叠构造。第一导体膜133也可以包含Ti系金属膜。第一导体膜133也可以具有由Ti膜或TiN膜构成的单层构造。

[0497] 第一导体膜133可以具有包含以任意顺序层叠的Ti膜和TiN膜的层叠构造。第一导体膜133具有小于第一极性电极124的厚度的厚度。第一导体膜133在接触开口125内呈膜状覆盖第一极性电极124,呈膜状引出至上绝缘膜38之上。第一导体膜133形成突出部129的一部分。第一导体膜133不需要一定形成,也可以去除。

[0498] 第二导体膜134形成端子电极126的主体。第二导体膜134可以包含Cu系金属膜。Cu系金属膜可以是纯Cu膜(纯度为99%以上的Cu膜)或Cu合金膜。在本方式中,第二导体膜134

包含纯Cu镀膜。第二导体膜134优选具有超过第一极性电极124的厚度的厚度。第二导体膜134的厚度特别优选超过上绝缘膜38的厚度。在本方式中,第二导体膜134的厚度超过芯片2的厚度。

[0499] 第二导体膜134在接触开口125内隔着第一导体膜133覆盖第一极性电极124,隔着第一导体膜133在上绝缘膜38之上呈膜状引出。第二导体膜134形成突出部129的一部分。即,突出部129具有包含第一导体膜133和第二导体膜134的层叠构造。第二导体膜134在突出部129内具有超过第一导体膜133的厚度的厚度。

[0500] 半导体装置1H包含覆盖第一主面3的上述的密封绝缘体71。在本方式中,密封绝缘体71在第一主面3之上以使端子电极126的一部分露出的方式覆盖端子电极126的周围。具体而言,密封绝缘体71使端子面127露出,覆盖端子侧壁128。在本方式中,密封绝缘体71覆盖突出部129,隔着突出部129与上绝缘膜38对置。密封绝缘体71抑制端子电极126的脱落。

[0501] 密封绝缘体71具有直接覆盖上绝缘膜38的部分。密封绝缘体71隔着上绝缘膜38覆盖第一极性电极124。密封绝缘体71在第一主面3的周缘部覆盖由上绝缘膜38划分的切割道41。在本方式中,密封绝缘体71在切割道41直接覆盖第一主面3(第一半导体区6)。当然,在主面绝缘膜25从切割道41露出时,密封绝缘体71也可以在切割道41直接覆盖主面绝缘膜25。

[0502] 密封绝缘体71优选具有超过第一极性电极124的厚度的厚度。密封绝缘体71的厚度特别优选超过上绝缘膜38的厚度。在本方式中,密封绝缘体71的厚度超过芯片2的厚度。当然,密封绝缘体71的厚度也可以小于芯片2的厚度。密封绝缘体71的厚度可以为10 μm 以上且300 μm 以下。密封绝缘体71的厚度优选为30 μm 以上。密封绝缘体71的厚度特别优选为80 μm 以上且200 μm 以下。

[0503] 密封绝缘体71具有绝缘主面72及绝缘侧壁73。绝缘主面72沿着第一主面3平坦地延伸。绝缘主面72与端子面127形成一个平坦面。绝缘主面72也可以由具有磨削痕的磨削面构成。该情况下,绝缘主面72优选与端子面127形成一个磨削面。

[0504] 绝缘侧壁73从绝缘主面72的周缘朝向芯片2延伸,与第一~第四侧面5A~5D相连。绝缘侧壁73相对于绝缘主面72形成为大致直角。绝缘侧壁73在与绝缘主面72之间所成的角度可以为88°以上且92°以下。绝缘侧壁73也可以由具有磨削痕的磨削面构成。绝缘侧壁73可以与第一~第四侧面5A~5D形成一个磨削面。

[0505] 半导体装置1H包含覆盖第二主面4的第二极性电极136(第二主面电极)。在本方式中,第二极性电极136为“阴极电极”。第二极性电极136与第二主面4电连接。第二极性电极136与从第二主面4露出的第二半导体区7形成欧姆接触。第二极性电极136可以以与芯片2的周缘(第一~第四侧面5A~5D)相连的方式覆盖第二主面4的整个区域。

[0506] 第二极性电极136可以从芯片2的周缘向内侧隔开间隔地覆盖第二主面4。第二极性电极136构成为在与端子电极126之间施加500V以上且3000V以下的电压。即,芯片2形成为在第一主面3和第二主面4之间施加500V以上且3000V以下的电压。

[0507] 以上,半导体装置1H包含:芯片2、第一极性电极124(主面电极)、端子电极126及密封绝缘体71。芯片2具有第一主面3。第一极性电极124配置在第一主面3之上。端子电极126配置在第一极性电极124之上。密封绝缘体71以使端子电极126的一部分露出的方式在第一主面3之上覆盖端子电极126的周围。

[0508] 根据该构造,能够利用密封绝缘体71保护密封对象物不受外力、湿气(水分)的影响。即,能够保护密封对象物不受起因于外力的损伤(包含剥离)、起因于湿气的劣化(包含腐蚀)。由此,能够抑制形状不良、电气特性的变动。因此,能够提供能够提高可靠性的半导体装置1H。

[0509] 这样,根据半导体装置1H,获得与半导体装置1A的效果一样的效果。在半导体装置1H的制造方法中,除了调整各种掩模的布局这一点以外,实施与半导体装置1A的制造方法一样的工序。因此,通过半导体装置1H的制造方法,也获得与半导体装置1A的制造方法的效果一样的效果。

[0510] 以下,表示应用于各实施方式的变形例。图31是表示应用于各实施方式的芯片2的变形例的剖视图。在图31中,作为一例,表示了将变形例的芯片2应用于半导体装置1A的方式。但是,变形例的芯片2也可以应用于第二~第八实施方式。

[0511] 参照图31,半导体装置1A可以在芯片2的内部不具有第二半导体区7而仅包含第一半导体区6。此时,第一半导体区6从芯片2的第一主面3、第二主面4以及第一~第四侧面5A~5D露出。即,在本方式中,芯片2不具有半导体基板,而具有由外延层构成的单层构造。

[0512] 通过在上述的第一~第三制造方法例的密封晶圆331的薄化工序(图9的步骤S7)中将密封晶圆331中的由第一晶圆部333构成的部分(第二半导体区7)完全除去来形成这样的芯片2。在上述的第四至第五制造方法例的晶圆430的薄化工序(图17中的步骤S31)中,通过完全除去外延晶圆440中的由晶圆430构成的部分(第二半导体区7)来形成这样的芯片2。

[0513] 图32是表示应用于各实施方式的密封绝缘体71的变形例的剖视图。在图32中,作为一例,表示了变形例的密封绝缘体71应用于半导体装置1A的方式。但是,变形例的密封绝缘体71也可以应用于第二~第十实施方式。

[0514] 参照图32,半导体装置1A可以包含覆盖上绝缘膜38的整个区域的密封绝缘体71。此时,在第一~第七实施方式中,形成不与上绝缘膜38相接的栅极端子电极50以及不与上绝缘膜38相接的源极端子电极60。此时,密封绝缘体71可以具有直接覆盖栅极电极30及源极电极32的部分。另一方面,在第八实施方式中,形成不与上绝缘膜38相接的端子电极126。此时,密封绝缘体71可以具有直接覆盖第一极性电极124的部分。

[0515] 以下,表示搭载第一~第八实施方式的半导体装置1A~1H的封装体的方式例。图33是表示搭载第一~第七实施方式的半导体装置1A~1G的封装体201A的俯视图。封装体201A也可以称为“半导体封装体”或“半导体模块”。

[0516] 参照图33,封装体201A包含长方体形状的封装体主体202。封装体主体202由模制树脂构成,并与密封绝缘体71一样包含基质树脂(例如环氧树脂)、多个填料以及多个增韧粒子(增韧剂)。封装体主体202具有:一侧的第一面203、另一侧的第二面204、以及连接第一面203和第二面204的第一~第四侧壁205A~205D。

[0517] 第一面203及第二面204在从它们的法线方向Z观察的俯视图下形成为四边形状。第一侧壁205A和第二侧壁205B在第一方向X上延伸,在与第一方向X正交的第二方向Y上对置。第三侧壁205C和第四侧壁205D在第二方向Y上延伸,在第一方向X上对置。

[0518] 封装体201A包含配置在封装体主体202内的金属板206(导体板)。金属板206也可以称为“裸片焊盘”。金属板206在俯视图中形成为四边形状(具体而言为长方形状)。金属板206包含从第一侧壁205A引出到封装体主体202的外部的引出板部207。引出板部207具有圆

形的贯通孔208。金属板206可以从第二面204露出。

[0519] 封装体201A包含从封装体主体202的内部引出到外部的多个(在本方式中为3个)引线端子209。多个引线端子209配置于第二侧壁205B侧。多个引线端子209分别形成为沿第二侧壁205B的正交方向(即第二方向Y)延伸的带状。多个引线端子209中的两侧的引线端子209从金属板206隔开间隔地配置,中央的引线端子209与金属板206一体地形成。与金属板206连接的引线端子209的配置是任意的。

[0520] 封装体201A包含在封装体主体202内配置于金属板206之上的半导体装置210。半导体装置210由第一~第七实施方式的半导体装置1A~1G中的任一个构成。半导体装置210以使漏极电极77与金属板206对置的姿势配置在金属板206之上,并与金属板206电连接。

[0521] 封装体201A包含介于漏极电极77与金属板206之间、且使半导体装置210与金属板206接合的导电粘接剂211。导电粘接剂211可以包含焊料或金属膏。焊料可以是无铅焊料。金属膏可以包含Au、Ag以及Cu中的至少一个。Ag膏可以由Ag烧结膏构成。Ag烧结膏由在有机溶剂中添加了纳米尺寸或微米尺寸的Ag粒子的膏构成。

[0522] 封装体201A包含在封装体主体202内与引线端子209以及半导体装置210电连接的至少一个(在本方式中为多个)导线212(导电连接构件)。在本方式中,导线212由金属导线(即键合线)构成。导线212可以包含金导线、铜导线以及铝导线中的至少一个。当然,导线212也可以由金属夹等金属板构成来代替金属导线。

[0523] 至少一个(在本方式中为一个)导线212与栅极端子电极50以及引线端子209电连接。至少一个(在本方式中为四个)导线212与源极端子电极60以及引线端子209电连接。在源极端子电极60包含感测端子电极103(参照图14)时,还设置与感测端子电极103对应的引线端子209、以及与感测端子电极103和引线端子209连接的导线212。

[0524] 图34是表示搭载第八实施方式的半导体装置1H的封装体201B的俯视图。封装体201B也可以称为“半导体封装体”或“半导体模块”。参照图34,封装体201B包含:封装体主体202、金属板206、多个(在本方式中为两个)引线端子209、半导体装置213、导电粘接剂211以及多个导线212。以下,对与封装体201A的不同点进行说明。

[0525] 多个引线端子209中的一个引线端子209配置成从金属板206隔开间隔,另一个引线端子209与金属板206一体地形成。半导体装置213在封装体主体202内配置于金属板206之上。半导体装置213由第八实施方式的半导体装置1H构成。半导体装置213以使第二极性电极136与金属板206对置的姿势配置在金属板206之上,并与金属板206电连接。

[0526] 导电粘接剂211介于第二极性电极136与金属板206之间,使半导体装置213与金属板206接合。至少一个(在本方式中为四个)导线212与端子电极126以及引线端子209电连接。

[0527] 图35是表示搭载第一~第七实施方式的半导体装置1A~1G和第八实施方式的半导体装置1H的封装体201C的立体图。图36是图35所示的封装体201C的分解立体图。图37是沿着图35所示的XXXVII-XXXVII线的剖视图。封装体201C也可以称为“半导体封装体”或“半导体模块”。

[0528] 参照图35~图37,封装体201C包含长方体形状的封装体主体222。封装体主体222由模制树脂构成,并与密封绝缘体71一样包含基质树脂(例如环氧树脂)、多个填料以及多个增韧粒子(增韧剂)。封装体主体222具有:一侧的第一面223、另一侧的第二面224、以及连

接第一面223和第二面224的第一~第四侧壁225A~225D。

[0529] 第一面223及第二面224在从它们的法线方向Z观察的俯视图中形成为四边形状(在本方式中为长方形状)。第一侧壁225A和第二侧壁225B在沿着第一面223的第一方向X上延伸,在第二方向Y上对置。第一侧壁225A和第二侧壁225B形成封装体主体222的长边。第三侧壁225C和第四侧壁225D在第二方向Y上延伸,在第一方向X上对置。第三侧壁225C和第四侧壁225D形成封装体主体222的短边。

[0530] 封装体201C包含配置于封装体主体222的内外的第一金属板226。第一金属板226配置于封装体主体222的第一面223侧,并包含第一焊盘部227和第一引线端子228。第一焊盘部227在封装体主体222内形成为沿第一方向X延伸的长方形状,并从第一面223露出。

[0531] 第一引线端子228从第一焊盘部227朝向第一侧壁225A呈在第二方向Y上延伸的带状引出,并贯通第一侧壁225A而从封装体主体222露出。第一引线端子228在俯视图中配置于第四侧壁225D侧。第一引线端子228从第一面223及第二面224隔开间隔地从第一侧壁225A露出。

[0532] 封装体201C包含配置于封装体主体222的内外的第二金属板230。第二金属板230从第一金属板226在法线方向Z上隔开间隔地配置在封装体主体222的第二面224侧,并包含第二焊盘部231和第二引线端子232。第二焊盘部231在封装体主体222内形成为沿第一方向X延伸的长方形状,从第二面224露出。

[0533] 第二引线端子232从第二焊盘部231朝向第一侧壁225A呈在第二方向Y上延伸的带状引出,并贯通第一侧壁225A而从封装体主体222露出。第二引线端子232在俯视图中配置于第三侧壁225C侧。第二引线端子232从第一面223及第二面224隔开间隔地从第一侧壁225A露出。

[0534] 第二引线端子232在法线方向Z上从与第一引线端子228不同的厚度位置引出。在本方式中,第二引线端子232从第一引线端子228向第二面224侧隔开间隔地形成,在第一方向X上不与第一引线端子228对置。第二引线端子232在第二方向Y上具有与第一引线端子228不同的长度。

[0535] 封装体201C包含从封装体主体222的内部向外部引出的多个(在本方式中为五个)第三引线端子234。在本方式中,多个第三引线端子234配置于第一焊盘部227与第二焊盘部231之间的厚度范围。多个第三引线端子234从封装体主体222内朝向第二侧壁225B呈在第二方向Y上延伸的带状引出,并贯通第二侧壁225B而从封装体主体222露出。

[0536] 多个第三引线端子234的配置是任意的。在本方式中,多个第三引线端子234在俯视图中以与第二引线端子232位于同一直线上的方式配置于第三侧壁225C侧。多个第三引线端子234可以在位于封装体主体222外的部分具有朝向第一面223和/或第二面224凹陷的弯曲部。

[0537] 封装体201C包含配置在封装体主体222内的第一半导体装置235。第一半导体装置235由第一~第七实施方式的半导体装置1A~1G中的任一个构成。第一半导体装置235配置在第一焊盘部227及第二焊盘部231之间。第一半导体装置235在俯视图中配置于第三侧壁225C侧。第一半导体装置235以使漏极电极77与第二金属板230(第二焊盘部231)对置的姿势配置在第二金属板230之上,并与第二金属板230电连接。

[0538] 封装体201C包含从第一半导体装置235隔开间隔地配置在封装体主体222内的第

二半导体装置236。第二半导体装置236由第八实施方式的半导体装置1H构成。第二半导体装置236配置在第一焊盘部227及第二焊盘部231之间。第二半导体装置236在俯视图中配置于第四侧壁225D侧。第二半导体装置236以使第二极性电极136与第二金属板230(第二焊盘部231)对置的姿势配置在第二金属板230之上,并与第二金属板230电连接。

[0539] 封装体201C包含分别配置在封装体主体222内的第一导体间隔件237(第一导电连接构件)及第二导体间隔件238(第二导电连接构件)。第一导体间隔件237介于第一半导体装置235及第一焊盘部227之间,并与第一半导体装置235及第一焊盘部227电连接。第二导体间隔件238介于第二半导体装置236及第一焊盘部227之间,并与第二半导体装置236及第一焊盘部227电连接。

[0540] 第一导体间隔件237及第二导体间隔件238可以分别包含金属板(例如Cu系金属板)。在本方式中,第二导体间隔件238与第一导体间隔件237分体构成,但也可以与第一导体间隔件237一体地形成。

[0541] 封装体201C包含第一~第六导电粘接剂239A~239F。第一~第六导电粘接剂239A~239F可以包含焊料或金属膏。焊料可以是无铅焊料。金属膏可以包含Au、Ag以及Cu中的至少一个。Ag膏可以由Ag烧结膏构成。Ag烧结膏由在有机溶剂中添加了纳米尺寸或微米尺寸的Ag粒子的膏构成。

[0542] 第一导电粘接剂239A介于漏极电极77与第二焊盘部231之间,将第一半导体装置235与第二焊盘部231连接。第二导电粘接剂239B介于第二极性电极136及第二焊盘部231之间,将第二半导体装置236与第二焊盘部231连接。

[0543] 第三导电粘接剂239C介于源极端子电极60与第一导体间隔件237之间,将第一导体间隔件237与源极端子电极60连接。第四导电粘接剂239D介于端子电极126与第二导体间隔件238之间,将第二导体间隔件238与端子电极126连接。

[0544] 第五导电粘接剂239E介于第一焊盘部227与第一导体间隔件237之间,将第一导体间隔件237与第一焊盘部227连接。第六导电粘接剂239F介于第一焊盘部227与第二导体间隔件238之间,将第二导体间隔件238与第一焊盘部227连接。

[0545] 封装体201C包含在封装体主体222内与第一半导体装置235的栅极端子电极50及至少一个(在本方式中为多个)第三引线端子234电连接的至少一个(在本方式中为多个)导线240(导电连接构件)。在本方式中,导线240由金属导线(即键合线)构成。

[0546] 导线240可以包含金导线、铜导线以及铝导线中的至少一个。当然,导线240也可以由金属夹等金属板构成来代替金属导线。在源极端子电极60包含感测端子电极103(参照图14)时,还设置有与感测端子电极103和第三引线端子234连接的导线240。

[0547] 在本方式中,表示了源极端子电极60经由第一导体间隔件237与第一焊盘部227连接的例子。但是,源极端子电极60也可以不经由第一导体间隔件237而是通过第三导电粘接剂239C与第一焊盘部227连接。另外,在本方式中,表示了端子电极126经由第二导体间隔件238与第一焊盘部227连接的例子。但是,端子电极126也可以不经由第二导体间隔件238而是通过第四导电粘接剂239D与第一焊盘部227连接。

[0548] 上述的各实施方式还能够以其他方式实施。例如,上述的第一~第八实施方式中公开的特征能够在它们之间适当组合。即,可以采用同时包含上述的第一~第八实施方式中公开的特征中的至少两个特征的方式。

[0549] 在上述的各实施方式中,表示了具有台面部11的芯片2。但是,也可以采用不具有台面部11而具有平坦地延伸的第一主面3的芯片2。此时,侧壁构造26被去除。

[0550] 在上述的各实施方式中,表示了具有源极布线37的方式。但是,也可以采用不具有源极布线37的方式。在上述的各实施方式中,表示了芯片2的内部控制沟道的沟槽栅极型的栅极构造15。但是,也可以采用从第一主面3之上控制沟道的平面栅极型的栅极构造15。

[0551] 在上述的各实施方式中,表示了MISFET构造12以及SBD构造120形成于不同的芯片2的方式。但是,MISFET构造12和SBD构造120也可以在同一芯片2中形成于第一主面3的不同区域。该情况下,SBD构造120可以形成成为MISFET构造12的续流二极管。

[0552] 在上述的各实施方式中,表示了“第一导电型”为“n型”、“第二导电型”为“p型”的方式。但是,在上述的各实施方式中,也可以采用“第一导电型”为“p型”、“第二导电型”为“n型”的方式。此时的具体结构通过上述的说明以及附图中将“n型”替换为“p型”的同时将“p型”替换为“n型”来得到。

[0553] 在上述的各实施方式中,表示了“n型”的第二半导体区7。但是,第二半导体区7也可以是“p型”。此时,形成IGBT(Insulated Gate Bipolar Transistor)构造来代替MISFET构造12。此时,在上述说明中,MISFET构造12的“源极”被替换为IGBT构造的“发射极”,MISFET构造12的“漏极”被替换为IGBT构造的“集电极”。当然,在芯片2具有由外延层构成的单层构造时,“p型”的第二半导体区7可以具有通过离子注入法而导入到芯片2(外延层)的第二主面4的表层部的p型杂质。

[0554] 在上述的各实施方式中,第一方向X和第二方向Y由第一~第四侧面5A~5D的延展方向规定。但是,第一方向X及第二方向Y只要维持相互交叉(具体而言为正交)的关系,则也可以是任意的方向。例如,也可以是,第一方向X为与第一~第四侧面5A~5D交叉的方向,第二方向Y为与第一~第四侧面5A~5D交叉的方向。

[0555] 以下,表示从本说明书以及附图提取的特征例。以下,括号内的字母数字等表示上述实施方式中的对应构成要素等,但并非旨在将各项目的范围限定于实施方式。以下项目有关的“半导体装置”可以根据需要替换为“宽带隙半导体装置”、“SiC半导体装置”、“半导体开关装置”或“半导体整流装置”。

[0556] [A1]一种半导体装置(1A~1H)的制造方法,包含以下工序:准备晶圆源(300)的工序,该晶圆源(300)具有一侧的第一主面(301)以及另一侧的第二主面(302);在所述第一主面(301)之上形成主面电极(30、32、124)的工序;在所述主面电极(30、32、124)之上形成端子电极(50、60、126)的工序;以使所述端子电极(50、60、126)的一部分露出的方式在所述第一主面(301)之上形成密封绝缘体(71)的工序,该密封绝缘体(71)覆盖所述端子电极(50、60、126)的周围;以及从所述晶圆源(300)的厚度范围的中途部在沿着所述第一主面(301)的水平方向上切断所述晶圆源(300),并将所述晶圆源(300)分离为所述密封绝缘体(71)侧的密封晶圆(331)以及所述第二主面(302)侧的未密封晶圆(332)的工序。

[0557] [A2]根据A1所述的半导体装置(1A~1H)的制造方法,其中,准备从晶圆切出的所述晶圆源(300)。

[0558] [A3]根据A1或A2所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)的分离工序包含:切出比所述密封绝缘体(71)薄的所述密封晶圆(331)的工序。

[0559] [A4]根据A1~A3中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述晶

圆源(300)的分离工序包含:切出比所述端子电极(50、60、126)薄的所述密封晶圆(331)的工序。

[0560] [A5]根据A1或A2所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)的分离工序包含:切出比所述密封绝缘体(71)厚的所述密封晶圆(331)的工序。

[0561] [A6]根据A5所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:在所述晶圆源(300)的分离工序之后,使所述密封晶圆(331)薄化至比所述密封绝缘体(71)薄的工序。

[0562] [A7]根据A1~A6中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)的分离工序包含:切出比所述密封晶圆(331)厚的所述未密封晶圆(332)的工序。

[0563] [A8]根据A1~A7中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)的分离工序包含:切出比所述密封绝缘体(71)厚的所述未密封晶圆(332)的工序。

[0564] [A9]根据A1~A8中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)的分离工序包含:在通过激光光束照射法在所述晶圆源(300)的厚度范围的中途部形成沿着所述水平方向延伸的改性层(326)之后,以所述改性层(326)为起点将所述晶圆源(300)沿所述水平方向劈开的工序。

[0565] [A10]根据A1~A9中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:在所述晶圆源(300)的分离工序之前将支承基板(310)粘贴于所述第二主面(302)的工序,所述晶圆源(300)的分离工序包含:将所述晶圆源(300)分离为所述密封绝缘体(71)侧的所述密封晶圆(331)以及所述支承基板(310)侧的所述未密封晶圆(332)的工序。

[0566] [A11]根据A10所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:将所述密封绝缘体(71)作为支承构件来输送所述密封晶圆(331)的工序、以及将所述支承基板(310)作为支承构件来输送所述未密封晶圆(332)的工序。

[0567] [A12]根据A1~A11中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:对所述未密封晶圆(332)进行再利用的工序。

[0568] [A13]根据A1~A12中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:在被所述密封绝缘体(71)支承的状态下,从所述密封晶圆(331)的切断面(334)侧使所述密封晶圆(331)薄化的工序。

[0569] [A14]根据A1~A13中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:形成覆盖所述密封晶圆(331)的切断面(334)的第二主面电极(77、136)的工序。

[0570] [A15]根据A1~A14中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:将所述密封晶圆(331)与所述密封绝缘体(71)一起切断的工序。

[0571] [A16]根据A1~A15中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:在所述端子电极(50、60、126)的形成工序之前形成部分地覆盖所述主面电极(30、32、124)的绝缘膜(38)的工序,所述密封绝缘体(71)的形成工序包含:形成覆盖所述端子电极(50、60、126)以及所述绝缘膜(38)的所述密封绝缘体

(71)的工序。

[0572] [A17]根据A16所述的半导体装置(1A~1H)的制造方法,其中,所述端子电极(50、60、126)的形成工序包含:形成具有直接覆盖所述绝缘膜(38)的部分的所述端子电极(50、60、126)的工序。

[0573] [A18]根据A16或A17所述的半导体装置(1A~1H)的制造方法,其中,所述绝缘膜(38)的形成工序包含:形成包含无机绝缘膜(42)及有机绝缘膜(43)中的某一方或双方的所述绝缘膜(38)的工序。

[0574] [A19]根据A1~A18中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述密封绝缘体(71)的形成工序包含:形成覆盖所述端子电极(50、60、126)的整个区域的所述密封绝缘体(71)的工序;以及使所述密封绝缘体(71)薄化至所述端子电极(50、60、126)的一部分露出的工序。

[0575] [A20]根据A1~A19中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述密封绝缘体(71)的形成工序包含:将包含热固化性树脂的密封剂(350)供给到所述第一主面(301)之上,并使所述密封剂(350)热固化的工序。

[0576] [A21]根据A1~A20中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述端子电极(50、60、126)的形成工序包含:形成覆盖所述主面电极(30、32、124)的导体膜(346)的工序;形成使所述导体膜(346)中的覆盖所述主面电极(30、32、124)的部分露出的掩模(M10)的工序;在所述导体膜(346)中的从所述掩模(M10)露出的部分之上堆积导电体(349)的工序;以及在所述导电体(349)的堆积工序之后,除去所述掩模(M10)的工序。

[0577] [A22]根据A1~A21中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:在所述主面电极(30、32、124)的形成工序之前,使外延层(321)从所述第一主面(301)生长,由此,形成包含所述晶圆源(300)和所述外延层(321)的晶圆构造(322)的工序,该晶圆构造(322)具有由所述外延层(321)形成的所述第一主面(301),所述晶圆源(300)的分离工序包含:将所述晶圆构造(322)分离为所述密封晶圆(331)和所述未密封晶圆(332)的工序,该密封晶圆(331)通过由所述晶圆源(300)的一部分构成的第一晶圆部(333)及层叠于所述第一晶圆部(333)之上的所述外延层(321)构成,该未密封晶圆(332)通过由所述晶圆源(300)的一部分构成的第二晶圆部(335)构成。

[0578] [A23]根据A22所述的半导体装置(1A~1H)的制造方法,其中,所述密封晶圆(331)包含比所述第一晶圆部(333)厚的所述外延层(321)。

[0579] [A24]根据A23所述的半导体装置(1A~1H)的制造方法,其中,所述密封晶圆(331)包含比所述第一晶圆部(333)薄的所述外延层(321)。

[0580] [A25]根据A22~A24中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:在所述晶圆源(300)的分离工序之后,在被所述密封绝缘体(71)支承的状态下从所述晶圆构造(322)除去所述第一晶圆部(333)的至少一部分的工序。

[0581] [A26]根据A22~A25中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述未密封晶圆(332)由比所述第一晶圆部(333)厚的所述第二晶圆部(333)构成。

[0582] [A27]根据A1~A26中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)包含宽带隙半导体的单晶。

[0583] [A28]根据A1~A27中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)包含SiC单晶。

[0584] [B1]一种半导体装置(1A~1H)的制造方法,包含以下工序:准备晶圆源(300)的工序,该晶圆源(300)具有一侧的第一主面(301)以及另一侧的第二主面(302);将支承基板(400)粘贴于所述第二主面(302)的工序;从所述晶圆源(300)的厚度范围的中途部在沿着所述第一主面(301)的水平方向上切断所述晶圆源(300),并将具有由切断面构成的第一晶圆主面(431)及由所述第二主面(302)构成的第二晶圆主面(432)的晶圆(430)与所述支承基板(400)一起从所述晶圆源(300)分离的工序;在所述第一晶圆主面(431)之上形成主面电极(30、32、124)的工序;在所述主面电极(30、32、124)之上形成端子电极(50、60、126)的工序;以使所述端子电极(50、60、126)的一部分露出的方式在所述第一晶圆主面(431)之上形成密封绝缘体(71)的工序,该密封绝缘体(71)覆盖所述端子电极(50、60、126)的周围;以及在所述晶圆(430)由所述密封绝缘体(71)支承的状态下除去所述支承基板(400)的工序。

[0585] [B2]根据B1所述的半导体装置(1A~1H)的制造方法,其中,准备从晶锭切出的所述晶圆源(300)。

[0586] [B3]根据B1或B2所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)的分离工序包含:将比所述支承基板(400)薄的所述晶圆(430)从所述晶圆源(300)分离的工序。

[0587] [B4]根据B1~B3中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:反复进行包含所述支承基板(400)的粘贴工序和所述晶圆源(300)的分离工序的一系列工序,直到所述晶圆源(300)不能分离的工序。

[0588] [B5]根据B1~B4中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述晶圆源(300)的分离工序包含:在通过激光光束照射法在所述晶圆源(300)的厚度范围的中途部形成沿着所述水平方向的改性层(422)之后,以所述改性层(422)为起点将所述晶圆源(300)在所述水平方向上劈开的工序。

[0589] [B6]根据B1~B5中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述支承基板(400)的除去工序包含:从所述晶圆(430)分离所述支承基板(400)的工序。

[0590] [B7]根据B1~B6中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述支承基板(400)的粘贴工序包含:利用直接接合法将所述支承基板(400)粘贴于所述第二主面(302)的工序,所述支承基板(400)的除去工序包含:在通过激光光束照射法在所述晶圆(430)与所述支承基板(400)的边界部或所述边界部的附近形成沿着所述水平方向延伸的边界改性层(441)之后,将所述边界改性层(441)在所述水平方向上劈开的工序。

[0591] [B8]根据B7所述的半导体装置(1A~1H)的制造方法,其中,所述支承基板(400)的粘贴工序包含:通过所述直接接合法在所述晶圆源(300)与所述支承基板(400)之间形成非晶接合层(420)的工序,所述支承基板(400)的除去工序包含:在所述非晶接合层(420)的内部或附近形成沿着所述非晶接合层(420)延伸的所述边界改性层(441)的工序。

[0592] [B9]根据B8所述的半导体装置(1A~1H)的制造方法,其中,所述非晶接合层(420)具有与所述晶圆源(300)的吸光系数不同的吸光系数。

[0593] [B10]根据B1~B9中任一项所述的半导体装置(1A~1H)的制造方法,其中,所述半导体装置(1A~1H)的制造方法还包含:在所述支承基板(400)的除去工序之后,在被所述密

封绝缘体 (71) 支承的状态下,从所述第二晶圆主面 (432) 侧使所述晶圆 (430) 薄化的工序。

[0594] [B11]根据B10所述的半导体装置 (1A~1H) 的制造方法,其中,所述晶圆 (430) 的薄化工序包含:使比所述密封绝缘体 (71) 薄的所述晶圆 (430) 进一步薄化的工序、或者使比所述密封绝缘体 (71) 厚的所述晶圆 (430) 薄化至比所述密封绝缘体 (71) 薄的工序。

[0595] [B12]根据B1~B11中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述密封绝缘体 (71) 的形成工序包含:形成比所述晶圆 (430) 厚的所述密封绝缘体 (71) 的工序。

[0596] [B13]根据B1~B11中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述密封绝缘体 (71) 的形成工序包含:形成比所述晶圆 (430) 薄的所述密封绝缘体 (71) 的工序。

[0597] [B14]根据B1~B13中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述半导体装置 (1A~1H) 的制造方法还包含:在所述支承基板 (400) 的除去工序之后,形成覆盖所述第二晶圆主面 (432) 的第二主面电极 (77、136) 的工序。

[0598] [B15]根据B1~B14中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述半导体装置 (1A~1H) 的制造方法还包含:在所述支承基板 (400) 的除去工序之后,将所述晶圆 (430) 与所述密封绝缘体 (71) 一起切断的工序。

[0599] [B16]根据B1~B15中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述半导体装置 (1A~1H) 的制造方法还包含:在所述端子电极 (50、60、126) 的形成工序之前形成部分地覆盖所述主面电极 (30、32、124) 的绝缘膜 (38) 的工序,所述密封绝缘体 (71) 的形成工序包含:形成覆盖所述端子电极 (50、60、126) 以及所述绝缘膜 (38) 的所述密封绝缘体 (71) 的工序。

[0600] [B17]根据B16所述的半导体装置 (1A~1H) 的制造方法,其中,所述端子电极 (50、60、126) 的形成工序包含:形成具有直接覆盖所述绝缘膜 (38) 的部分的所述端子电极 (50、60、126) 的工序。

[0601] [B18]根据B16或B17所述的半导体装置 (1A~1H) 的制造方法,其中,所述绝缘膜 (38) 的形成工序包含:形成包含无机绝缘膜 (42) 和有机绝缘膜 (43) 的某一方或双方的所述绝缘膜 (38) 的工序。

[0602] [B19]根据B1~B18中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述密封绝缘体 (71) 的形成工序包含:形成覆盖所述端子电极 (50、60、126) 的整个区域的所述密封绝缘体 (71) 的工序;以及除去所述密封绝缘体 (71) 到所述端子电极 (50、60、126) 的一部分露出的工序。

[0603] [B20]根据B1~B19中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述密封绝缘体 (71) 的形成工序包含:向所述第一晶圆主面 (431) 之上供给包含热固化性树脂的密封剂 (350),并使所述密封剂 (350) 热固化的工序。

[0604] [B21]根据B1~B20中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述端子电极 (50、60、126) 的形成工序包含:形成覆盖所述主面电极 (30、32、124) 的导体膜 (346) 的工序;形成使所述导体膜 (346) 中的覆盖所述主面电极 (30、32、124) 的部分露出的掩模 (M10) 的工序;在所述导体膜 (346) 中的从所述掩模 (M10) 露出的部分之上堆积导体 (349) 的工序;以及在所述导体 (349) 的堆积工序之后,除去所述掩模 (M10) 的工序。

[0605] [B22]根据B1~B21中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述半导体装置 (1A~1H) 的制造方法还包含:在所述主面电极 (30、32、124) 的形成工序之前,从

所述第一晶圆主面 (431) 侧使所述晶圆 (430) 薄化的工序。

[0606] [B23]根据B1~B22中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述半导体装置 (1A~1H) 的制造方法还包含:在所述主面电极 (30、32、124) 的形成工序之前,使外延层 (435) 从所述第一晶圆主面 (431) 生长,由此,形成包含所述晶圆 (430) 及所述外延层 (435) 的晶圆构造 (440) 的工序,该晶圆构造 (440) 具有由所述外延层 (435) 形成的所述第一晶圆主面 (431)。

[0607] [B24]根据B23所述的半导体装置 (1A~1H) 的制造方法,其中,所述半导体装置 (1A~1H) 的制造方法还包含:在所述支承基板 (400) 的除去工序之后,在被所述密封绝缘体 (71) 支承的状态下,从所述晶圆构造 (440) 除去所述晶圆 (430) 的至少一部分的工序。

[0608] [B25]根据B24所述的半导体装置 (1A~1H) 的制造方法,其中,所述晶圆 (430) 的除去工序包含:使比所述外延层 (435) 薄的所述晶圆 (430) 进一步薄化的工序。

[0609] [B26]根据B23或B24所述的半导体装置 (1A~1H) 的制造方法,其中,所述外延层 (435) 的生长工序包含:形成比所述晶圆 (430) 厚的所述外延层 (435) 的工序。

[0610] [B27]根据B26所述的半导体装置 (1A~1H) 的制造方法,其中,所述晶圆 (430) 的除去工序包含:使所述晶圆 (430) 薄化至比所述外延层 (435) 薄的工序。

[0611] [B28]根据B1~B27中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述晶圆 (430) 包含宽带隙半导体的单晶。

[0612] [B29]根据B1~B28中任一项所述的半导体装置 (1A~1H) 的制造方法,其中,所述晶圆 (430) 包含SiC单晶。

[0613] [C1]一种晶圆粘贴构造 (320),包含:晶圆源 (300),其具有一侧的第一主面 (301) 以及另一侧的第二主面 (302);支承基板 (310),其粘贴于所述第二主面 (302);主面电极 (30、32、124),其配置于所述第一主面 (301) 之上;端子电极 (50、60、126),其配置于所述主面电极 (30、32、124) 之上;以及密封绝缘体 (71),其以使所述端子电极 (50、60、126) 的一部分露出的方式在所述第一主面 (301) 之上覆盖所述端子电极 (50、60、126) 的周围。

[0614] [C2]根据C1所述的晶圆粘贴构造 (320),其中,所述晶圆粘贴构造 (320) 还包含:接合层 (319),其介于所述晶圆源 (300) 与所述支承基板 (310) 之间、且使所述晶圆源 (300) 与所述支承基板 (310) 接合。

[0615] [C3]根据C1或C2所述的晶圆粘贴构造 (320),其中,所述接合层 (319) 由非晶接合层 (319) 构成,该非晶接合层 (319) 由所述晶圆源 (300) 的一部分和所述支承基板 (310) 的一部分构成。

[0616] [C4]根据C1~C3中任一项所述的晶圆粘贴构造 (320),其中,所述非晶接合层 (319) 具有与所述晶圆源 (300) 的吸光系数不同的吸光系数。

[0617] [C5]根据C4所述的晶圆粘贴构造 (320),其中,所述非晶接合层 (319) 的所述吸光系数超过所述晶圆源 (300) 的所述吸光系数。

[0618] [C6]根据C2~C5中任一项所述的晶圆粘贴构造 (320),其中,所述接合层 (319) 具有5 μ m以下的厚度。

[0619] [C7]根据C1~C6中任一项所述的晶圆粘贴构造 (320),其中,所述晶圆源 (300) 包含表示所述晶圆源 (300) 的晶体取向的第一标记 (304),所述支承基板 (310) 包含间接地表示所述晶圆源 (300) 的晶体取向的第二标记 (314)。

[0620] [C8]根据C1~C7中任一项所述的晶圆粘贴构造(320),其中,所述密封绝缘体(71)比所述晶圆源(300)薄。

[0621] [C9]根据C1~C8中任一项所述的晶圆粘贴构造(320),其中,所述晶圆粘贴构造(320)还包含部分地覆盖所述主面电极(30、32、124)的绝缘膜(38),所述密封绝缘体(71)具有直接覆盖所述绝缘膜(38)的部分。

[0622] [C10]根据C9所述的晶圆粘贴构造(320),其中,所述端子电极(50、60、126)比所述绝缘膜(38)厚,所述密封绝缘体(71)比所述绝缘膜(38)厚。

[0623] [C11]根据C9或C10所述的晶圆粘贴构造(320),其中,所述端子电极(50、60、126)具有直接覆盖所述绝缘膜(38)的部分。

[0624] [C12]根据C9~C11中任一项所述的晶圆粘贴构造(320),其中,所述密封绝缘体(71)包含与所述绝缘膜(38)不同的绝缘体。

[0625] [C13]根据C9~C12中任一项所述的晶圆粘贴构造(320),其中,所述密封绝缘体(71)包含热固化性树脂,所述绝缘膜(38)包含无机绝缘膜(42)和感光性树脂膜(43)中的至少一个。

[0626] [C14]根据C1~C13中任一项所述的晶圆粘贴构造(320),其中,所述晶圆源(300)形成圆盘状,所述支承基板(310)形成圆盘状。

[0627] [C15]根据C14所述的晶圆粘贴构造(320),其中,所述晶圆源(300)具有第一直径,所述支承基板(310)具有与所述第一直径不同的第二直径。

[0628] [C16]根据C15所述的晶圆粘贴构造(320),其中,所述第二直径超过所述第一直径。

[0629] [C17]根据C1~C17中任一项所述的晶圆粘贴构造(320),其中,所述晶圆粘贴构造(320)还包含:改性层(326),其以沿着与所述第一主面(301)平行的水平方向延伸的方式形成于所述晶圆源(300)的厚度范围的中途部。

[0630] [C18]根据C17所述的晶圆粘贴构造(320),其中,所述第一主面(301)与所述改性层(326)之间的距离小于所述第二主面(302)与所述改性层(326)之间的距离。

[0631] [C19]根据C17或C18所述的晶圆粘贴构造(320),其中,所述第一主面(301)与所述改性层(326)之间的距离小于所述密封绝缘体(71)的厚度。

[0632] [C20]根据C17或C18所述的晶圆粘贴构造(320),其中,所述第一主面(301)与所述改性层(326)之间的距离超过所述密封绝缘体(71)的厚度。

[0633] [C21]根据C1~C20中任一项所述的晶圆粘贴构造(320),其中,所述晶圆粘贴构造(320)还包含晶圆构造(331),该晶圆构造(331)包含所述晶圆源(300)和层叠在所述晶圆源(300)之上的外延层(321),该晶圆构造(331)具有由所述外延层(321)形成的所述第一主面(301)和由所述晶圆源(300)形成的所述第二主面(302)。

[0634] [C22]根据C21所述的晶圆粘贴构造(320),其中,所述外延层(321)覆盖所述晶圆源(300)的侧面(303)。

[0635] [C23]根据C1~C22中任一项所述的晶圆粘贴构造(320),其中,所述晶圆源(300)包含宽带隙半导体的单晶,所述支承基板(310)包含宽带隙半导体的单晶。

[0636] [C24]根据C1~C23中任一项所述的晶圆粘贴构造(320),其中,所述晶圆源(300)包含SiC单晶,所述支承基板(310)包含SiC单晶。

[0637] [D1]一种晶圆粘贴构造(434),包含:晶圆(430),其具有一侧的第一主面(431)以及另一侧的第二主面(432);支承基板(400),其粘贴于所述第二主面(432);主面电极(30、32、124),其配置于所述第一主面(431)之上;端子电极(50、60、126),其配置于所述主面电极(30、32、124)之上;以及密封绝缘体(71),其以使所述端子电极(50、60、126)的一部分露出的方式在所述第一主面(431)之上覆盖所述端子电极(50、60、126)的周围。

[0638] [D2]根据D1所述的晶圆粘贴构造(434),其中,所述晶圆粘贴构造(434)还包含:接合层(420),其介于所述晶圆(430)与所述支承基板(400)之间、且使所述晶圆(430)与所述支承基板(400)接合。

[0639] [D3]根据D1或D2所述的晶圆粘贴构造(434),其中,所述接合层(420)其由非晶接合层(420)构成,该非晶接合层(420)由所述晶圆(430)的一部分和所述支承基板(400)的一部分构成。

[0640] [D4]根据D1~D3中任一项所述的晶圆粘贴构造(434),其中,所述非晶接合层(420)具有与所述晶圆(430)的吸光系数不同的吸光系数。

[0641] [D5]根据D4所述的晶圆粘贴构造(434),其中,所述非晶接合层(420)的所述吸光系数超过所述晶圆(430)的所述吸光系数。

[0642] [D6]根据D2~D5中任一项所述的晶圆粘贴构造(434),其中,所述接合层(420)具有5 μ m以下的厚度。

[0643] [D7]根据D1~D6中任一项所述的晶圆粘贴构造(434),其中,所述晶圆(430)包含表示所述晶圆(430)的晶体取向的第一标记(304),所述支承基板(400)包含间接地表示所述晶圆(430)的晶体取向的第二标记(404)。

[0644] [D8]根据D1~D7中任一项所述的晶圆粘贴构造(434),其中,所述支承基板(400)比所述晶圆厚。

[0645] [D9]根据D1~D8中任一项所述的晶圆粘贴构造(434),其中,所述密封绝缘体(71)比所述晶圆(430)厚。

[0646] [D10]根据D1~D8中任一项所述的晶圆粘贴构造(434),其中,所述密封绝缘体(71)比所述晶圆(430)薄。

[0647] [D11]根据D1~D10中任一项所述的晶圆粘贴构造(434),其中,所述晶圆粘贴构造(434)还包含部分地覆盖所述主面电极(30、32、124)的绝缘膜(38),所述密封绝缘体(71)具有直接覆盖所述绝缘膜(38)的部分。

[0648] [D12]根据D11所述的晶圆粘贴构造(434),其中,所述端子电极(50、60、126)比所述绝缘膜(38)厚,所述密封绝缘体(71)比所述绝缘膜(38)厚。

[0649] [D13]根据D11或D12所述的晶圆粘贴构造(434),其中,所述端子电极(50、60、126)具有直接覆盖所述绝缘膜(38)的部分。

[0650] [D14]根据D11~D13中任一项所述的晶圆粘贴构造(434),其中,所述密封绝缘体(71)包含与所述绝缘膜(38)不同的绝缘体。

[0651] [D15]根据D11~D14中任一项所述的晶圆粘贴构造(434),其中,所述密封绝缘体(71)包含热固化性树脂,所述绝缘膜(38)包含无机绝缘膜(42)和感光性树脂膜(43)中的至少一个。

[0652] [D16]根据D1~D15中任一项所述的晶圆粘贴构造(434),其中,所述晶圆(430)形

成为圆盘状,所述支承基板(400)形成为圆盘状。

[0653] [D17]根据D16所述的晶圆粘贴构造(434),其中,所述晶圆(430)具有第一直径,所述支承基板(400)具有与所述第一直径不同的第二直径。

[0654] [D18]根据D17所述的晶圆粘贴构造(434),其中,所述第二直径超过所述第一直径。

[0655] [D19]根据D1~D18中任一项所述的晶圆粘贴构造(434),其中,所述晶圆粘贴构造(434)还包含晶圆构造(440),该晶圆构造(440)包含所述晶圆(430)和层叠在所述晶圆(430)之上的外延层(435),该晶圆构造(440)具有由所述外延层(435)形成的所述第一主面(431)和由所述晶圆(430)形成的所述第二主面(432)。

[0656] [D20]根据D19所述的晶圆粘贴构造(434),其中,所述密封绝缘体(71)超过所述外延层(435)的厚度。

[0657] [D21]根据D19或D20所述的晶圆粘贴构造(434),其中,所述密封绝缘体(71)比所述晶圆(430)厚。

[0658] [D22]根据D19或D20所述的晶圆粘贴构造(434),其中,所述密封绝缘体(71)比所述晶圆(430)薄。

[0659] [D23]根据D19~D22中任一项所述的晶圆粘贴构造(434),其中,所述外延层(435)覆盖所述晶圆(430)的侧面。

[0660] [D24]根据D1~D23中任一项所述的晶圆粘贴构造(434),其中,所述晶圆(430)包含宽带隙半导体的单晶,所述支承基板(400)包含宽带隙半导体的单晶。

[0661] [D25]根据D1~D24中任一项所述的晶圆粘贴构造(434),其中,所述晶圆(430)包含SiC单晶,所述支承基板(400)包含SiC单晶。

[0662] 以上,对实施方式进行了详细说明,但它们只不过是使技术内容明确而使用的具体例,本发明不应解释为限定于这些具体例,本发明的范围由所附的权利要求书所限定。

[0663] 符号说明

[0664] 1A 半导体装置

[0665] 1B 半导体装置

[0666] 1C 半导体装置

[0667] 1D 半导体装置

[0668] 1E 半导体装置

[0669] 1F 半导体装置

[0670] 1G 半导体装置

[0671] 1H 半导体装置

[0672] 30 栅极电极(主面电极)

[0673] 32 源极电极(主面电极)

[0674] 38 上绝缘膜

[0675] 42 无机绝缘膜

[0676] 43 有机绝缘膜

[0677] 50 栅极端子电极

- [0678] 60 源极端子电极
- [0679] 71 密封绝缘体
- [0680] 77漏极电极(第二主面电极)
- [0681] 124第一极性电极(主面电极)
- [0682] 126端子电极
- [0683] 136第二极性电极(第二主面电极)
- [0684] 300 晶圆源
- [0685] 301 第一主面
- [0686] 302 第二主面
- [0687] 310 支承基板
- [0688] 320 晶圆粘贴构造
- [0689] 321 外延层
- [0690] 322外延晶圆源(晶圆构造)
- [0691] 326 改性层
- [0692] 331 密封晶圆
- [0693] 332 未密封晶圆
- [0694] 333 第一晶圆
- [0695] 334 切断面
- [0696] 335 第二晶圆
- [0697] 346 导体膜
- [0698] 349 导电体
- [0699] 350 密封剂
- [0700] 400 第一支承基板
- [0701] 420 第一非晶接合层
- [0702] 422 改性层
- [0703] 430 晶圆
- [0704] 431 第一晶圆主面
- [0705] 432 第二晶圆主面
- [0706] 434 晶圆粘贴构造
- [0707] 435外延层
- [0708] 440外延晶圆(晶圆构造)
- [0709] 441边界改性层
- [0710] M10掩模。

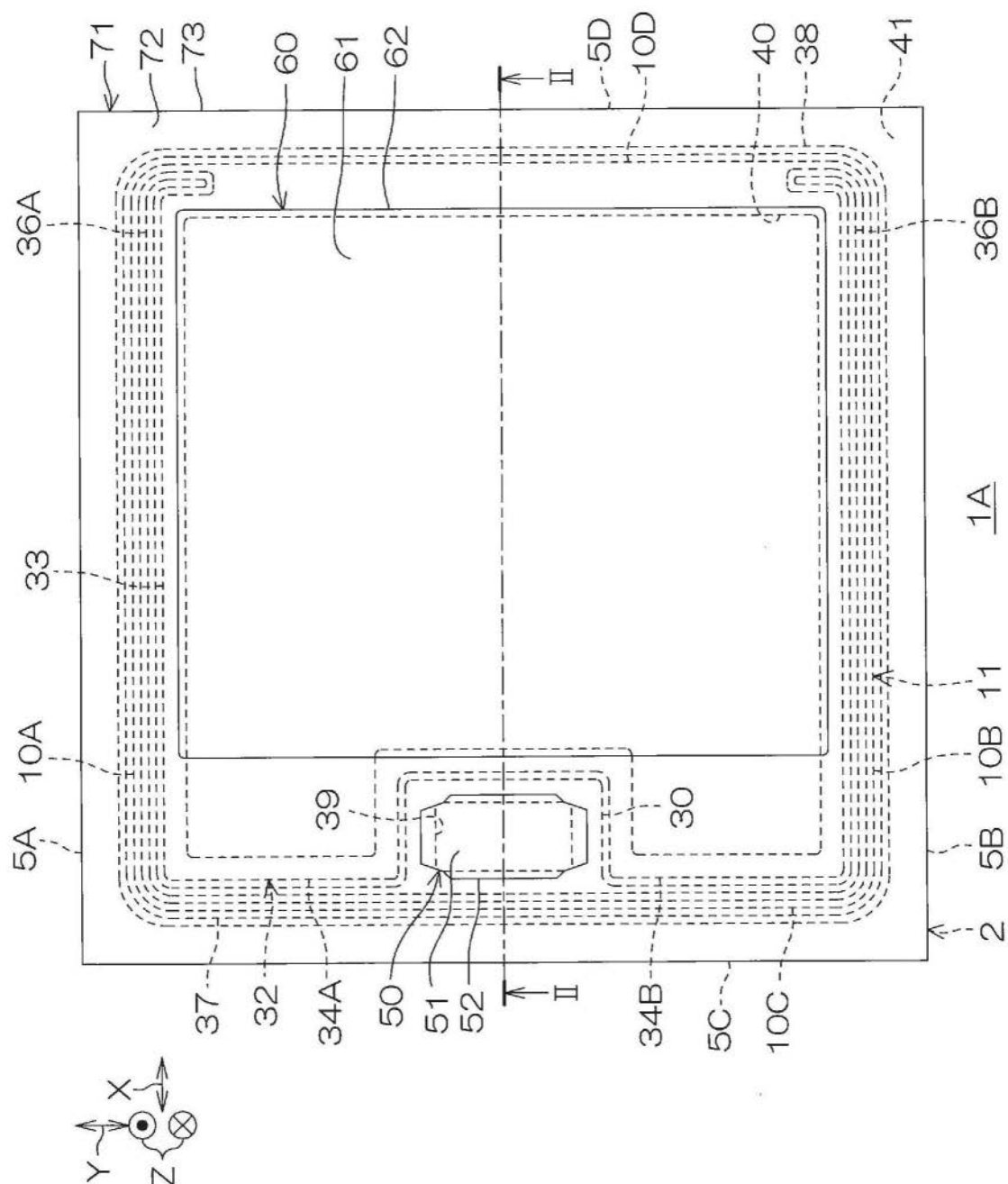


图1

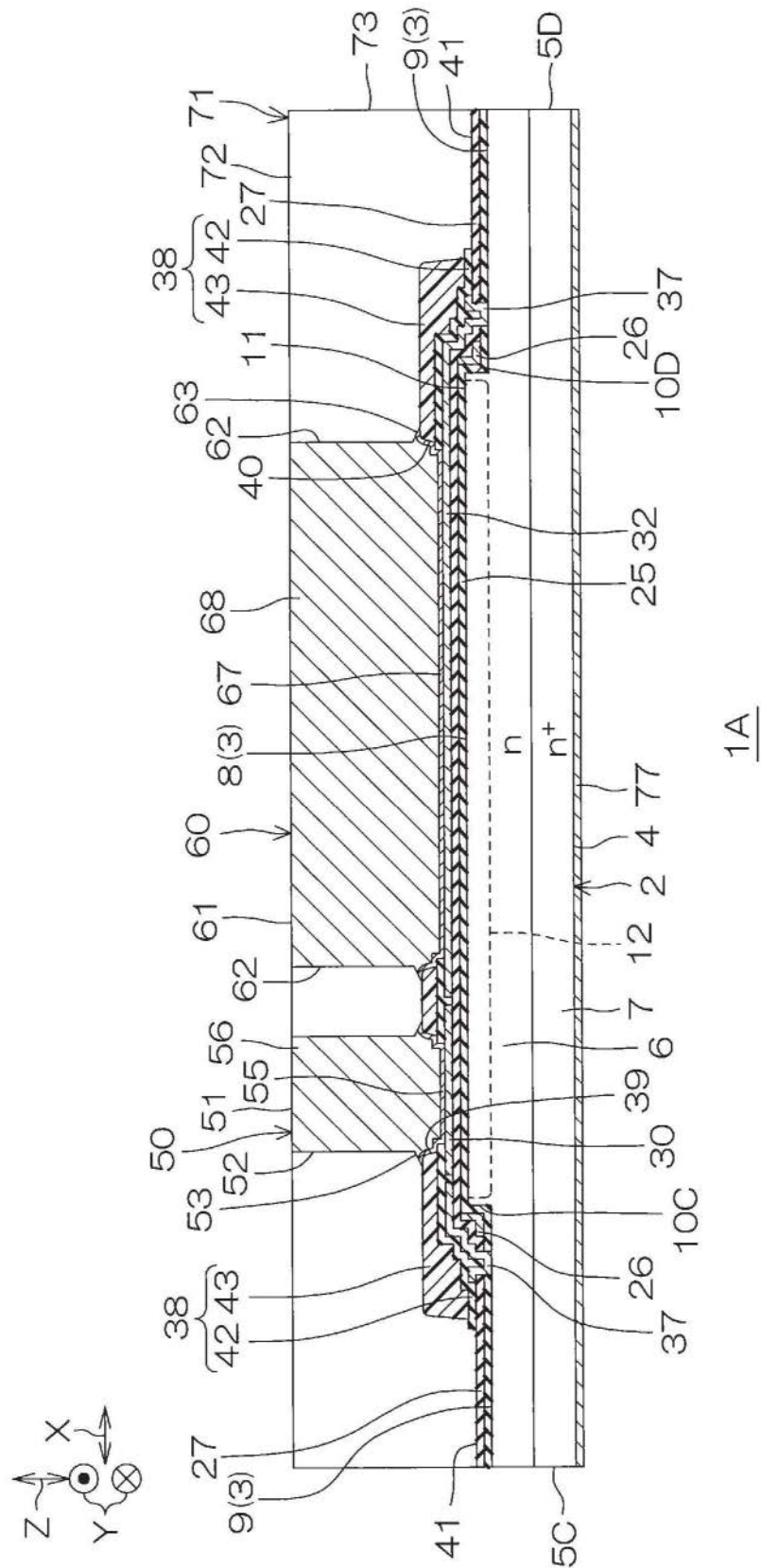


图2

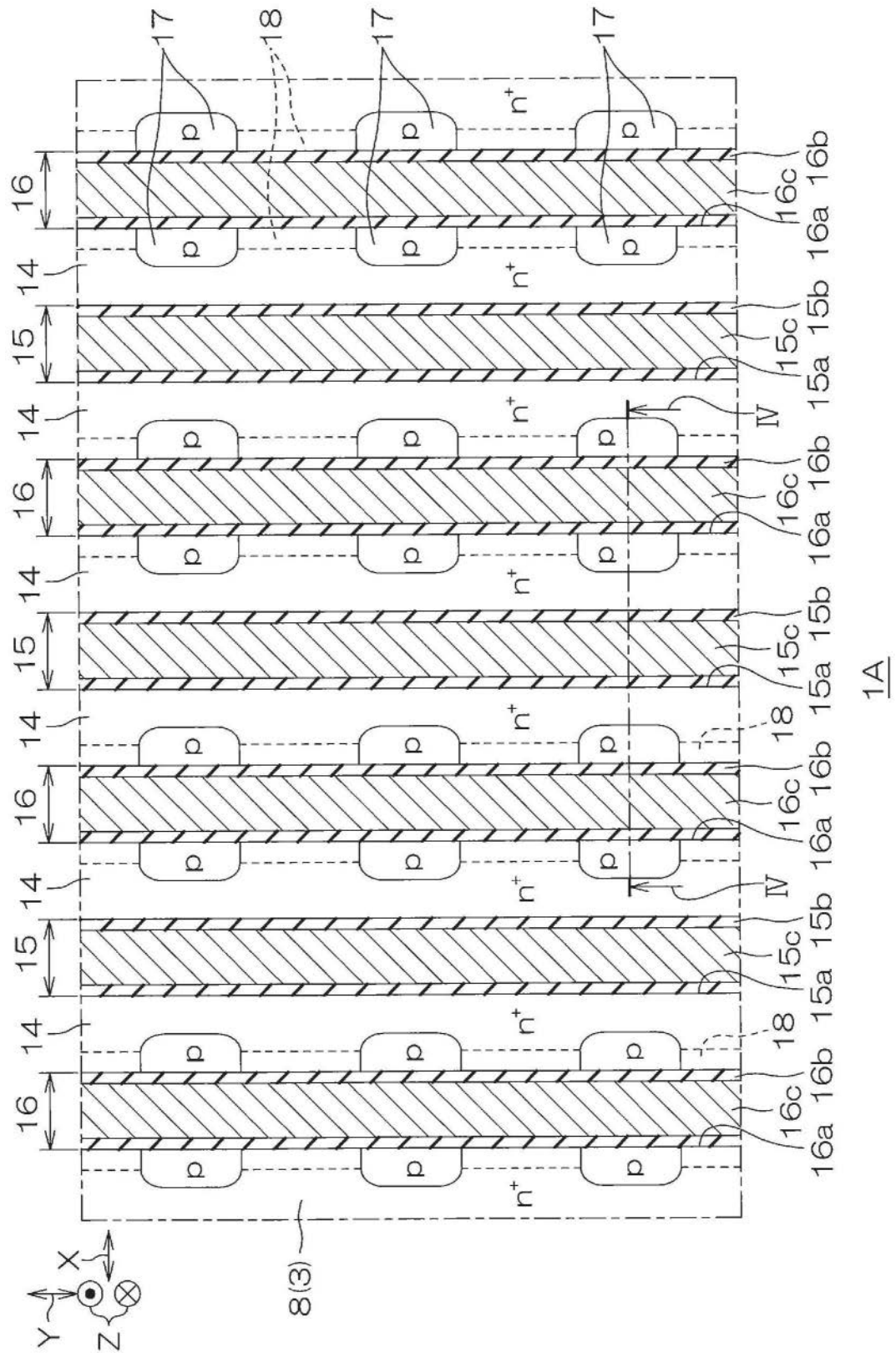


图3

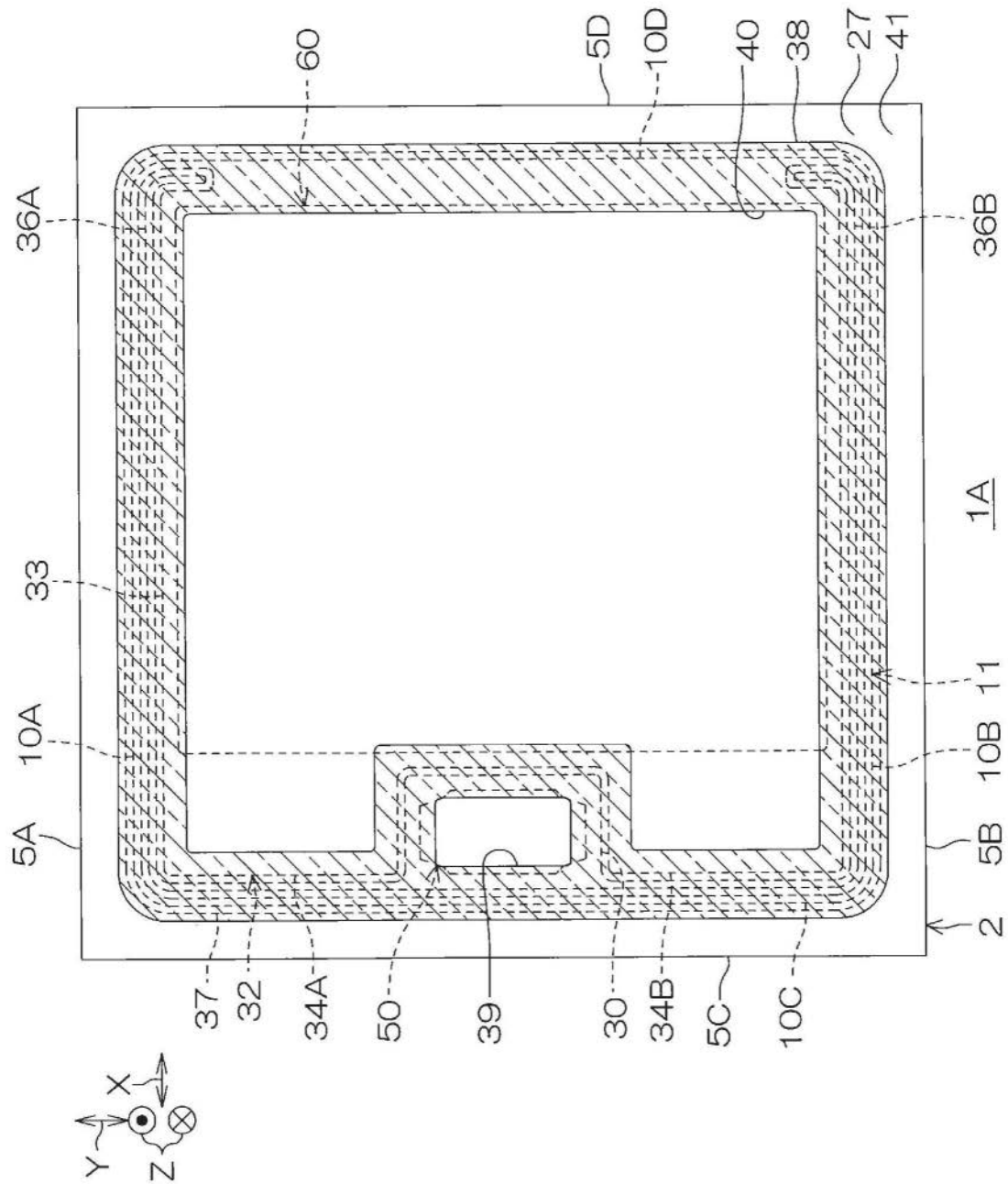


图7

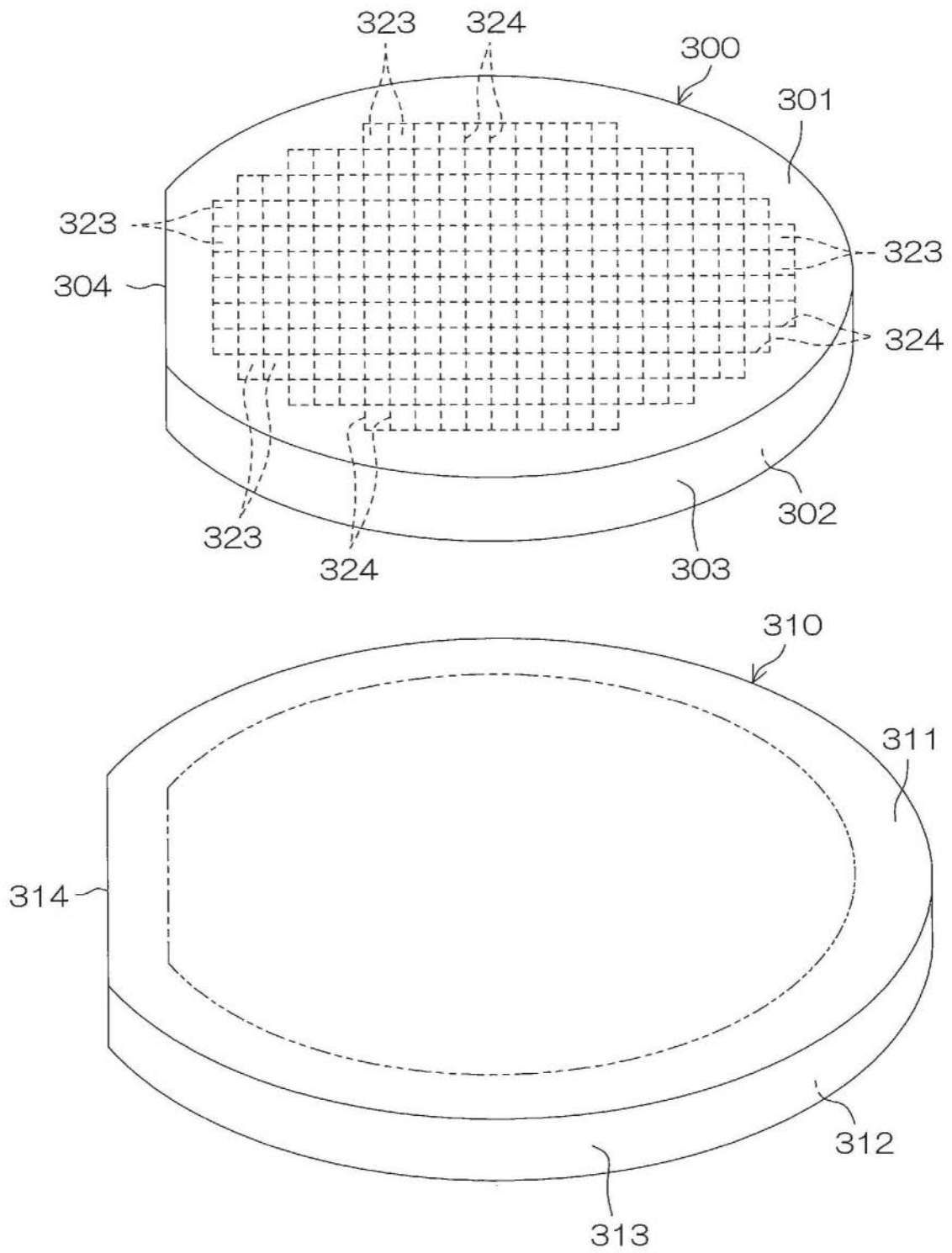


图8

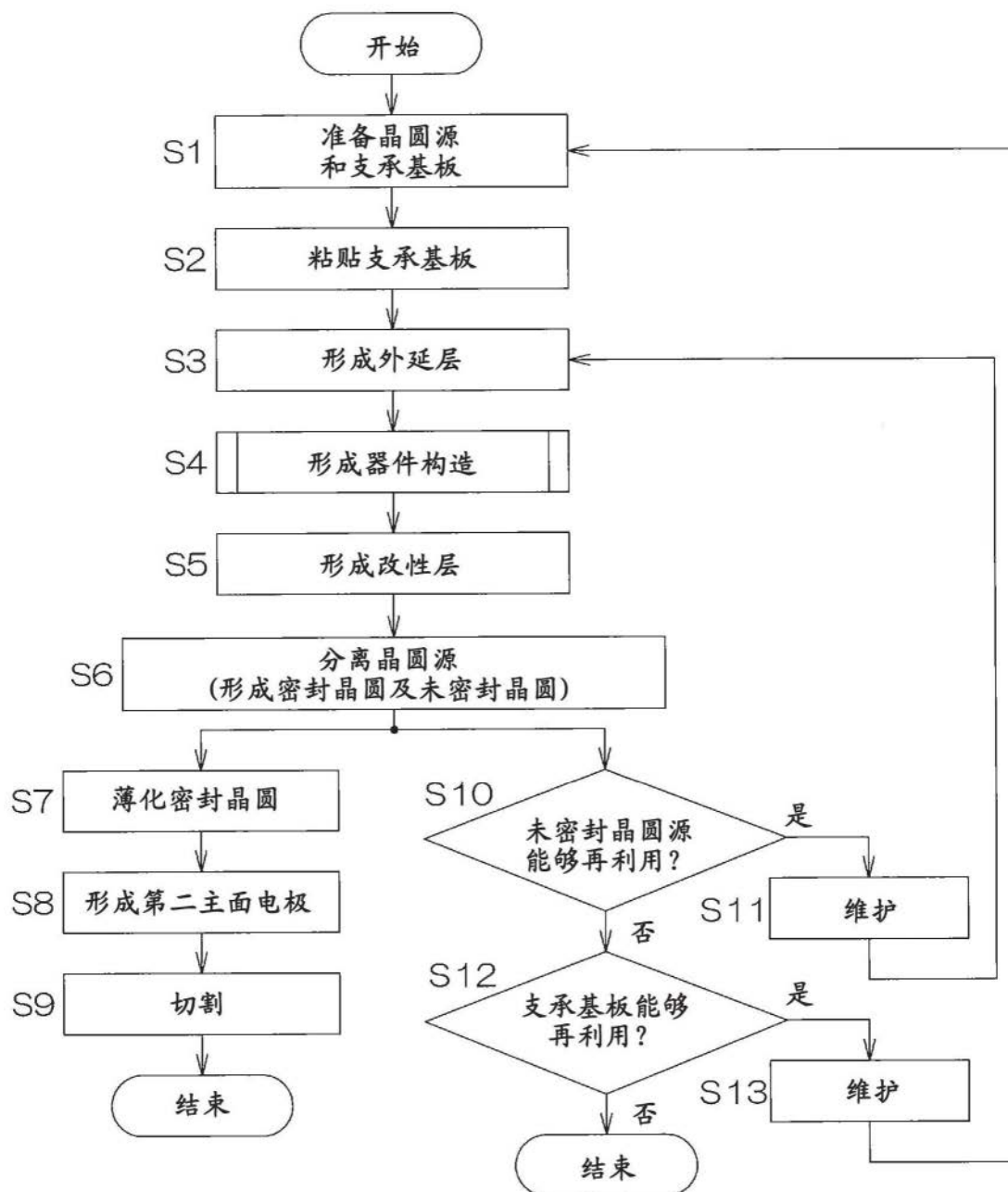


图9

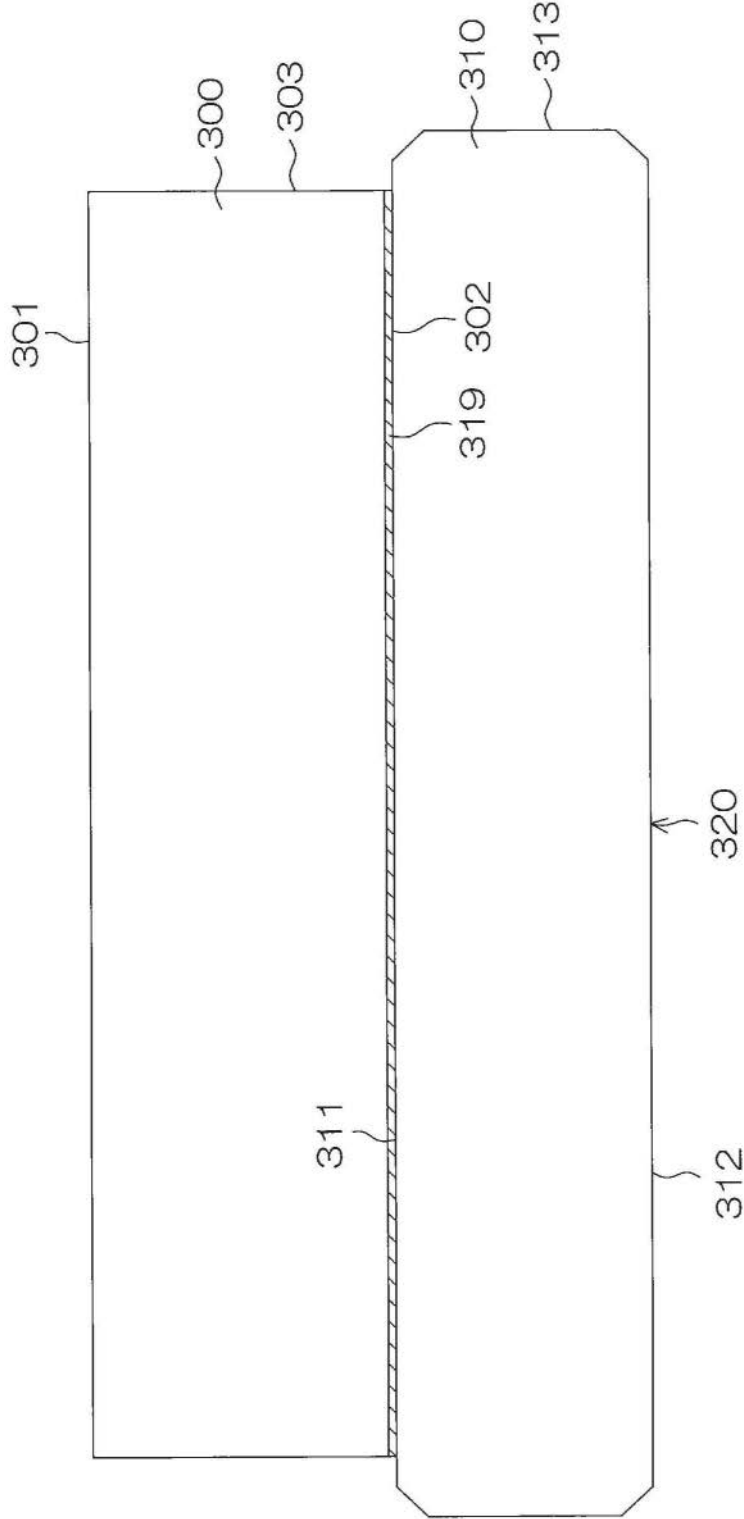


图10A

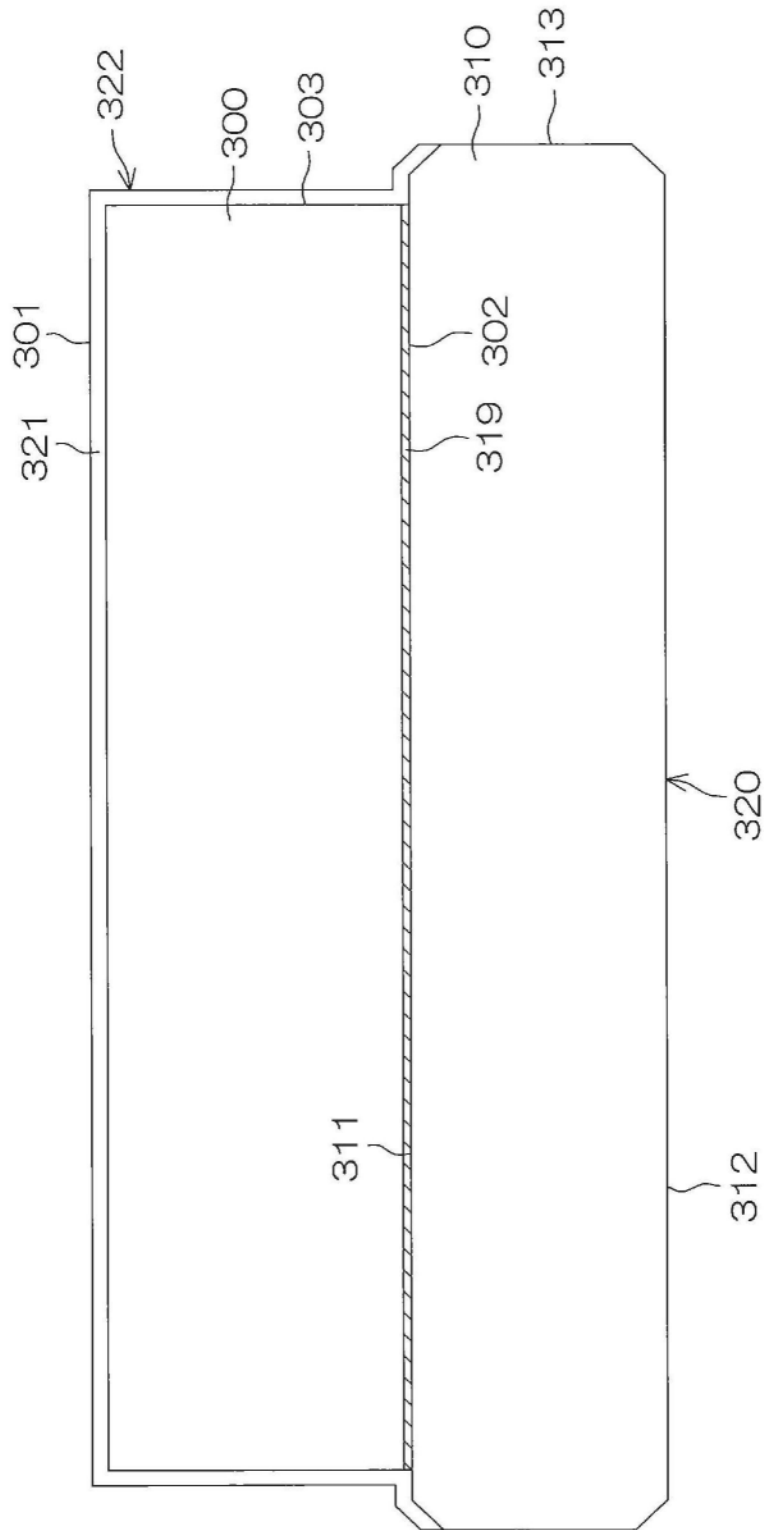


图10B

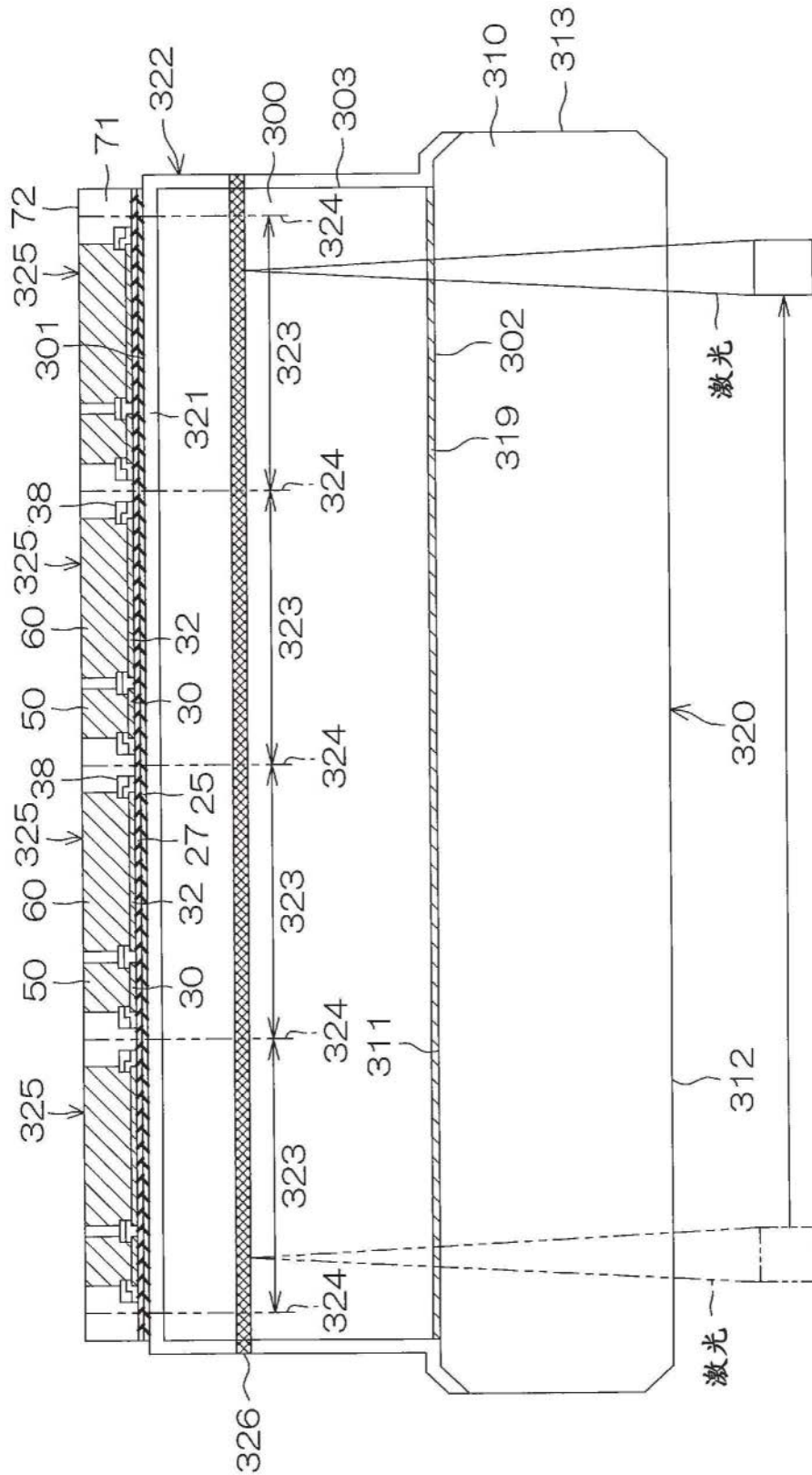


图10D

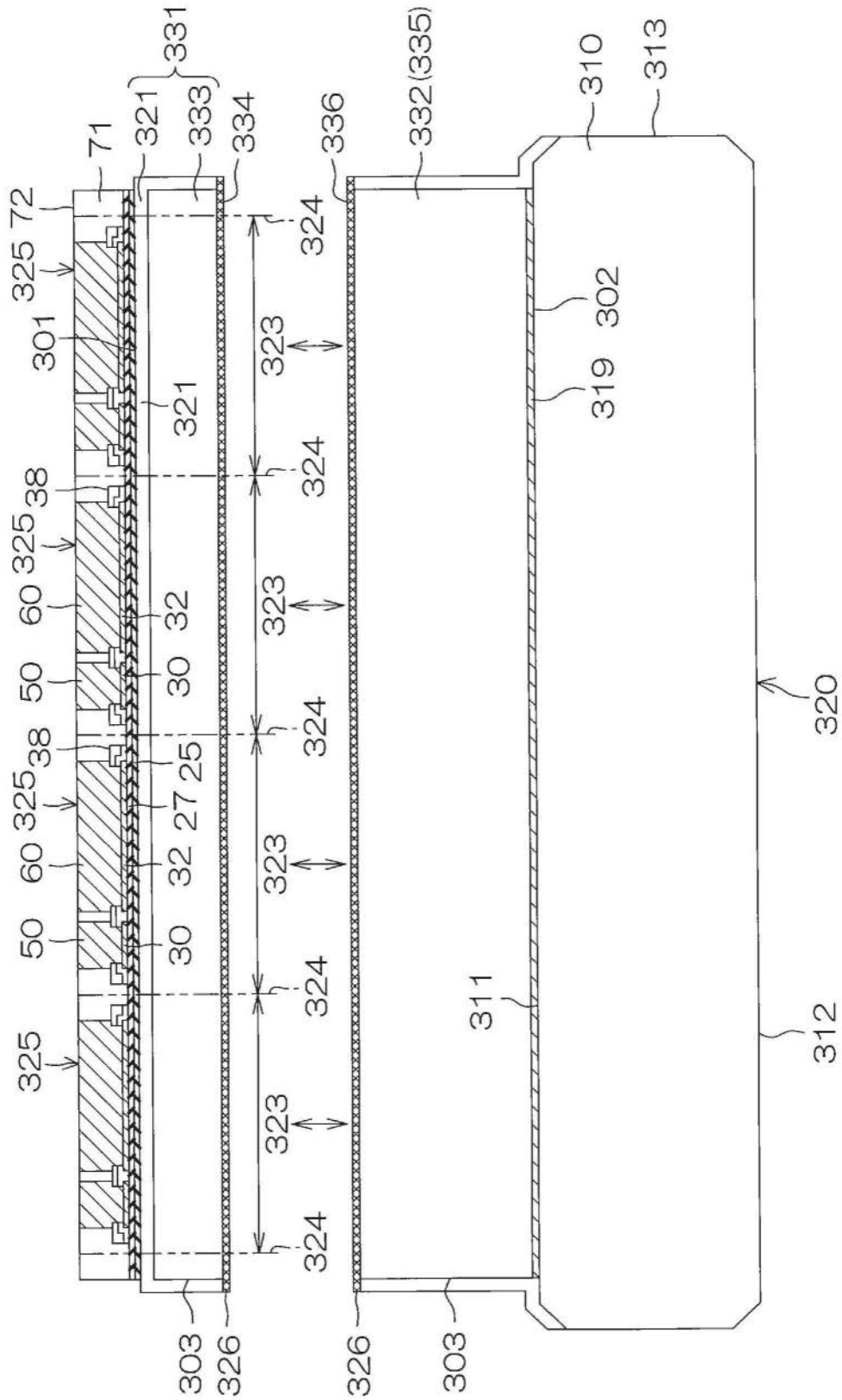


图10E

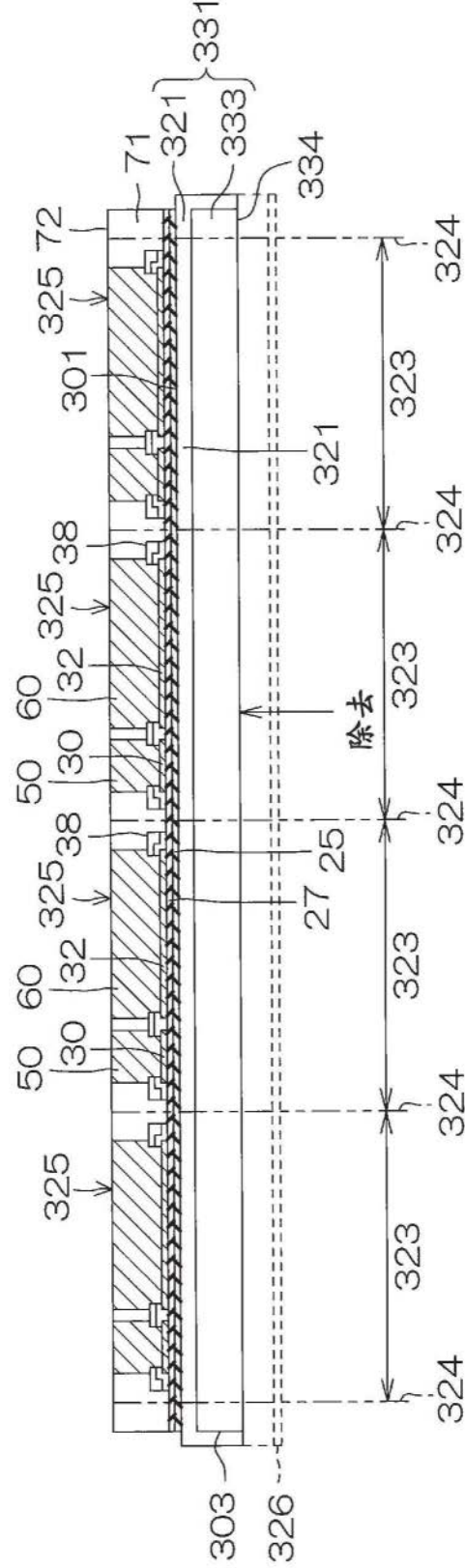


图10F

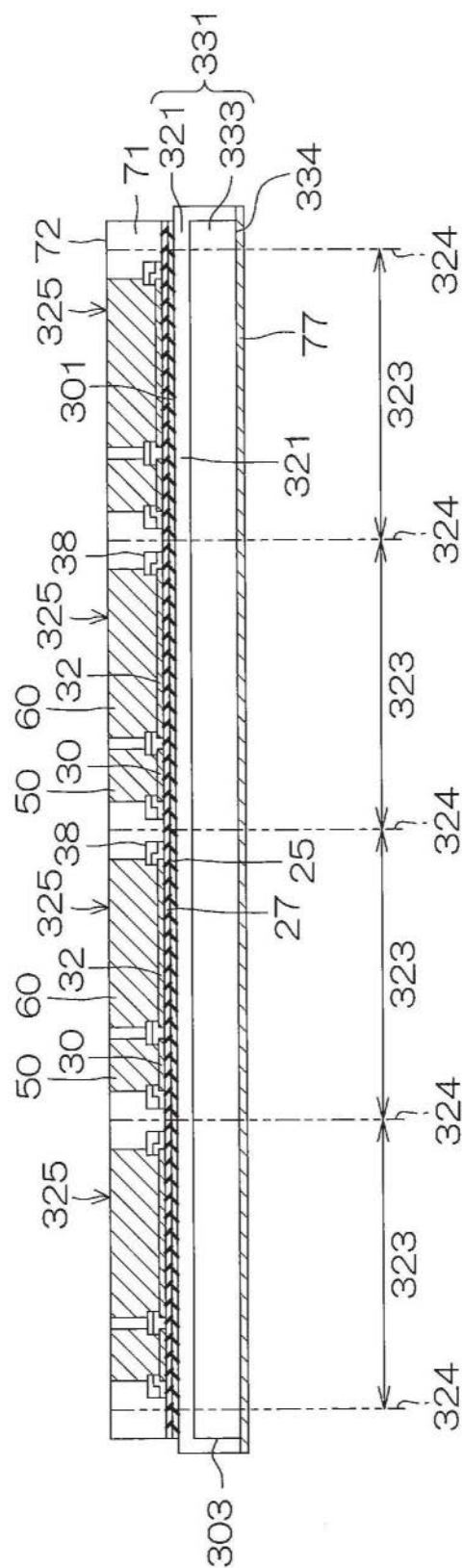


图10G

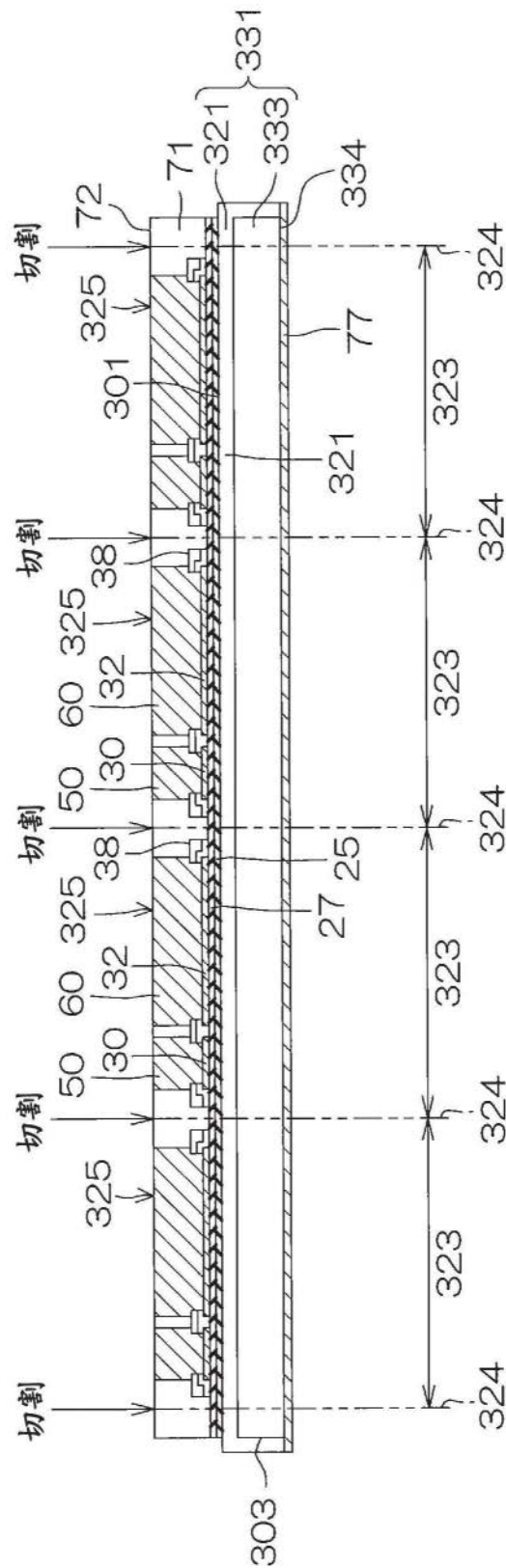


图10H

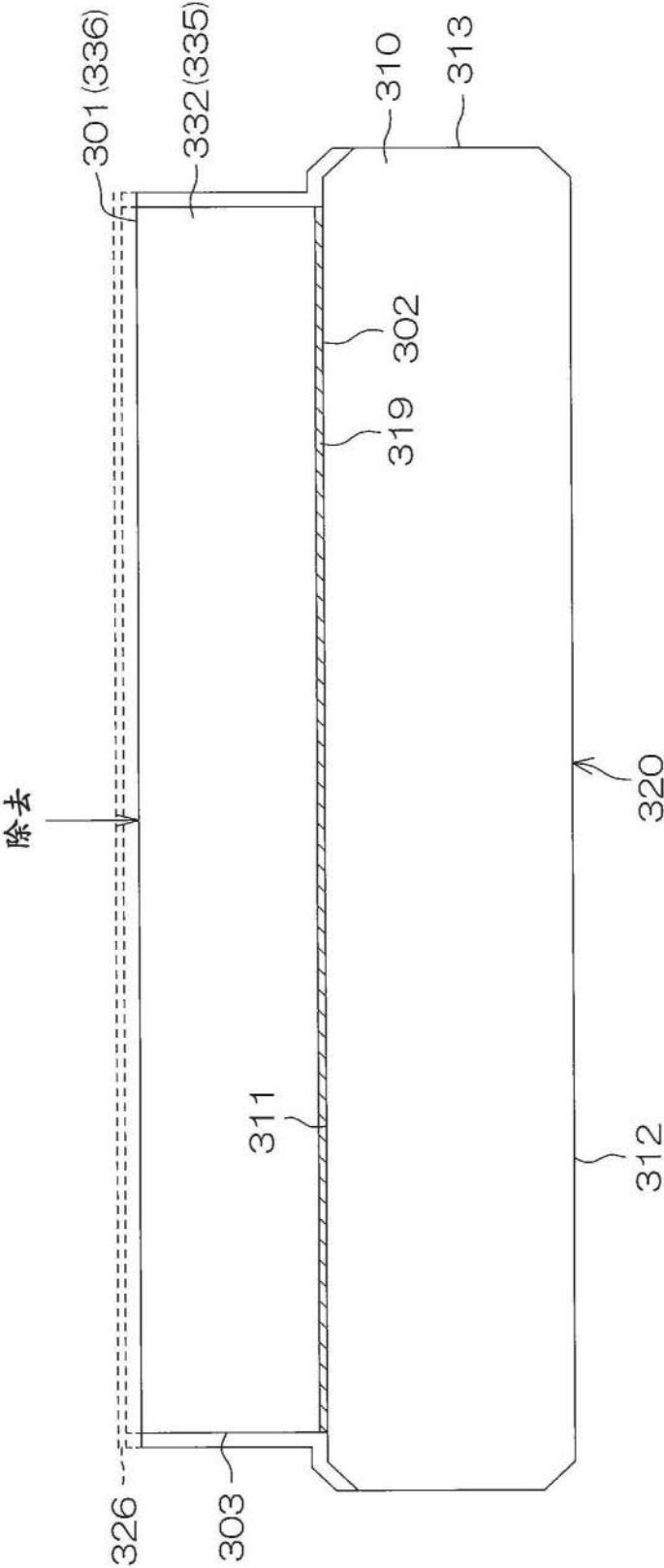


图10I

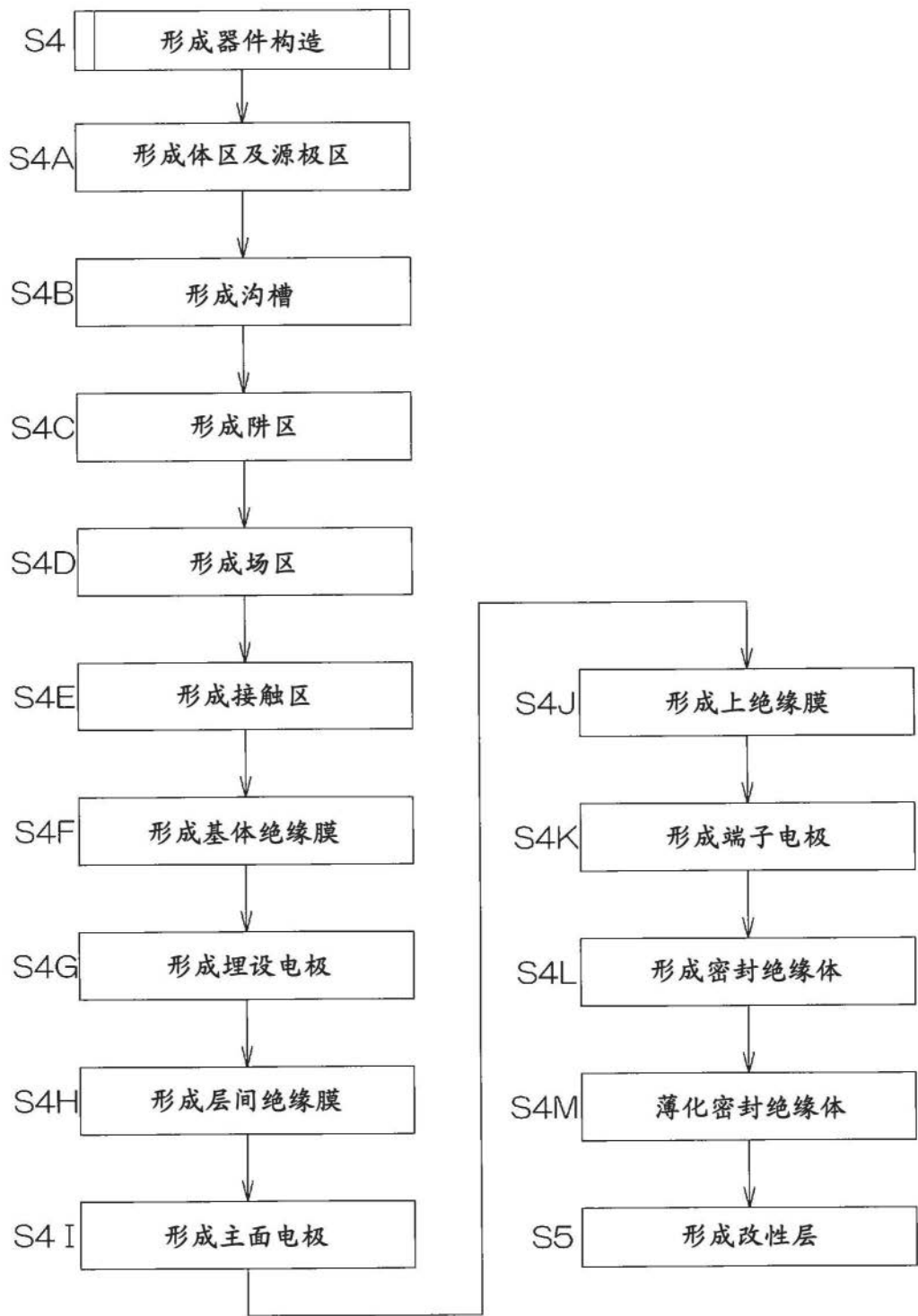


图11

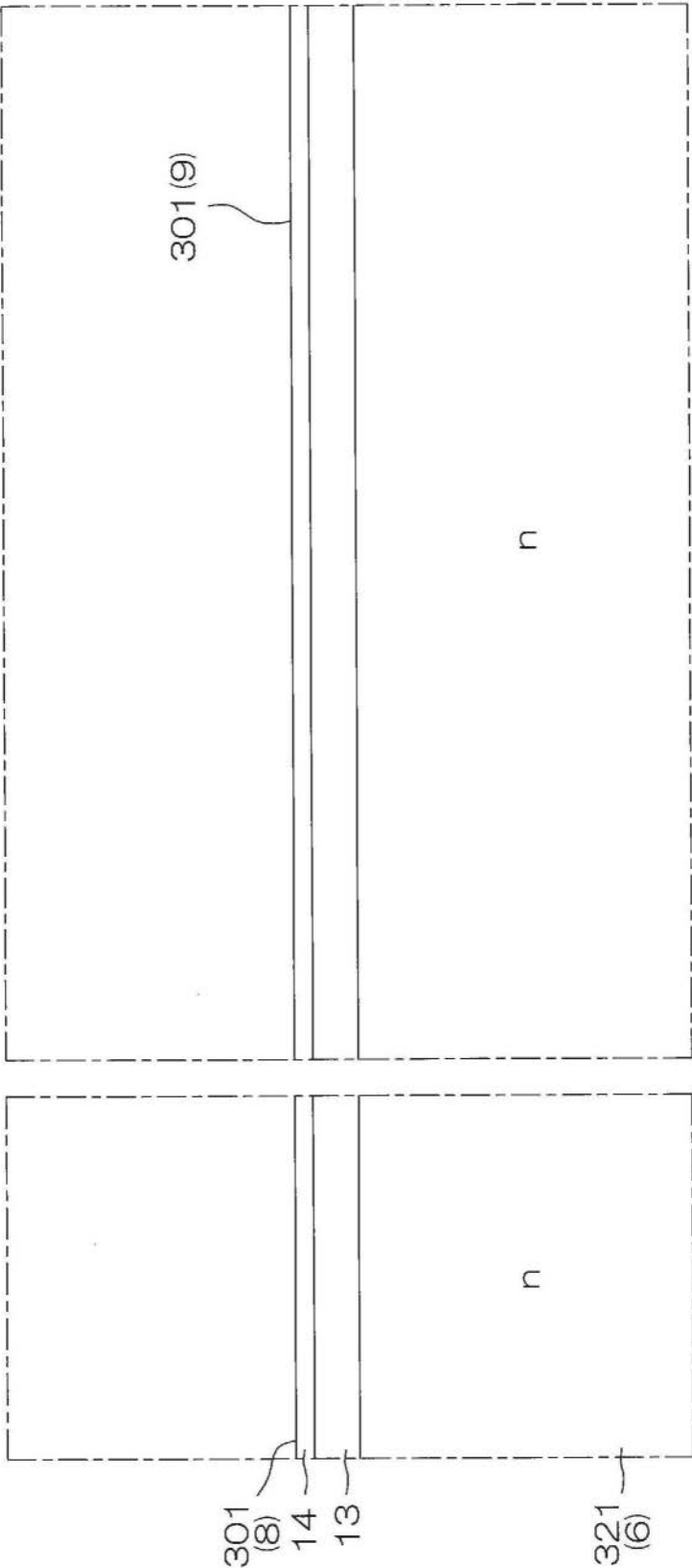


图12A

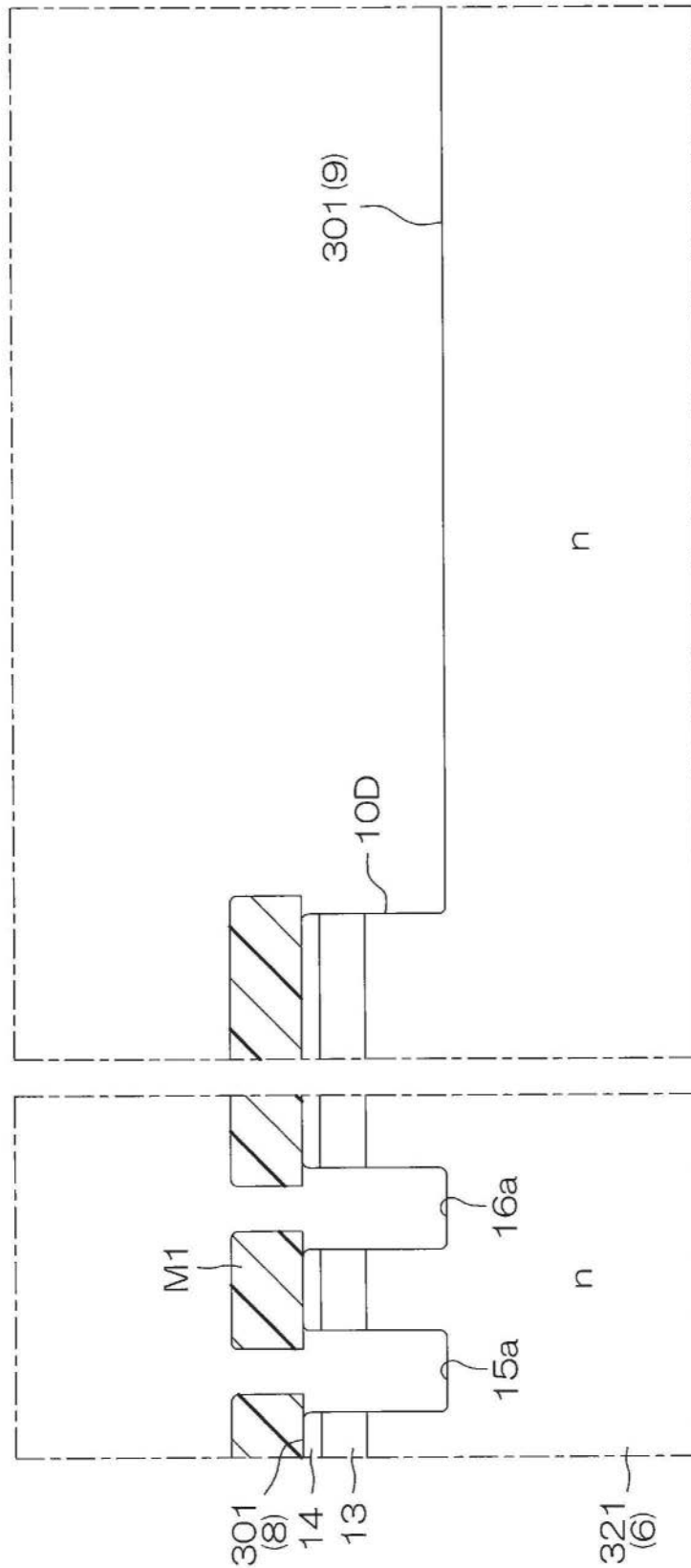


图12B

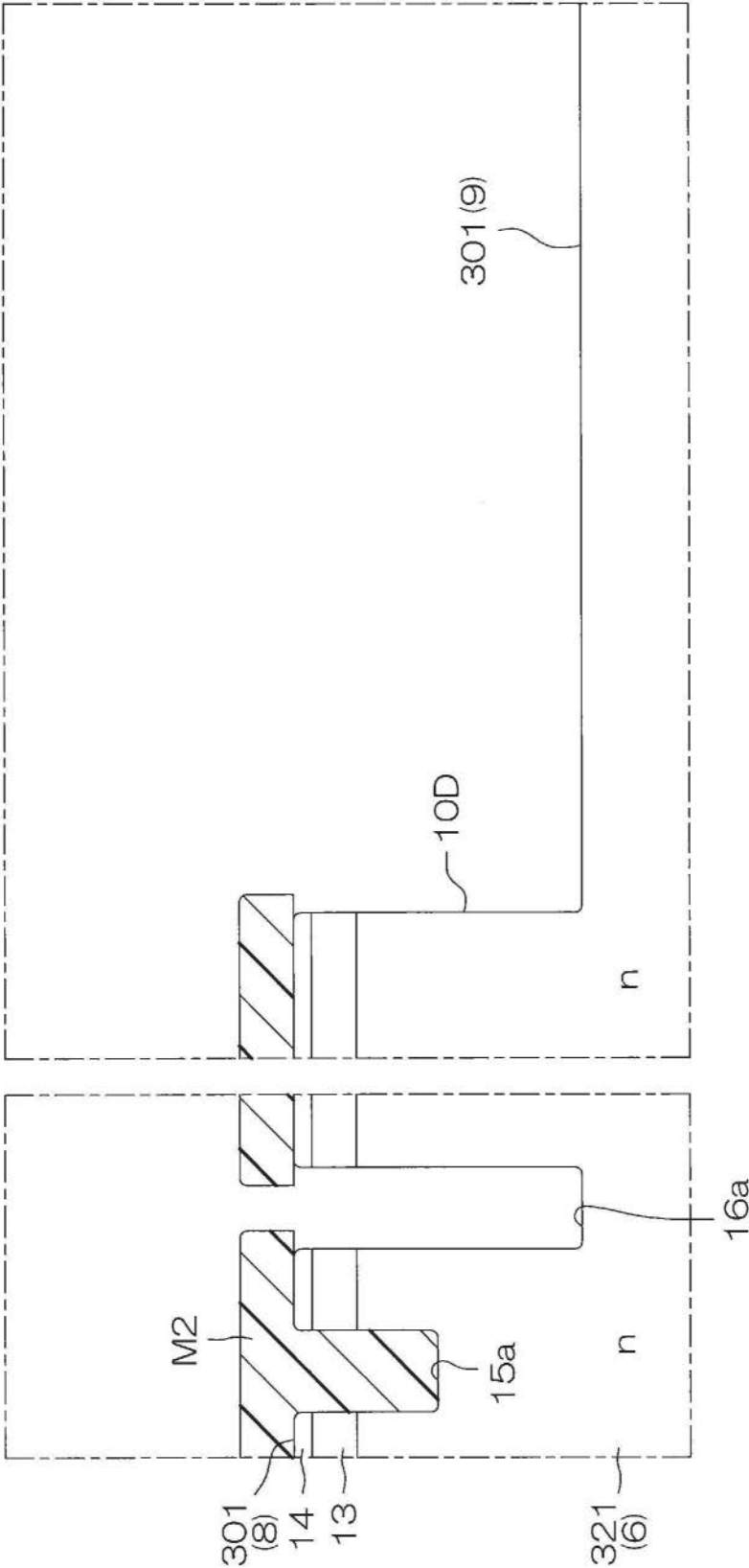


图12C

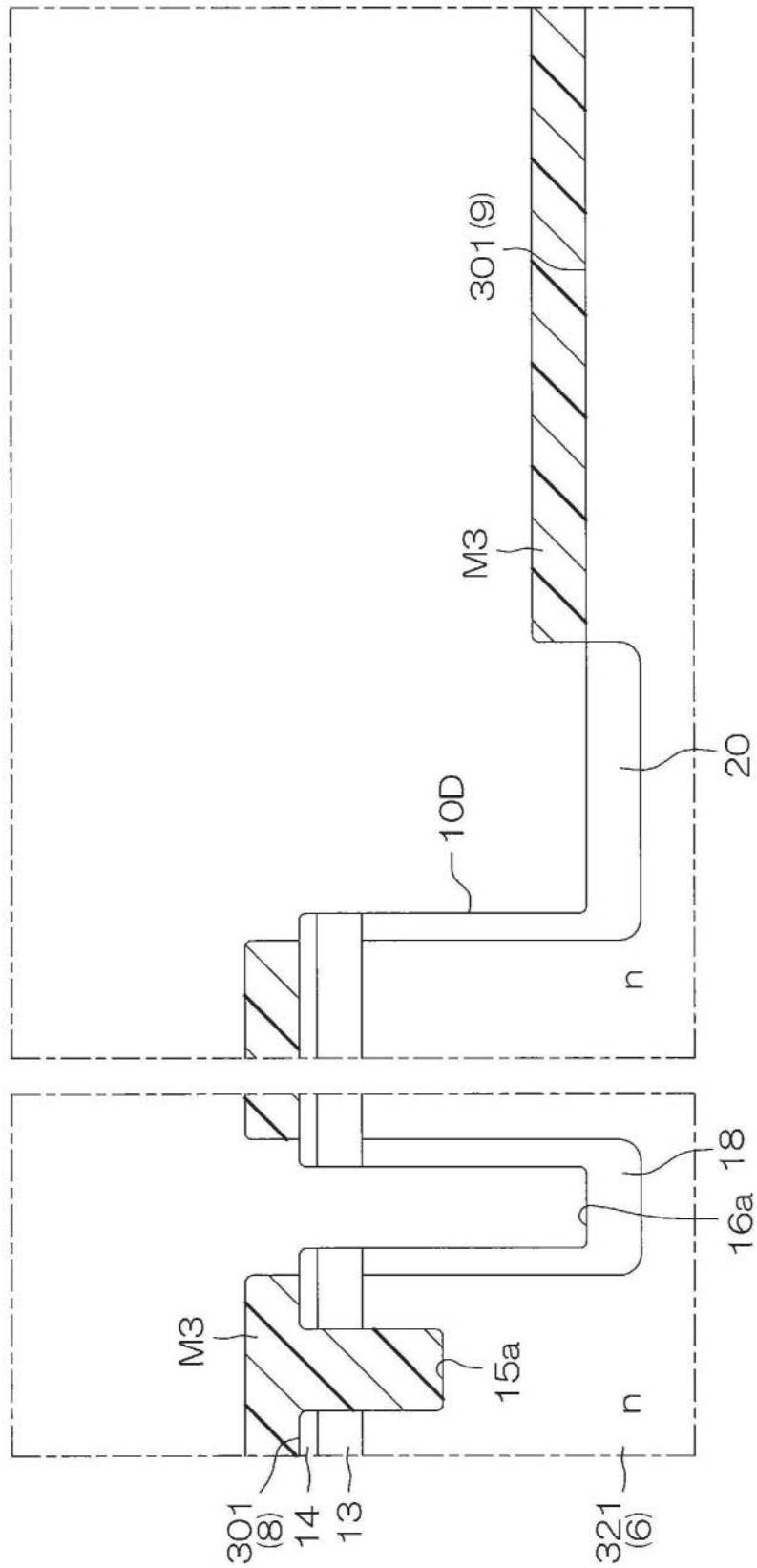


图12D

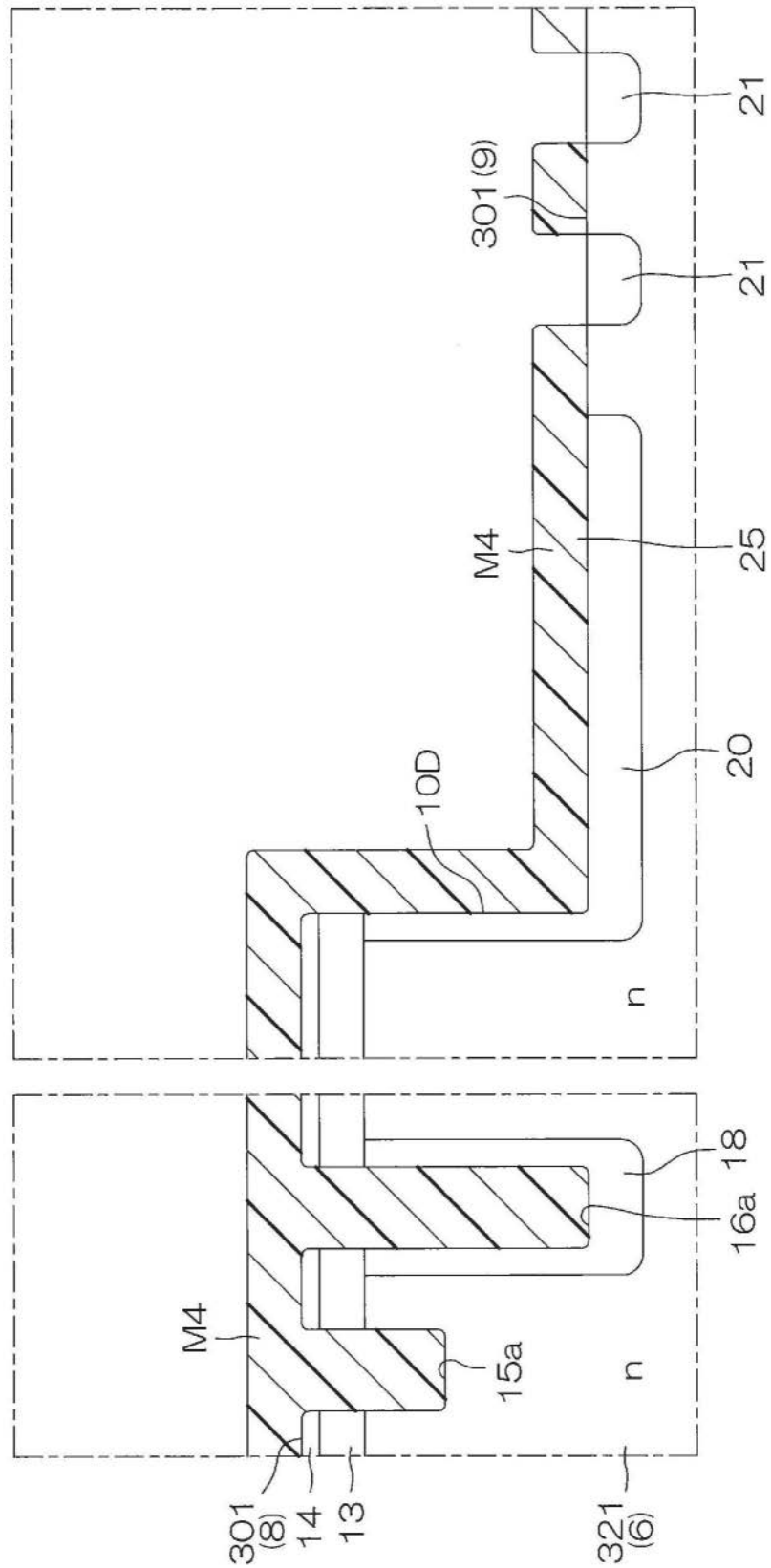


图12E

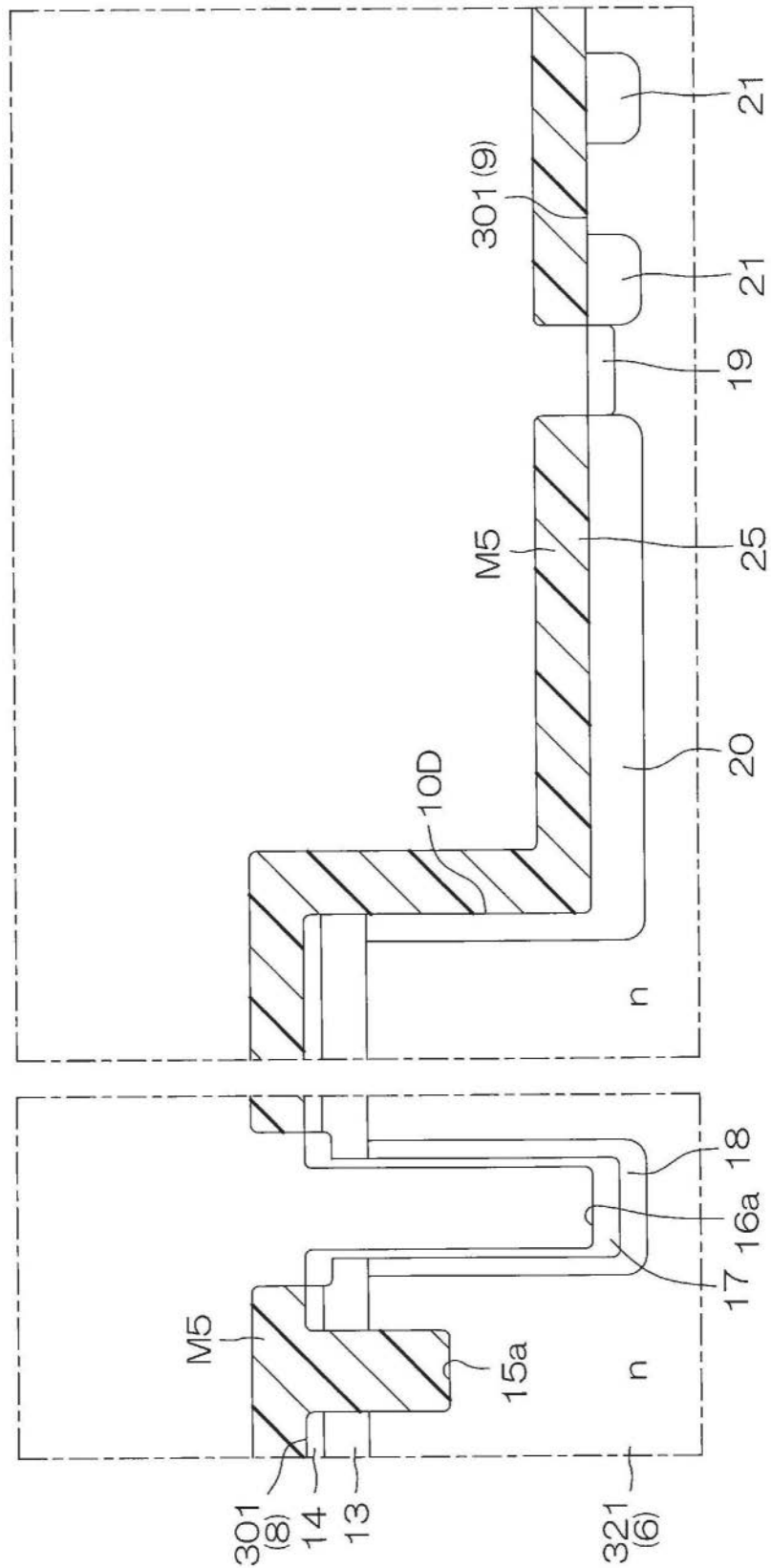


图12F

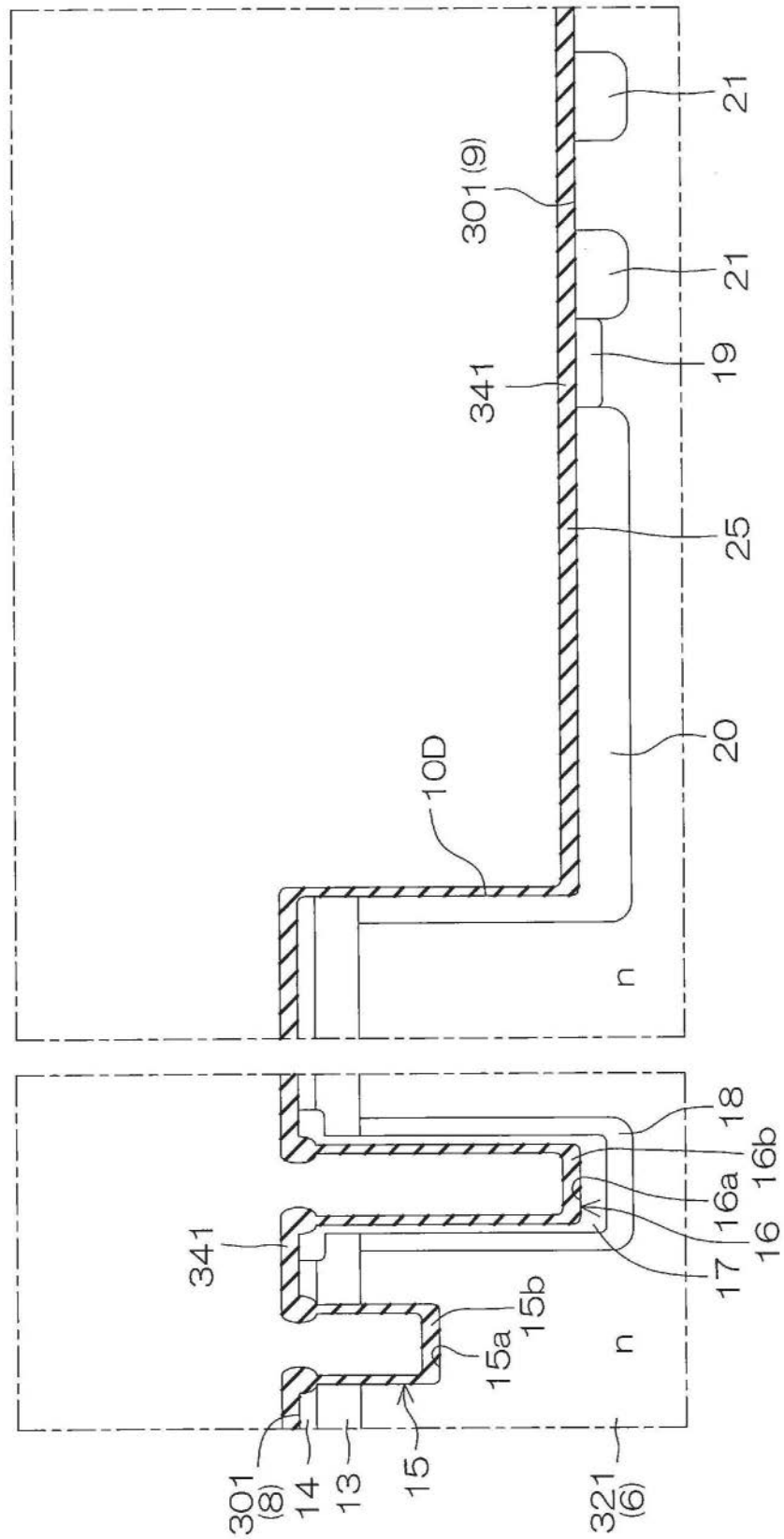


图12G

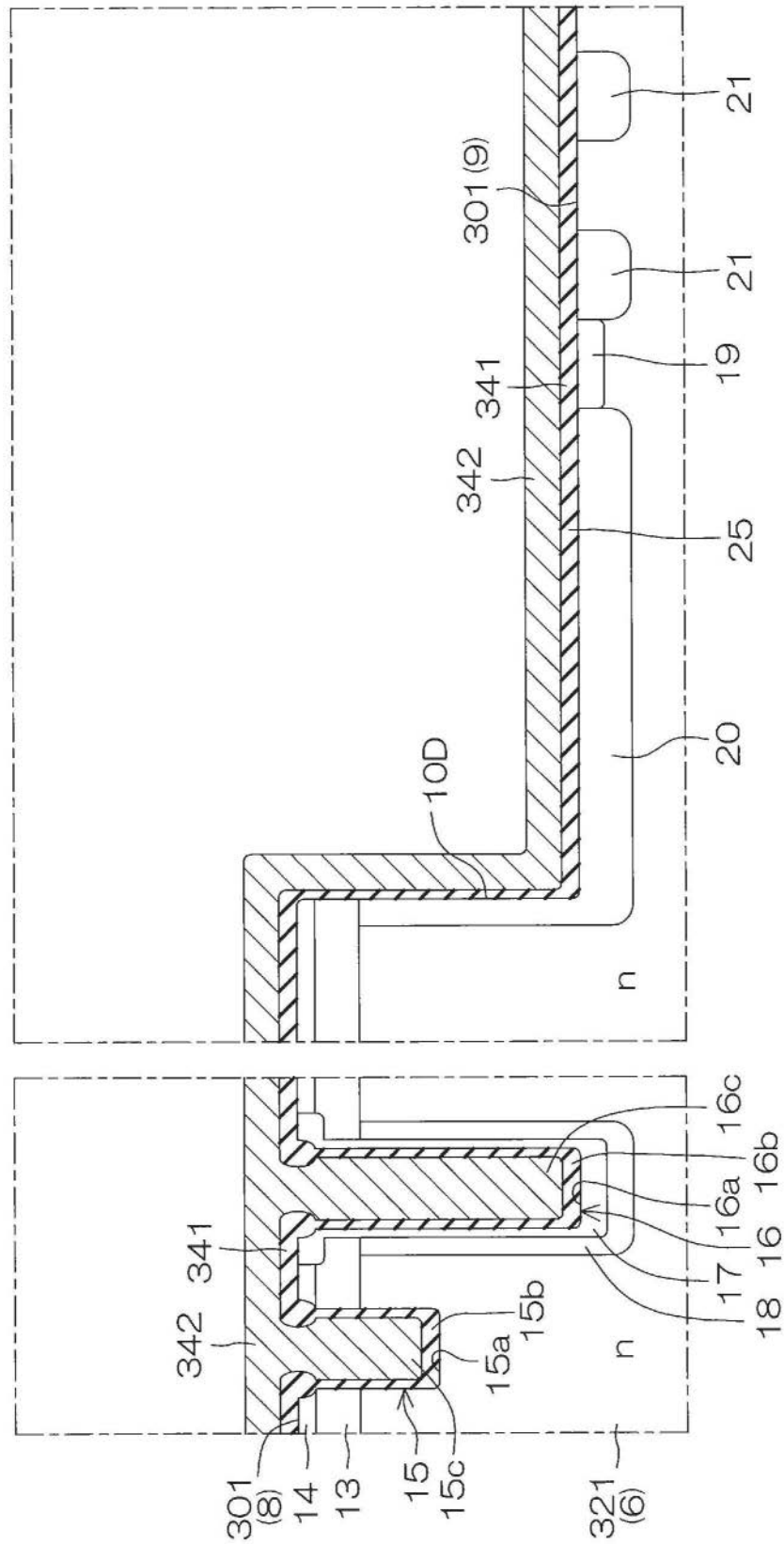


图12H

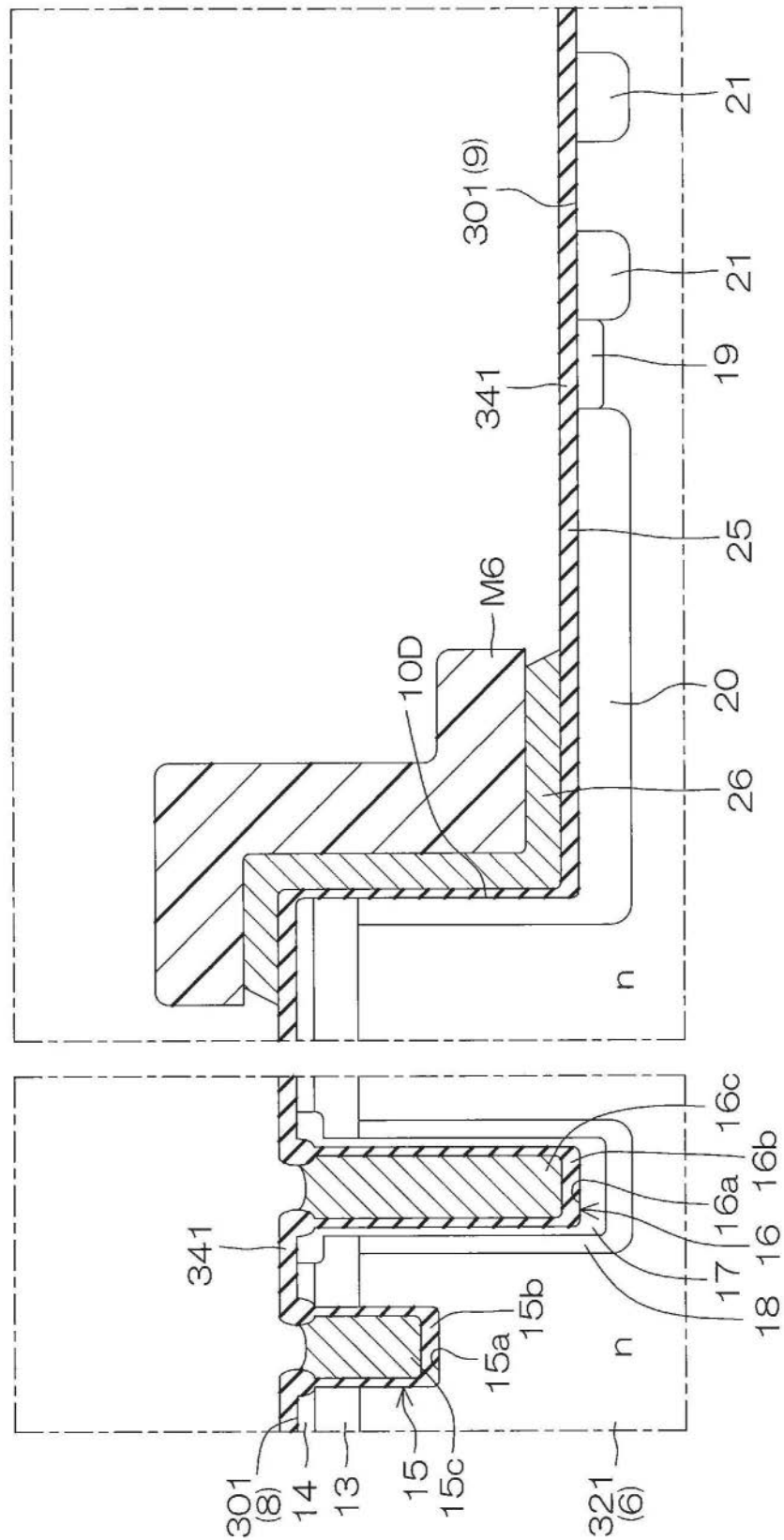


图12I

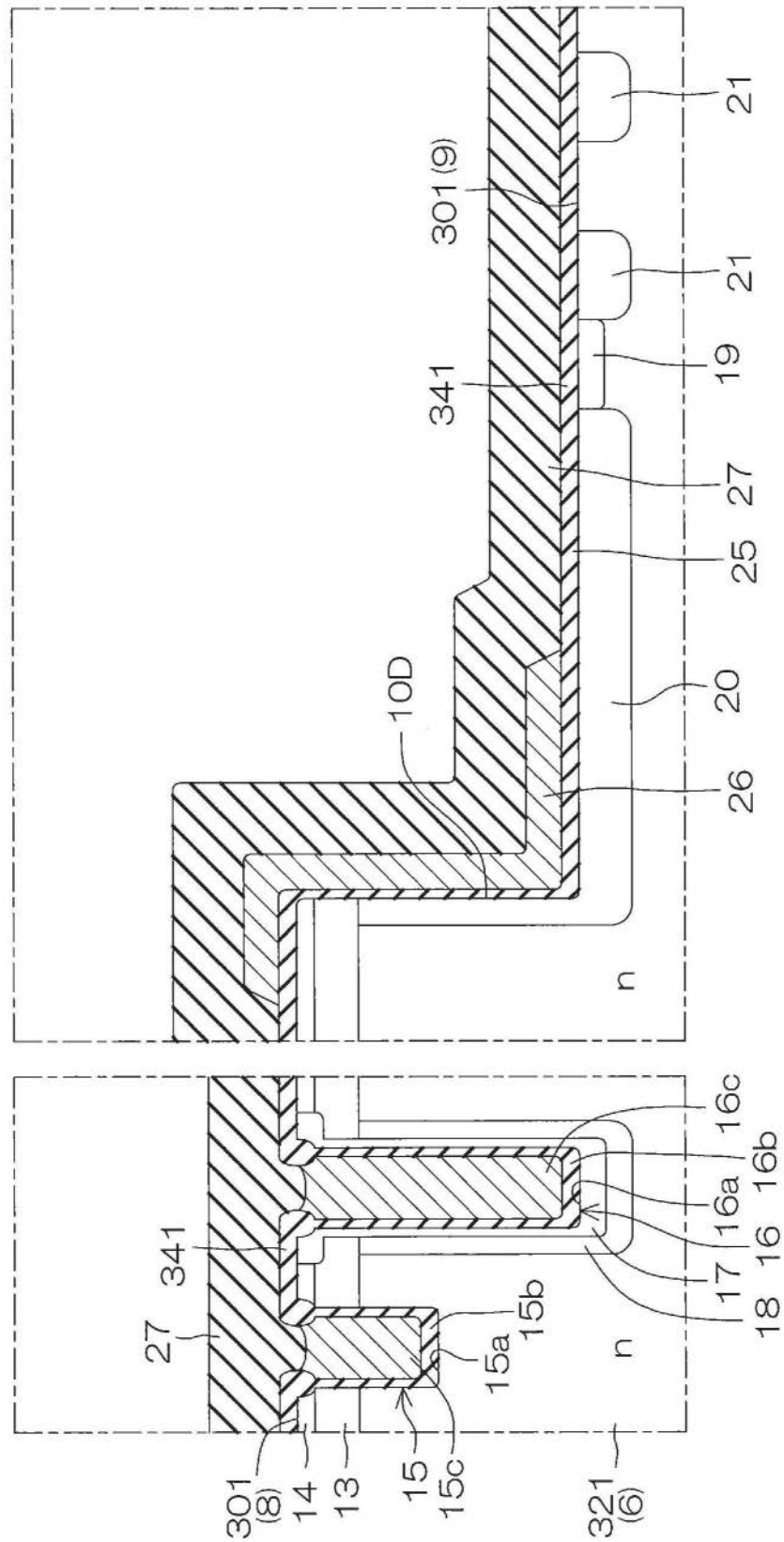


图12J

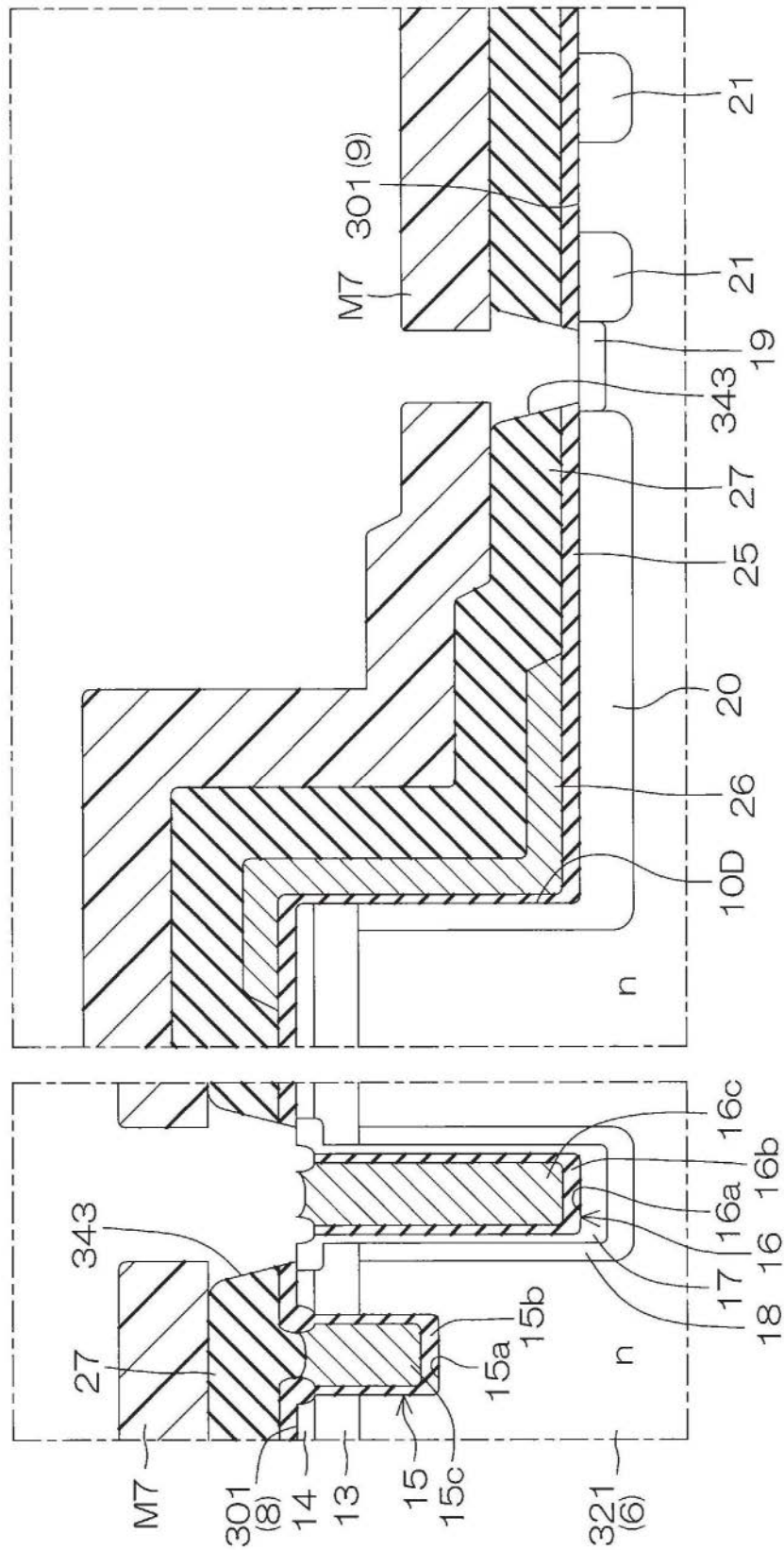


图12K

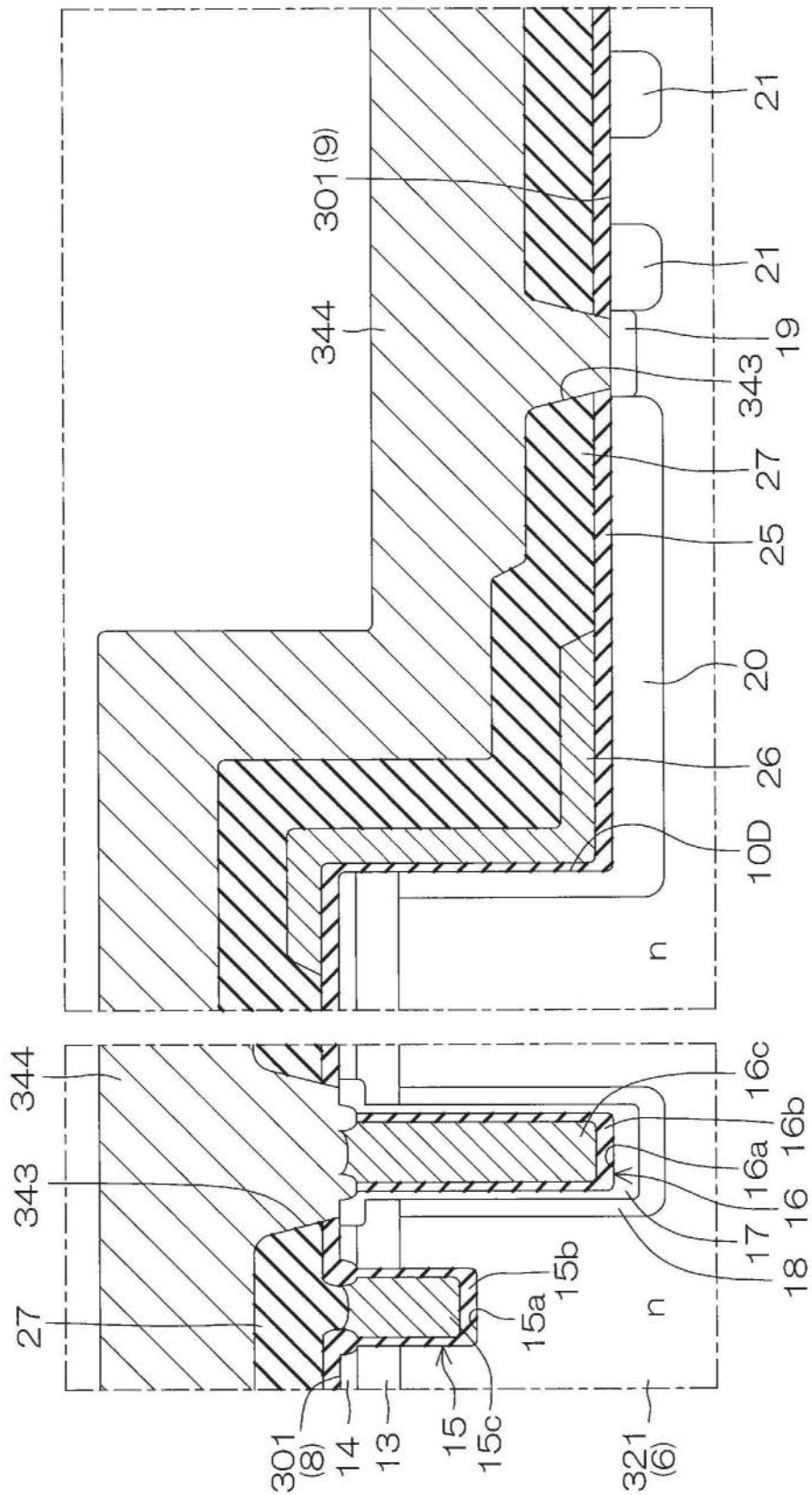


图12L

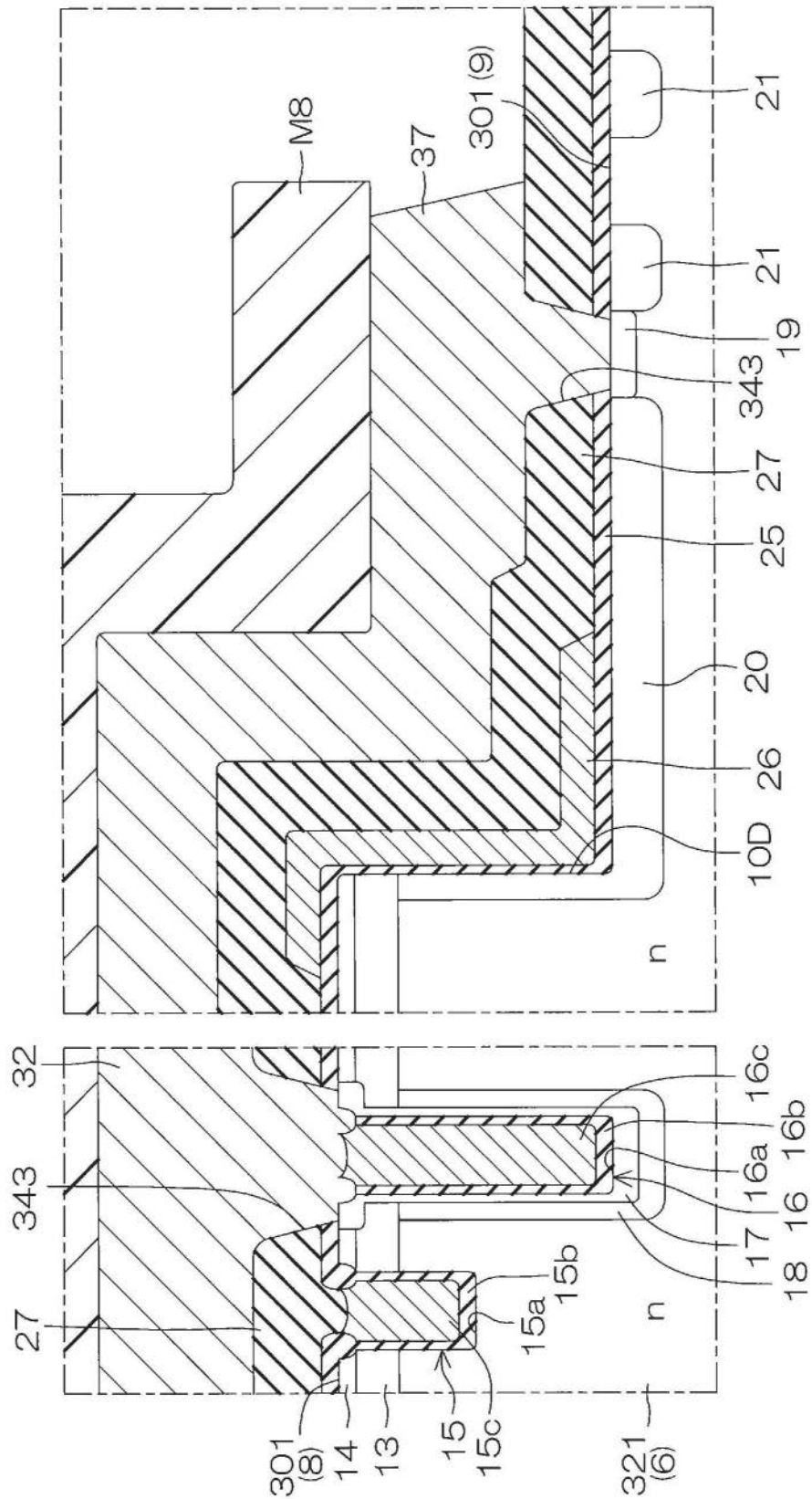


图12M

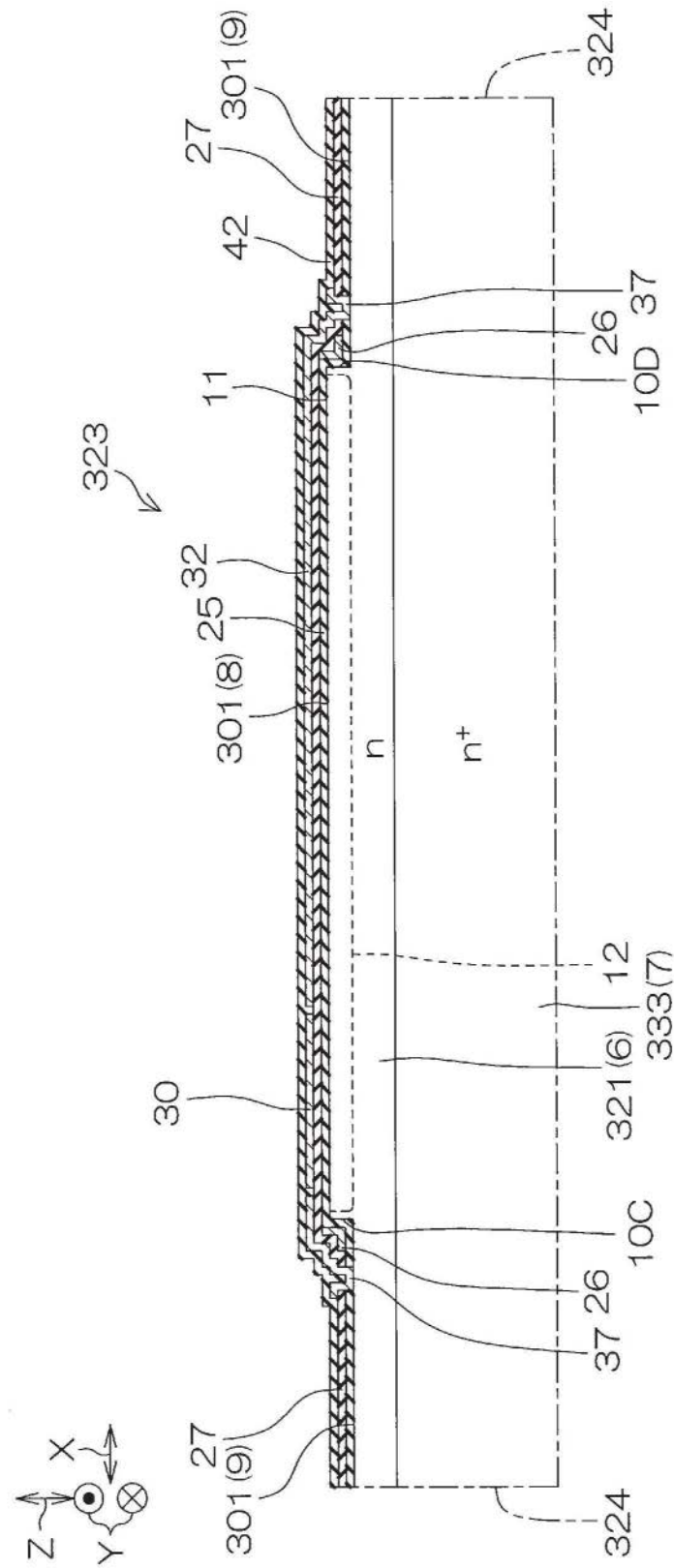


图13A

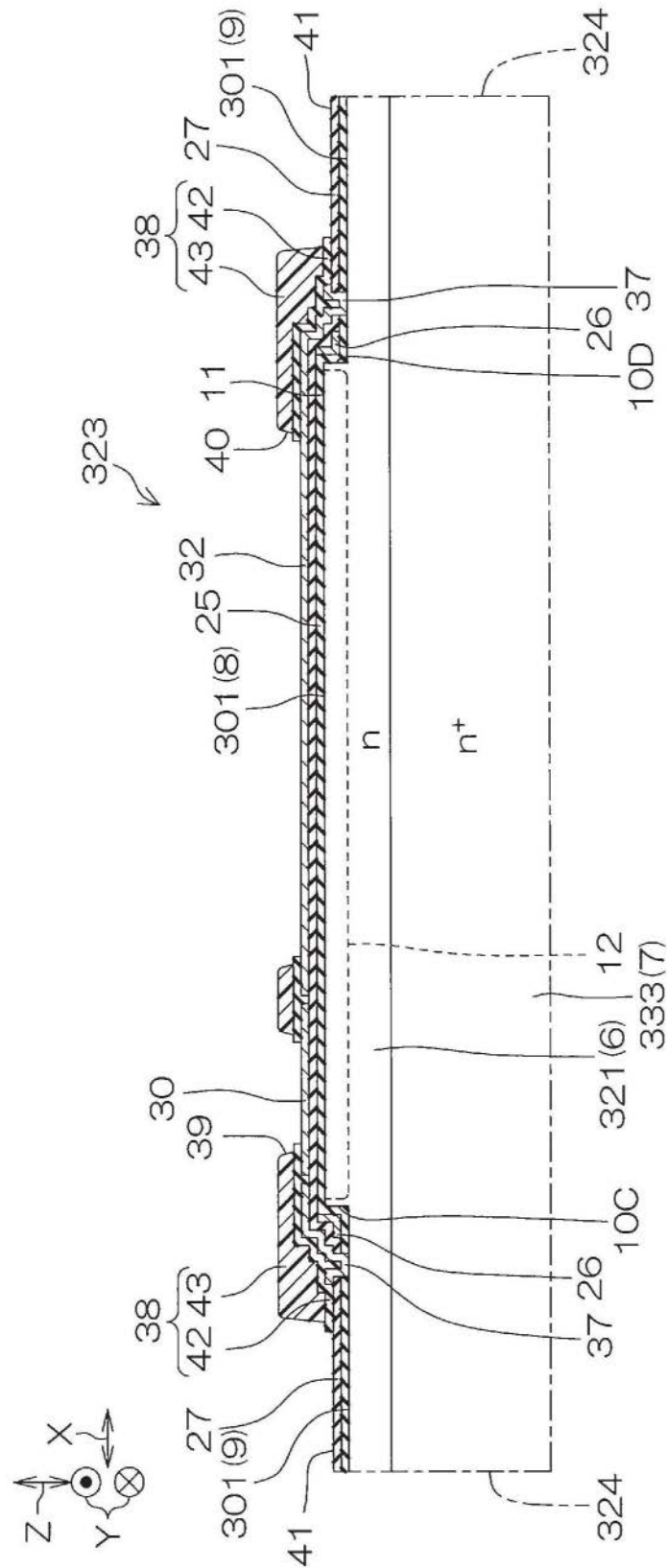


图13C

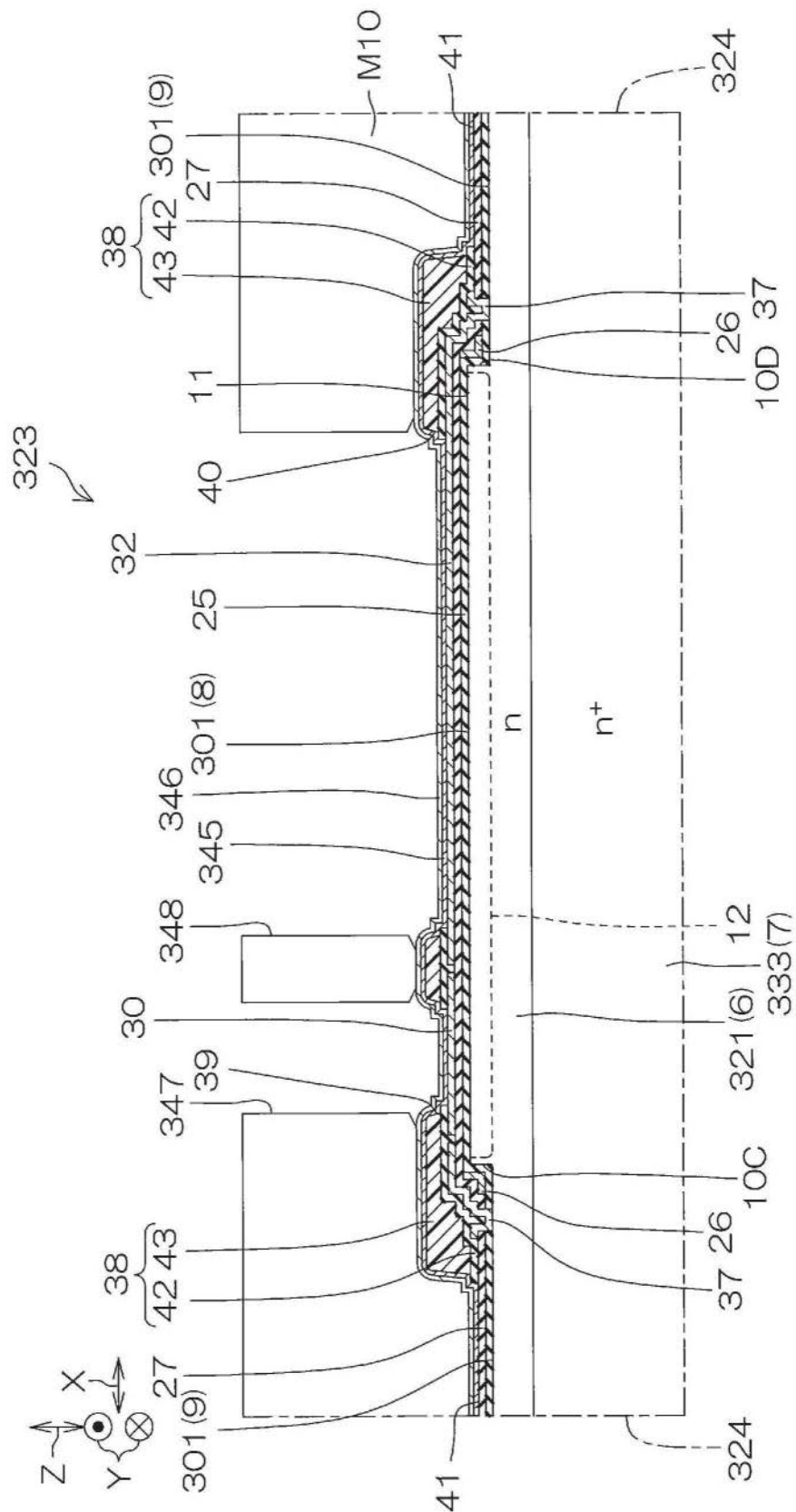


图13E

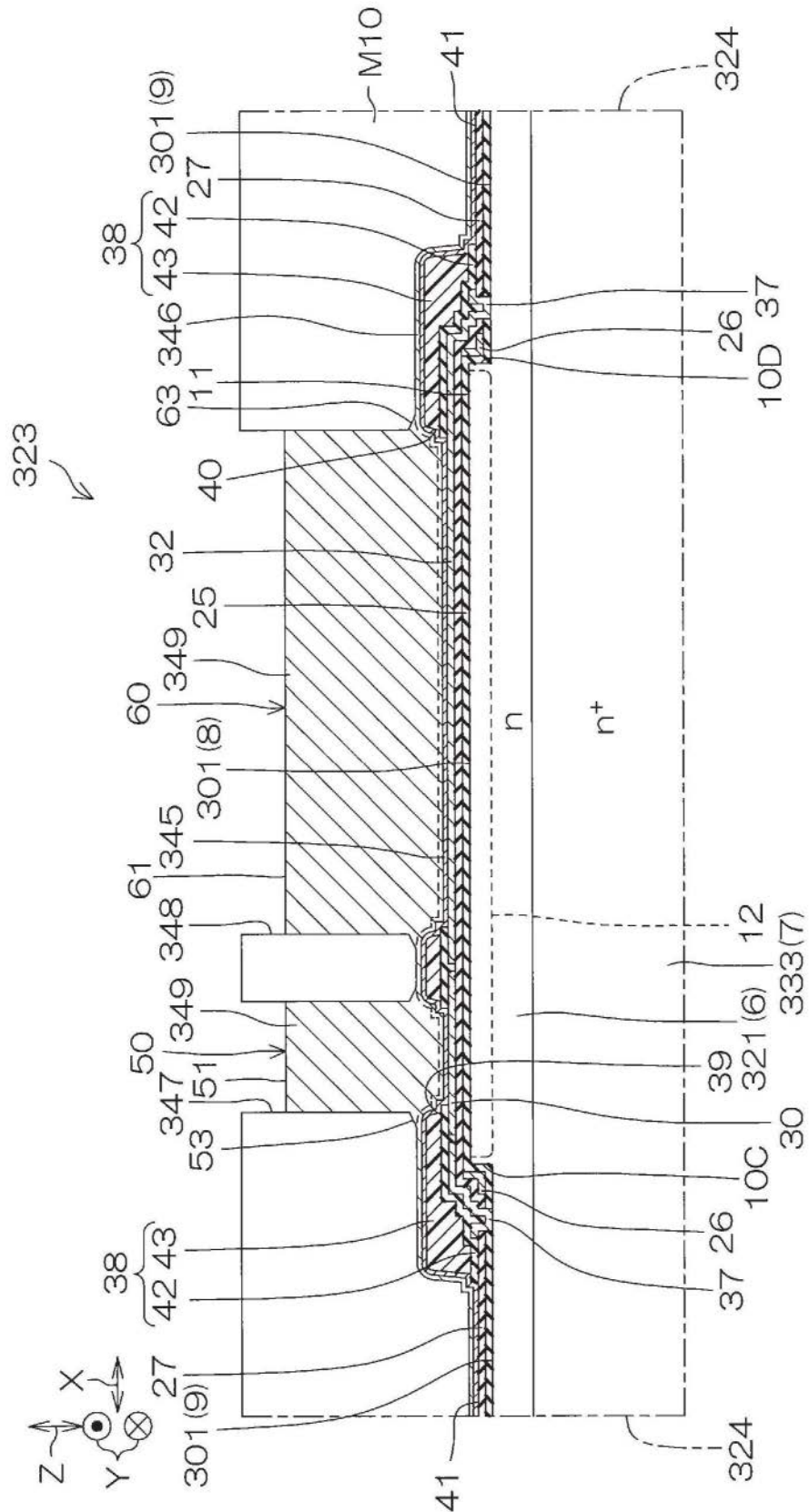


图13F

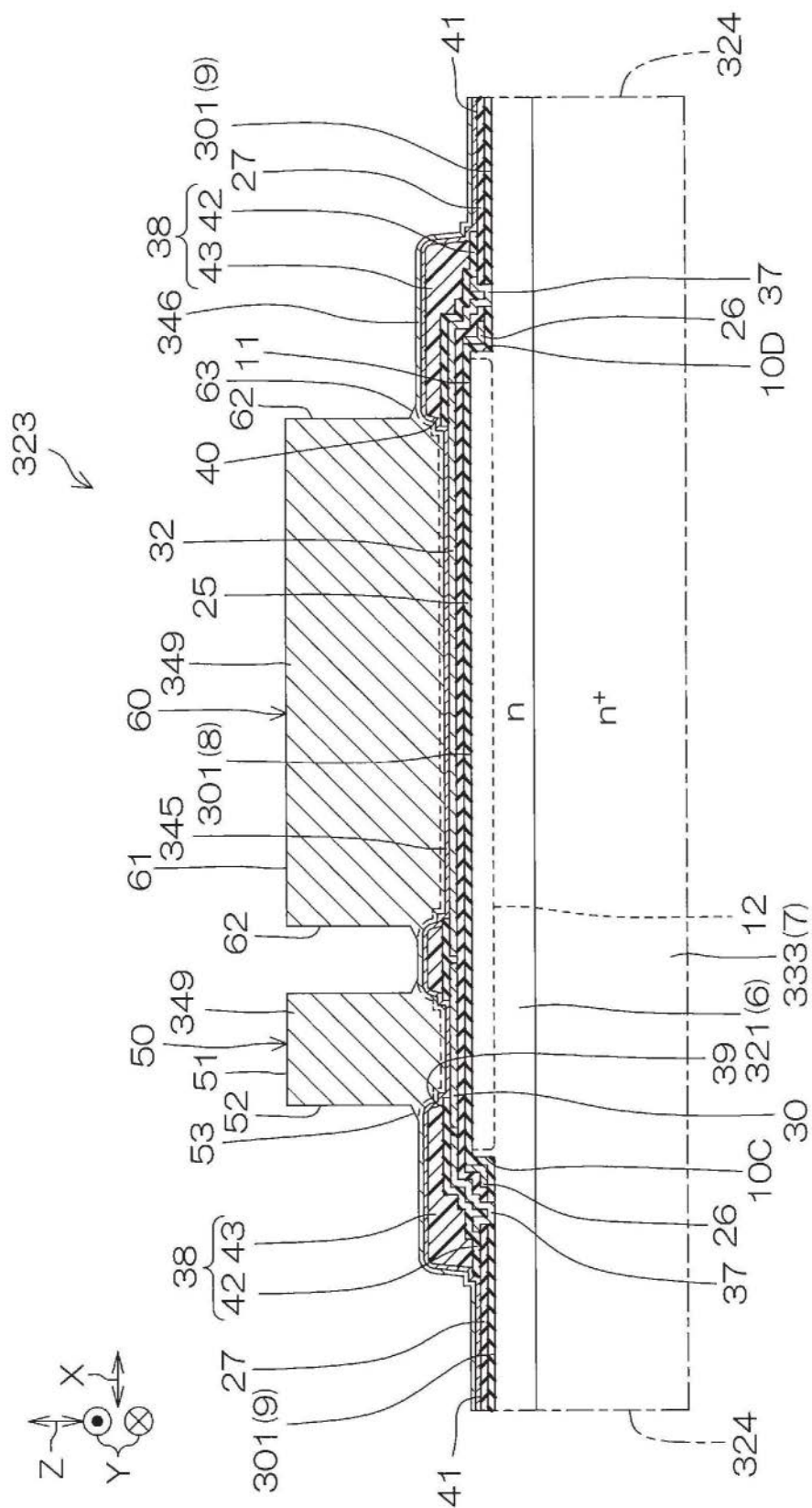


图13G

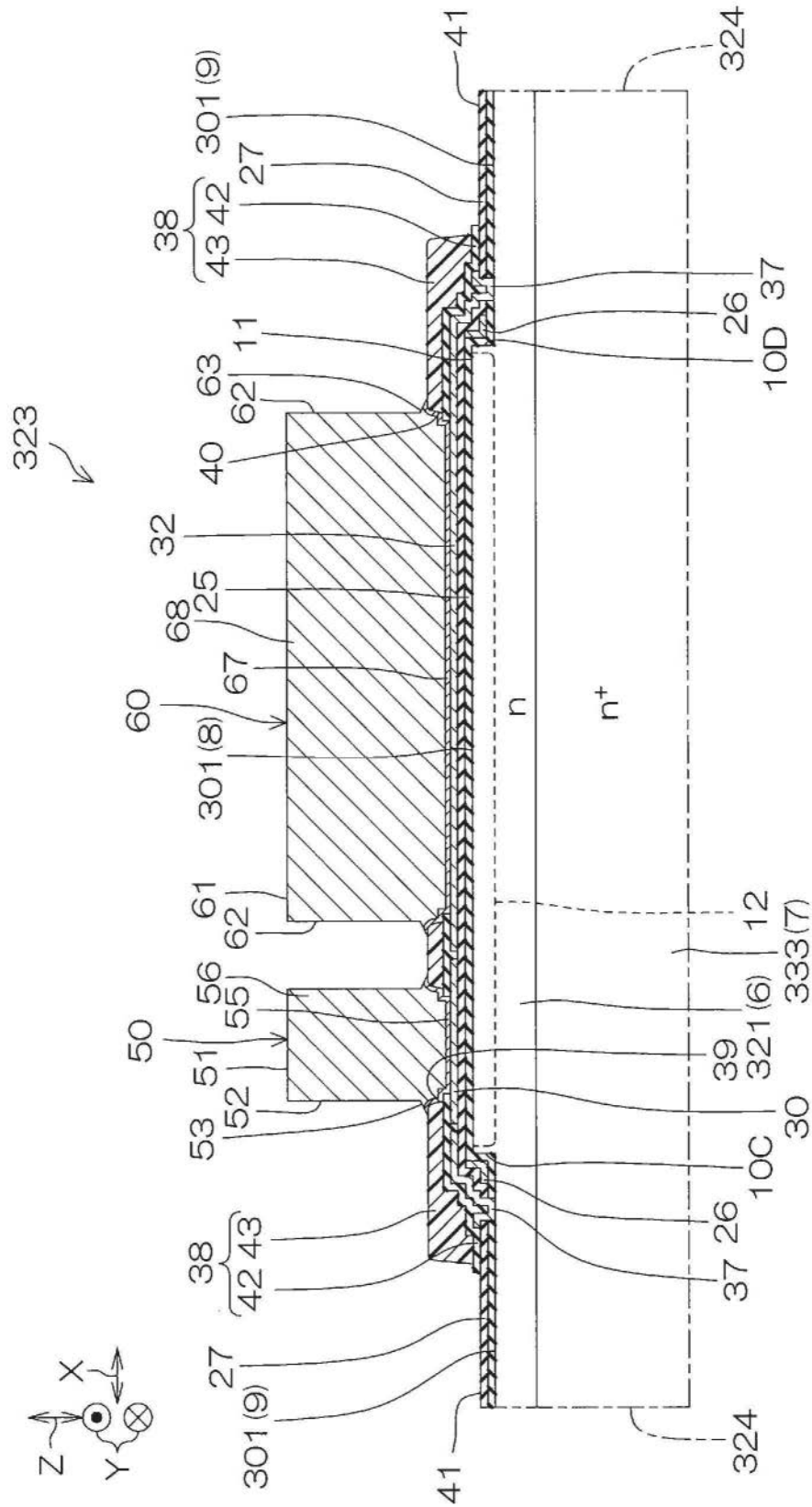


图13H

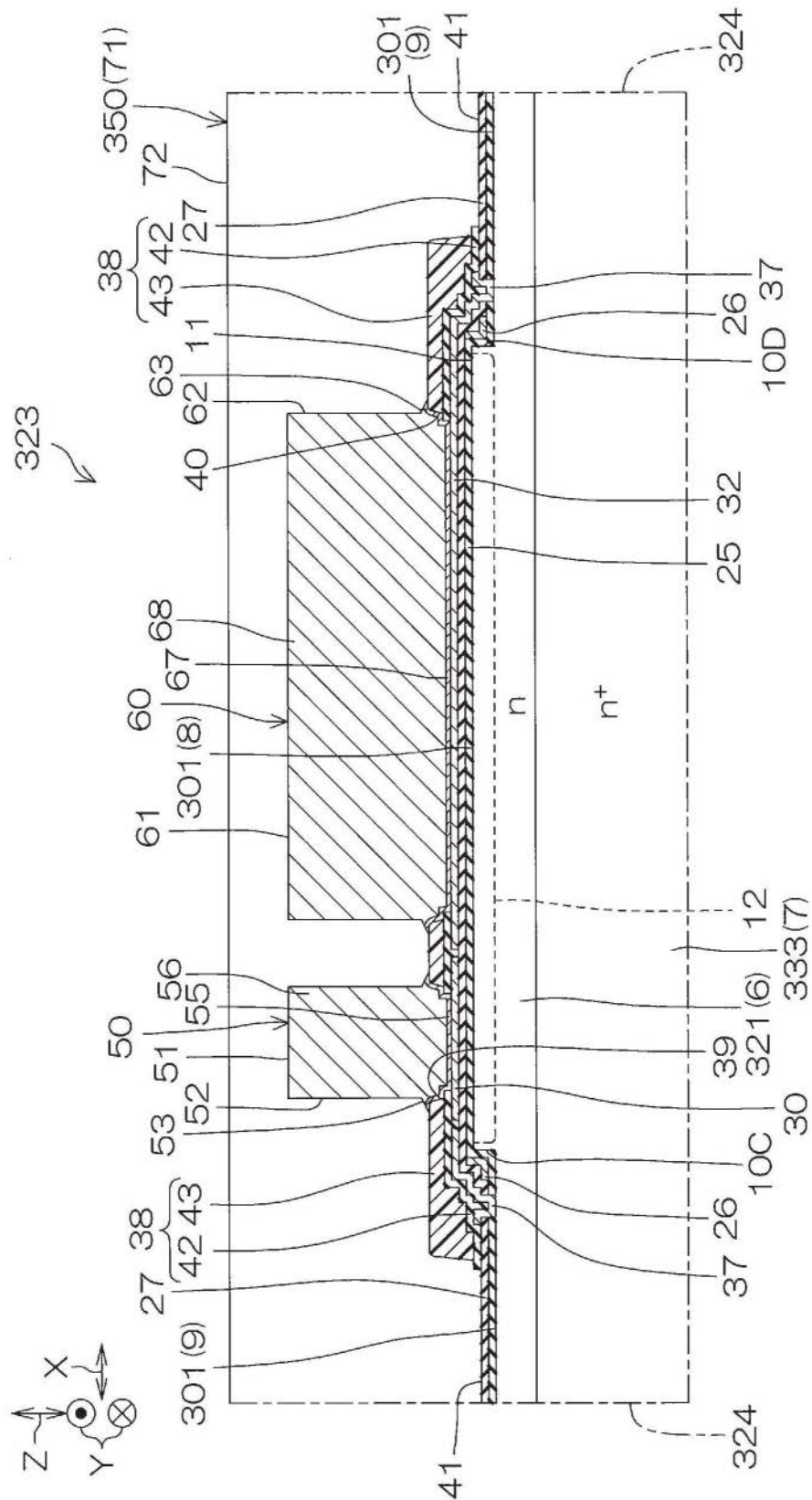


图13I

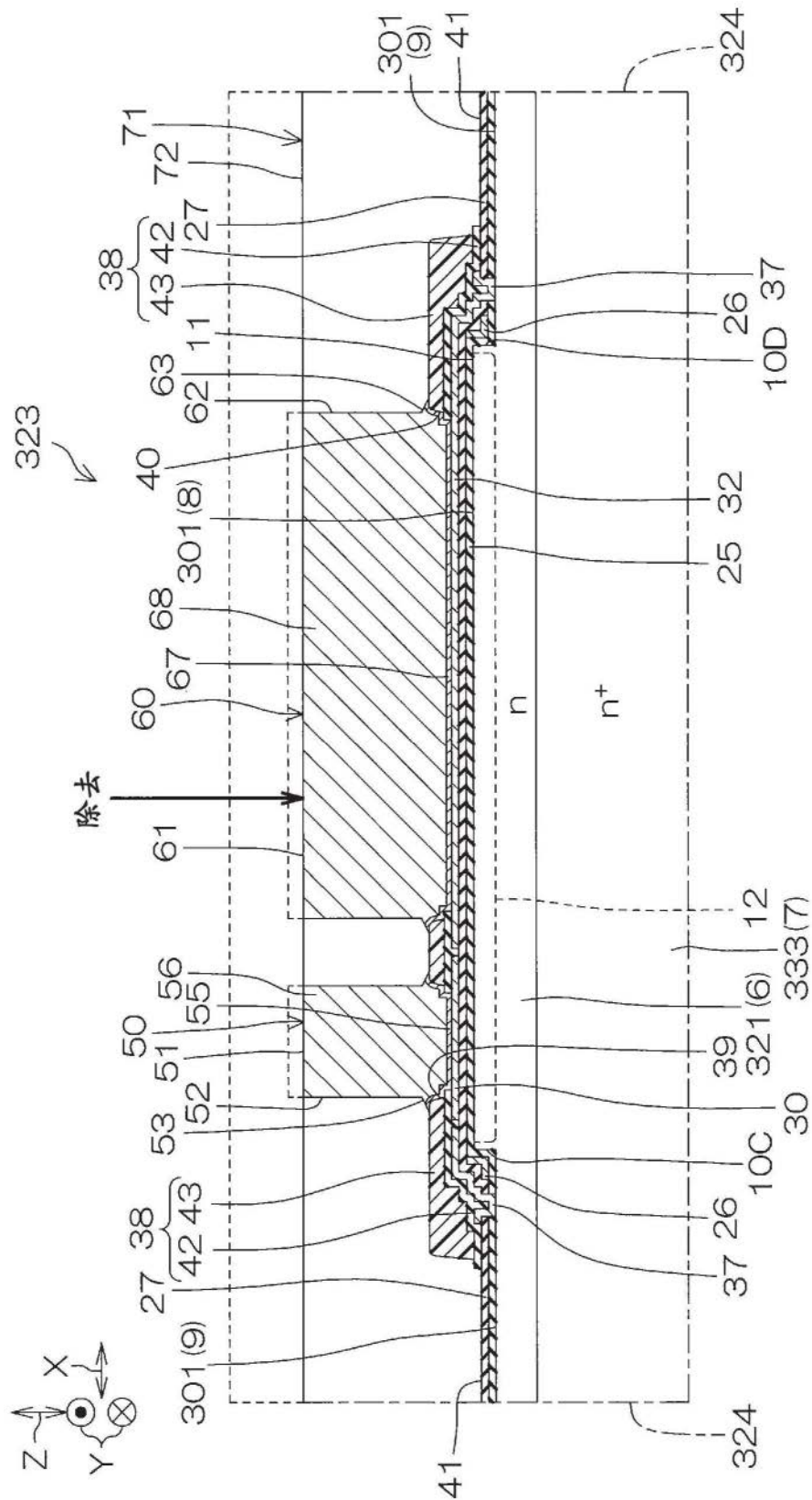


图13J

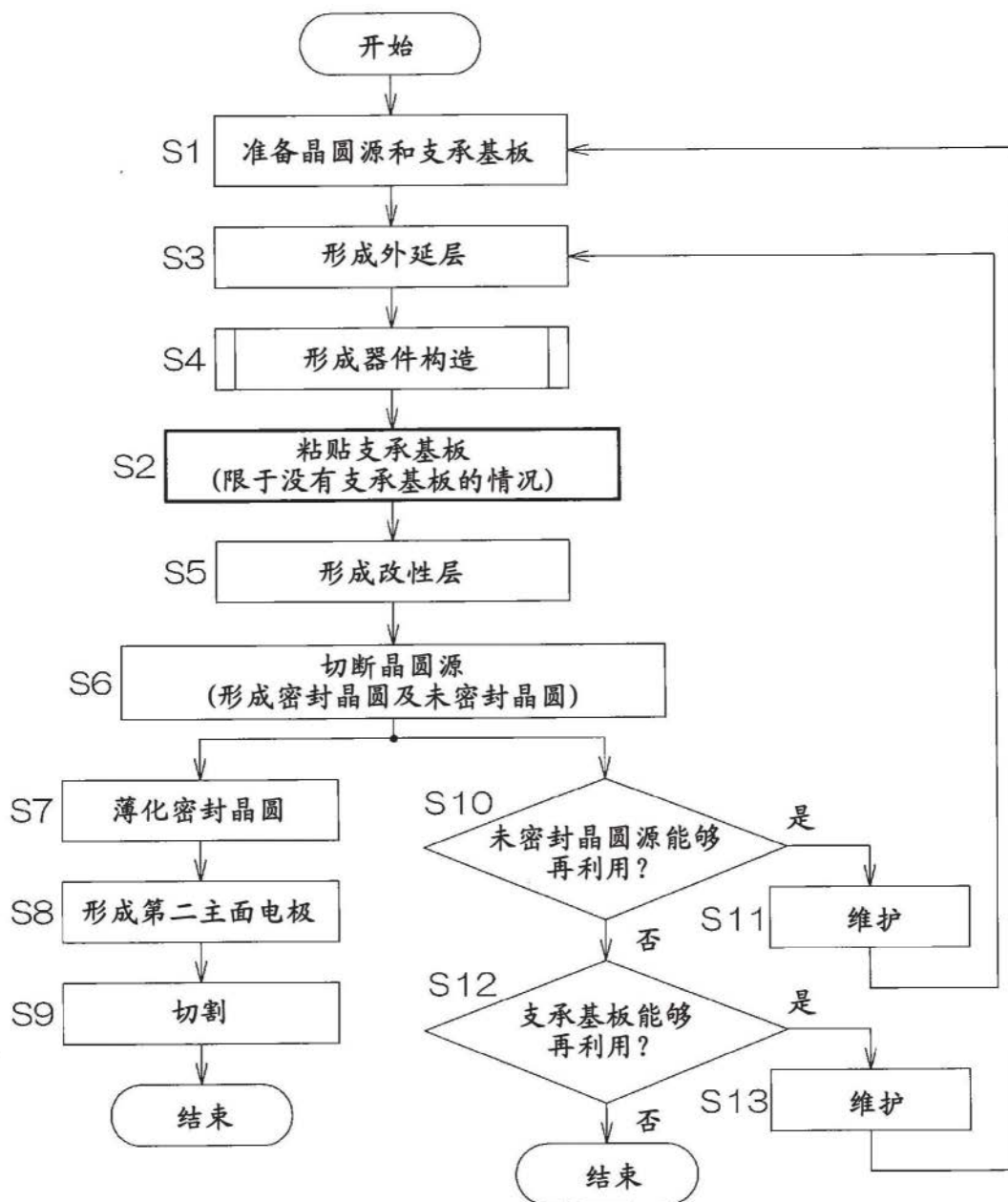


图14

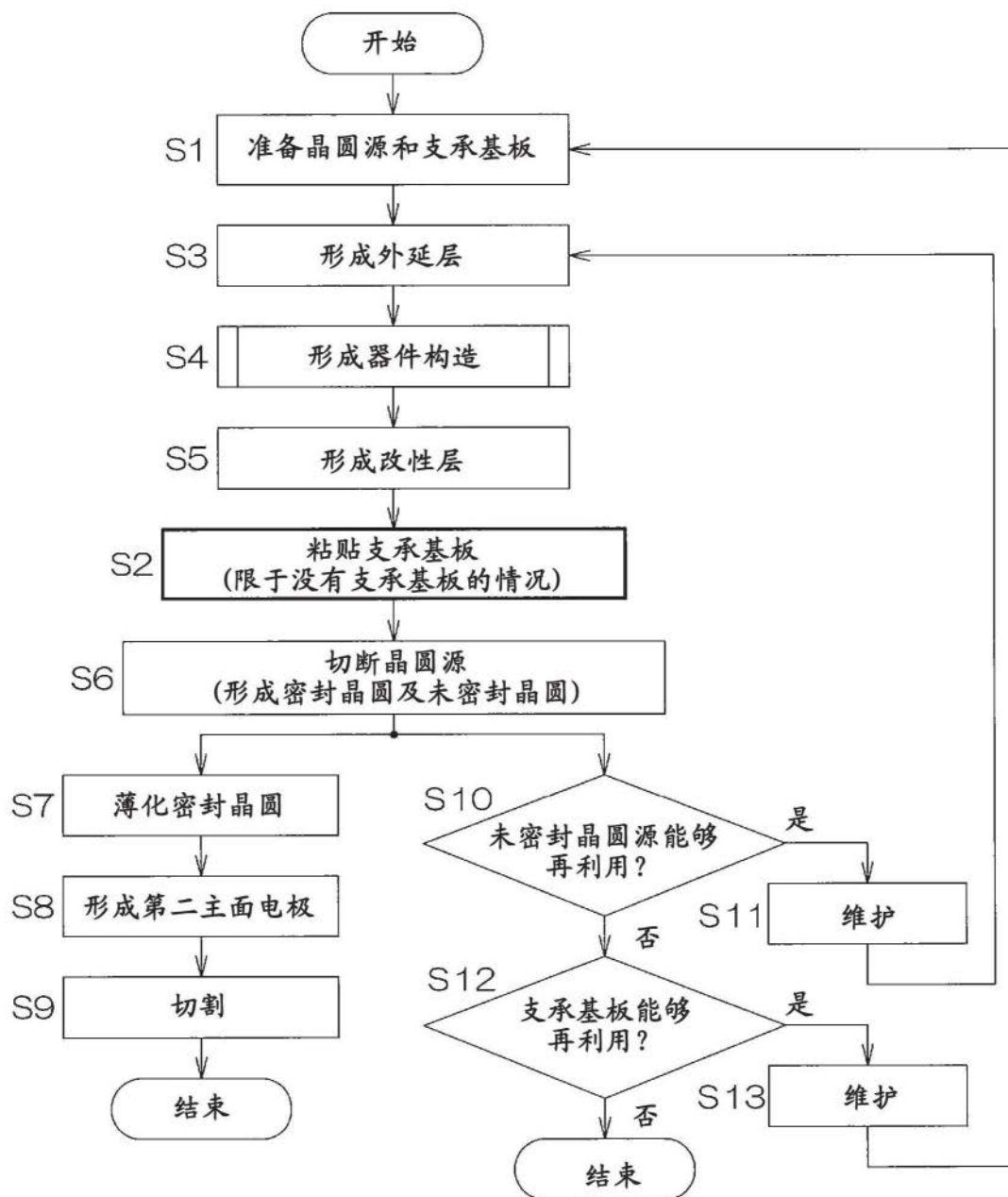


图15

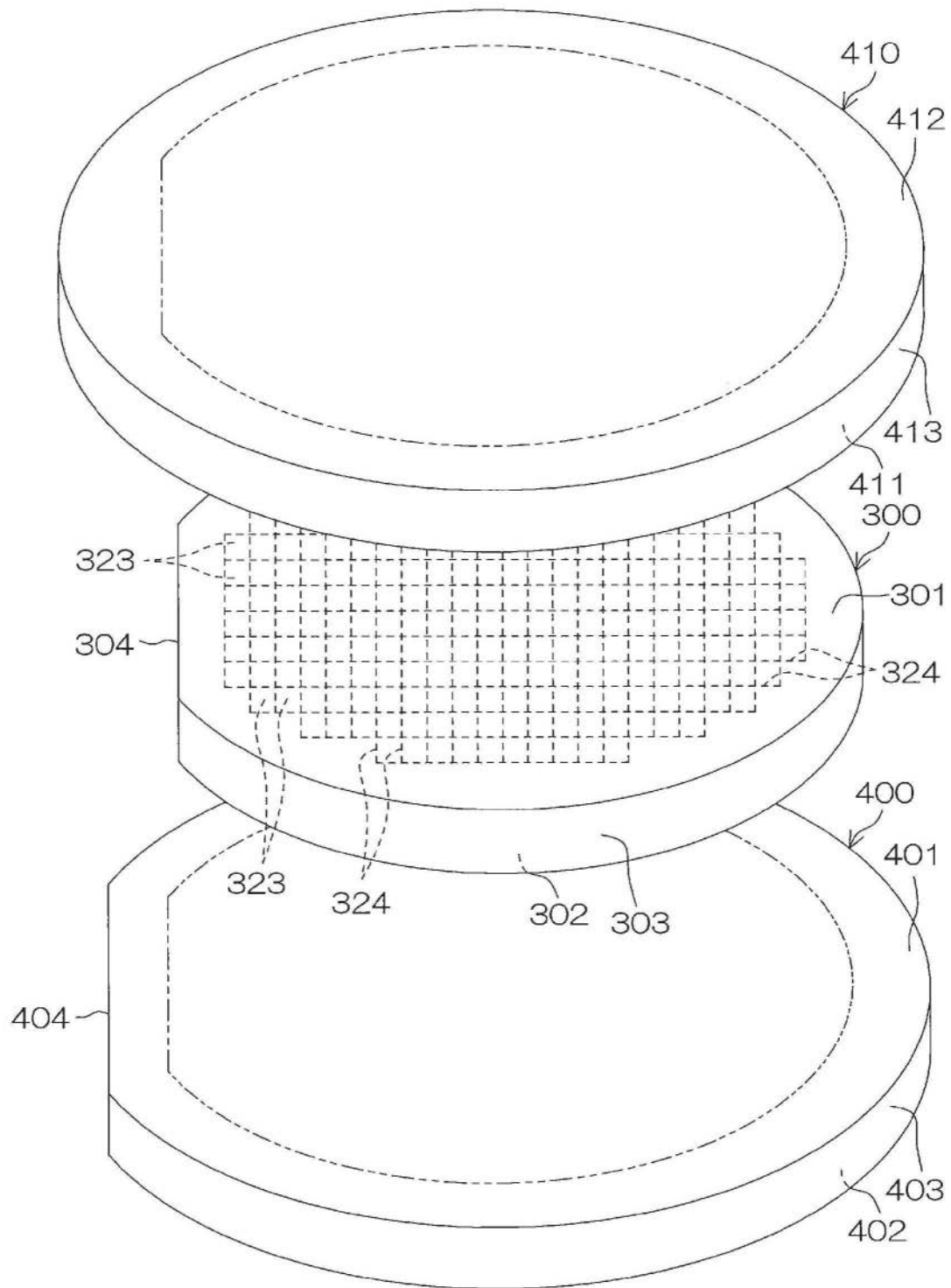


图16

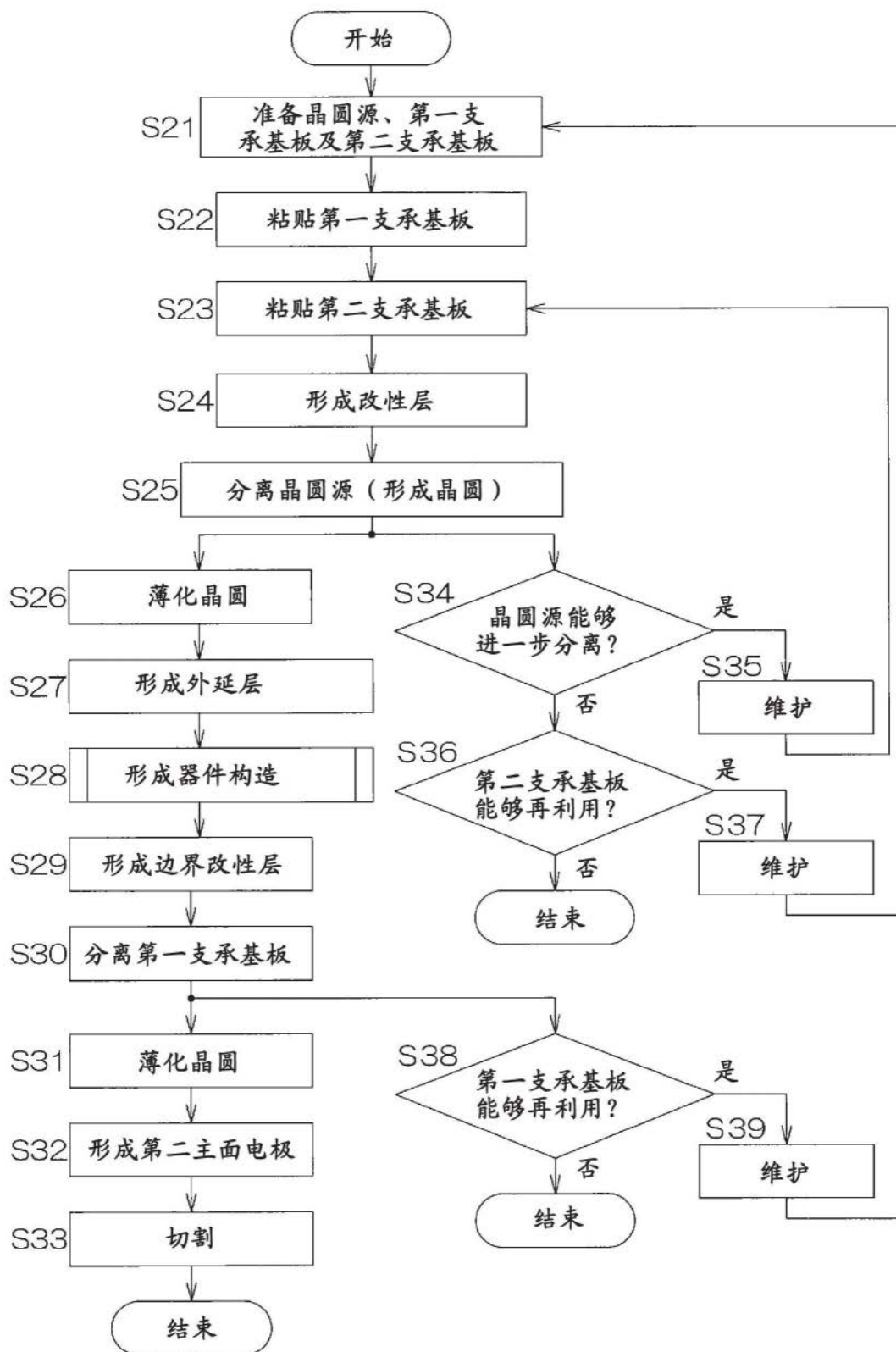


图17

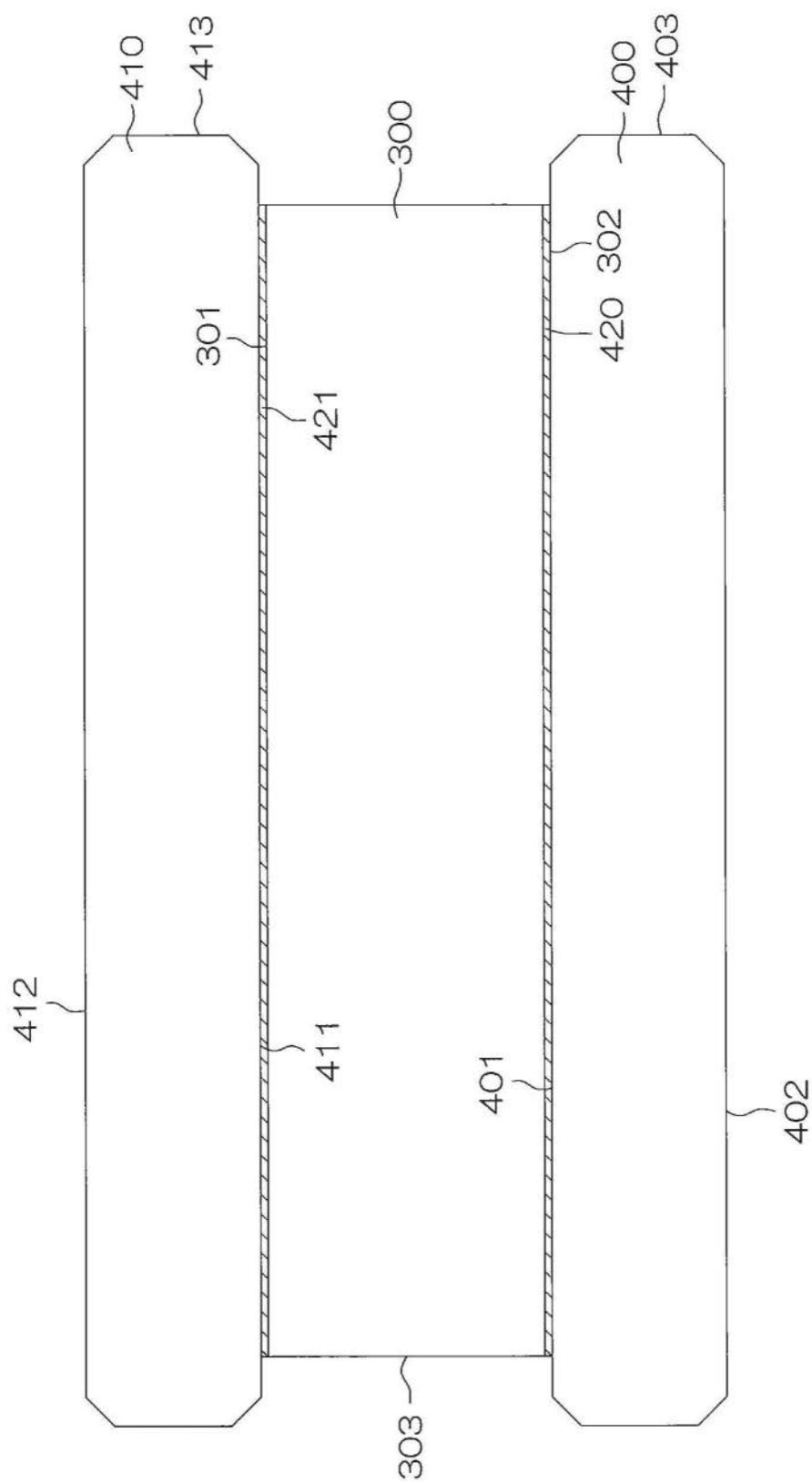


图18A

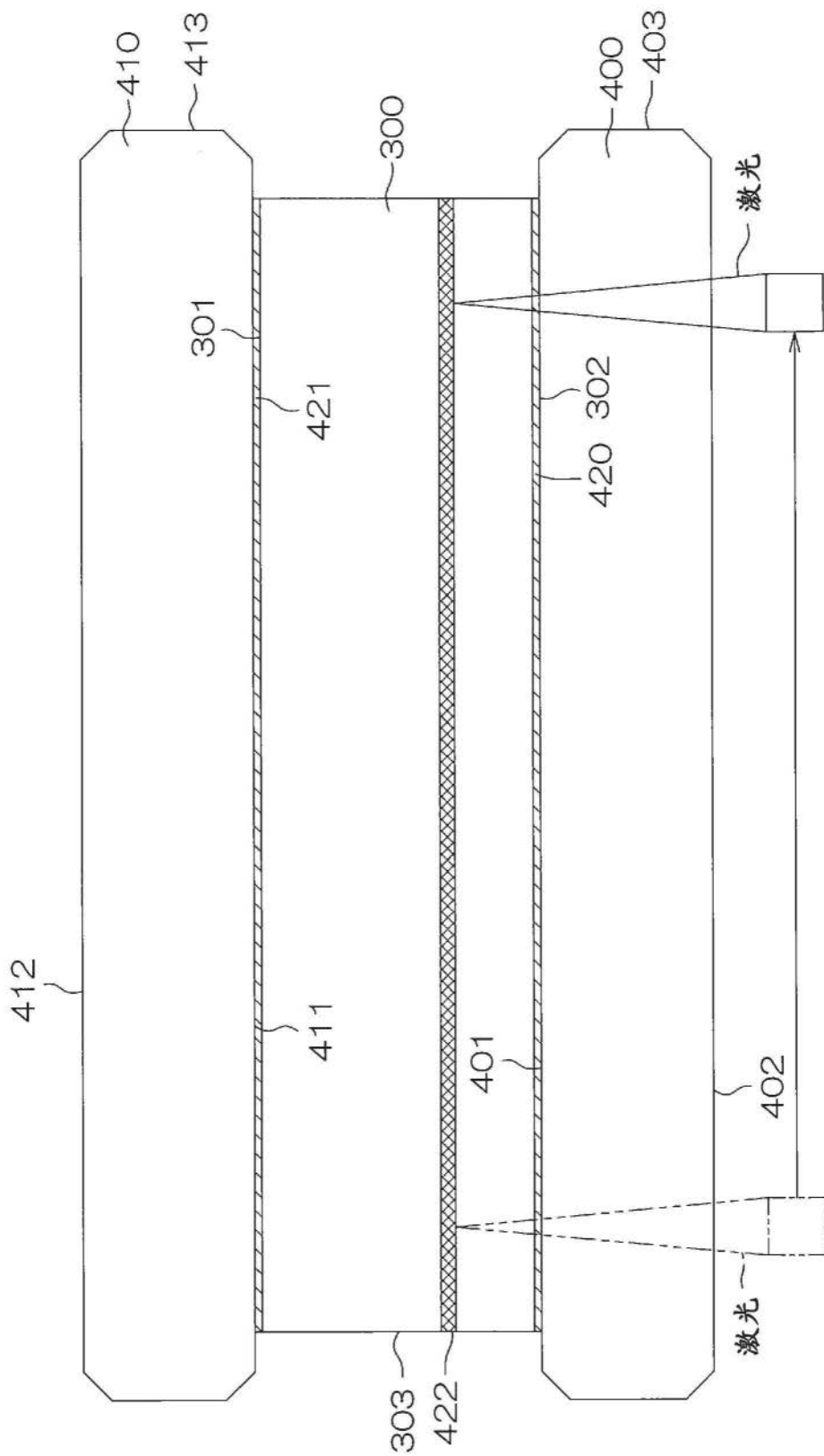


图18B

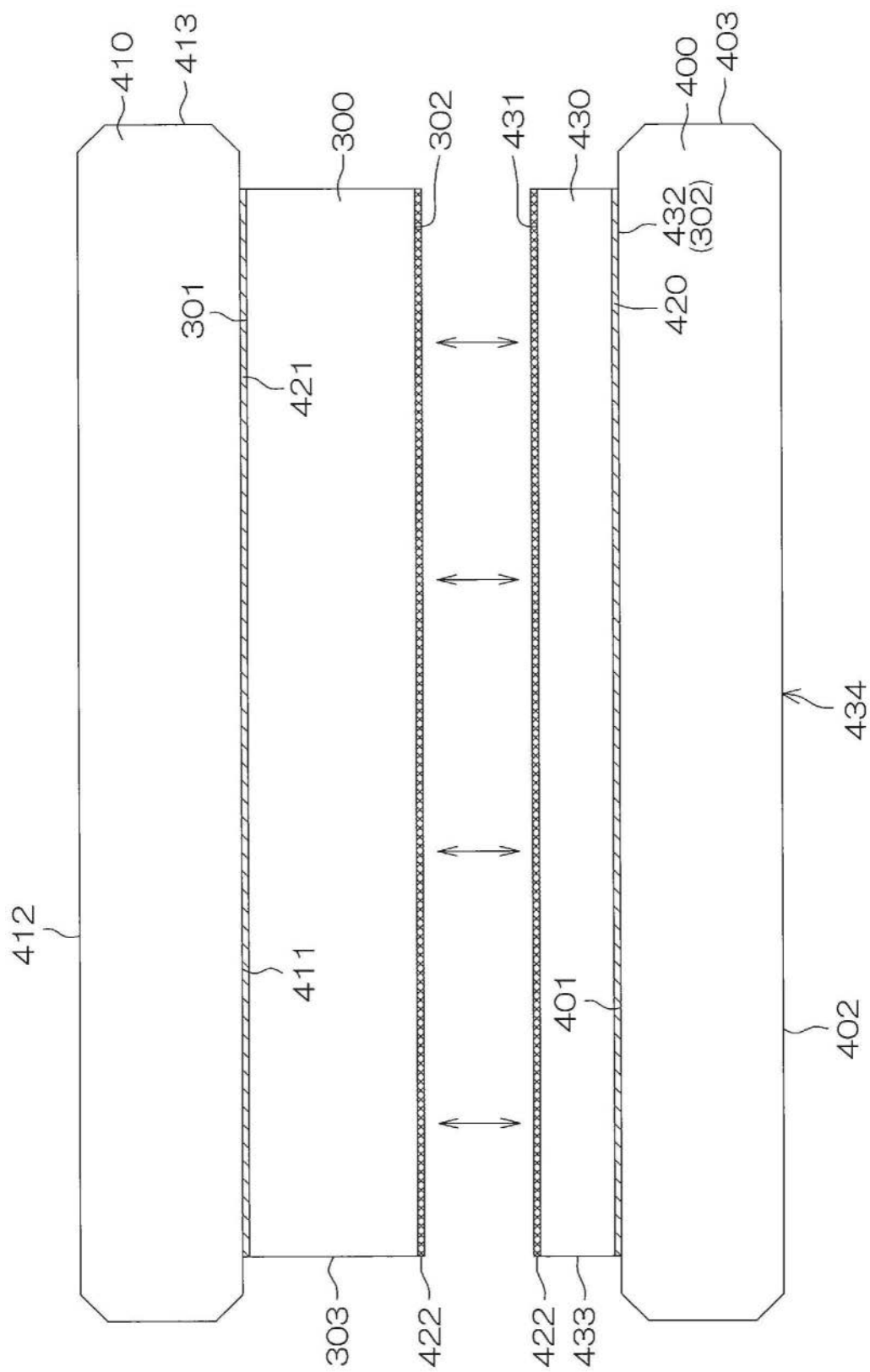


图18C

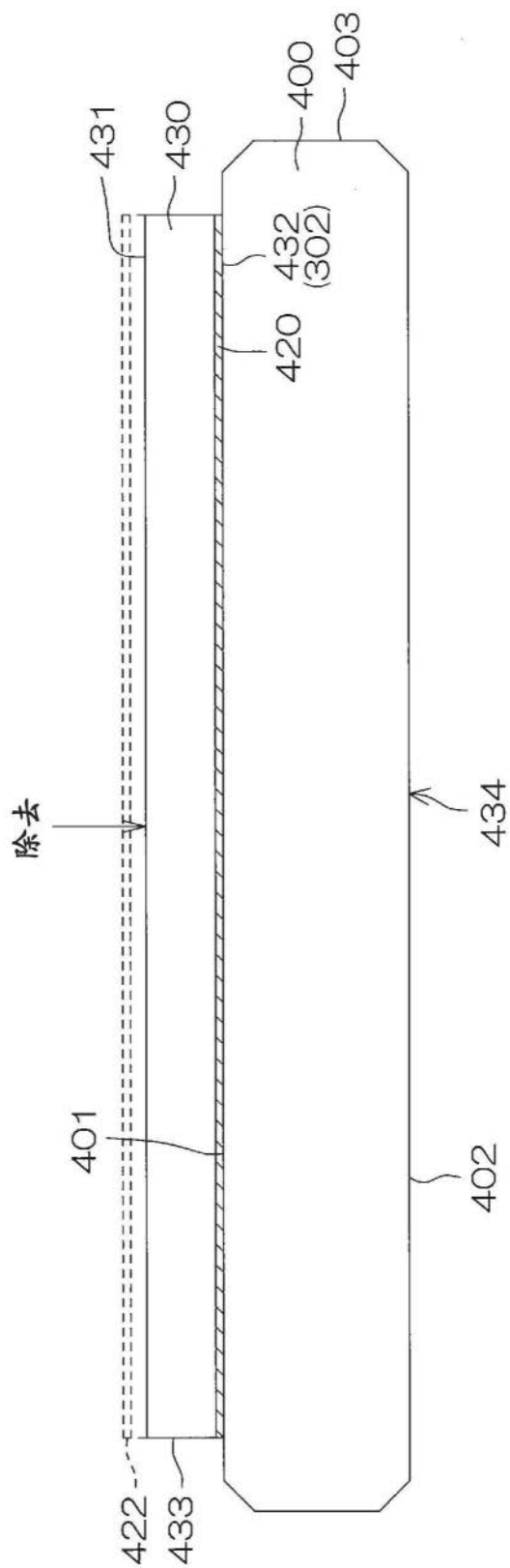


图18D

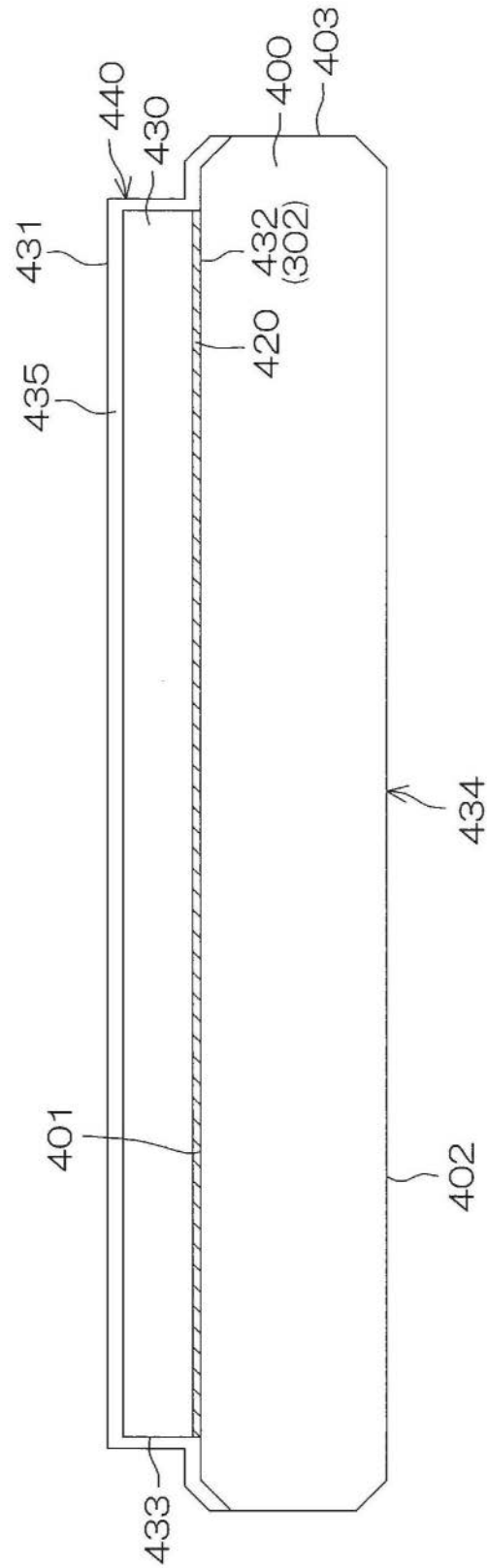


图18E

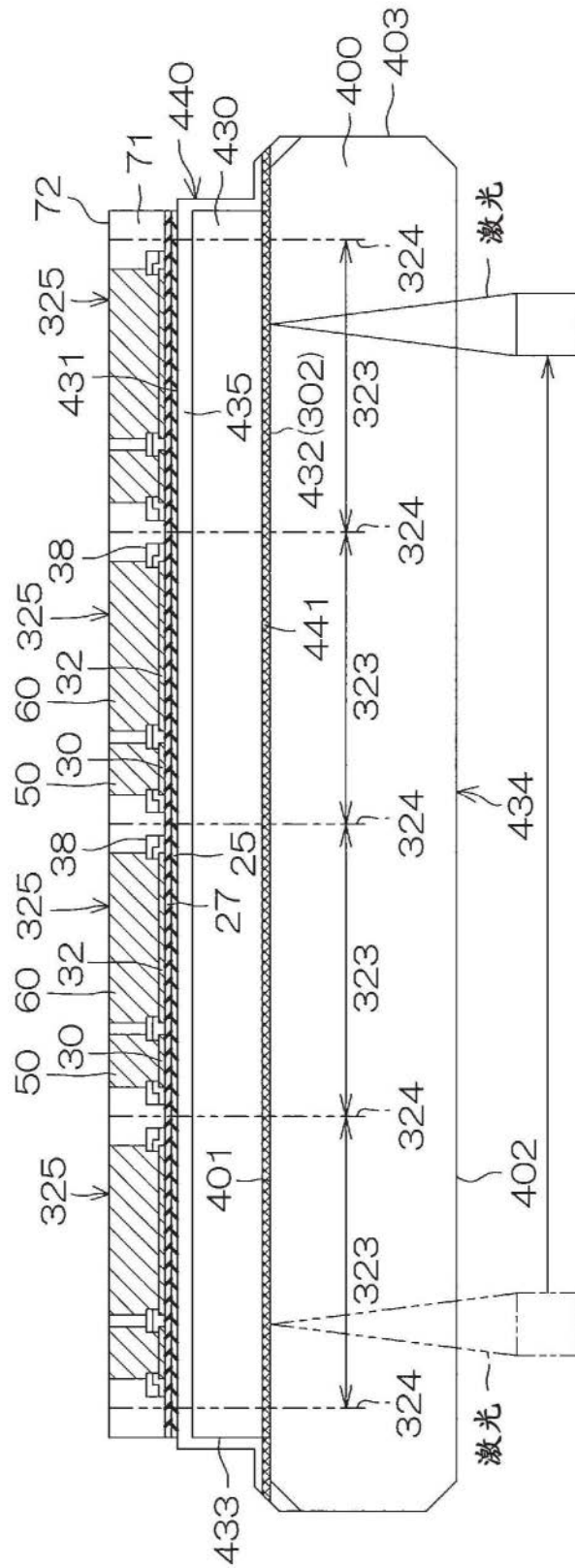


图18G

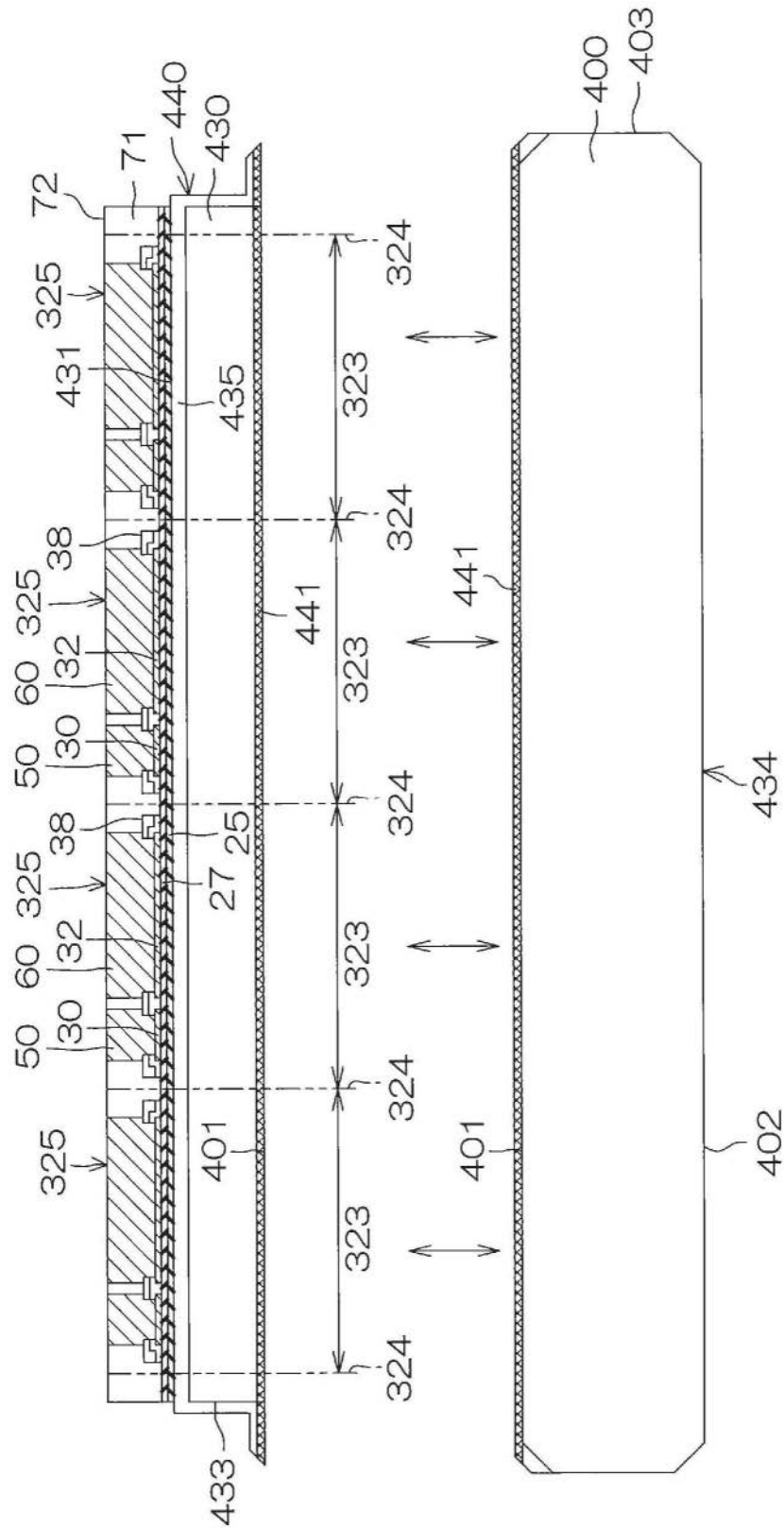


图18H

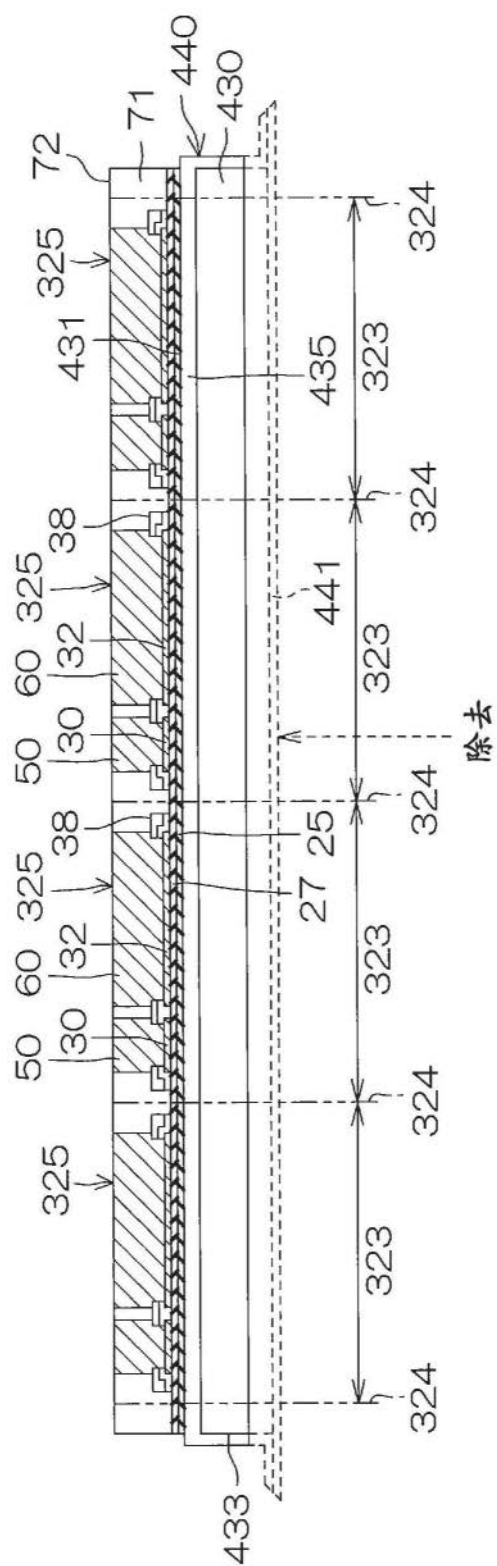


图18I

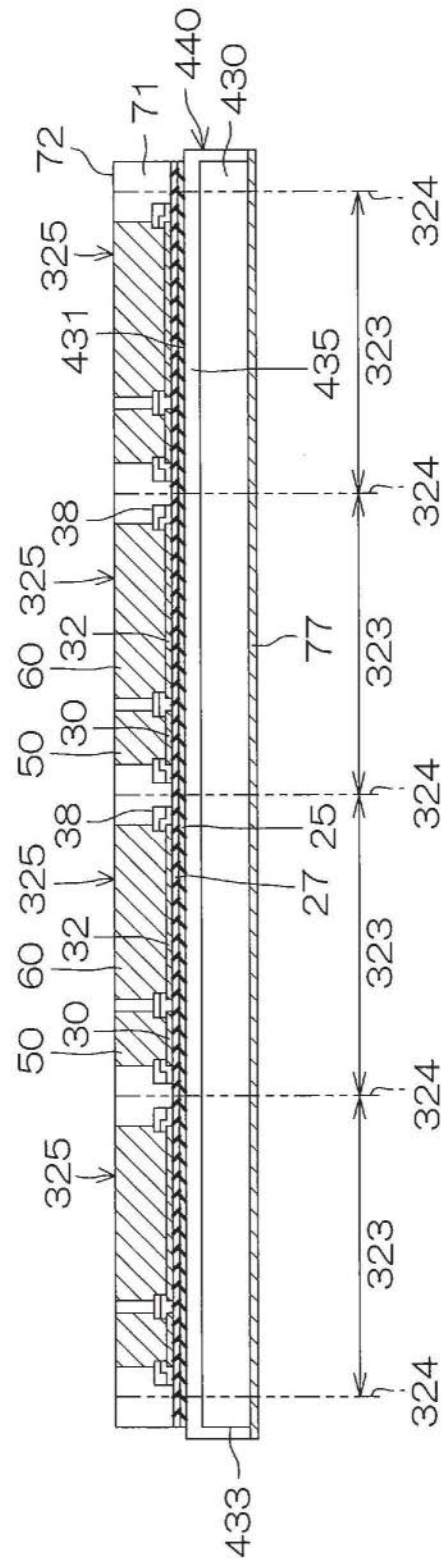


图18J

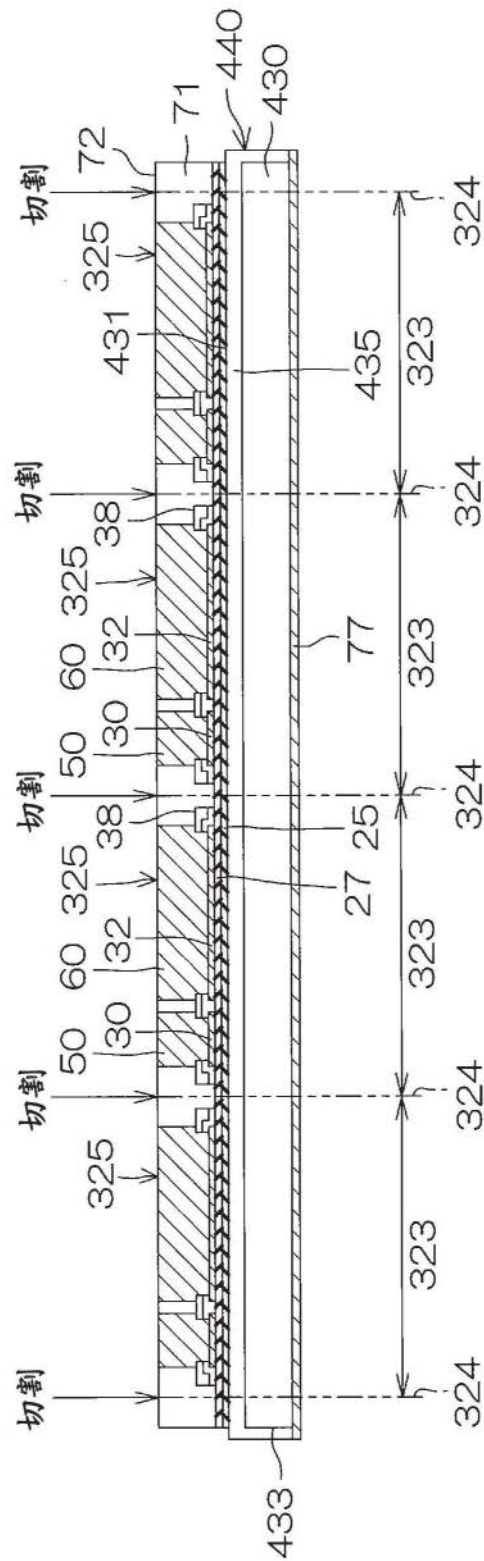


图18K

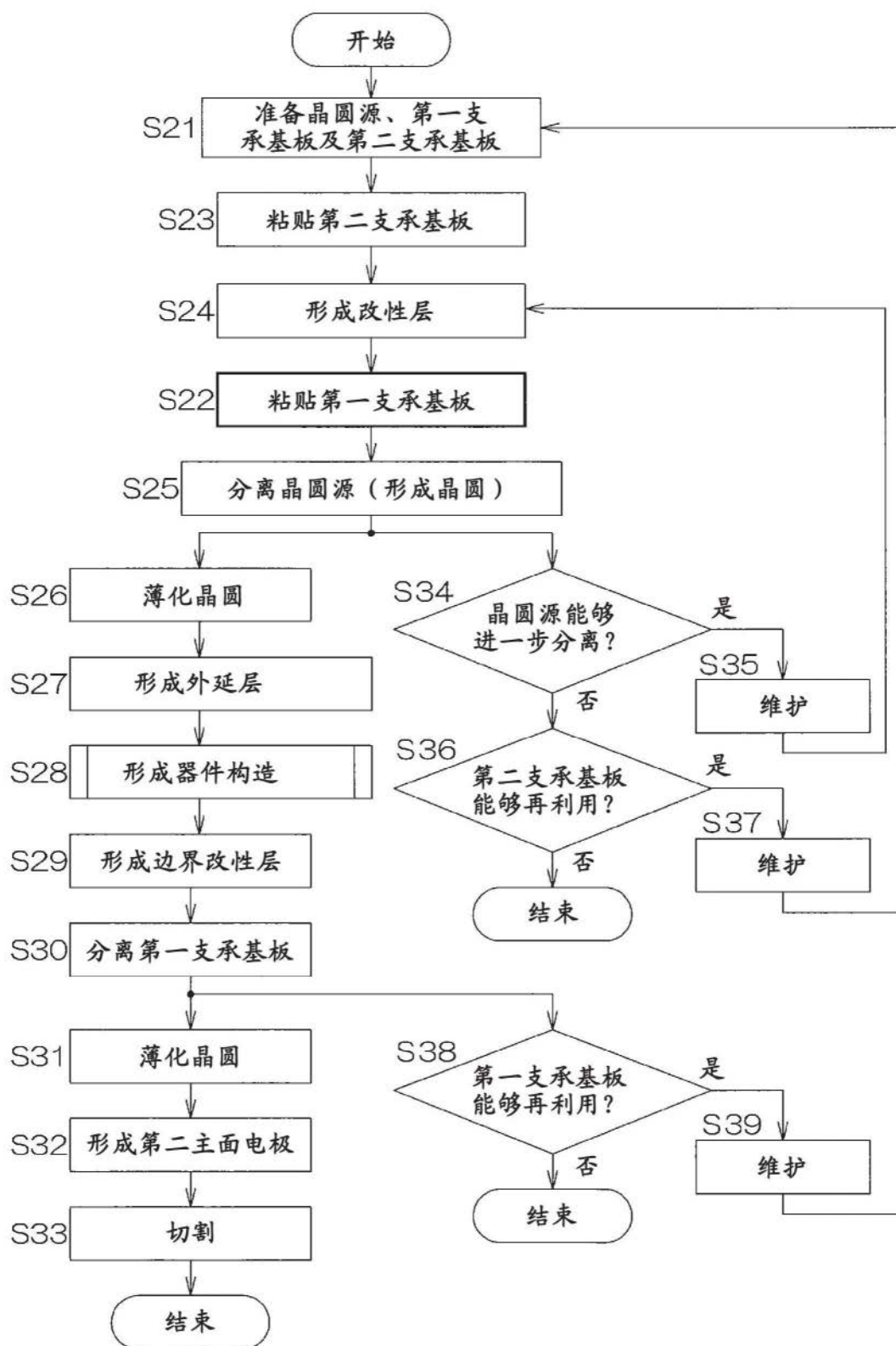


图19

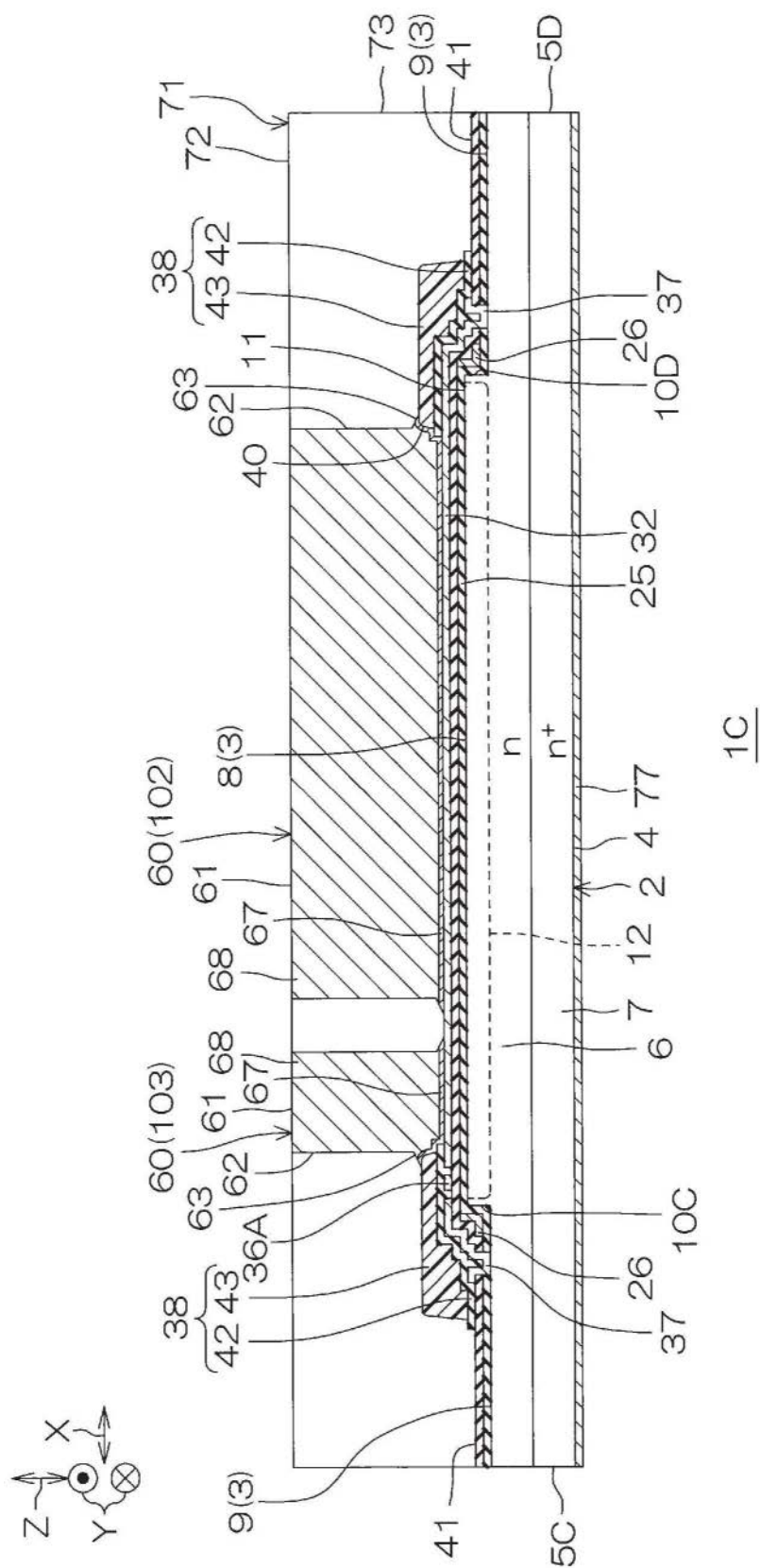


图22

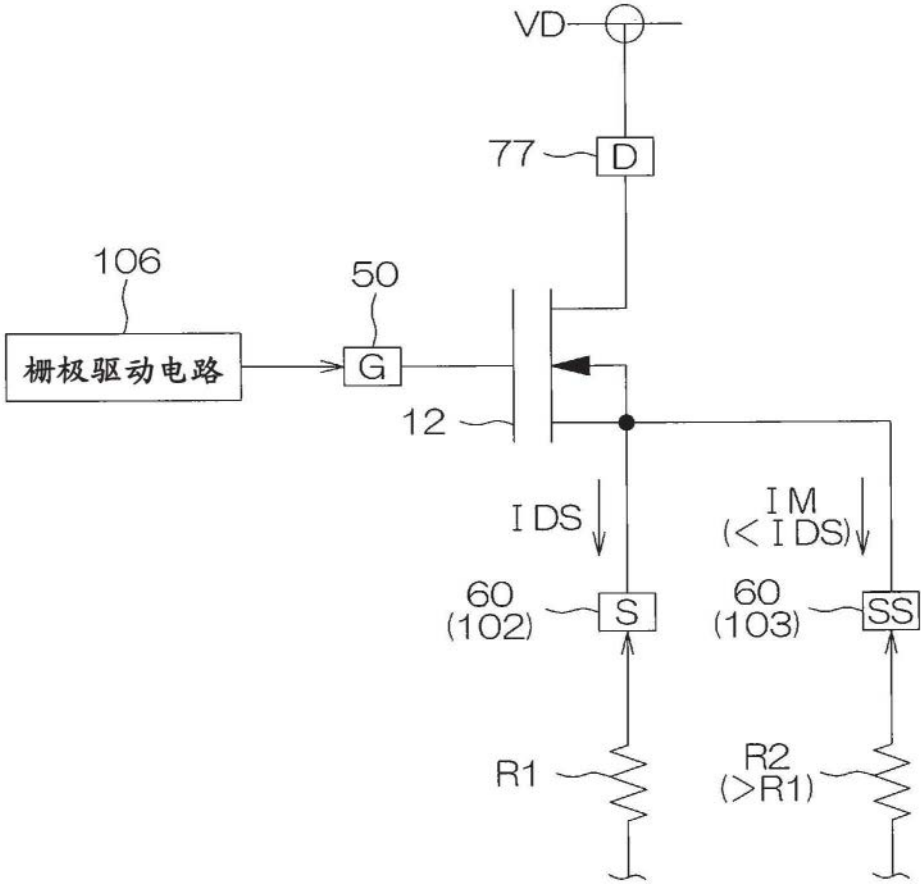


图23

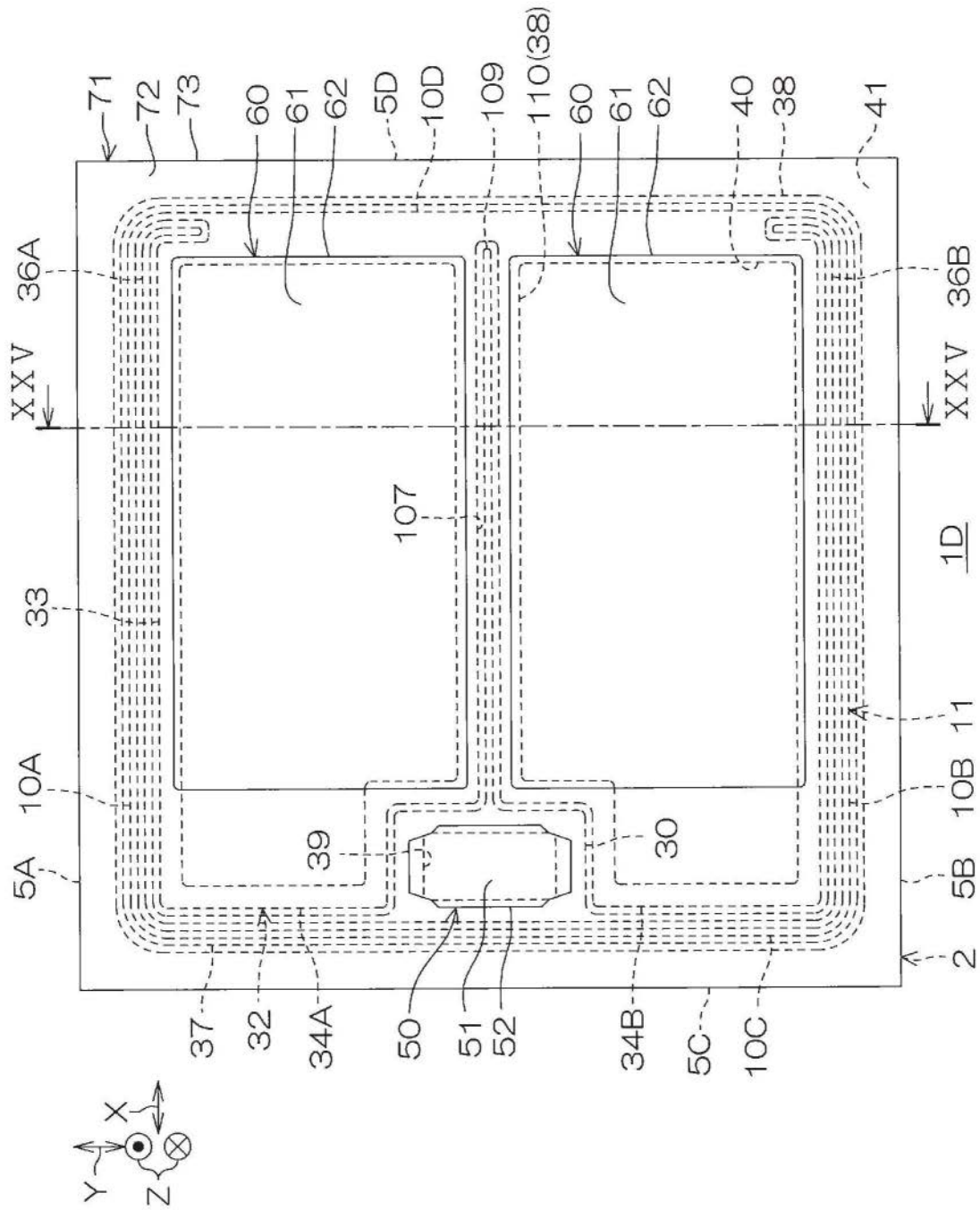


图24

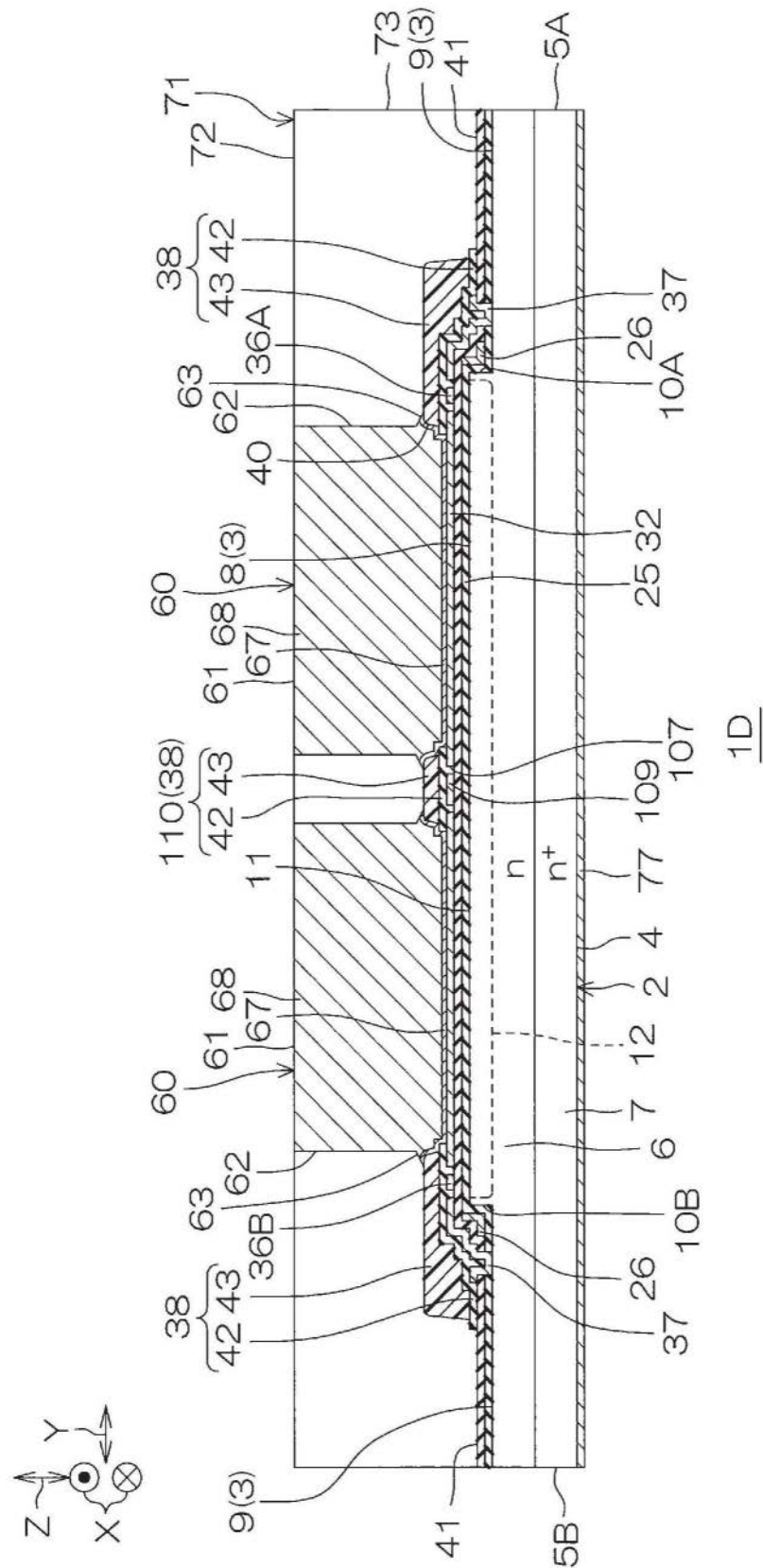


图25

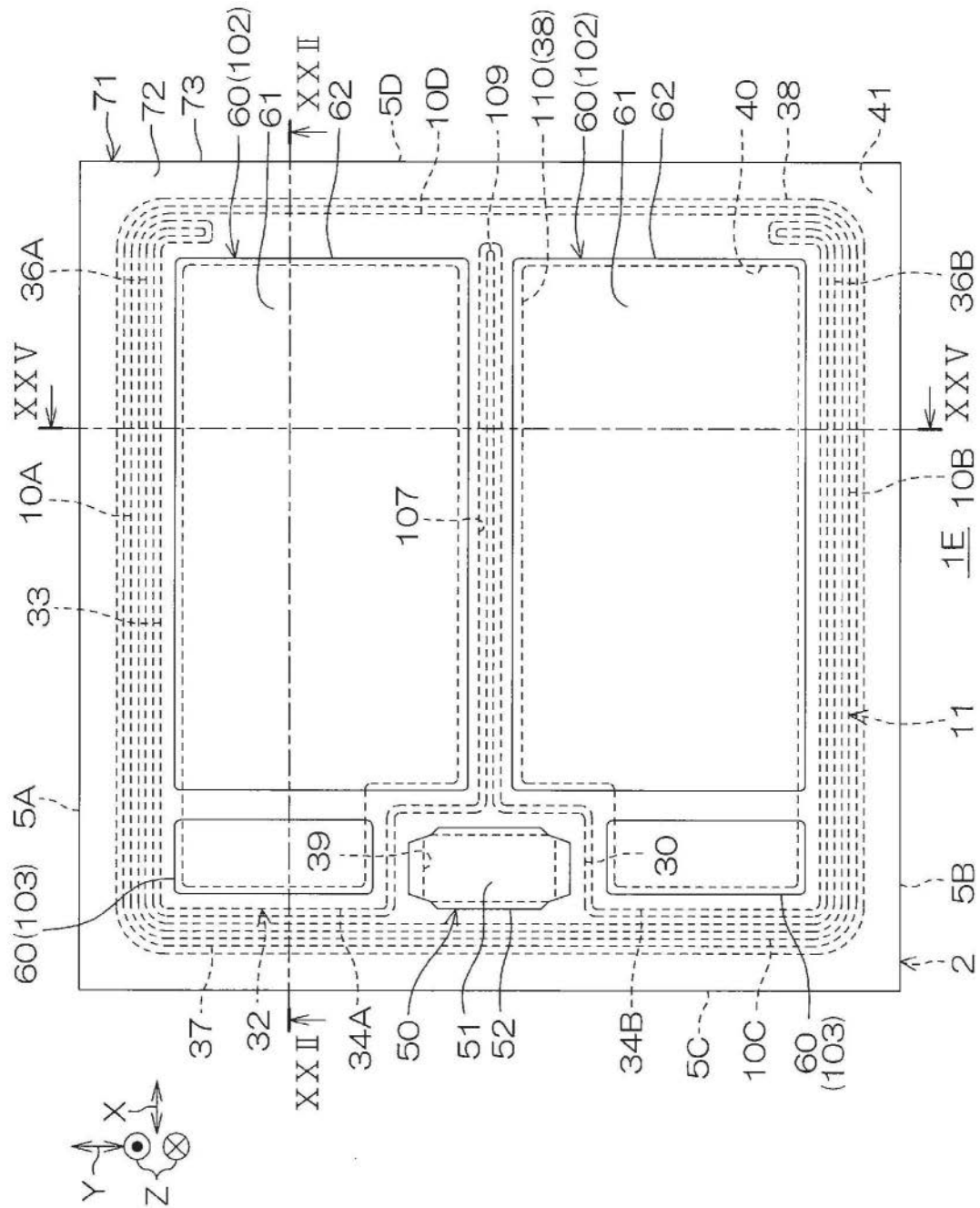


图26

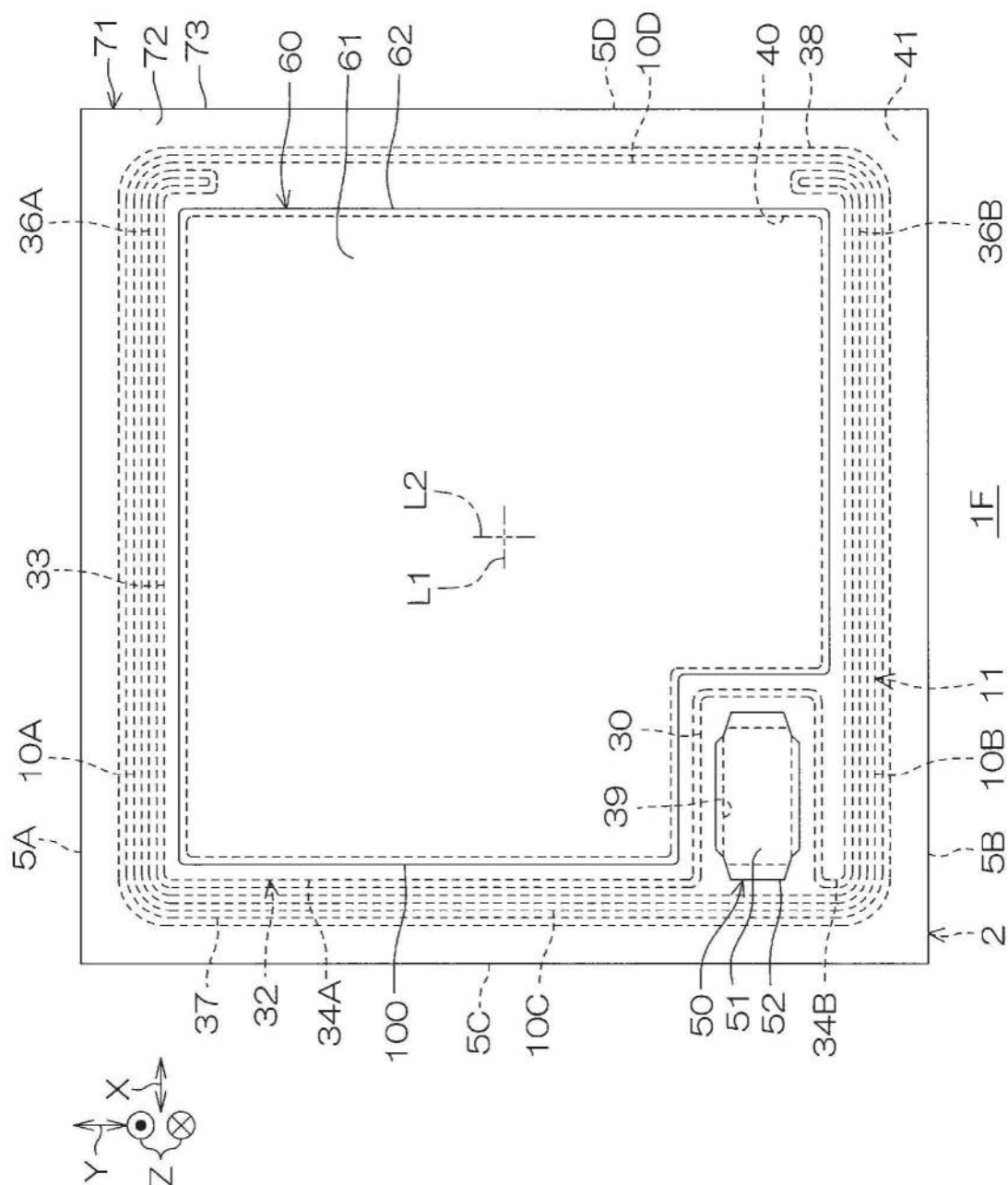


图27

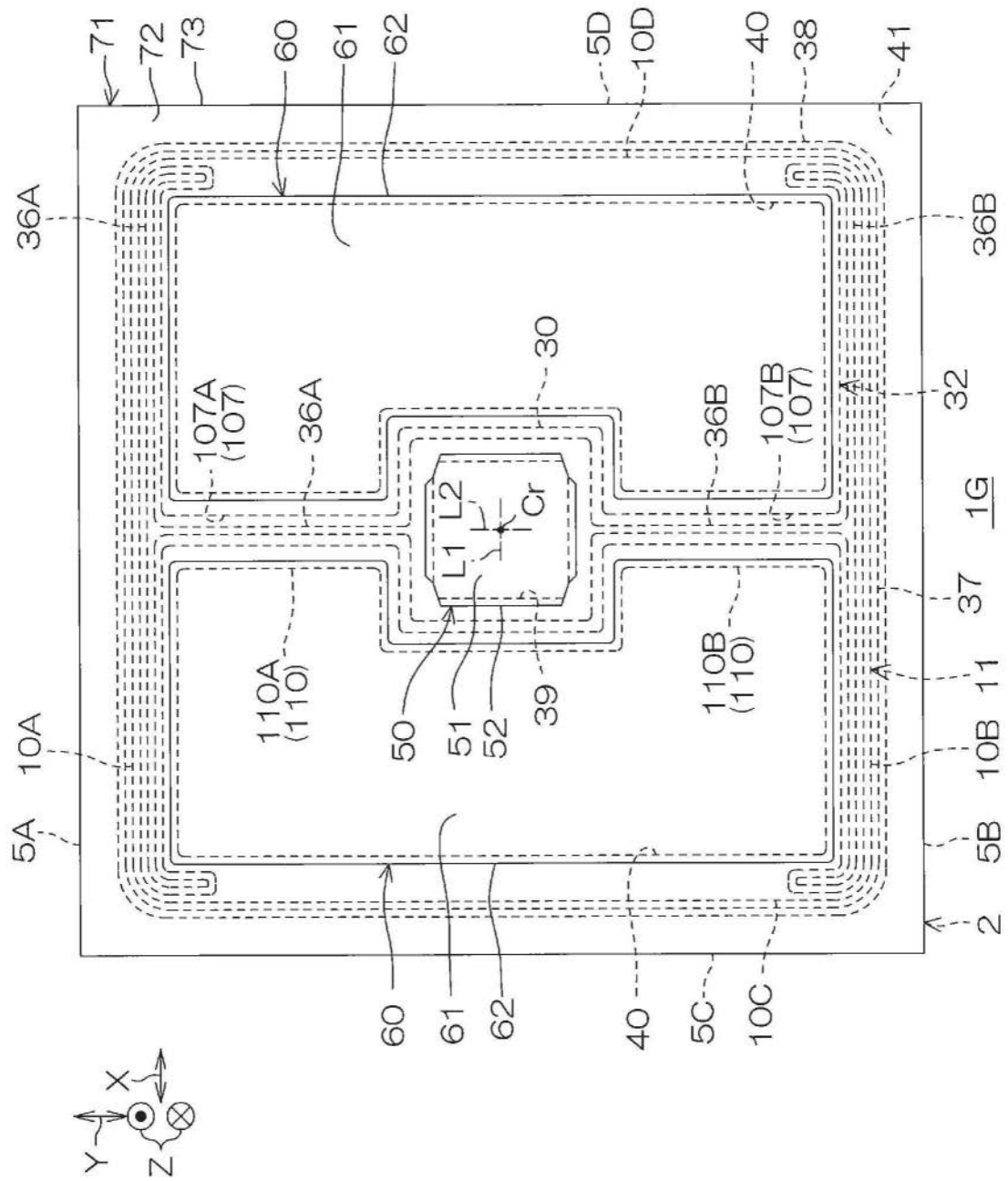


图28

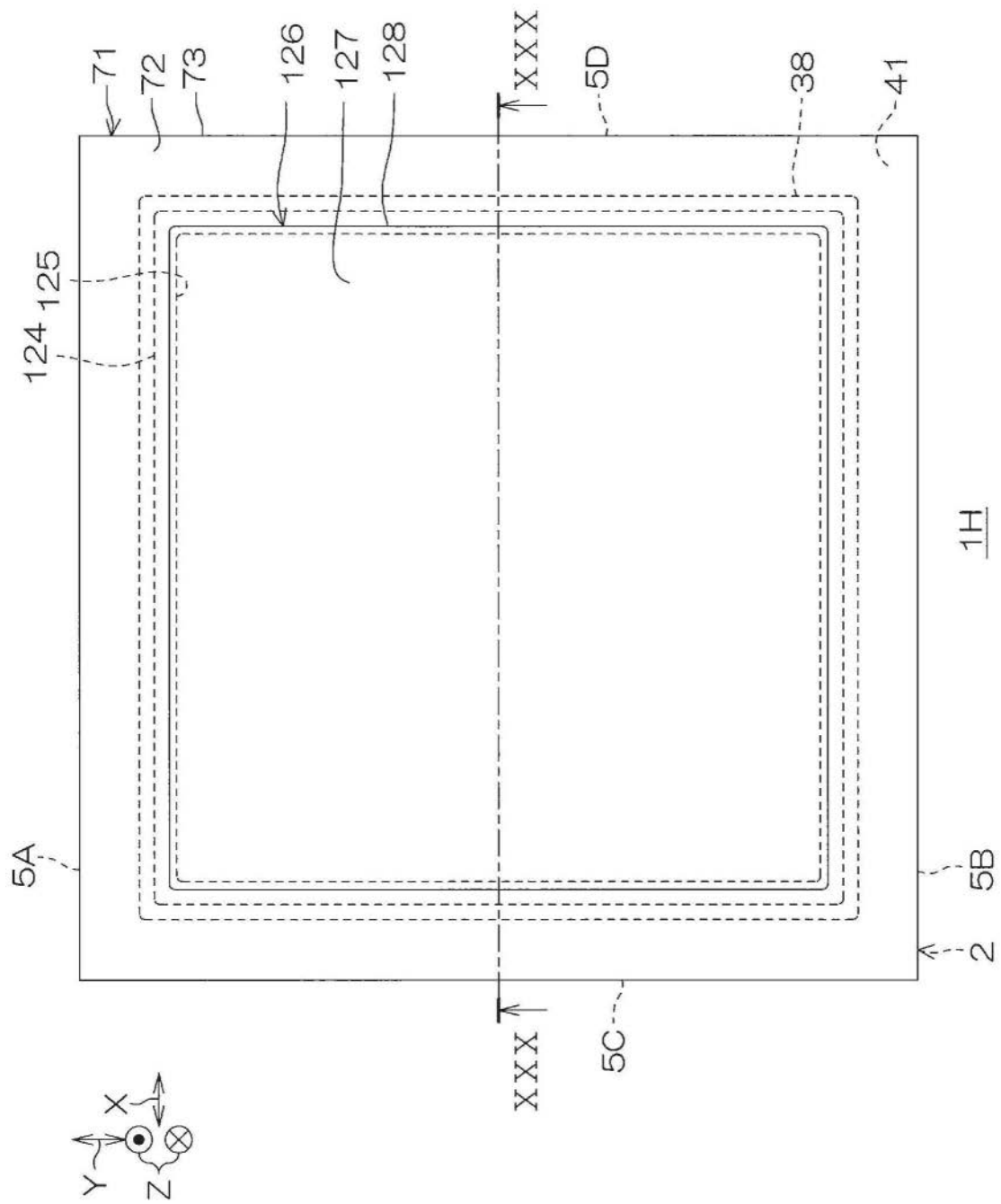


图29

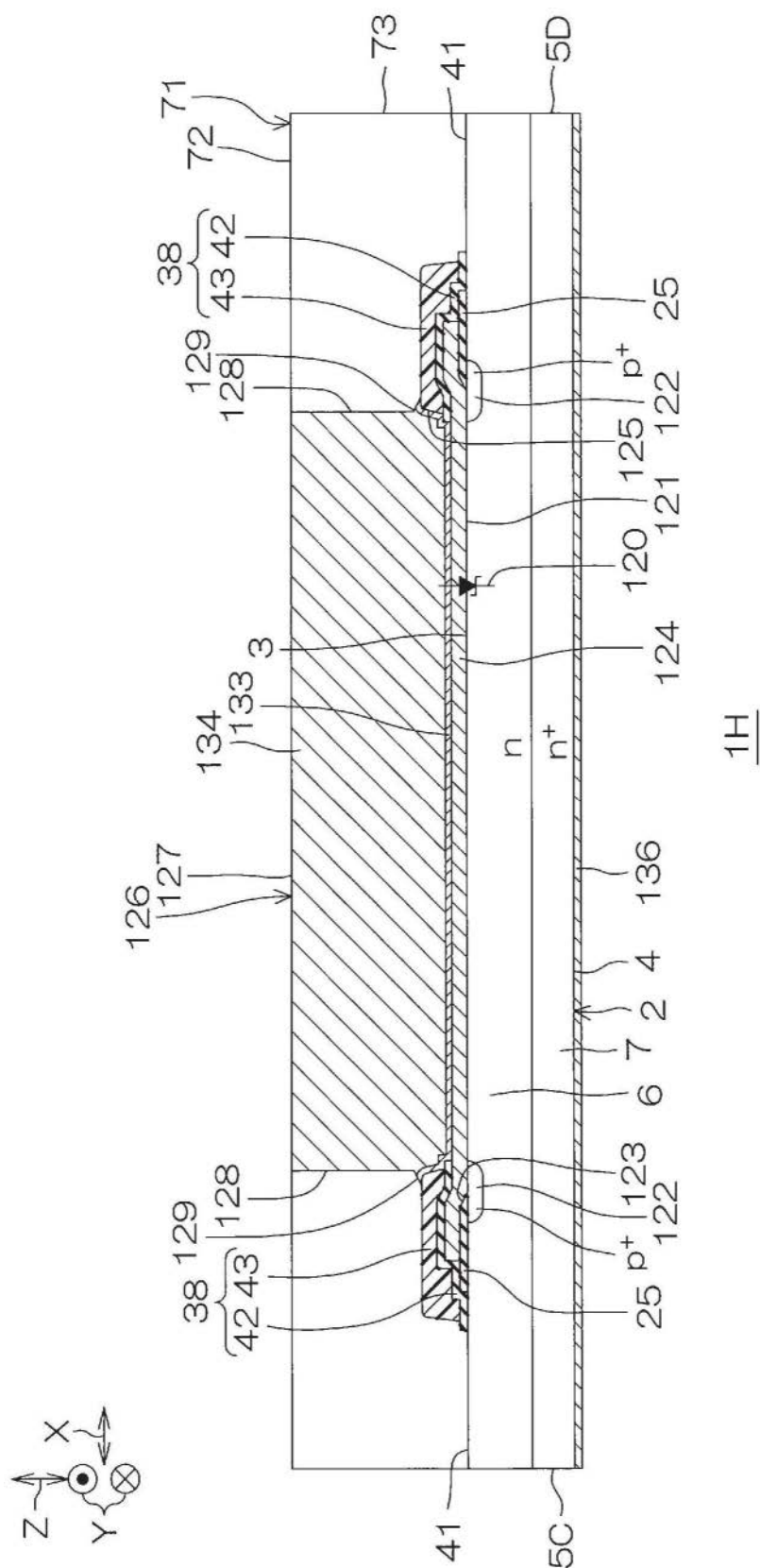


图30

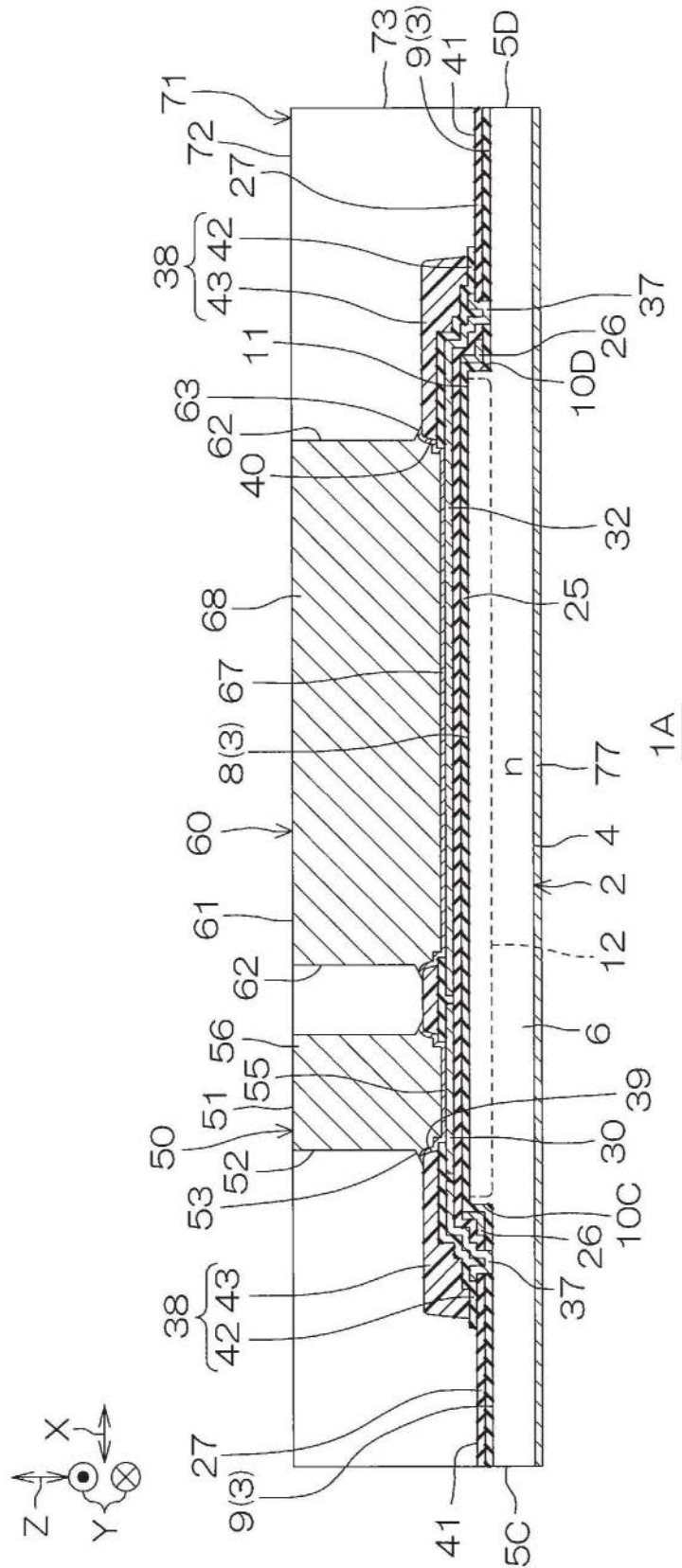


图31

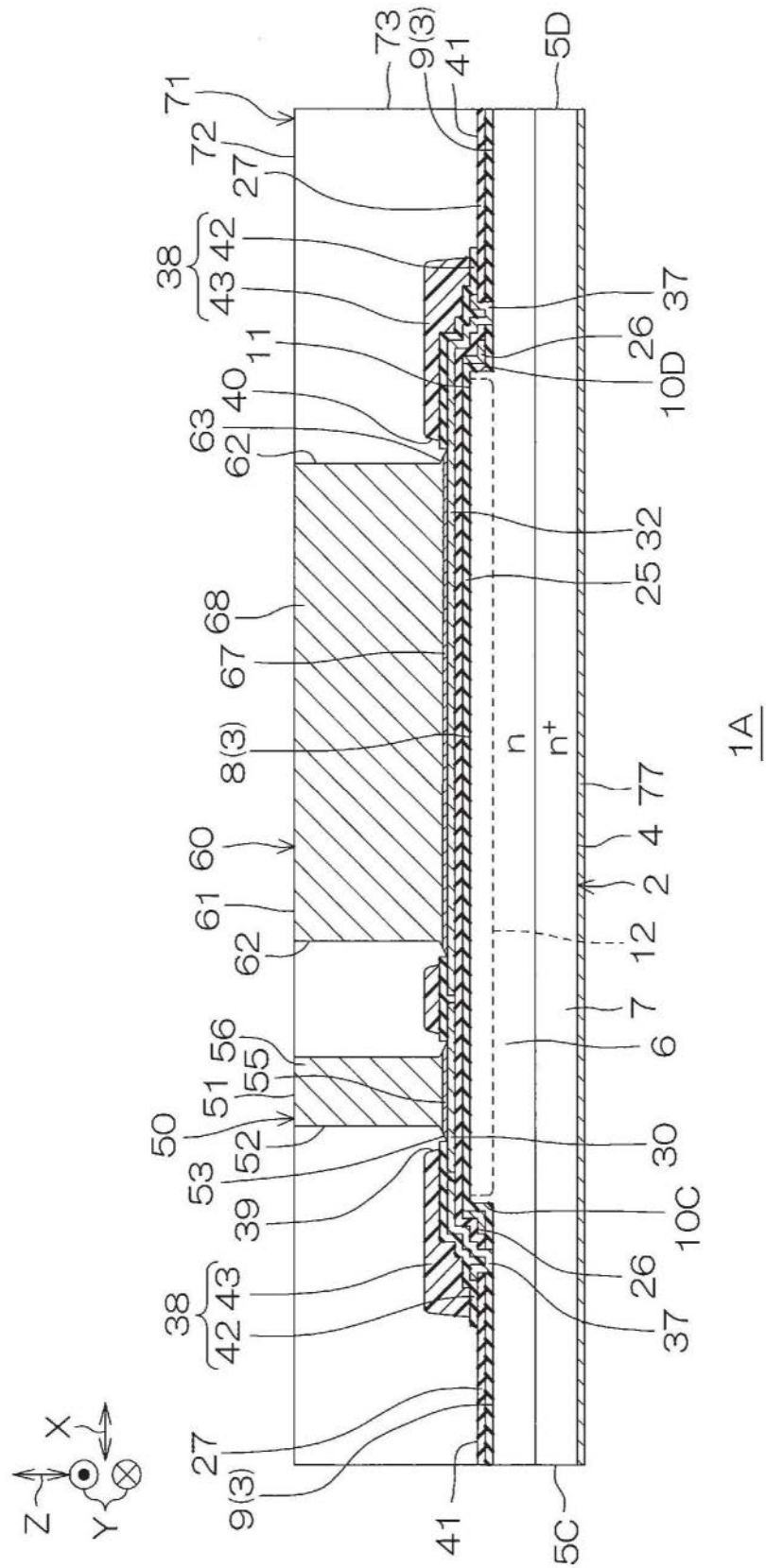


图32

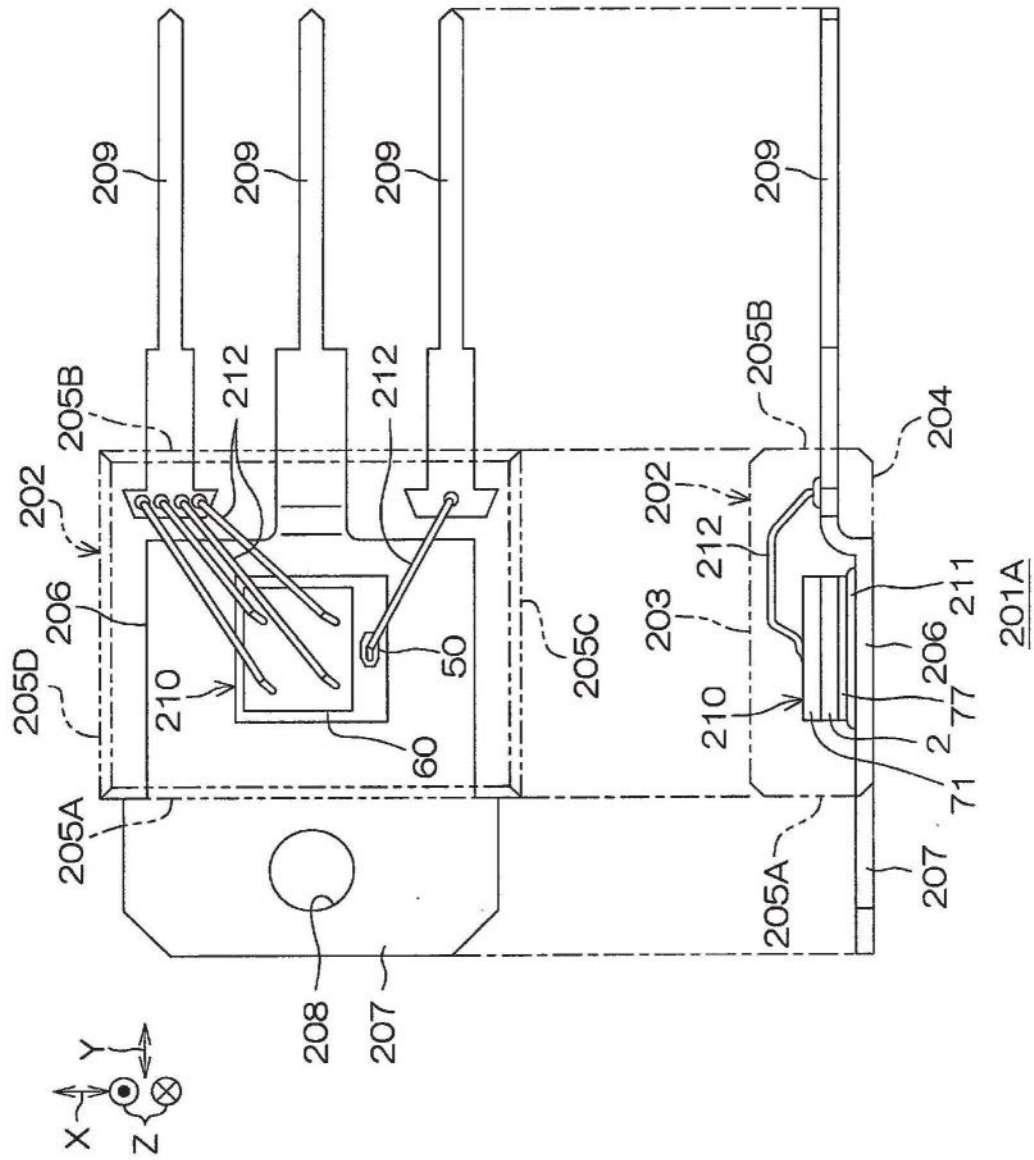


图33

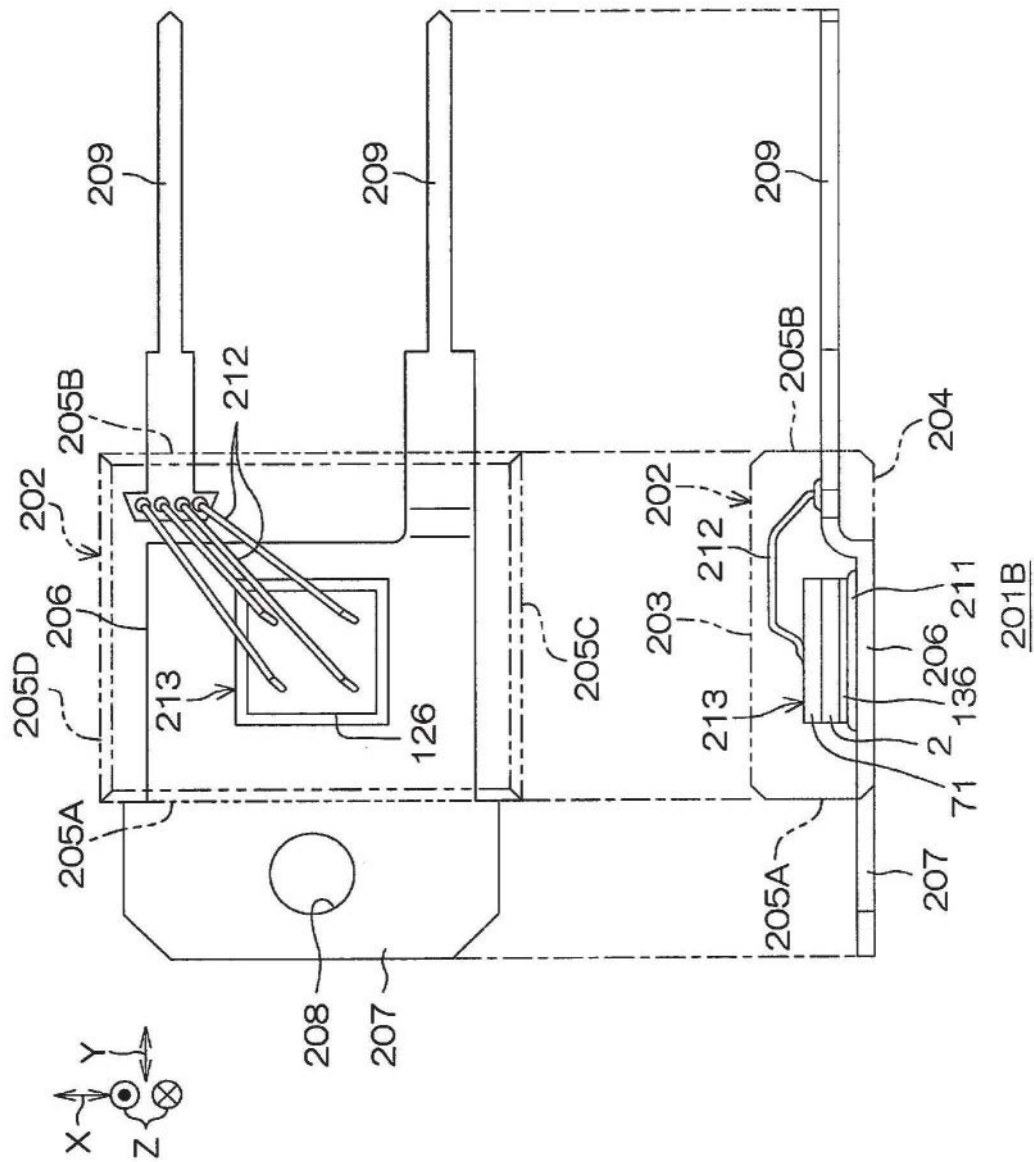


图34

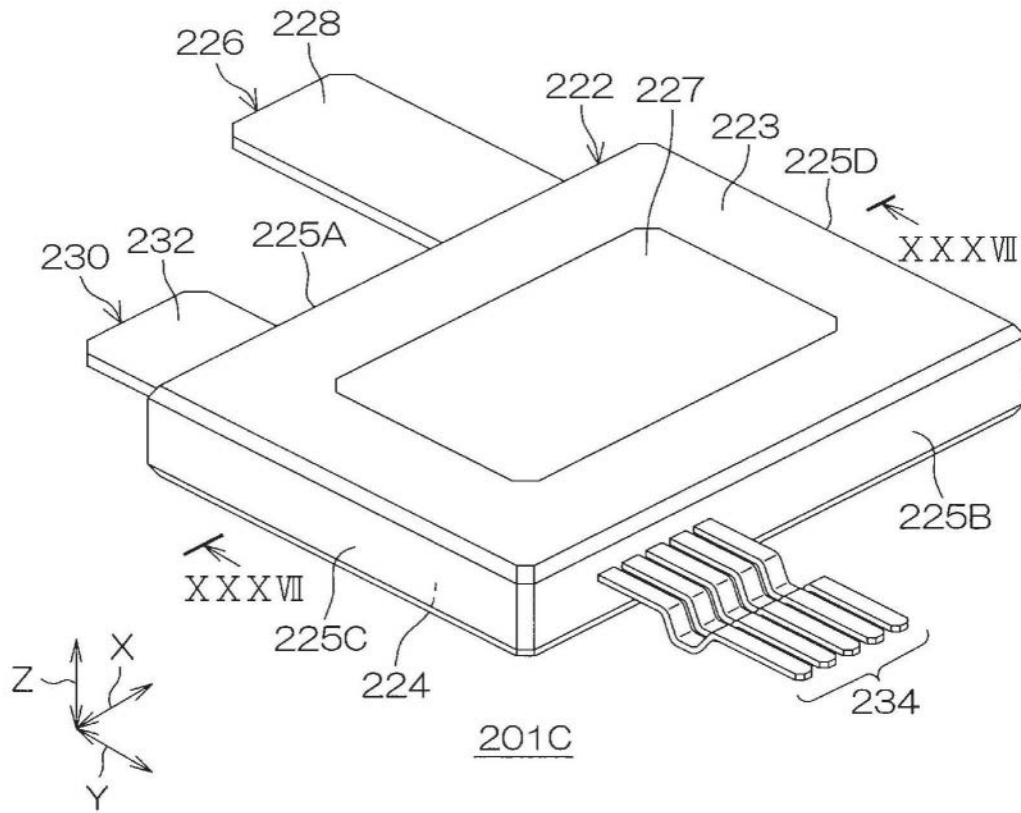


图35

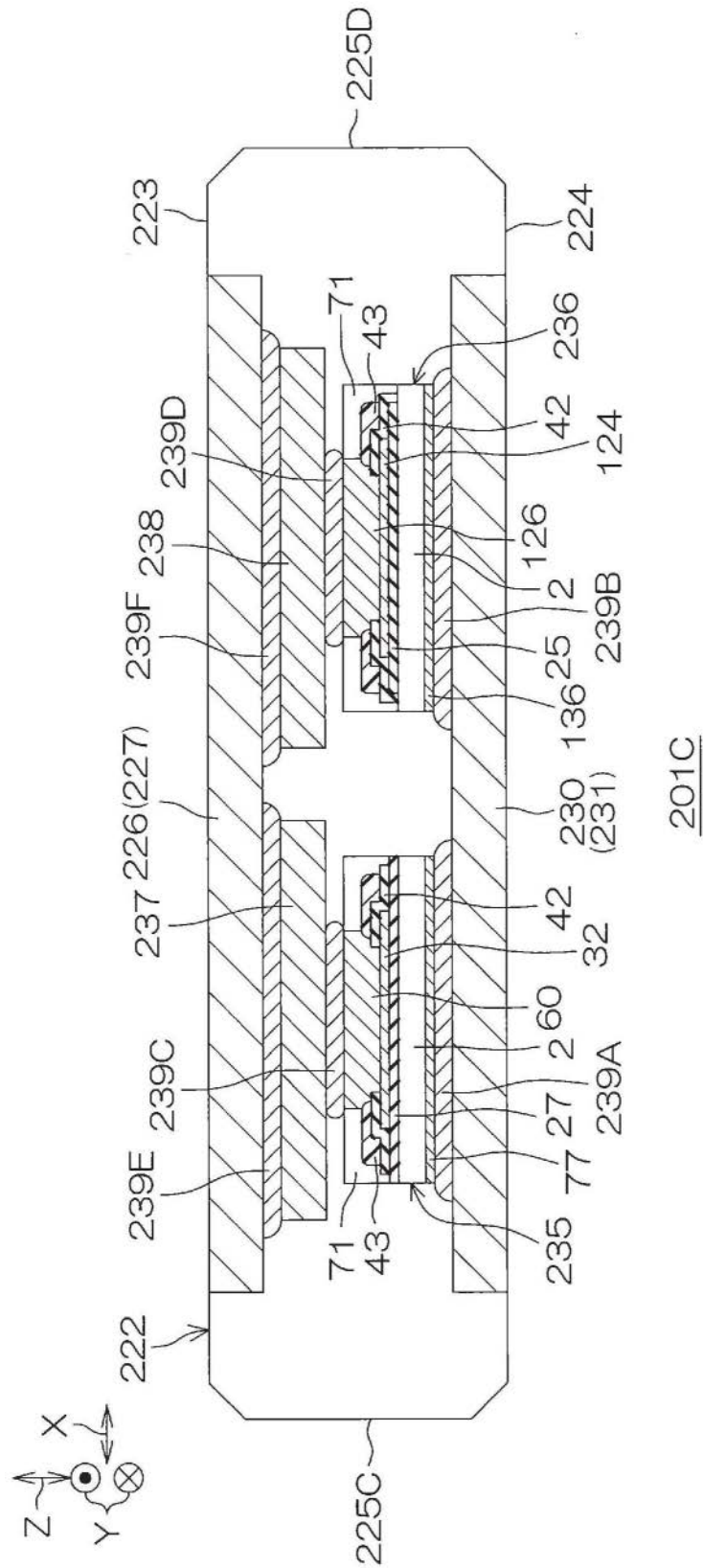


图37