

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月14日(14.09.2017)



(10) 国際公開番号

WO 2017/154189 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2016/057712
- (22) 国際出願日: 2016年3月11日(11.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 神山 悦宏 (KAMIYAMA, Yoshihiro); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 大野 聖二, 外 (OHNO, Seiji et al.); 〒1000005 東京都千代田区丸の内一丁目6番5号 丸の内北口ビル21階 大野総合法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

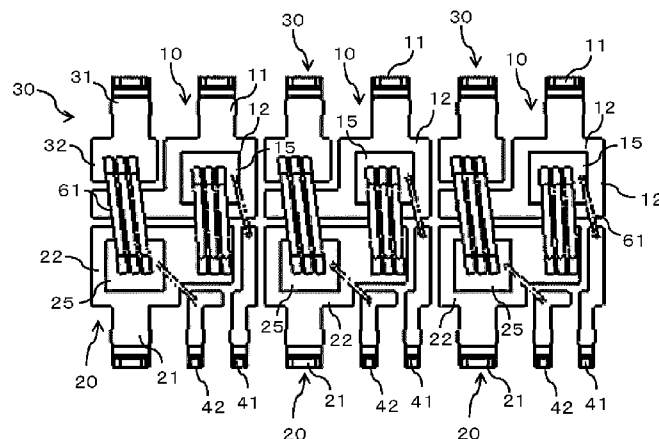
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図3]



(57) Abstract: This semiconductor device is provided with a plurality of first conductor parts 10, a plurality of second conductor parts 20, and a sealing part 50 that covers the upper surfaces of the first conductor parts 10 and the second conductor parts 20. The first conductor parts 10 and the second conductor parts 20 are connected to each other. It is possible to select the usages of a first terminal 11 of each of the first conductor parts 10 and a second terminal 21 of each of the second conductor parts 20 such that the second terminal 21 serves as an output terminal in cases where the first terminal 11 is utilized as a supply terminal and the first terminal 11 serves as an output terminal in cases where the second terminal 21 is utilized as a supply terminal.

(57) 要約: 半導体装置は、複数の第一導体部10と、複数の第二導体部20と、前記第一導体部10及び前記第二導体部20の上面を覆う封止部50と、を備えている。前記第一導体部10と前記第二導体部20とは接続されている。前記第一導体部10の第一端子11を電源端子として利用する場合には前記第二導体部20の第二端子21が出力端子となり、前記第二端子21を電源端子として利用する場合には前記第一端子11が出力端子となるよう、前記第一端子11及び前記第二端子21の利用態様を選択できる。

WO 2017/154189 A1

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来から、自動車等の乗り物に用いられるインバータ回路やリレー回路に使用される半導体装置が知られている。特許第5067679号では、電源端子、出力端子及びグランド端子を有する半導体装置が開示されている。

発明の概要

発明が解決しようとする課題

[0003] 特許第5067679号に開示されているように従来から存在する半導体装置では、予め定まった端子が電源端子として機能し、別の端子が出力端子として機能している。このため、予め決まった端子が電源端子として機能し、別の端子が出力端子として機能しており、これらを適宜変更することはできなかった。

[0004] 本発明はこのような観点からなされたものであり、電源端子として機能する端子と、出力端子として機能する端子とを適宜選択できる半導体装置を提供する。

課題を解決するための手段

[0005] 本発明による半導体装置は、

第一端子と、前記第一端子と一体になった第一本体部と、前記第一本体部上に設けられた第一電子素子と、を有する複数の第一導体部と、

第二端子と、前記第二端子と一体になった第二本体部と、前記第二本体部上に設けられた第二電子素子と、を有する複数の第二導体部と、

前記第一導体部及び前記第二導体部の上面を覆う封止部と、
を備え、

前記第一導体部と前記第二導体部とが接続され、

前記第一導体部と前記第二導体部の接続態様を変えることで、前記第一端子を電源端子として利用する場合には前記第二端子が出力端子となり、前記第二端子を電源端子として利用する場合には前記第一端子が出力端子となるよう、前記第一端子及び前記第二端子の利用態様を選択できる。

[0006] 本発明による半導体装置において、
前記第一導体部及び前記第二導体部の裏面は前記封止部から露出してもよい。

[0007] 本発明による半導体装置において、
前記第一本体部及び前記第二本体部は裏面側から見たときに略L字形状となってもよい。

[0008] 本発明による半導体装置において、
裏面側から見たときに複数の前記第一本体部の各々は同じ形状であり、
裏面側から見たときに複数の前記第二本体部の各々は同じ形状であってもよい。

[0009] 本発明による半導体装置において、
裏面側から見たときに、前記第一本体部の前記封止部から露出している部分の面積と、前記第二本体部の前記封止部から露出している部分の面積とは略同一であってもよい。

[0010] 本発明による半導体装置において、
前記第一電子素子と前記第二本体部とは接続子で接続される、又は、前記第二電子素子と前記第一本体部とは接続子で接続されてもよい。

[0011] 本発明による半導体装置において、
複数の前記接続子の長さが同一であってもよい。

[0012] 本発明による半導体装置は、
第三端子と、前記第三端子と一体になった第三本体部と、を有する第三導体部をさらに備え、
前記第三導体部は、前記第一電子素子又は前記第二電源素子と直接接続されてもよい。

- [0013] 本発明による半導体装置において、
前記第三端子はグランド端子であってもよい。
- [0014] 本発明による半導体装置において、
前記第一端子及び前記第二端子は表面側に屈曲されており、
前記第一本体部、前記第二本体部、前記第一端子の屈曲されていない部分
及び第二端子の屈曲されていない部分は裏面側で面一となってもよい。
- [0015] 本発明による半導体装置において、
表面側から見たときに複数の前記第一電子素子及び複数の前記第二電子素
子が均等に配列されてもよい。

発明の効果

- [0016] 本発明によれば、第一導体部と第二導体部の接続態様を変えることで、第
一端子を電源端子として利用する場合には第二端子が出力端子となり、第二
端子を電源端子として利用する場合には第一端子が出力端子となるよう、第
一端子及び第二端子の利用態様を選択できるようになっている。このため、
電源端子として機能する端子と、出力端子として機能する端子とを適宜選択
できる。

図面の簡単な説明

- [0017] [図1]図1は、本発明の実施の形態による半導体装置を表面側から見た斜視図
である。
- [図2]図2は、本発明の実施の形態による半導体装置を裏面側から見た斜視図
である。
- [図3]図3は、本発明の実施の形態の第1の態様による半導体装置における接
続態様を示した上方平面図である。
- [図4]図4は、本発明の実施の形態の第2の態様による半導体装置における接
続態様を示した上方平面図である。
- [図5]図5は、本発明の実施の形態の第1の態様による半導体装置における回
路図である。
- [図6]図6は、本発明の実施の形態の第2の態様による半導体装置における回

路図である。

[図7]図7は、本発明の実施の形態による半導体装置の裏面を示した下方平面図である。

[図8]図8は、本発明の実施の形態による半導体装置が筐体の凹部に載置された態様を示した側方断面図である。

[図9]図9は、本発明の実施の形態の第1の態様の変形例（接続子を利用した態様）による半導体装置における接続態様を示した上方平面図である。

[図10]図10は、本発明の実施の形態の第2の態様の変形例（接続子を利用した態様）による半導体装置における接続態様を示した上方平面図である。

発明を実施するための形態

[0018] 実施の形態

《構成》

図1及び図2に示すように、本実施の形態の半導体装置は、複数の第一導体部10と、複数の第二導体部20と、第一導体部10及び第二導体部20の上面を覆う封止部50と、を有している。図3及び図4に示すように、第一導体部10は、第一端子11と、第一端子11と一体になった第一本体部12と、第一本体部12上に設けられた第一電子素子15と、を有している。第二導体部20は、第二端子21と、第二端子21と一体になった第二本体部22と、第二本体部22上に設けられた第二電子素子25と、を有している。第一本体部12及び第二本体部22は、例えば、銅合金等からなり、全面又は部分的にスズめっき処理やニッケルめっき処理等が施されていてもよい。封止部50としてはエポキシ樹脂等を用いてもよい。

[0019] 本実施の形態の半導体装置としては、例えばパワー半導体装置を用いてもよい。第一電子素子15及び第二電子素子25としては、例えばMOSFETを用いてもよい。本実施の形態による半導体装置の回路図は例えば図5及び図6に示すようになっている。図5及び図6に示す態様では第一電子素子15及び第二電子素子25がMOSFETであり、図5に示す場合には、第一電子素子15であるMOSFETのドレインが第一本体部12側（図3の

紙面裏側）に位置しソースが第一本体部 1 2 と反対側（図 3 の紙面表側）に位置し、また、第二電子素子 2 5 である MOS F E T のドレインが第二本体部 2 2 側（図 3 の紙面裏側）に位置しソースが第二本体部 2 2 と反対側（図 3 の紙面表側）に位置する。図 6 に示す場合には、第一電子素子 1 5 である MOS F E T のソースが第一本体部 1 2 側（図 4 の紙面表側）に位置しドレインが第一本体部 1 2 と反対側（図 4 の紙面裏側）に位置し、また、第二電子素子 2 5 である MOS F E T のソースが第二本体部 2 2 側（図 4 の紙面表側）に位置しドレインが第二本体部 2 2 と反対側（図 4 の紙面裏側）に位置する。

[0020] 第一導体部 1 0 と第二導体部 2 0 とは接続されている。第一導体部 1 0 と第二導体部 2 0 とは、図 3 及び図 4 に示すようにワイヤ 6 1 によって接続されてもよいが、図 9 及び図 1 0 に示すように接続子 6 2 によって接続されてもよい。より具体的には、図 3 に示すように、第一電子素子 1 5 と第二本体部 2 2 とがワイヤ 6 1 で接続されてもよいし、図 4 に示すように、第二電子素子 2 5 と第一本体部 1 2 とがワイヤ 6 1 で接続されてもよい。図 9 に示すように、第一電子素子 1 5 と第二本体部 2 2 とが接続子 6 2 で接続されてもよいし、図 1 0 に示すように、第二電子素子 2 5 と第一本体部 1 2 とが接続子 6 2 で接続されてもよい。なお、接続子 6 2 としては例えば銅クリップを用いることができ、ワイヤ 6 1 としては例えばアルミワイヤを用いることができる。なお、接続子 6 2 を用いることで流れる電流量を上げることができる。

[0021] 第一端子 1 1 を電源端子として利用する場合には第二端子 2 1 が出力端子となり（図 5 参照）、第二端子 2 1 が電源端子として利用する場合には第一端子 1 1 が出力端子となり（図 6 参照）、第一端子 1 1 及び第二端子 2 1 の利用態様を選択できるようになっている。

[0022] 第一導体部 1 0 及び第二導体部 2 0 の裏面は封止部 5 0 から露出してもよい。この際、第一導体部 1 0 及び第二導体部 2 0 の裏面は封止部 5 0 から部分的に露出してもよいが、図 2 及び図 7 に示すように、完全に露出してもよ

い。このように露出された第一導体部 10 及び第二導体部 20 は、図 8 に示すように、放熱シート 90、放熱性の接着剤等を介して筐体 95 上に載置されてもよい。なお、本実施の形態において、「裏面」とは図 7 に示す側のことを意味し、「表面」とは「裏面」と反対側のことを意味する。

[0023] 図 7 に示すように、第一本体部 12 及び第二本体部 22 は裏面側から見たときに略 L 字形状となってもよい。なお、「略 L 字形状」とは、図 7 における上下方向に延びた部分（以下「縦棒部分」とも言う。）と図 7 における左右方向に延びた部分（以下「横棒部分」とも言う。）とが存在していればたり、角部が丸みを帯びていてもよいし、小さな突出部等が設けられてもよい。

[0024] 図 7 に示すように裏面から見たときに、複数の第一本体部 12 の各々は同じ形状であってもよい。また、同様に、裏面から見たときに、複数の第二本体部 22 の各々は同じ形状であってもよい。なお、裏面から見たときに、複数の第一本体部 12 及び複数の第二本体部 22 の各々が同じ形状であってもよい。

[0025] 図 7 に示すように裏面側から見たときに、封止部 50 から露出している第一本体部 12 の面積と、封止部 50 から露出している第二本体部 22 の面積とは略同一であってもよい。また、この場合には、裏面側から見た場合に、第一端子 11 及び第一本体部 12 に関して封止部 50 の裏面から露出している部分の面積と、第二端子 21 及び第二本体部 22 に関して封止部 50 の裏面から露出している部分の面積とが略同一となってもよい。なお、本実施の形態において「面積」が「略同一」とは、全体の面積の $\pm 10\%$ の範囲内にある場合を意味し、例えば第一本体部 12 の裏面から露出している部分の面積が「A1」であり、第二本体部 22 の裏面から露出している部分の面積が「A2」である場合には、 $A2 \times 0.9 \leq A1 \leq A2 \times 1.1$ となることを意味する。なお、図 7 に示す態様では、第一本体部 12 の裏面から露出している部分の面積 A1 が第二本体部 22 の裏面から露出している部分の面積 A2 よりも大きくなっている。

[0026] 図3及び図4に示すように、本実施の形態の半導体装置は、第三端子31と、第三端子31と一体になった第三本体部32と、を有する第三導体部30をさらに有してもよい。第三導体部30は、図4及び図10に示すように、第一電子素子15と直接接続されてもよいし、図3及び図9に示すように、第二電子素子25と直接接続されてもよい。なお、第三端子31はグランド端子であってもよい。

[0027] 図3及び図9に示すように、第一電子素子15を第二本体部22に接続し、第二電子素子25を第三端子31に接続することで、第一端子11を入力端子として用い、第二端子21を出力端子とし、第三端子31をグランド端子として用いることができる（図5参照）。他方、図4及び図10に示すように、第二電子素子25を第一本体部12に接続し、第一電子素子15を第三端子31に接続することで、第二端子21を入力端子として用い、第一端子11を出力端子とし、第三端子31をグランド端子として用いることができる（図6参照）。

[0028] 図3及び図4に示すように、本実施の形態の半導体装置は、制御端子41、42を有してもよい。図3及び図4に示す態様では、2つの制御端子41、42が用いられており、各制御端子41、42は電子素子15、16に接続されている。つまり、第一制御端子41は第一電子素子15にワイヤ61で接続されており、第一電子素子15を制御するために用いられる。第二制御端子42は第二電子素子25にワイヤ61で接続されており、第二電子素子25を制御するために用いられる。

[0029] 図1、図2及び図8に示すように、第一端子11、第二端子21及び第三端子31の各々が表面側（封止部50側）に屈曲されてもよい。屈曲された際の端子の高さH（図8参照）は例えば5～15mm（典型的には10mm程）であり、封止部50の厚みD1は2～5mm（典型的には3.5mm程）であり、各端子の厚みD2は0.3～0.9mm（典型的には0.6mm程）である。半導体装置の長手方向の長さL1（図7参照）は40mm～50mm（典型的には44mm）であり、半導体装置の短手方向の長さ（端子

の屈曲部間の長さ) L_2 は 15 mm ~ 25 mm (典型的には 20 mm) である。

[0030] 図 2 及び図 7 に示す態様では、第一端子 11 の屈曲されていない部分、第一本体部 12、第二端子 21 の屈曲されていない部分、第二本体部 22、第三端子 31 の屈曲されていない部分、第三本体部 32、第一制御端子 41 の屈曲されていない部分及び第二制御端子 42 の屈曲されていない部分は、面一となっている。このため、前述したように、放熱シート 90 (図 8 参照) 上に半導体装置を載置した際に、これらの全てを放熱シート 90 に接触させることができる。

[0031] また、図 2 及び図 7 に示すように、第一本体部 12、第二端子 21 の屈曲されていない部分、第二本体部 22、第三端子 31 の屈曲されていない部分、第三本体部 32、第一制御端子 41 の屈曲されていない部分及び第二制御端子 42 の屈曲されていない部分が完全に露出している場合には、これらの全てを放熱シート 90 に接触させることができるので、より高い放熱効果を実現できる点で有益である。

[0032] 図 3 乃至図 6 に示すように、本実施の形態の半導体装置は 3 相ブリッジ回路となってもよい。3 つある出力端子のうちのいずれかが U 相コイルに接続され、別の 1 つが V 相コイルに接続され、残りの 1 つが W 相コイルに接続されてもよい。

[0033] より具体的には、図 5 において、第一電子素子 15 である MOSFET のドレインが電源ライン側に接続され、ソースが第二電子素子 25 である MOSFET のドレインに接続され、この MOSFET のソースはグランドに接続されている。そして、第一電子素子 15 と第二電子素子 25 との接続点は、モータの U 相コイル、V 相コイル又は W 相コイルに接続されている。

[0034] また、図 6 において、第二電子素子 25 である MOSFET のドレインが電源ライン側に接続され、ソースが第一電子素子 15 である MOSFET のドレインに接続され、この MOSFET のソースはグランドに接続されている。そして、第二電子素子 25 と第一電子素子 15 との接続点は、モータの

U相コイル、V相コイル又はW相コイルに接続されている。

[0035] 《作用・効果》

次に、上述した構成からなる本実施の形態による作用・効果のうち、まだ説明していないものについて説明する。なお、「作用・効果」で説明するあらゆる態様を、上記構成で採用することができる。

[0036] 本実施の形態によれば、第一導体部10と第二導体部20の接続態様を変えることで、第一端子11を電源端子として利用する場合には第二端子21が出力端子となり（図5参照）、第二端子21が電源端子として利用する場合には第一端子11が出力端子となり（図6参照）、第一端子11及び第二端子21の利用態様を選択できるようになっている。このため、電源端子として機能する端子と、出力端子として機能する端子とを適宜選択できる。

[0037] このように電源端子として機能する端子と出力端子として機能する端子とを適宜選択できることで、半導体装置を含むコントローラ等の装置全体の組み立てが容易になり、生産性を向上させることができる。なお、本実施の形態の半導体装置がパワーモジュールである場合には、制御モジュールと接続されることになる。本実施の形態のように電源端子として機能する端子と出力端子として機能する端子とを適宜選択できることで、制御モジュールのパターニングの自由度に高めることができる。

[0038] 第一導体部10及び第二導体部20の裏面は封止部50から露出した態様を採用した場合には高い放熱効果を実現できる。特に、第一導体部10及び第二導体部20の裏面が封止部50から完全に露出している態様を採用した場合には、第一導体部10及び第二導体部20の裏面の全てを例えば放熱シート90（図8参照）等に接触させることができるので、より高い放熱効果を実現できる点で有益である。

[0039] また、第一導体部10及び第二導体部20の裏面は封止部50から露出した態様を採用した場合には、基板を設ける必要がなくなることから、製造コストを下げることができる。特に、第一導体部10及び第二導体部20の裏面が封止部50から完全に露出している態様を採用した場合には、製造コス

トをより下げることができる。

[0040] 他方、このように第一導体部10及び第二導体部20の裏面を（特に完全に）露出させた場合には、封止部50から抜け出にくいようにするためには、複数の第一導体部10又は複数の第二導体部20とはなっておらず、第一導体部10又は第二導体部20が一体形状となっている方が有益である。しかしながら、本実施の形態では、第一導体部10及び第二導体部20の各々をあえて一体形状とせず、個別に分離した態様としている。このように分離した態様とすることで、前述したように、電源端子として機能する端子と出力端子として機能する端子とを適宜選択できるようにしている。なお、本実施の形態では、切断する前にはリードフレームがタイバーで繋がっているだけであり、第一導体部10、第二導体部20、第三導体部30、第一制御端子41及び第二制御端子42の各々は基本的にはバラバラな部材となっている。

[0041] 3相ブリッジ回路において、第一導体部10が一体となった構成又は第二導体部20が一体形状となった構成では、他の相における高周波等（ノイズ等）の影響を受けることがある。この点、本実施の形態のように各第一導体部10及び各第二導体部20が分離された態様を採用することで、他の相における高周波等（ノイズ等）の影響を受けにくくすることができる点でも有益である。

[0042] 特に図3及び図4に示すように、複数の電子素子15、25を均等に配列することで均一に放熱させることができる。また、このように複数の電子素子15、25を均等に配列することで、電子素子15、25の実装を迅速に行うことができ、生産性を高めることができる。本実施の形態の「均等」とは、複数の第一電子素子15の間の距離が同じ値となり、複数の第二電子素子25の間の距離が同じ値となり、半導体装置の長手方向（図3及び図4の左右方向）に延びた中心線よりも一方側（図3及び図4の上方側）に複数の第一電子素子15が配置され他方側（図3及び図4の下方側）に複数の第二電子素子25が配置され、かつ、第一電子素子15と第二電子素子25とが

入れ子状に配置されていることを意味している。一例としては、半導体装置の長手方向の中心線よりも図3及び図4の上側において左右方向で均等な間隔で複数（図3及び図4の態様では3つ）の第一電子素子15が配置され、長手方向の中心線よりも図3及び図4の下側において左右方向で均等な間隔で複数（図3及び図4の態様では3つ）の第二電子素子25が配置され、第一電子素子15と第二電子素子25とが入れ子状態に配置されているような態様を意味している。

[0043] また、図3及び図4に示すように、ワイヤ61を採用した場合には、複数の電子素子15、25を均等に配列することで、ワイヤ61の接続も効率よく行うことができる点で有益である。

[0044] クリップ等の接続子62を用いた場合には、予め接続子62を準備する必要があるが、複数の電子素子15、25を均等に配列することで、準備する接続子62の種類を減らすことができる。一例として、図9に示す態様によれば、第一電子素子15と第二本体部22とを接続する接続子62の長さ、第二電子素子25と第三本体部32とを接続する接続子62の長さを概ね同じ長さにすることができる。また、図10に示す態様でも、第二電子素子25と第一本体部12とを接続する接続子62の長さ、第一電子素子15と第三本体部32とを接続する接続子62の長さを概ね同じ長さにすることができる。このため、いずれの態様を採用しても、予め準備する接続子62の種類を一種類にすることができる点で有益である。また、用いる接続子62を一種類にすることで、各接続子62に流れる電流の量を概ね同じ値にすることができる点でも有益である。

[0045] 第一本体部12及び第二本体部22が裏面側から見たときに略L字形状となった態様を採用した場合には、略L字形状の余白部分に他の端子を設けることができる点で有益である。具体的には、図3、図4、図9及び図10においては、第一本体部12の縦棒部分の左側に第三端子31を設けることができ、第二本体部22の縦棒部分の右側に第二制御端子42を設けることができる。なお、図3、図4、図9及び図10に示す態様では、第二本体部2

2の横棒部分の長さが第一本体部12の横棒部分の長さよりも短くなっているため、第二本体部22の右側に第一制御端子41を設けることもできるようになっている。

[0046] 裏面側から見たときに（図7参照）、複数の第一本体部12の各々が同じ形状である場合には、各第一本体部12に流れる電流の量を合致させる等の電気的特性を合わせることができ、また放熱特性を合わせることができる点で有益である。同様に、複数の第二本体部22の各々が同じ形状である場合には、各第二本体部22に流れる電流の量を合致させる等の電気的特性を合わせることができ、また放熱特性を合わせることができる点で有益である。

[0047] また、裏面側から見たときに（図7参照）、複数の第一本体部12及び複数の第二本体部22の各々が同じ形状である場合には、第一端子11と第二端子21とを切り替えた場合で同じ電気的特性を持つことができ、また放熱特性を合わせることができる点で有益である。つまり、第一端子11が電源端子として機能し第二端子21が出力端子として機能している場合と、第一端子11が出力端子として機能し第二端子21が電源端子として機能している場合とで同じ電気的特性を持つことができ、また放熱特性を合わせることができる点で有益である。

[0048] 裏面側から見たときに、第一本体部12の裏面から露出している部分の面積と第二本体部22の裏面から露出している部分の面積とが略同一である場合には、これらが同じ放熱特性を持つことができる点で有益である。

[0049] 第三端子31を設けた態様を採用した場合には、さらに一つの機能を追加することができる点で有益である。

[0050] 一例として、図3及び図9に示すように、第一電子素子15を第二本体部22に接続し、第二電子素子25を第三端子31に接続することで、第一端子11を入力端子として用い、第二端子21を出力端子とし、第三端子31をグランド端子として用いることができる。他方、図4及び図10に示すように、第二電子素子25を第一本体部12に接続し、第一電子素子15を第三端子31に接続することで、第二端子21を入力端子として用い、第一端

子 1 1 を出力端子とし、第三端子 3 1 をグランド端子として用いることができる。このため、いずれの場合にも、半導体装置の短手方向の一方側（図 3 の上側及び図 4 の下側）から入力された電流が半導体装置の短手方向の他方側（図 3 の下側及び図 4 の上側）に流れることができ、特許第 5 0 6 7 6 7 9 号で開示された構成のように、電流が U ターンしない。このため、配線長を抑えることができ、その結果、インピーダンス及びインダクタンスを低減できる。また、半導体装置を小型化することもできるし、低コスト化も可能となる。

[0051] 上述した各実施の形態の記載、変形例の記載及び図面の開示は、請求の範囲に記載された発明を説明するための一例に過ぎず、上述した実施の形態の記載又は図面の開示によって請求の範囲に記載された発明が限定されることはない。

符号の説明

[0052]	1 0	第一導体部
	1 1	第一端子
	1 2	第一本体部
	1 5	第一電子素子
	2 0	第二導体部
	2 1	第二端子
	2 2	第二本体部
	2 5	第二電子素子
	3 0	第三導体部
	3 1	第三端子
	3 2	第三本体部
	5 0	封止部
	6 1	ワイヤ
	6 2	接続子

請求の範囲

- [請求項1] 第一端子と、前記第一端子と一体になった第一本体部と、前記第一本体部上に設けられた第一電子素子と、を有する複数の第一導体部と、
、
 第二端子と、前記第二端子と一体になった第二本体部と、前記第二本体部上に設けられた第二電子素子と、を有する複数の第二導体部と、
、
 前記第一導体部及び前記第二導体部の上面を覆う封止部と、
 を備え、
 前記第一導体部と前記第二導体部とは接続され、
 前記第一導体部と前記第二導体部の接続態様を変えることで、前記第一端子を電源端子として利用する場合には前記第二端子が出力端子となり、前記第二端子を電源端子として利用する場合には前記第一端子が出力端子となるよう、前記第一端子及び前記第二端子の利用態様を選択できることを特徴とする半導体装置。
- [請求項2] 前記第一導体部及び前記第二導体部の裏面は前記封止部から露出していることを特徴とする請求項 1 に記載の半導体装置。
- [請求項3] 前記第一本体部及び前記第二本体部は裏面側から見たときに略L字形状となることを特徴とする請求項 1 又は 2 のいずれかに記載の半導体装置。
- [請求項4] 裏面側から見たときに複数の前記第一本体部の各々は同じ形状であり、
 裏面側から見たときに複数の前記第二本体部の各々は同じ形状であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。
- [請求項5] 裏面側から見たときに、前記第一本体部の前記封止部から露出している部分の面積と、前記第二本体部の前記封止部から露出している部分の面積とは略同一であることを特徴とする請求項 1 乃至 4 のいずれ

か 1 項に記載の半導体装置。

[請求項6] 前記第一電子素子と前記第二本体部とは接続子で接続される、又は、前記第二電子素子と前記第一本体部とは接続子で接続されることを特徴とすることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 複数の前記接続子の長さが同一であることを特徴とすることを特徴とする請求項 6 に記載の半導体装置。

[請求項8] 第三端子と、前記第三端子と一体になった第三本体部と、を有する第三導体部をさらに備え、

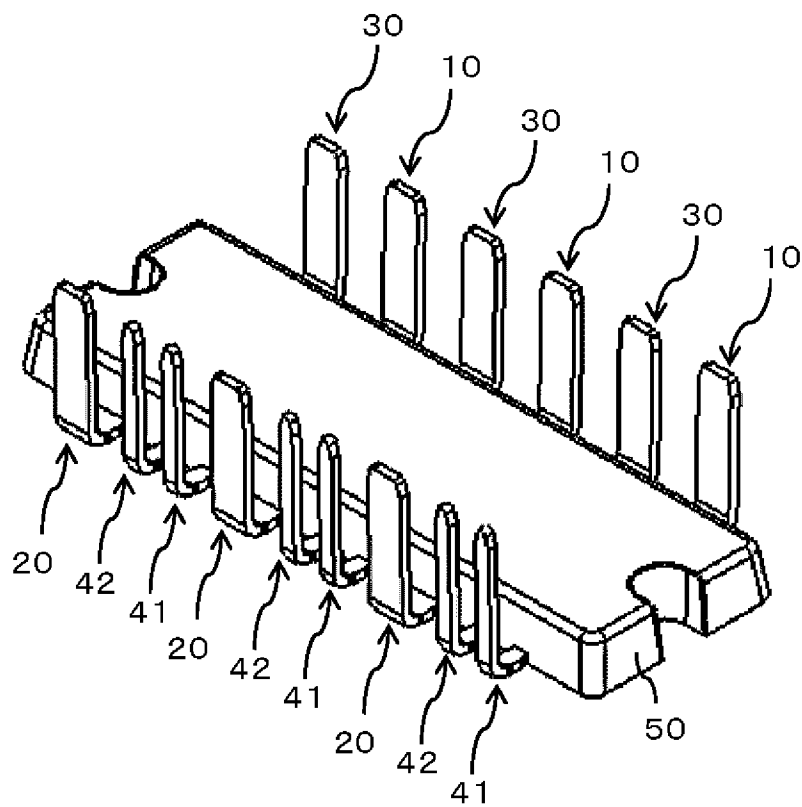
前記第三導体部は、前記第一電子素子又は前記第二電源素子と直接接続されることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

[請求項9] 前記第三端子はグランド端子であることを特徴とする請求項 8 に記載の半導体装置。

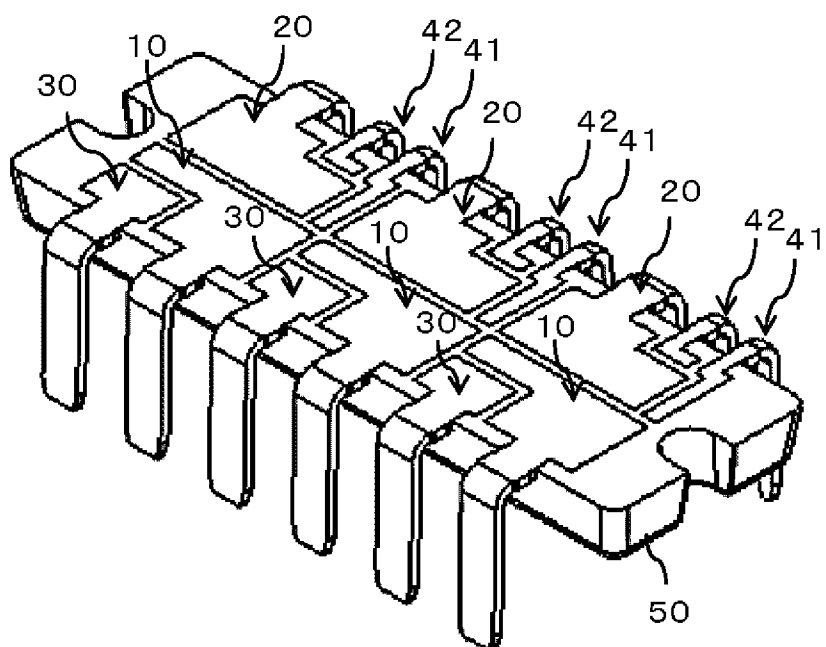
[請求項10] 前記第一端子及び前記第二端子は表面側に屈曲されており、
前記第一本体部、前記第二本体部、前記第一端子の屈曲されていない部分及び第二端子の屈曲されていない部分は裏面側で面一となっていることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

[請求項11] 表面側から見たときに複数の前記第一電子素子及び複数の前記第二電子素子が均等に配列されていることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の半導体装置。

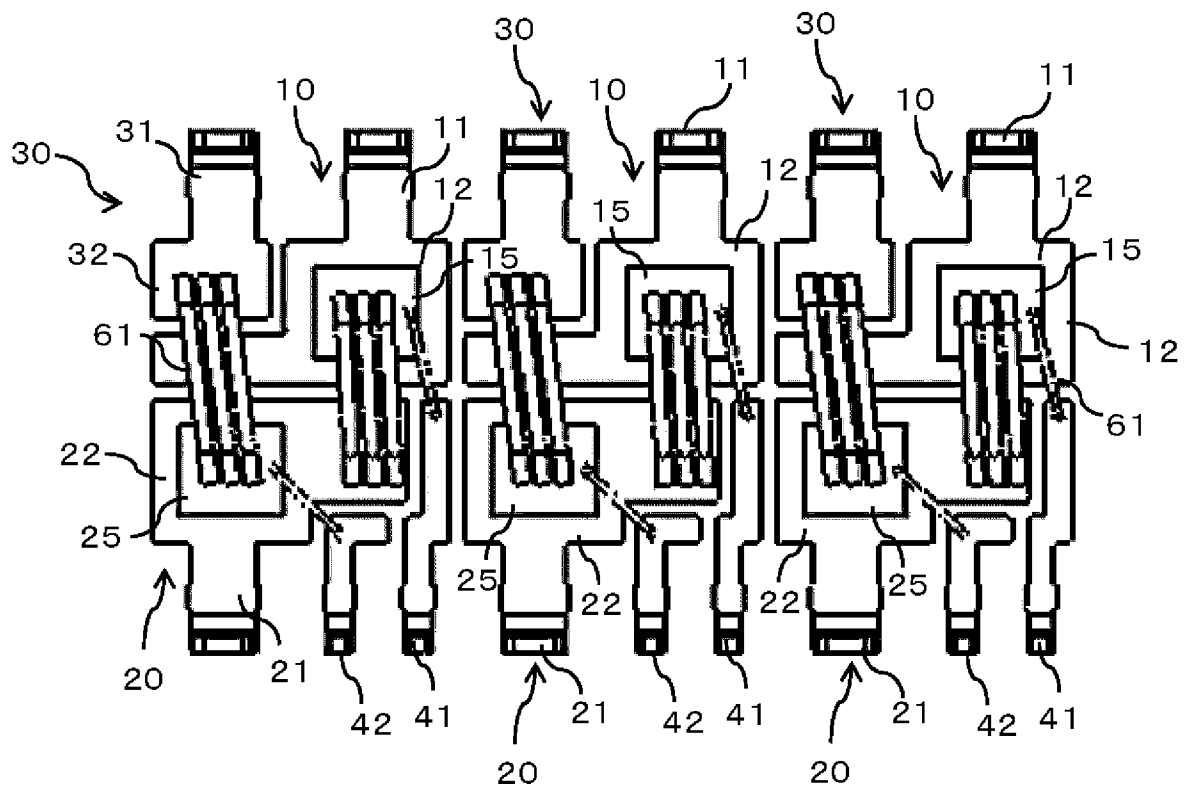
[図1]



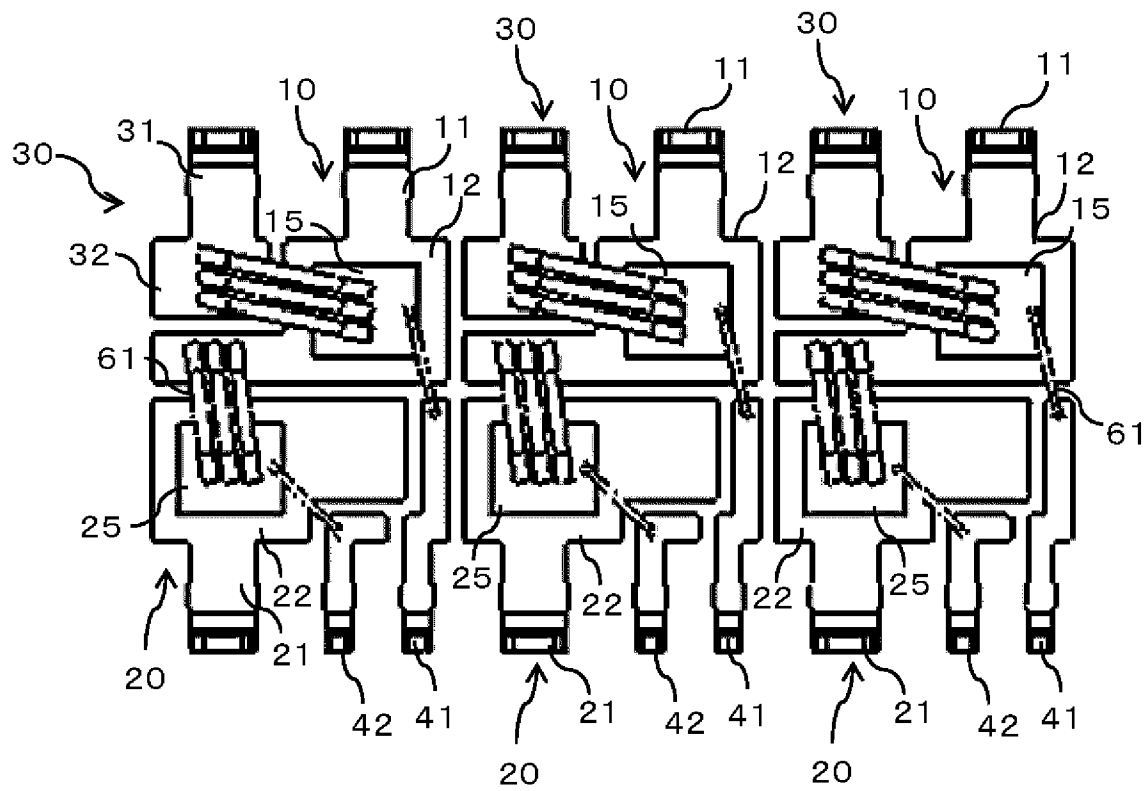
[図2]



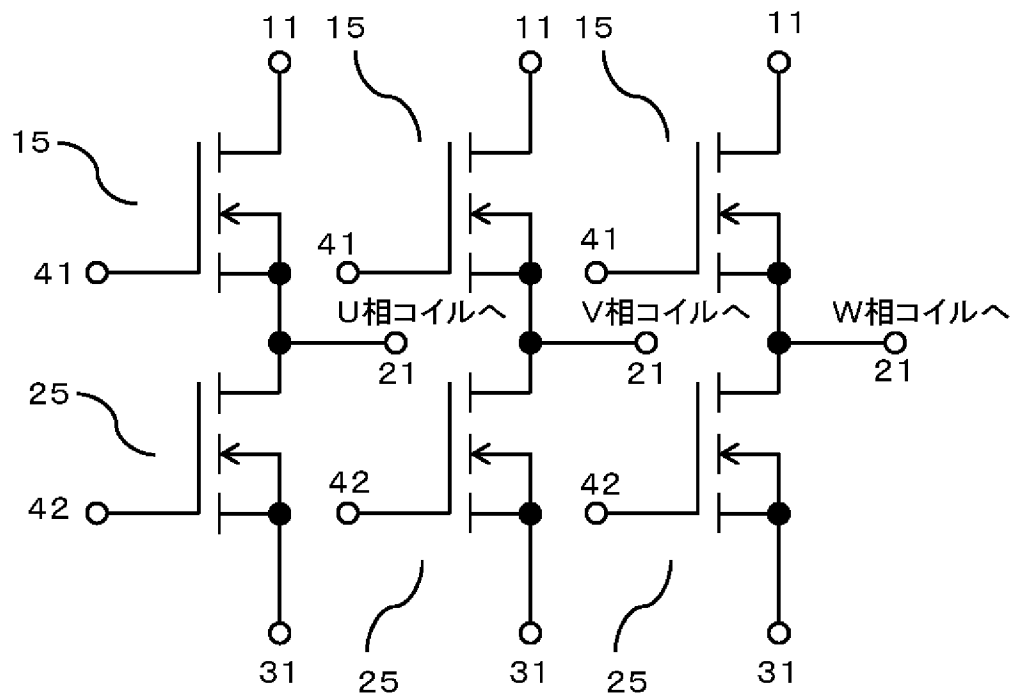
[図3]



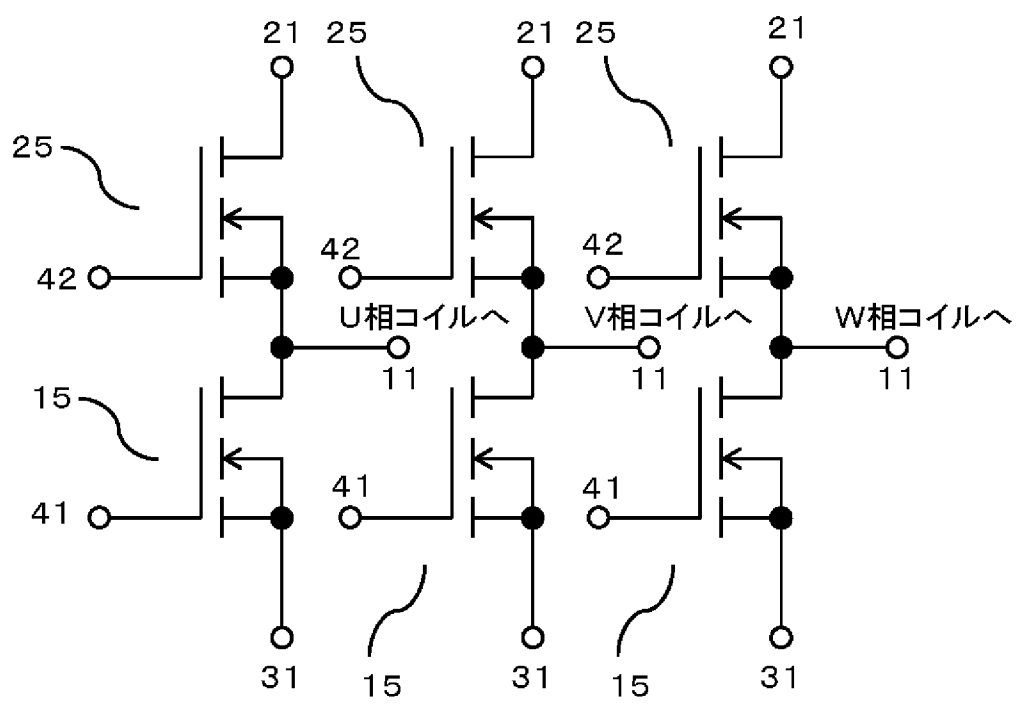
[図4]



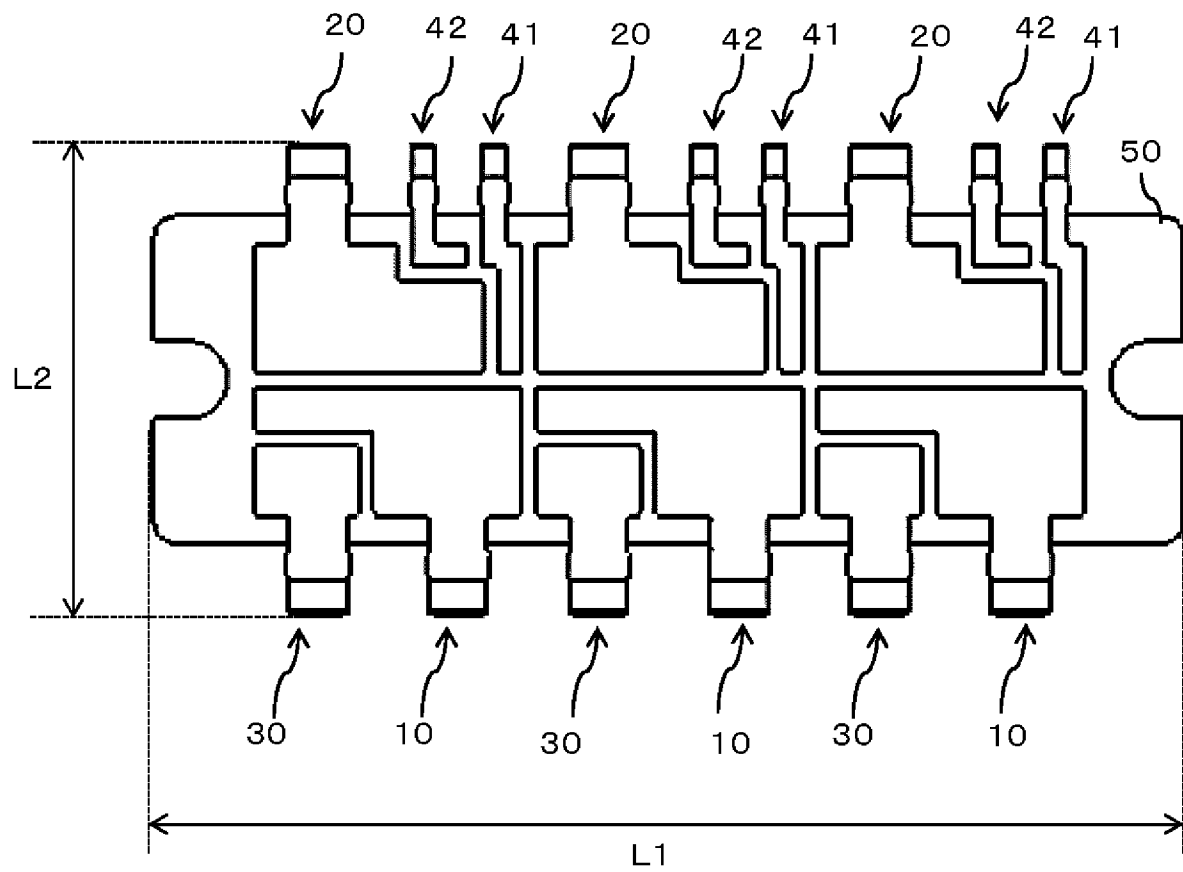
[図5]



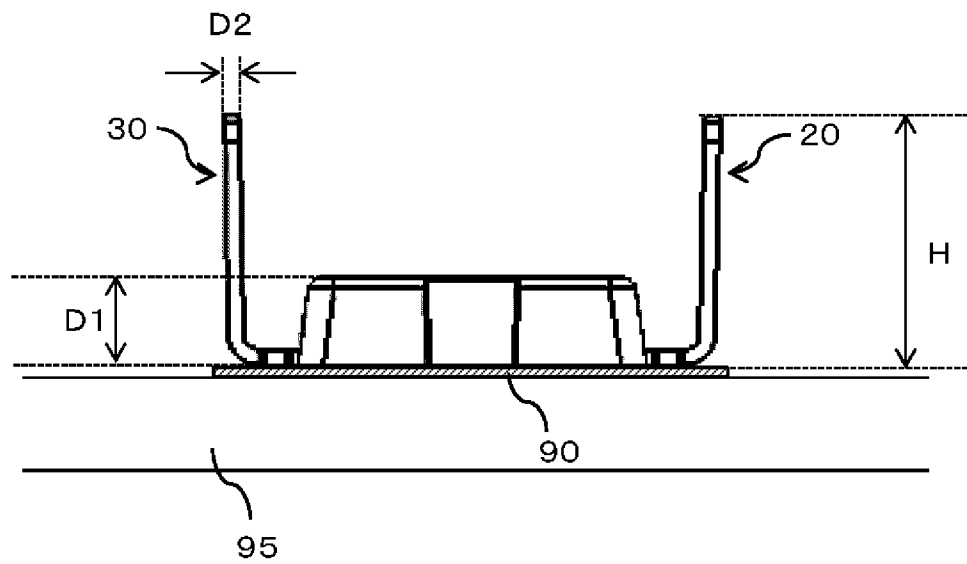
[図6]



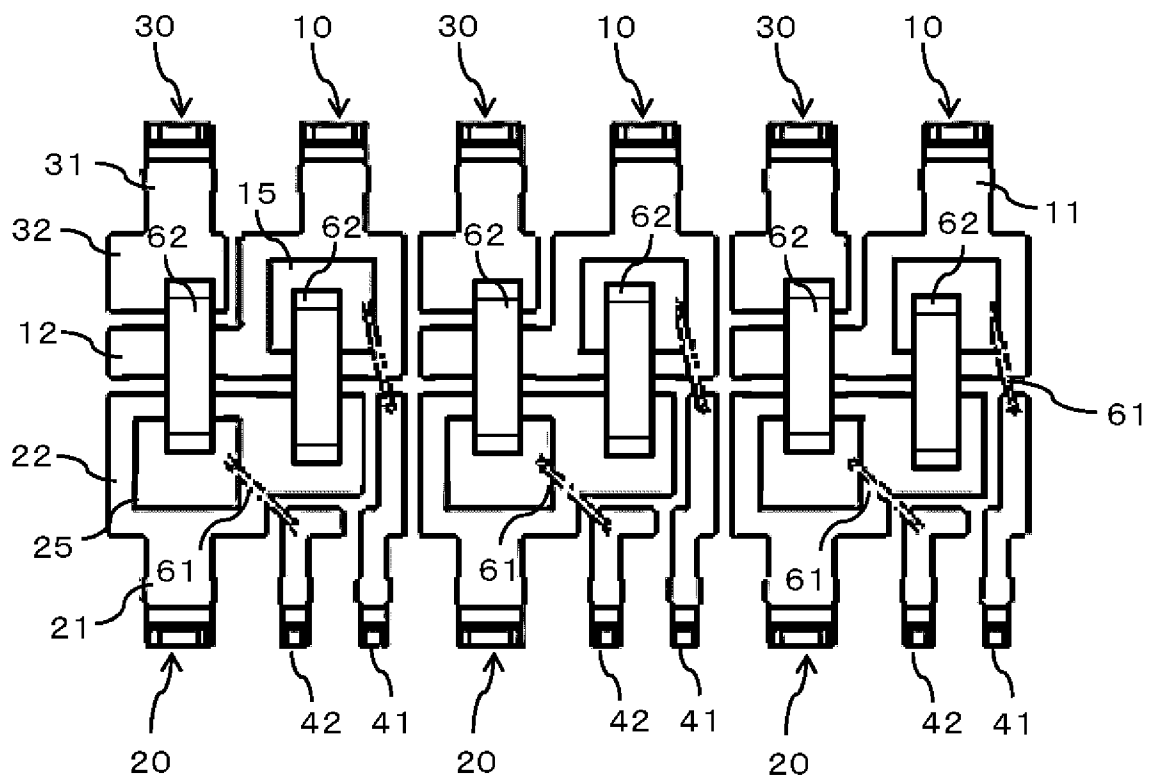
[図7]



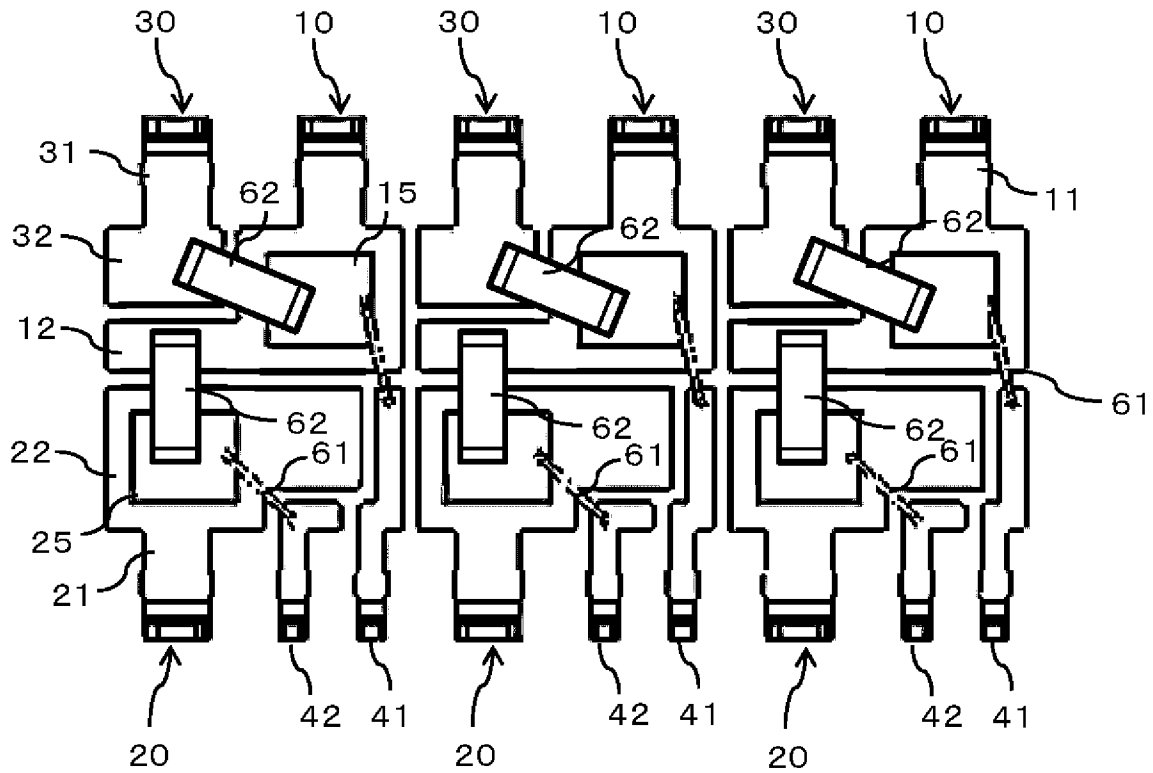
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/057712

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01) i, H01L25/18(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-029944 A (Aisin AW Co., Ltd.), 13 February 2014 (13.02.2014), paragraphs [0036] to [0039], [0053]; fig. 6 to 21 & US 2015/0326221 A1 paragraphs [0060] to [0063], [0077]; fig. 6 to 21 & WO 2014/021112 A & WO 2014/021112 A1 & DE 112013002474 T & CN 104335307 A	1-11
A	US 2007/0267742 A1 (TAI Liang-Pin), 22 November 2007 (22.11.2007), fig. 4 to 9 & TW 00I295495 B	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 May 2016 (11.05.16)

Date of mailing of the international search report
24 May 2016 (24.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/057712

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2013/0032855 A1 (MACHEINER Stefan), 07 February 2013 (07.02.2013), fig. 11 to 12 & DE 102012213208 A & CN 102915987 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-029944 A (アイシン・エイ・ダブリュ株式会社) 2014.02.13, 段落[0036]-[0039], [0053], 図 6-21 & US 2015/0326221 A1([0060]-[0063], [0077], Figs. 6-21) & WO 2014/021112 A & WO 2014/021112 A1 & DE 112013002474 T & CN 104335307 A	1-11
A	US 2007/0267742 A1 (TAI Liang-Pin) 2007.11.22, Figs. 4-9 & TW 00I295495 B	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

11.05.2016

国際調査報告の発送日

24.05.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀 和宏

5 D

4 4 5 1

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2013/0032855 A1 (MACHEINER Stefan) 2013.02.07, Figs. 11-12 & DE 102012213208 A & CN 102915987 A	1-11