

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年6月2日(2016.6.2)

【公開番号】特開2014-96559(P2014-96559A)

【公開日】平成26年5月22日(2014.5.22)

【年通号数】公開・登録公報2014-027

【出願番号】特願2013-82669(P2013-82669)

【国際特許分類】

H 01 L 21/338 (2006.01)

H 01 L 29/778 (2006.01)

H 01 L 29/812 (2006.01)

【F I】

H 01 L 29/80

H

【手続補正書】

【提出日】平成28年4月8日(2016.4.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板と、

前記基板上の第1の半導体層と、

前記第1の半導体層上の第2の半導体層と、

前記第2の半導体層上に設けられ、前記第2の半導体層の一部を露出させる第3の半導体層と、

前記第3の半導体層を通して露出された前記第2の半導体層上のゲート電極と、

前記第3の半導体層上において前記ゲート電極を挟んで互いに離れて設けられたソース電極及びドレイン電極と、

を備え、

前記ゲート電極と前記ドレイン電極との間の第3の半導体層に電気的分離領域が設けられている、電力半導体素子。

【請求項2】

前記電気的分離領域が前記ドレイン電極に隣接している、請求項1に記載の電力半導体素子。

【請求項3】

前記電気的分離領域は、前記第3の半導体層から前記第2の半導体層の一部まで延びている、請求項1又は2に記載の電力半導体素子。

【請求項4】

前記電気的分離領域に注入されるイオンは、前記第3の半導体層の導電型と異なるタイプの導電型を有する、請求項1乃至3に記載の電力半導体素子。

【請求項5】

前記第2の半導体層と接する前記第1の半導体層の界面にチャンネル層が設けられており、前記電気的分離領域は前記チャンネル層と離れている、請求項1乃至4のいずれかに記載の電力半導体素子。

【請求項6】

前記電気的分離領域は、Mg、Zn、Ca、Sr、Ba、Fe又はArのいずれか1種

を含む、請求項 1 乃至 5 のいずれかに記載の電力半導体素子。

【請求項 7】

前記ゲート電極は前記第 2 の半導体層に接する、請求項 1 乃至 6 のいずれかに記載の電力半導体素子。

【請求項 8】

前記ゲート電極は、前記第 2 の半導体層に連結された部分の幅が、前記第 2 の半導体層に連結された部分と反対側の部分の幅よりも狭い、請求項 1 乃至 7 のいずれかに記載の電力半導体素子。

【請求項 9】

前記第 3 の半導体層により露出された前記第 2 の半導体層の幅は、前記ゲート電極の長さに対応する、請求項 1 乃至 8 のいずれかに記載の電力半導体素子。

【請求項 10】

前記第 2 の半導体層はリセス部を有し、前記ゲート電極は、前記リセス部に設けられている、請求項 1 乃至 9 のいずれかに記載の電力半導体素子。

【請求項 11】

前記第 2 の半導体層に設けられた電気的分離領域の厚さは、前記第 2 の半導体層全体の膜厚よりも小さい、請求項 3 又は 5 に記載の電力半導体素子。

【請求項 12】

前記リセス部は、前記第 3 の半導体層により露出された第 2 の半導体層の領域に対応する、請求項 10 に記載の電力半導体素子。

【請求項 13】

前記第 3 の半導体層の上部にパシベーション層が設けられている、請求項 1 乃至 12 のいずれかに記載の電力半導体素子。

【請求項 14】

ソース電極、ドレイン電極、及び前記ソース電極と前記ドレイン電極との間のゲート電極と、

前記ソース電極及び前記ドレイン電極の下部に設けられており、且つ前記ゲート電極の長さに対応する幅を有するオープン領域を有している第 3 の半導体層と、

前記第 3 の半導体層の下部に設けられており、前記オープン領域を通して前記ゲート電極と連結された第 2 の半導体層と、

前記第 2 の半導体層の下部に設けられた第 1 の半導体層と、
を備え、

前記第 3 の半導体層は、前記ゲート電極に隣接した第 1 の領域、前記ドレイン電極に隣接した第 2 の領域、及び前記第 1 の領域と前記第 2 の領域との間の第 3 の領域を有し、前記第 3 の領域は、前記第 1 の領域と前記第 2 の領域とを電気的に分離させる、電力半導体素子。

【請求項 15】

前記第 3 の領域は、前記第 3 の半導体層の導電型と異なるタイプの導電型を有するイオンが注入された電気的分離領域である、請求項 14 に記載の電力半導体素子。

【請求項 16】

前記第 3 の領域が前記ドレイン電極に隣接して設けられている、請求項 14 又は 15 に記載の電力半導体素子。

【請求項 17】

前記第 3 の領域は、Mg、Zn、Ca、Sr、Ba、Fe 又は Ar のいずれか 1 種を含む、請求項 14 乃至 16 のいずれかに記載の電力半導体素子。

【請求項 18】

前記第 1 の半導体層の下部に基板をさらに備え、該基板と前記第 1 の半導体層との間に遷移層が配置されている、請求項 14 乃至 17 のいずれかに記載の電力半導体素子。

【請求項 19】

前記第 2 の半導体層はリセス部を有し、前記ゲート電極は、前記リセス部に設けられて

いる、請求項 1 4 乃至 1 8 のいずれかに記載の電力半導体素子。

【請求項 2 0】

基板と、

前記基板上に設けられた第 1 の半導体層と、

前記第 1 の半導体層上に設けられた第 2 の半導体層と、

前記第 2 の半導体層上に設けられ、前記第 2 の半導体層の一部を露出させる第 3 の半導体層と、

前記第 3 の半導体層を通して露出された前記第 2 の半導体層上に設けられたゲート電極と、

前記第 3 の半導体層上において前記ゲート電極を挟んで互いに離れて設けられたソース電極及びドレイン電極と、

を備え、

前記第 3 の半導体層は、前記ゲート電極と前記ドレイン電極との間において、前記ゲート電極に隣接した部分と前記ドレイン電極に隣接した部分とが電気的に分離されている、電力半導体素子。

【請求項 2 1】

前記第 3 の半導体層によって露出された前記第 2 の半導体層の幅は、前記ゲート電極の長さよりも大きくなっている、請求項 1 乃至 2 0 のいずれかに記載の電力半導体素子。

【請求項 2 2】

前記第 2 の半導体層と接する前記第 1 の半導体層の界面にチャンネル層が設けられており、

前記第 2 の半導体層の少なくとも一部は、前記電気的分離領域と前記チャンネル層との間に配置されている、請求項 1 乃至 2 1 のいずれかに記載の電力半導体素子。

【請求項 2 3】

前記電気的分離領域は、前記第 2 の半導体層の厚さの最大 70 %まで前記第 2 の半導体層の内部に延びて配置されている、請求項 1 乃至 2 2 のいずれかに記載の電力半導体素子。

【請求項 2 4】

前記ゲート電極と前記第 2 の半導体層との間に配置されたゲート絶縁膜をさらに備えている、請求項 1 乃至 2 3 のいずれかに記載の電力半導体素子。