

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6903483号
(P6903483)

(45) 発行日 令和3年7月14日 (2021.7.14)

(24) 登録日 令和3年6月25日 (2021.6.25)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/108 3 2 1
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 B
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 0 1 B
HO 1 L 29/417 (2006.01)	HO 1 L 29/50 M
請求項の数 6 (全 41 頁) 最終頁に続く	

(21) 出願番号	特願2017-91326 (P2017-91326)	(73) 特許権者	000153878
(22) 出願日	平成29年5月1日 (2017.5.1)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2017-204634 (P2017-204634A)		神奈川県厚木市長谷398番地
(43) 公開日	平成29年11月16日 (2017.11.16)	(72) 発明者	遠藤 正己
審査請求日	令和2年5月1日 (2020.5.1)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2016-92865 (P2016-92865)		半導体エネルギー研究所内
(32) 優先日	平成28年5月4日 (2016.5.4)		
(33) 優先権主張国・地域又は機関	日本国 (JP)	審査官	西出 隆二

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1トランジスタと、

第2トランジスタと、

第1容量素子と、

第2容量素子と、

導電体と、

配線と、を有し、

前記導電体は、前記第1トランジスタのソースまたはドレインの一方としての機能を有し、

前記導電体は、前記第1容量素子の第1電極としての機能を有し、

前記第1容量素子の第2電極は、前記配線に電氣的に接続され、

前記第2容量素子の第1電極は、前記導電体に電氣的に接続され、

前記第2容量素子の第2電極は、前記配線に電氣的に接続され、

前記第2トランジスタのゲートは、前記導電体に電氣的に接続され、

前記第1トランジスタはチャネル形成領域に酸化物半導体を有し、

前記第2トランジスタはチャネル形成領域にシリコンを有し、

前記第2容量素子と前記第1容量素子とは、互いに重なる領域を有することを特徴とする記憶装置。

【請求項2】

請求項 1 において、

前記第 2 容量素子の誘電体の膜厚は、前記第 1 容量素子の誘電体の膜厚よりも大きいことを特徴とする記憶装置。

【請求項 3】

第 1 トランジスタと、

第 2 トランジスタと、

第 3 トランジスタと、

第 1 容量素子と、

第 2 容量素子と、

導電体と、

第 1 乃至第 3 配線と、を有し、

前記導電体は、前記第 1 トランジスタのソースまたはドレインの一方としての機能を有し、

前記導電体は、前記第 1 容量素子の第 1 電極としての機能を有し、

前記第 1 容量素子の第 2 電極は、前記第 1 配線に電氣的に接続され、

前記第 2 容量素子の第 1 電極は、前記導電体に電氣的に接続され、

前記第 2 容量素子の第 2 電極は、前記第 1 配線に電氣的に接続され、

前記第 2 トランジスタのゲートは、前記導電体に電氣的に接続され、

前記第 2 トランジスタのソースまたはドレインの一方は、前記第 3 トランジスタを介して、前記第 2 配線に電氣的に接続され、

前記第 2 トランジスタのソースまたはドレインの他方は、前記第 3 配線に電氣的に接続され、

前記第 1 トランジスタはチャンネル形成領域に酸化物半導体を有し、

前記第 2 トランジスタはチャンネル形成領域にシリコンを有し、

前記第 3 トランジスタはチャンネル形成領域にシリコンを有し、

前記第 2 容量素子と前記第 1 容量素子とは、互いに重なる領域を有することを特徴とする記憶装置。

【請求項 4】

請求項 3 において、

前記第 2 容量素子の誘電体の膜厚は、前記第 1 容量素子の誘電体の膜厚よりも大きいことを特徴とする記憶装置。

【請求項 5】

請求項 1 乃至請求項 4 の何れか一項に記載の記憶装置を複数有し、

分離領域を有する半導体ウエハ。

【請求項 6】

請求項 1 乃至請求項 4 の何れか一項に記載の記憶装置と、バッテリーと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は記憶装置に関する。

【0002】

また、本発明の一形態は半導体装置に関する。また、本発明の一形態は、半導体装置の駆動方法、またはその作製方法に関する。また、本発明の一形態は、物、方法、または、製造方法に関する。または、本発明の一形態は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。記憶装置、表示装置、電気光学装置、蓄電装置、半導体回路及び電子機器は、半導体装置を有する場合がある。

10

20

30

40

50

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFET）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコンを代表とする半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。例えば、酸化亜鉛、またはIn-Ga-Zn酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1参照）。

【0005】

また、酸化物半導体を用いたトランジスタ（Oxide Semiconductor トランジスタ、以下、OSTランジスタと呼ぶ）はオフ電流が非常に小さい。そのことを利用して、特許文献2及び3には、OSTランジスタ、Siトランジスタおよび容量素子を用いた不揮発性メモリが開示されている。これらの不揮発性メモリは、書き換え可能回数に制限がなく、さらに消費電力も少ない。

【0006】

特許文献2では、OSTランジスタと容量素子が同一の層に形成されている不揮発性メモリが開示されている。また、特許文献3では、OSTランジスタと容量素子が異なる層に形成されている不揮発性メモリが開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2011-151383号公報

【特許文献3】特開2015-195074号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

不揮発性メモリの容量素子がOSTランジスタと同一の層に形成されている場合、メモリセルの面積のうち、OSTランジスタがある程度の面積を占有してしまうため、容量素子に十分な面積を割り当てることができない。

【0009】

容量素子がOSTランジスタの上層に形成されている場合、容量素子は、OSTランジスタに影響されずに面積を広くとることができるが、メモリセルの集積化が進み、メモリセルのサイズが小さくなると、容量素子に十分な面積を割り当てることができなくなる。

【0010】

本発明の一形態は、高集積化されたメモリセルを提供することを課題の一とする。また、本発明の一形態は、大容量のデータを記憶する記憶装置を提供することを課題の一とする。また、本発明の一形態は、消費電力の小さい記憶装置を提供することを課題の一とする。また、本発明の一形態は、新規な半導体装置の提供を課題の一とする。

【0011】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

【課題を解決するための手段】

【0012】

本発明の一形態は、第1トランジスタと、第2トランジスタと、第1容量素子と、第2容量素子と、導電体と、配線と、を有する記憶装置である。導電体は、第1トランジスタのソースまたはドレインの一方としての機能を有する。導電体は、第1容量素子の第1電極

10

20

30

40

50

としての機能を有する。第1容量素子の第2電極は、配線に電氣的に接続される。第2容量素子の第1電極は、導電体に電氣的に接続される。第2容量素子の第2電極は、配線に電氣的に接続される。第2トランジスタのゲートは、導電体に電氣的に接続される。第1トランジスタはチャンネル形成領域に酸化物半導体を有する。第2トランジスタはチャンネル形成領域にシリコンを有する。第2容量素子と第1容量素子とは、互いに重なる領域を有する。

【0013】

上記形態において、第2容量素子の誘電体の膜厚は、第1容量素子の誘電体の膜厚よりも大きいことが好ましい。

【0014】

本発明の一形態は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第1容量素子と、第2容量素子と、導電体と、第1乃至第3配線と、を有する記憶装置である。導電体は、第1トランジスタのソースまたはドレインの一方としての機能を有する。導電体は、第1容量素子の第1電極としての機能を有する。第1容量素子の第2電極は、第1配線に電氣的に接続される。第2容量素子の第1電極は、導電体に電氣的に接続される。第2容量素子の第2電極は、第1配線に電氣的に接続される。第2トランジスタのゲートは、導電体に電氣的に接続される。第2トランジスタのソースまたはドレインの一方は、第3トランジスタを介して、第2配線に電氣的に接続される。第2トランジスタのソースまたはドレインの他方は、第3配線に電氣的に接続される。第1トランジスタはチャンネル形成領域に酸化物半導体を有する。第2トランジスタはチャンネル形成領域にシリコンを有する。第3トランジスタはチャンネル形成領域にシリコンを有する。第2容量素子と第1容量素子とは、互いに重なる領域を有する。

【0015】

上記形態において、第2容量素子の誘電体の膜厚は、第1容量素子の誘電体の膜厚よりも大きいことが好ましい。

【0016】

本発明の一形態は、上記形態に記載の記憶装置を複数有し、分離領域を有する半導体ウェハである。

【0017】

本発明の一形態は、上記形態に記載の記憶装置と、バッテリーと、を有する電子機器である。

【発明の効果】

【0018】

本発明の一形態により、高集積化されたメモリセルを提供することができる。また、本発明の一形態により、大容量のデータを記憶する記憶装置を提供することができる。また、本発明の一形態により、消費電力の小さい記憶装置を提供することができる。また、本発明の一形態により、新規な半導体装置を提供することができる。

【0019】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一形態は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0020】

【図1】メモリセルの構成例を示す回路図。

【図2】メモリセルの動作例を示すタイミングチャート。

【図3】メモリセルの構成例を示す上面図。

【図4】メモリセルの構成例を示す上面図。

【図5】メモリセルの構成例を示す上面図。

【図6】メモリセルの構成例を示す断面図。

10

20

30

40

50

【図 7】トランジスタ $T r 1$ および $T r 2$ の構成例を示す上面図および断面図。

【図 8】トランジスタ $O S 1$ の構成例を示す上面図および断面図。

【図 9】 $I n M Z n O_4$ の結晶を説明する図。

【図 10】記憶装置の構成例を示すブロック図。

【図 11】メモリセルの構成例を示す回路図。

【図 12】メモリセルの構成例を示す回路図。

【図 13】トランジスタ $T r 1$ および $T r 2$ の構成例を示す上面図及び断面図。

【図 14】トランジスタ $O S 1$ の構成例を示す上面図および断面図。

【図 15】トランジスタ $O S 1$ の構成例を示す上面図および断面図。

【図 16】CPU の構成例を示すブロック図。

10

【図 17】RFIC の構成例を示すブロック図。

【図 18】半導体ウエハの上面図。

【図 19】半導体装置の作製工程を示すフローチャート図及び斜視図。

【図 20】電子機器の例を示す斜視図。

【図 21】メモリセルの構成例を示す断面図。

【図 22】メモリセルの構成例を示す断面図。

【図 23】記憶容量のメモリセル面積依存性を示すグラフ。

【図 24】保持時間のメモリセル面積依存性を示すグラフ。

【発明を実施するための形態】

【0021】

20

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0022】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

【0023】

なお、本明細書中において、高電源電圧を H レベル（又は V_{DD} ）、低電源電圧を L レベル（又は GND ）と呼ぶ場合がある。

30

【0024】

また、本明細書は、以下の実施の形態及び実施例を適宜組み合わせることが可能である。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0025】

（実施の形態 1）

【0026】

本実施の形態では、本発明の一形態であるメモリセルと、そのメモリセルを用いた記憶装置について説明を行う。

40

【0027】

〈〈メモリセルの構成例〉〉

〈メモリセル 10a〉

図 1（A）は、メモリセル 10a の構成例を示す回路図である。メモリセル 10a は、トランジスタ $O S 1$ と、トランジスタ $T r 1$ と、トランジスタ $T r 2$ と、容量素子 $C s 1$ と、容量素子 $C s 2$ と、を有する。また、メモリセル 10a は、配線 $B L$ 、配線 $S L$ 、配線 $W W L$ 、配線 $R W L$ 、配線 $W C L$ および配線 $B G$ に電氣的に接続されている。

【0028】

トランジスタ $O S 1$ は第 1 ゲート及び第 2 ゲートを有する。第 1 ゲートと第 2 ゲートとは、チャンネル形成領域を間に介して、互いに重なる領域を有する。なお、第 1 ゲートをゲー

50

トまたはフロントゲートと呼び、第2ゲートをバックゲートと呼ぶ場合がある。

【0029】

トランジスタOS1の第1ゲートは配線WWLに電氣的に接続される。トランジスタOS1の第2ゲートは配線BGに電氣的に接続される。トランジスタOS1のソースまたはドレインの一方は、トランジスタTr1のゲートに電氣的に接続される。トランジスタOS1のソースまたはドレインの他方は配線BLに電氣的に接続される。

【0030】

トランジスタTr1のソースまたはドレインの一方は、トランジスタTr2を介して、配線SLに電氣的に接続される。トランジスタTr1のソースまたはドレインの他方は配線BLに電氣的に接続される。

10

【0031】

容量素子Cs1の第1電極はトランジスタTr1のゲートに電氣的に接続され、容量素子Cs1の第2電極は配線WCLに電氣的に接続される。容量素子Cs2の第1電極はトランジスタTr1のゲートに電氣的に接続され、容量素子Cs2の第2電極は配線WCLに電氣的に接続される。容量素子Cs1と容量素子Cs2とは、並列に接続された容量素子とみなすことができる。

【0032】

トランジスタOS1のソースまたはドレインの一方およびトランジスタTr1のゲートとの結節点をノードFNと呼称する。

【0033】

配線BLはビット線であり、メモリセル10aに記憶されるデータが与えられる。

20

【0034】

配線SLは電源線であり、一定の電位が与えられる。

【0035】

配線WWLはワード線であり、メモリセル10aにデータを書き込む際に、Hレベルの電位が与えられる。

【0036】

配線RWLはワード線であり、メモリセル10aに書き込まれたデータを読み出す際に、Lレベルの電位が与えられる。

【0037】

配線WCLは一定の電位（GND）が与えられる。

30

【0038】

トランジスタTr1およびトランジスタTr2はpチャネル型トランジスタを用いることが好ましい。また、トランジスタTr1およびトランジスタTr2はオン電流が大きいトランジスタを用いることが好ましい。オン電流が大きいトランジスタとして、例えば、チャネル形成領域にシリコン（Si）を用いたトランジスタ（Siトランジスタ）が好ましい。

【0039】

トランジスタOS1は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が小さいトランジスタが用いられることが好適である。ここでは、オフ電流が小さいとは、ソースとドレインとの間の電圧を1.8Vとし、チャネル幅1μmあたりの規格化されたオフ電流が、室温において 1×10^{-20} A以下、85℃において 1×10^{-18} A以下、又は125℃において 1×10^{-16} A以下、であることをいう。このようにオフ電流が低いトランジスタとしては、OSトランジスタが挙げられる。

40

【0040】

メモリセル10aにおいて、ノードFNは配線BLおよびトランジスタOS1を介して電荷（データ）が書き込まれる。ノードFNに電荷が書き込まれた後に、トランジスタOS1をオフにすることで、メモリセル10aはノードFNに電荷を保持することができる。

【0041】

トランジスタOS1のオフ電流は極めて小さいため、メモリセル10aは長時間データを

50

保持することができる。また、メモリセル10aはトランジスタOS1をオンするだけでデータを書き込むことができるので、例えば、書込みに高電圧の必要なフラッシュメモリと比べて、小さい電力でデータを書き込むことができる。すなわちメモリセル10aを用いた記憶装置は消費電力を小さくすることができる。

【0042】

〈メモリセル10b〉

メモリセル10aは、トランジスタTr2をトランジスタTr1のソースまたはドレインの他方と配線BLとの間に設けることができる。その場合の回路図を図1(B)に示す。図1(B)に示すメモリセル10bの各構成要素の詳細は、メモリセル10aの記載を参照すればよい。

10

【0043】

〈メモリセルの動作例〉

次に、メモリセル10aの書き込み動作と読み出し動作について、図2を用いて説明を行う。以下の説明はノードFNが1ビットのデータを保持する場合について説明を行う。なお、以下の説明はメモリセル10bに対してもそのまま適用することができる。

【0044】

図2は、メモリセル10aの動作例を示すタイミングチャートである。上から順に、配線WWL、配線RWL、配線WCL、配線BL、配線SL、ノードFN、配線BGに与えられる電位をそれぞれ表している。また、図2のタイミングチャートは、期間P1乃至P5に分割されている。

20

【0045】

期間P1、P3、P5はメモリセル10aのスタンバイ期間を表す。期間P2はメモリセル10aの書き込み期間を表す。期間P4はメモリセル10aの読み出し期間を表す。

【0046】

なお、期間P1乃至P5において、配線WCLは、常にGNDが与えられている。GNDは、低電源電位または接地電位であることが好ましい。

【0047】

また、期間P1乃至P5において、配線SLは常に電位 V_3 が与えられ、配線BGは常に電位 V_{BG} が与えられている。電位 V_{BG} は負電位であることが好ましい。電位 V_{BG} に負電位を与えることで、トランジスタOS1をノーマリ・オフにすることができる。なお、ここで言うノーマリ・オフとは、配線WWLにGNDを与えたとき、トランジスタOSに流れるチャンネル幅 $1\mu\text{m}$ あたりの電流が室温において $1\times 10^{-20}\text{A}$ 以下、 85°C において $1\times 10^{-18}\text{A}$ 以下、又は 125°C において $1\times 10^{-16}\text{A}$ 以下であることをいう。

30

【0048】

以下、それぞれの期間の動作について順を追って説明を行う。

【0049】

〈期間P1〉

まず、期間P1において、配線WWLおよび配線BLはGNDが与えられ、配線RWLは電位 V_2 が与えられている。このとき、トランジスタTr2はオフになり、配線BLと配線SLとの間に電流は流れない。トランジスタTr2をオフにするために、電位 V_2 と電位 V_3 の差($V_2 - V_3$)は、トランジスタTr2のしきい値電圧よりも大きいことが好ましい。

40

【0050】

〈期間P2〉

次に、期間P2において、配線WWLに電位 V_1 を与え、配線BLに電位 V_2 (データ「1」)、またはGND(データ「0」)を与える。電位 V_1 は、電位 V_2 にトランジスタOS1のしきい値電圧を足し合わせた値よりも、大きいことが好ましい。このとき、トランジスタOS1はオンになり、配線BLに与えられたデータはノードFNに書き込まれる。

50

【0051】

〈期間P3〉

次に、期間P3において、配線WWL及び配線BLにGNDを与える。このとき、トランジスタOS1はオフになり、ノードFNに書き込まれたデータは保持される。

【0052】

〈期間P4〉

次に、期間P4において、配線BLを電氣的に浮遊状態にし、配線RWLにGNDを与える。このとき、トランジスタTr2がオンになる。

【0053】

もし、ノードFNに「1」が書き込まれている場合は、トランジスタTr1はオフであるため、配線SLと配線BLの間に電流は流れず、配線BLはGNDを維持する。なお、トランジスタTr1をオフにするために、電位 V_2 と電位 V_3 の差($V_2 - V_3$)は、トランジスタTr1のしきい値電圧よりも大きいことが好ましい。

10

【0054】

もし、ノードFNに「0」が書き込まれている場合は、トランジスタTr1はオンであるため、配線SLと配線BLは導通状態になり、配線BLは電位 V_3 になるまで（配線BLと配線SLが等電位になるまで）充電される。なお、トランジスタTr1をオンにするために、GNDと電位 V_3 の差($-V_3$)はトランジスタTr1のしきい値電圧よりも小さいことが好ましい。また、トランジスタTr2をオンにするために、GNDと電位 V_3 の差($-V_3$)はトランジスタTr2のしきい値電圧よりも小さいことが好ましい。

20

【0055】

期間P4において、配線BLの電位を読み出すことで、ノードFNに書き込まれたデータを判定することが可能になる。

【0056】

〈期間P5〉

次に、期間P5において、配線RWLに電位 V_2 を与え、配線BLにGNDを与え、ノードFNのデータを保持する。

【0057】

以上、期間P1乃至P5に示した動作により、メモリセル10aのデータの読み出しと書き込みが可能になる。

30

【0058】

〈メモリセルの上面図〉

次に、メモリセル10aの上面図について、図3乃至図5を用いて説明を行う。

【0059】

メモリセル10aの上面図について、下層から順を追って説明を行う。図3(A)は、基板に形成されたトランジスタTr1とトランジスタTr2の上面図を示している。図3(A)において、半導体SEM1は、トランジスタTr1及びTr2の活性層領域としての機能を有し、導電体G11はトランジスタTr1のゲート電極としての機能を有し、導電体G12はトランジスタTr2のゲート電極としての機能を有する。

40

【0060】

図3(A)において、 l_x はメモリセル10aのx方向（横方向）の長さを表し、 l_y はメモリセル10aのy方向（縦方向）の長さを表している。 l_x と l_y の積は、メモリセル10aの面積を表している。

【0061】

図3(B)は、図3(A)の上面図に導電体M11、導電体M12、導電体M13および導電体M14を追加した場合の上面図である。導電体M11は配線BLとしての機能を有し、導電体M12は配線SLとしての機能を有する。

【0062】

図3(A)、(B)において、導電体G11と導電体M13はプラグV11を介して電氣的に接続されている。半導体SEM1と導電体M11はプラグV12を介して電氣的に接

50

続されている。半導体SEM1と導電体M12はプラグV13を介して電氣的に接続されている。導電体G12と導電体M14はプラグV14を介して、電氣的に接続されている。

【0063】

図3(C)は、図3(B)の上面図に、導電体M21、導電体M22、導電体M23および導電体M24を追加した場合の上面図である。導電体M24は配線RWLとしての機能を有する。

【0064】

図3(B)、(C)において、導電体M11と導電体M21はプラグV21を介して電氣的に接続されている。導電体M13と導電体M23はプラグV22を介して電氣的に接続されている。導電体M14と導電体M24はプラグV23を介して、電氣的に接続されている。

10

【0065】

図3(D)は、図3(C)の上面図に、半導体SEM2を追加した場合の上面図である。半導体SEM2は、トランジスタOS1の半導体領域としての機能を有する。

【0066】

図4(A)は、図3(D)の上面図に、導電体S21および導電体S22を追加した場合の上面図である。導電体S22はトランジスタOS1のソースまたはドレインの一方としての機能を有し、導電体S21はトランジスタOS1のソースまたはドレインの他方としての機能を有する。

20

【0067】

図4(B)は、図4(A)の上面図に、導電体G21および導電体G22を追加した場合の上面図である。導電体G21はトランジスタOS1のゲートとしての機能を有する。

【0068】

図4(C)は、図4(B)の上面図におけるトランジスタOS1と容量素子Cs1の位置を太い破線で示している。

【0069】

図4(D)は、図4(B)の上面図に、導電体M31、導電体M32、導電体M33および導電体M34を追加した場合の上面図である。導電体M32は配線WWLとしての機能を有し、導電体M34は配線WCLとしての機能を有する。

30

【0070】

図4(B)、(D)において、導電体M21と導電体M31はプラグV41を介して電氣的に接続されている。導電体S21と導電体M31はプラグV42を介して電氣的に接続されている。導電体G21と導電体M32はプラグV43を介して電氣的に接続されている。導電体S22と導電体M33はプラグV44を介して電氣的に接続されている。導電体M23と導電体M33はプラグV45を介して電氣的に接続されている。導電体G22と導電体M34はプラグV46を介して電氣的に接続されている。

【0071】

図5(A)は、図4(D)の上面図に、導電体CE1、導電体CE2を追加した場合の上面図である。導電体CE1は容量素子Cs2の第1電極としての機能を有し、導電体CE2は容量素子Cs2の第2電極としての機能を有する。

40

【0072】

図5(B)は、図5(A)における容量素子Cs2の位置を太い破線で示している。容量素子Cs2は、先に示した容量素子Cs1と重なる領域を有することが好ましい。こうすることで、メモリセル10aの記憶容量を維持したまま、メモリセル10aの面積を小さくすることができる。

【0073】

図5(C)は、図5(A)の上面図に、導電体M41および導電体M42を追加した場合の上面図である。

【0074】

50

図5(A)、(C)において、導電体M33と導電体M41はプラグV51を介して電氣的に接続されている。導電体CE1と導電体M41はプラグV52を介して電氣的に接続されている。導電体CE2と導電体M42はプラグV53を介して電氣的に接続されている。導電体M34と導電体M42はプラグV54を介して電氣的に接続されている。

【0075】

〈メモリセルの断面図〉

次に、メモリセル10aの断面図について、図6を用いて説明を行う。図6は、図5(C)の一点鎖線Y1-Y2における断面図を示している。

【0076】

図6に示すメモリセル10aは、下から順に、層L1と、層L2と、層L3と、層L4と、層L5を有する。

10

【0077】

層L1は、基板11と、素子分離層12と、半導体SEM1と、絶縁体34aと、導電体G11と、側壁絶縁層14と、側壁絶縁層15と、プラグV11とを有する。

【0078】

図中にはトランジスタTr1に相当する箇所が破線で示してある。トランジスタTr1の詳細については後述する。

【0079】

層L2は、絶縁体13と、絶縁体24と、導電体M13と、プラグV22を有する。

【0080】

20

層L3は、絶縁体16と、絶縁体25と、導電体M22と、導電体M23と、導電体M24と、絶縁体17と、絶縁体18と、絶縁体19と、酸化物半導体41と、酸化物半導体42と、酸化物半導体43と、絶縁体20と、絶縁体21と、導電体S21と、導電体S22と、導電体G21と、導電体G22と、プラグV42と、絶縁体22と、を有する。導電体M24は配線RWLとしての機能を有する。

【0081】

図中にはトランジスタOS1と容量素子Cs1に相当する箇所が破線で示してある。導電体G21はトランジスタOS1のゲートとしての機能を有する。導電体S22はトランジスタOS1のソースまたはドレインの一方としての機能を有し、導電体S21はトランジスタOS1のソースまたはドレインの他方としての機能を有する。また、導電体S22は容量素子Cs1の第1電極としての機能を有する。導電体G22は容量素子Cs1の第2電極としての機能を有する。絶縁体20は容量素子Cs1の誘電体としての機能を有する。また、絶縁体20はトランジスタOS1のゲート絶縁体としての機能も有する。なお、トランジスタOS1の詳細については後述する。

30

【0082】

層L4は、導電体M31と、導電体M32と、導電体M34と、を有する。導電体M32は配線WWLとしての機能を有し、導電体M34は配線WCLとしての機能を有する。

【0083】

層L5は、導電体CE1と、絶縁体23と、導電体CE2と、プラグV53と、導電体M42とを有する。導電体CE1は容量素子Cs2の第1電極としての機能を有し、導電体CE2は容量素子Cs2の第2電極としての機能を有する。絶縁体23は容量素子Cs2の誘電体としての機能を有する。図中には容量素子Cs2に相当する箇所が破線で示してある。

40

【0084】

メモリセル10aにおいて、容量素子Cs1はトランジスタOS1と同じ層に設けられている。そのため、メモリセル10aの製造工程において、トランジスタOS1のソースおよびドレインと容量素子Cs1の第1電極とは、同時に形成される。また、トランジスタOS1のゲート絶縁体と容量素子Cs1の誘電体とは、同時に形成される。また、トランジスタOS1のゲートと容量素子Cs1の第2電極とは、同時に形成される。

【0085】

50

メモリセル10aにおいて、容量素子Cs2は容量素子Cs1の上層に形成されている。また、容量素子Cs1と容量素子Cs2とは、互いに重なる領域を有する。

【0086】

例えば、メモリセル10aの容量素子が容量素子Cs1のみで構成されている場合、メモリセル10aの面積のうち、トランジスタOS1がある程度の面積を占有してしまうと、容量素子Cs1に十分な面積を割り当てることができない。

【0087】

例えば、メモリセル10aの容量素子が容量素子Cs2のみで構成されている場合、容量素子Cs2は、トランジスタOS1に影響されずに面積を広くとることができるが、メモリセル10aの集積化が進み、メモリセル10aのサイズが小さくなると、容量素子Cs2に十分な面積を割り当てることができなくなる。

10

【0088】

図6に示す構成は、メモリセル10aのサイズが小さくなっても、容量素子Cs2の不足分を容量素子Cs1が補うことができるので好ましい。

【0089】

また、容量素子Cs1の誘電体（絶縁体20）の膜厚は、容量素子Cs2の誘電体（絶縁体23）の膜厚よりも薄くすることが好ましい。絶縁体20はトランジスタOS1のゲート絶縁体も兼ねているので、絶縁体20を厚くしすぎるとトランジスタOS1が動作しなくなる。また、容量素子Cs2は面積が広いので、絶縁体23を薄くしすぎると絶縁体23を流れるリーク電流が増大し、容量素子Cs2は電荷を保持することができなくなる。

20

【0090】

基板11としては、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板や、SOI（Silicon On Insulator）基板などを用いることができる。また、基板11として、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルム、などを用いてもよい。また、ある基板を用いて半導体素子を形成し、その後、別の基板に半導体素子を転置してもよい。

【0091】

また、基板11として、可とう性基板を用いてもよい。可とう性基板である基板11としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン（PTFE）などがある。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板11に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

30

【0092】

図6では、一例として、基板11に単結晶シリコンウェハを用いた例を示している。

【0093】

トランジスタTr1は基板11上に設けられ、素子分離層12によって隣接する他のトランジスタと分離されている。素子分離層12として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン等を用いることができる。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。

40

【0094】

導電体M13、M31、M32、M34、CE1、CE2、M42、および、プラグV11、V42、V53として、銅、タングステン、モリブデン、金、アルミニウム、マンガン、チタン、タンタル、ニッケル、クロム、鉛、錫、鉄、コバルト、ルテニウム、白金、イリジウム、ストロンチウムの低抵抗材料からなる単体、合金、またはこれらを主成分とする化合物を含む導電体の単層または積層とすることが好ましい。特に、耐熱性と導電性

50

を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗材料を用いることが好ましい。

【0095】

上記導電体または上記プラグに銅を用いた場合、絶縁体13、24は、銅の拡散を抑制する絶縁体を用いることが好ましい。例えば、銅の拡散を抑制する絶縁体の一例として、窒化シリコンを用いることができる。また、酸化アルミニウムなどの金属酸化物を用いてもよい。

【0096】

導電体M23、M24およびプラグV22に関する詳細は、後述する導電体M22の記載を参照すればよい。

10

【0097】

基板11、トランジスタTr1または容量素子Cs2から発生する水素が、トランジスタOS1が有する酸化物半導体に侵入すると、トランジスタOS1の特性を低下させる場合がある。従って、絶縁体16、絶縁体25および絶縁体22には、水素に対するバリア性を有する絶縁体を用いることが好ましい。上記絶縁体の一例として、CVD法で形成した窒化シリコンが挙げられる。

【0098】

水素に対するバリア性を有する絶縁体の一例として、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物が挙げられる。特に、酸化アルミニウムは水素に対する遮断効果が高い。また、酸化アルミニウムは酸素に対する遮蔽効果も高い。そのため、トランジスタOS1を構成する酸化物半導体からの酸素の放出を抑制することができる。

20

【0099】

導電体M22、M23、M24およびプラグV22の側面および底面は、水素に対するバリア性を有する導電体が設けられることが好ましい。水素に対するバリア性を有する導電体として、例えば、窒化タンタルが挙げられる。上述のように水素に対するバリア性を有する導電体を設けることで、導電体またはプラグを介して、トランジスタOS1に侵入する水素を防ぐことができる。

【0100】

例えば、絶縁体16は原子層堆積(ALD: Atomic Layer Deposition)法で成膜することが好ましい。これにより、絶縁体16を良好な被覆性で成膜し、クラックやピンホールなどが形成されることを抑制することができる。また、例えば、絶縁体25をスパッタリング法で成膜することが好ましい。これにより、絶縁体16より速い成膜速度で成膜でき、絶縁体16より生産性よく膜厚を大きくすることができる。このような絶縁体16と絶縁体25の積層にすることで、水素などの不純物に対するバリア性を向上させることができる。なお、絶縁体25は、絶縁体16の下に設ける構成としてもよい。また、絶縁体16が不純物に対して十分なバリア性を持つ場合、絶縁体25を設けない構成としてもよい。

30

【0101】

図6において、符号及びハッチングパターンが与えられていない領域は、絶縁体で構成されている。上記絶縁体には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上の材料を含む絶縁体を用いることができる。また、当該領域には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。

40

【0102】

〈〈トランジスタTr1、トランジスタTr2〉〉

次に、図7(A)乃至(C)を用いてトランジスタTr1およびトランジスタTr2の詳細について説明を行う。

50

【0103】

図7（A）は、トランジスタTr1およびトランジスタTr2の上面図（図3（A）の上面図と同じ）を示している。図7（B）は図7（A）の一点鎖線X1 - X2における断面図を示し、図7（C）は図7（A）の一点鎖線Y1 - Y2における断面図を示している。なお、一点鎖線X1 - X2をトランジスタTr1、Tr2のチャンネル長方向、一点鎖線Y1 - Y2をトランジスタTr1のチャンネル幅方向と呼ぶ場合がある。

【0104】

図7（B）において、トランジスタTr1、Tr2は、低濃度不純物領域32a乃至32dと、高濃度不純物領域31a乃至31c、該高濃度不純物領域に接して設けられた導電性領域33a乃至33c、トランジスタTr1のゲート絶縁体としての機能を有する絶縁体34aと、トランジスタTr2のゲート絶縁体としての機能を有する絶縁体34bと、トランジスタTr1のゲート電極としての機能を有する導電体G11と、トランジスタTr2のゲート電極としての機能を有する導電体G12と、導電体G11の側壁に設けられた側壁絶縁層14a、15aと、導電体G12の側壁に設けられた側壁絶縁層14b、15bと、を有する。なお、導電性領域33a乃至33cには、金属シリサイド等を用いてもよい。

【0105】

プラグV12およびプラグV13の詳細は上述したプラグV11の記載を参照すればよい。

【0106】

〈〈トランジスタOS1〉〉

次に、図8（A）乃至（C）を用いてトランジスタOS1の詳細について説明を行う。

【0107】

図8（A）は、図4（C）に示すメモリセル10aの上面図のうち、トランジスタOS1とその周辺を示している。図8（B）は図8（A）の一点鎖線Y1 - Y2における断面図を示し、図8（C）は図8（A）の一点鎖線X1 - X2における断面図を示している。なお、一点鎖線Y1 - Y2をトランジスタOS1のチャンネル長方向、一点鎖線X1 - X2をトランジスタOS1のチャンネル幅方向と呼ぶ場合がある。

【0108】

トランジスタOS1は、ゲート（第1ゲート）として機能する導電体G21と、ゲート絶縁体（第1ゲート絶縁体）として機能する絶縁体20と、第2ゲートとして機能する導電体M22（導電体M22a、導電体M22b）と、第2ゲート絶縁体として機能する絶縁体17、絶縁体18および絶縁体19と、酸化物半導体40（酸化物半導体41、酸化物半導体42および酸化物半導体43）と、ソースまたはドレインの一方として機能する導電体S22と、ソースまたはドレインの他方として機能する導電体S21と、導電体G21を保護する絶縁体21と、過剰酸素を有する（化学量論的組成よりも過剰に酸素を含む）絶縁体26と、を有する。

【0109】

導電体G21と導電体M22は、開口部44を介して、接続されている（図8（C））。

【0110】

また、酸化物半導体40は、酸化物半導体41と、酸化物半導体41上の酸化物半導体42と、酸化物半導体42上の酸化物半導体43と、を有する。なお、トランジスタOS1をオンさせると、主として酸化物半導体42に電流が流れることから、酸化物半導体42はチャンネル形成領域としての機能を有する。一方、酸化物半導体41および酸化物半導体43は、酸化物半導体42との界面近傍（混合領域となっている場合もある）は電流が流れる場合があるものの、そのほかの領域は絶縁体として機能する場合がある。

【0111】

酸化物半導体41、42は、図3（D）の上面図における半導体SEM2に相当する。

【0112】

〈酸化物半導体〉

次に酸化物半導体40に、用いることが可能な酸化物半導体について説明する。

【0113】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0114】

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する $InMZnO$ である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0115】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0116】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0117】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0118】

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

【0119】

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0120】

10

20

30

40

50

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

【0121】

次に、図9(A)、図9(B)、および図9(C)を用いて、酸化物半導体が有するインジウム、元素Mおよび亜鉛の原子数比の好ましい範囲について説明する。なお、図9(A)、図9(B)、および図9(C)には、酸素の原子数比については記載しない。また、酸化物半導体が有するインジウム、元素M、および亜鉛の原子数比のそれぞれの項を $[In]$ 、 $[M]$ 、および $[Zn]$ とする。

【0122】

図9(A)、図9(B)、および図9(C)において、破線は、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 1$ の原子数比($-1 \leq \alpha \leq 1$)となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 2$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 3$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 4$ の原子数比となるライン、および $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 5$ の原子数比となるラインを表す。

【0123】

一点鎖線は、 $[In] : [M] : [Zn] = 5 : 1 : \beta$ の原子数比($\beta \geq 0$)となるライン、 $[In] : [M] : [Zn] = 2 : 1 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 1 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 2 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 3 : \beta$ の原子数比となるライン、および $[In] : [M] : [Zn] = 1 : 4 : \beta$ の原子数比となるラインを表す。

【0124】

二点鎖線は、 $[In] : [M] : [Zn] = (1 + \gamma) : 2 : (1 - \gamma)$ の原子数比($-1 \leq \gamma \leq 1$)となるラインを表す。また、図9(A)、図9(B)、および図9(C)に示す、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比、およびその近傍値の酸化物半導体は、スピネル型の結晶構造をとりやすい。

【0125】

酸化物半導体中に複数の相が共存する場合がある(二相共存、三相共存など)。例えば、原子数比が $[In] : [M] : [Zn] = 0 : 2 : 1$ の近傍値である場合、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、原子数比が $[In] : [M] : [Zn] = 1 : 0 : 0$ の近傍値である場合、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物半導体中に複数の相が共存する場合、異なる結晶構造の間において、結晶粒界が形成される場合がある。

【0126】

図9(A)に示す領域Aは、酸化物半導体が有する、インジウム、元素M、および亜鉛の原子数比の好ましい範囲の一例について示している。

【0127】

酸化物半導体は、インジウムの含有率を高くすることで、酸化物半導体のキャリア移動度(電子移動度)を高くすることができる。これは、インジウム、元素Mおよび亜鉛を有する酸化物半導体では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるためである。従って、インジウムの含有率が高い酸化物半導体はインジウムの含有率が低い酸化物半導体と比較してキャリア移動度が高くなる。

【0128】

一方、酸化物半導体中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、原子数比が $[In] : [M] : [Zn] = 0 : 1 : 0$ 、およびその近傍値である場合(例えば図9(C)に示す領域C)は、絶縁性が高くなる。

【0129】

10

20

30

40

50

従って、本発明の一形態の酸化物半導体は、キャリア移動度が高く、かつ、結晶粒界が少ない層状構造となりやすい、図9（A）の領域Aで示される原子数比を有することが好ましい。

【0130】

特に、図9（B）に示す領域Bでは、領域Aの中でも、CAAC-O-Sとなりやすく、キャリア移動度も高い優れた酸化物半導体が得られる。

【0131】

CAAC-O-Sは結晶性の高い酸化物半導体である。一方、CAAC-O-Sは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-O-Sは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-O-Sを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-O-Sを有する酸化物半導体は熱に強く、信頼性が高い。

10

【0132】

なお、領域Bは、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から4.1、およびその近傍値を含む。近傍値には、例えば、 $[In] : [M] : [Zn] = 5 : 3 : 4$ が含まれる。また、領域Bは、 $[In] : [M] : [Zn] = 5 : 1 : 6$ 、およびその近傍値、および $[In] : [M] : [Zn] = 5 : 1 : 7$ 、およびその近傍値を含む。

【0133】

なお、酸化物半導体が有する性質は、原子数比によって一義的に定まらない。同じ原子数比であっても、形成条件により、酸化物半導体の性質が異なる場合がある。例えば、酸化物半導体をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。また、成膜時の基板温度によっては、ターゲットの $[Zn]$ よりも、膜の $[Zn]$ が小さくなる場合がある。従って、図示する領域は、酸化物半導体が特定の特性を有する傾向がある原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

20

【0134】

再び、図8（B）、（C）に示すトランジスタOS1に話を戻す。

【0135】

酸化物半導体41、酸化物半導体43は、酸化物半導体42よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物半導体42の伝導帯下端のエネルギー準位と、酸化物半導体41、酸化物半導体43の伝導帯下端のエネルギー準位との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。すなわち、酸化物半導体41、酸化物半導体43の電子親和力と、酸化物半導体42の電子親和力との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。

30

【0136】

酸化物半導体42において、エネルギーギャップは2 eV以上が好ましく、2.5 eV以上3.0 eV以下がより好ましい。また、酸化物半導体41および酸化物半導体43において、エネルギーギャップは2 eV以上が好ましく、2.5 eV以上がより好ましく、2.7 eV以上3.5 eV以下がさらに好ましい。また、酸化物半導体41および酸化物半導体43のエネルギーギャップは、酸化物半導体42のエネルギーギャップよりも大きいことが好ましい。例えば、酸化物半導体41および酸化物半導体43のエネルギーギャップは、酸化物半導体42のエネルギーギャップと比べて、0.15 eV以上、または0.5 eV以上、または1.0 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。

40

【0137】

酸化物半導体のキャリア密度を低くすることで、トランジスタのしきい値電圧のマイナスシフトを抑制し、またはトランジスタのオフ電流を低くすることができると好ましい。

【0138】

50

酸化物半導体のキャリア密度に影響を与える因子としては、酸化物半導体中の酸素欠損（ V_o ）、または酸化物半導体中の不純物などが挙げられる。酸化物半導体中の酸素欠損が多くなると、該酸素欠損に水素が結合（この状態を V_oH ともいう）した際に、欠陥準位密度が高くなる。または、酸化物半導体中の不純物が多くなると、該不純物に起因し欠陥準位密度が高くなる。したがって、酸化物半導体中の欠陥準位密度を制御することで、酸化物半導体のキャリア密度を制御することができる。

【0139】

例えば、酸化物半導体41および酸化物半導体43のキャリア密度は、 $8 \times 10^{15} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

10

【0140】

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体のキャリア密度を高くする方が好ましい。酸化物半導体のキャリア密度を高くする場合においては、酸化物半導体の不純物濃度をわずかに高める、または酸化物半導体の欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体のバンドギャップをより小さくするとよい。

【0141】

酸化物半導体42のキャリア密度は、酸化物半導体41および酸化物半導体43と比較して高いことが好ましい。酸化物半導体42のキャリア密度は、 $1 \times 10^5 \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 未満が好ましく、 $1 \times 10^7 \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下がより好ましく、 $1 \times 10^9 \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{10} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{15} \text{ cm}^{-3}$ 以下がさらに好ましい。

20

【0142】

酸化物半導体41と酸化物半導体42との界面、または酸化物半導体42と酸化物半導体43との界面において形成される混合層の欠陥準位密度を低くすることが好ましい。

【0143】

具体的には、酸化物半導体41と酸化物半導体42、酸化物半導体42と酸化物半導体43が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物半導体42が $In-Ga-Zn$ 酸化物半導体の場合、酸化物半導体41、酸化物半導体43として、 $In-Ga-Zn$ 酸化物半導体、 $Ga-Zn$ 酸化物半導体、酸化ガリウムなどを用いるとよい。

30

【0144】

このとき、キャリアの主たる経路は酸化物半導体42となる。酸化物半導体41と酸化物半導体42との界面、および酸化物半導体42と酸化物半導体43との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0145】

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタの V_{th} はプラス方向にシフトしてしまう。酸化物半導体41、酸化物半導体43を設けることにより、トラップ準位を酸化物半導体42より遠ざけることができる。当該構成とすることで、トランジスタの V_{th} がプラス方向にシフトすることを防止することができる。

40

【0146】

酸化物半導体41、酸化物半導体43は、酸化物半導体42と比較して、導電率が十分に低い材料を用いる。このとき、酸化物半導体42、酸化物半導体42と酸化物半導体41との界面、および酸化物半導体42と酸化物半導体43との界面が、主にチャネル領域として機能する。例えば、酸化物半導体41、酸化物半導体43には、図9（C）において、絶縁性が高くなる領域Cで示す原子数比の酸化物半導体を用いればよい。なお、図9（C）に示す領域Cは、 $[In] : [M] : [Zn] = 0 : 1 : 0$ 、またはその近傍値であ

50

る原子数比を示している。

【0147】

特に、酸化物半導体42に図9(A)に示す領域Aで示される原子数比の酸化物半導体を用いる場合、酸化物半導体41および酸化物半導体43には、 $[M] / [In]$ が1以上、好ましくは2以上である酸化物半導体を用いることが好ましい。また、酸化物半導体43として、十分に高い絶縁性を得ることができる $[M] / ([Zn] + [In])$ が1以上である酸化物半導体を用いることが好適である。

【0148】

酸化物半導体42は、上述のCAAC-Osを有することが好ましい。

【0149】

酸化物半導体43は酸化物半導体42よりも結晶性が低いことが好ましい。酸化物半導体43の結晶性を低くすることにより、酸化物半導体43の酸素透過性が高くなり、酸化物半導体43よりも上に位置する絶縁体から酸化物半導体42へ酸素を供給しやすくなる。同様に、酸化物半導体41は、酸化物半導体42よりも結晶性が低いことが好ましい。酸化物半導体41の結晶性を低くすることにより、酸化物半導体41の酸素透過性が高くなり、酸化物半導体41よりも下に位置する絶縁体から酸化物半導体42へ酸素を供給しやすくなる。例えば酸化物半導体41、43として、上述のnc-Osまたはa-like Osを用いてもよい。

【0150】

〈その他の構成要素〉

次に、トランジスタOS1のその他の構成要素に関して説明を行う。

【0151】

導電体M22は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等である。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0152】

例えば、導電体M22aとして、水素に対するバリア性を有する導電体として、窒化タンタル等を用い、導電体M22bとして、導電性が高いタングステンを積層するとよい。当該組み合わせを用いることで、配線としての導電性を保持したまま、酸化物半導体40への水素の拡散を抑制することができる。

【0153】

絶縁体17、19は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。特に、絶縁体19として過剰酸素を含む絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を、トランジスタOS1を構成する酸化物半導体に接して設けることにより、酸化物半導体中の酸素欠損を補償することができる。なお、絶縁体17と絶縁体19とは、必ずしも同じ材料を用いて形成しなくともよい。

【0154】

絶縁体18は、例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルココン酸鉛(PZT)、チタン酸ストロンチウム($SrTiO_3$)または(Ba, Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることが好ましい。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。

【0155】

なお、絶縁体18が、2層以上の積層構造を有していてもよい。その場合、同じ材料から

10

20

30

40

50

なる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0156】

また、絶縁体17乃至19の膜厚を適宜調整することで、 V_{th} を制御することができる。または、非導通時のリーク電流の小さいトランジスタを提供することができる。絶縁体17乃至19の膜厚をそれぞれ薄くすることで、導電体M22による V_{th} 制御が容易になり好ましい。例えば、絶縁体17乃至19の膜厚はそれぞれ50nm以下、さらに好ましくはそれぞれ30nm以下、さらに好ましくはそれぞれ10nm以下、さらに好ましくはそれぞれ5nm以下にすればよい。

【0157】

絶縁体20は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム($SrTiO_3$)または(Ba, Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

10

【0158】

また、絶縁体20として、絶縁体19と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を酸化物半導体40に接して設けることにより、酸化物半導体40中の酸素欠損を低減することができる。

20

【0159】

また、絶縁体20は、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの、酸素や水素に対してバリア性のある絶縁体を用いることができる。このような材料を用いて形成した場合、酸化物半導体40からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

【0160】

導電体S21、S22は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。また、図では単層構造を示したが、2層以上の積層構造としてもよい。

30

【0161】

例えば、導電体S21、S22は、チタンとアルミニウムの積層を用いるとよい。また、タングステン上にアルミニウムを積層する二層構造、銅-マグネシウム-アルミニウム合金上に銅を積層する二層構造、チタン上に銅を積層する二層構造、タングステン上に銅を積層する二層構造を用いてもよい。

【0162】

例えば、導電体S21、S22は、チタンまたは窒化チタンと、その上にアルミニウムまたは銅を積層し、さらにその上にチタンまたは窒化チタンを積層する三層構造、モリブデンまたは窒化モリブデンと、その上にアルミニウムまたは銅を積層し、さらにその上にモリブデンまたは窒化モリブデンを積層する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

40

【0163】

導電体G21は、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。

50

【0164】

例えば、導電体G21は、アルミニウム上にチタンを積層する二層構造を用いてもよい。また、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタングステンを積層する二層構造、窒化タンタルまたは窒化タングステン上にタングステンを積層する二層構造としてもよい。

【0165】

また、導電体G21は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。

10

【0166】

導電体G21として、仕事関数の高い導電性材料を用いることで、トランジスタOS1の V_{th} を大きくし、カットオフ電流を下げることができる。導電体G21の仕事関数は好ましくは、4.8 eV以上、さらに好ましくは5.0 eV以上、さらに好ましくは5.2 eV以上、さらに好ましくは5.4 eV以上、さらに好ましくは5.6 eV以上の導電性材料を用いればよい。仕事関数の大きな導電性材料として、例えば、モリブデン、酸化モリブデン、Pt、Ptシリサイド、Niシリサイド、インジウム錫酸化物、窒素添加されたIn-Ga-Zn酸化物などが挙げられる。

【0167】

導電体G21を覆うように絶縁体21を設ける。絶縁体21は、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの、酸素や水素に対してバリア性のある絶縁体を用いることができる。このような材料を用いて形成した場合、導電体G21が熱処理工程によって、酸化することを防ぐことができる。なお、絶縁体21は、導電体G21に酸化し難い材料を用いることで、省略することができる。

20

【0168】

トランジスタOS1の上方には、絶縁体26を設ける。絶縁体26は過剰酸素を有することが好ましい。特に、トランジスタOS1近傍の層間膜などに、過剰酸素を有する絶縁体を設けることで、トランジスタOS1の酸素欠損を低減することで、信頼性を向上させることができる。

30

【0169】

過剰酸素を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物材料とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下、または100℃以上500℃以下の範囲が好ましい。

【0170】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

40

【0171】

〈〈記憶装置の構成例〉〉

図10は、メモリセル10aまたはメモリセル10bを有する、記憶装置100の構成例を示すブロック図である。なお、以降は、メモリセル10aまたはメモリセル10bを、まとめてメモリセル10と呼称する。

【0172】

図10に示す記憶装置100は、メモリセル10が複数設けられたメモリセルアレイ101、行選択ドライバ102、列選択ドライバ103を有する。なお記憶装置100は、m

50

行 (m は 2 以上の自然数) n 列 (n は 2 以上の自然数) のマトリクス状に設けられたメモリセル 10 を有する。

【0173】

図 10 では、 $(m-1)$ 行目のメモリセル 10 に接続された配線 WWL [$m-1$]、配線 RWL [$m-1$] を示し、 m 行目のメモリセル 10 に接続された配線 WWL [m]、配線 RWL [m] を示し、 $(m-1)$ 行目のメモリセル 10 及び m 行目のメモリセル 10 に接続された配線 WCL を示し、 $(m-1)$ 行目のメモリセル 10 及び m 行目のメモリセル 10 に接続された配線 BG を示している。

【0174】

また、図 10 では、 $(n-1)$ 列目のメモリセル 10 に接続された配線 BL [$n-1$]、
 n 列目のメモリセル 10 に接続された配線 BL [n] を示し、 $(n-1)$ 列目のメモリセル 10、及び n 列目のメモリセル 10 に接続された配線 SL を示している。

10

【0175】

なお図 10 に示すメモリセルアレイ 101 では、隣り合うメモリセルで、配線 SL、WCL、BG を共有化した構成としている。この構成を採用することにより、各配線の占有面積の縮小が図られる。そのため、この構成を採用する記憶装置では、単位面積あたりの記憶容量の向上を図ることができる。

【0176】

行選択ドライバ 102 は、メモリセル 10 の各行におけるトランジスタ OS1、Tr1 を選択的に導通状態とする機能を備えた回路である。行選択ドライバ 102 を備えることで、記憶装置 100 は、メモリセル 10 へのデータの書き込みおよび読み出しを行毎に選択して行うことができる。

20

【0177】

列選択ドライバ 103 は、メモリセル 10 の各列におけるノード FN に選択的にデータを書き込む機能、配線 BL の電位を初期化する機能、配線 BL を電氣的に浮遊状態とする機能、を備えた回路である。具体的には、配線 BL に、データに対応する電位を与える回路である。列選択ドライバ 103 を備えることで、記憶装置 100 は、メモリセル 10 へのデータの書き込みおよび読み出しを列毎に選択して行うことができる。

【0178】

以上、本実施の形態で示したメモリセルを用いることで、高集積化されたメモリセルを提供することができる。また、大容量のデータを記憶する記憶装置を提供することができる。また、消費電力の小さい記憶装置を提供することができる。

30

【0179】

(実施の形態 2)

本実施の形態では、実施の形態 1 に示したメモリセルのその他の構成例について、図 11 および図 12 を用いて説明を行う。

【0180】

図 1 に示すメモリセル 10a、10b は、配線 BL を、データ書き込み用の配線 BL1 と、データ読み出し用の配線 BL2 に分けてもよい。その場合の構成例を図 11 (A)、(B) に示す。

40

【0181】

図 11 (A) は、メモリセル 10a の配線 BL を、配線 BL1 と配線 BL2 の 2 本に分けた場合のメモリセル 10c の回路図である。トランジスタ OS1 のソースまたはドレインの他方は配線 BL1 に電氣的に接続され、トランジスタ Tr1 のソースまたはドレインの他方は配線 BL2 に電氣的に接続される。

【0182】

図 11 (B) は、メモリセル 10b の配線 BL を、配線 BL1 と配線 BL2 の 2 本に分けた場合のメモリセル 10d の回路図である。トランジスタ OS1 のソースまたはドレインの他方は配線 BL1 に電氣的に接続され、トランジスタ Tr1 のソースまたはドレインの他方は、トランジスタ Tr2 を介して、配線 BL2 に電氣的に接続される。

50

【0183】

メモリセル10cおよびメモリセル10dのように、配線BLをデータ書き込み用の配線とデータ読み出し用の配線に分けることで、データの書き込みと読み出しをそれぞれ独立に行うことができ、メモリセルの動作の自由度を高めることができる。

【0184】

図1に示すメモリセル10a、10bは、トランジスタTr2及び配線RWLを省略してもよい。その場合の回路図を図12(A)、(B)に示す。

【0185】

図12(A)は、メモリセル10aまたはメモリセル10bのトランジスタTr2および配線RWLを省略した場合のメモリセル10eの回路図である。この場合、配線WCLにLレベルの電位を与えることで、データの読み出しを行うことができる。メモリセル10eは、メモリセル10a、10bに比べて、トランジスタおよび配線の数が少ないので、メモリセルのサイズを小さくでき、メモリセルを高集積化することができる。

10

【0186】

図12(B)は、メモリセル10eの配線BLを、データ書き込み用の配線BL1とデータ読み出し用の配線BL2に分けた場合のメモリセル10fの回路図である。トランジスタOS1のソースまたはドレインの他方は配線BL1に電氣的に接続され、トランジスタTr1のソースまたはドレインの他方は配線BL2に電氣的に接続される。こうすることで、データの書き込みと読み出しをそれぞれ独立に行うことができ、メモリセルの動作の自由度を高めることができる。

20

【0187】

(実施の形態3)

本実施の形態では、実施の形態1に示したトランジスタTr1およびトランジスタTr2のその他の構成例について、図13を用いて説明を行う。

【0188】

図13(A)は、トランジスタTr1およびトランジスタTr2の上面図(図3(A)の上面図と同じ)を示している。図13(B)は図13(A)の一点鎖線X1-X2における断面図を示し、図13(C)は図13(A)の一点鎖線Y1-Y2における断面図を示している。なお、一点鎖線X1-X2をトランジスタTr1、Tr2のチャンネル長方向、一点鎖線Y1-Y2をトランジスタTr1のチャンネル幅方向と呼ぶ場合がある。

30

【0189】

図13に示すトランジスタTr1、Tr2は半導体SEM3が凸形状を有し、その側面及び上面に沿って絶縁体34a、34b及び導電体G11、G12が設けられている。このような形状を有するトランジスタをFIN型トランジスタと呼ぶ。本実施の形態では、基板11の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を形成してもよい。

【0190】

FIN型トランジスタは、チャンネル形成領域の上と左右が、ゲート電極に取り囲まれているため、ゲート電界を効果的にチャンネル形成領域に印加することができる。そのため、トランジスタのオン電流を向上させ、短チャンネル効果を抑制することができる。

40

【0191】

図13に示すその他の構成要素に関する詳細は、図7の記載を参照すればよい。

【0192】

(実施の形態4)

本実施の形態では、実施の形態1に示したトランジスタOS1のその他の構成例について、図14および図15を用いて説明を行う。

【0193】

〈〈構成例1〉〉

図14(A)は、メモリセル10aの上面図のうち、トランジスタOS1及び容量素子Cs1とその周辺を示している。図14(B)は図14(A)の一点鎖線Y1-Y2にお

50

る断面図を示し、図14(C)は図14(A)の一点鎖線X1 - X2における断面図を示している。なお、一点鎖線Y1 - Y2をトランジスタOS1のチャンネル長方向、一点鎖線X1 - X2をトランジスタOS1のチャンネル幅方向と呼ぶ場合がある。

【0194】

図14(B)は、図6の断面図と比較すると、酸化物半導体43が省略され、酸化物半導体41および酸化物半導体42の代わりに酸化物半導体45が設けられている。また、導電体S21および導電体S22は酸化物半導体45の側面と接するように設けられている。また、絶縁体21は、トランジスタOS1および容量素子Cs1を覆うように設けられている。こうすることで、メモリセル10aの製造工程を簡略化することができる。

【0195】

図14(A)乃至(C)において、絶縁体20は、トランジスタOS1のゲート絶縁体としての機能を有し、容量素子Cs1の誘電体としての機能も有する。導電体S22は、トランジスタOS1のソースまたはドレインの一方としての機能を有し、容量素子Cs1の第1電極としての機能も有する。

【0196】

図6と同様に、図14(B)、(C)における容量素子Cs1の誘電体(絶縁体20)の膜厚は、容量素子Cs2の誘電体の膜厚よりも薄いことが好ましい。

【0197】

酸化物半導体45には、酸化物半導体41乃至43に用いることができる酸化物半導体を適用することができる。

【0198】

図14(A)乃至(C)に示すその他の構成要素に関する詳細は、図6および図8(A)乃至(C)の記載を参酌すればよい。

【0199】

〈〈構成例2〉〉

図15(A)は、メモリセル10aの上面図のうち、トランジスタOS1及び容量素子Cs1とその周辺を示している。図15(B)は図15(A)の一点鎖線Y1 - Y2における断面図を示し、図15(C)は図15(A)の一点鎖線X1 - X2における断面図を示している。なお、一点鎖線Y1 - Y2をトランジスタOS1のチャンネル長方向、一点鎖線X1 - X2をトランジスタOS1のチャンネル幅方向と呼ぶ場合がある。

【0200】

図15(A)乃至(C)において、絶縁体20は、トランジスタOS1のゲート絶縁体としての機能を有し、容量素子Cs1の誘電体としての機能も有する。導電体S22は、トランジスタOS1のソースまたはドレインの一方としての機能を有し、容量素子Cs1の第1電極としての機能も有する。

【0201】

図6と同様に、図15(B)、(C)における容量素子Cs1の誘電体(絶縁体20)の膜厚は、容量素子Cs2の誘電体の膜厚よりも薄いことが好ましい。

【0202】

図15(A)乃至(C)に示すトランジスタOS1は、絶縁体26に形成された開口部に、酸化物半導体43、絶縁体20、導電体G21が形成されている。

【0203】

トランジスタOS1は、導電体G21と導電体S21(または導電体G21と導電体S22)が、重ならない構造を有するため、導電体G21と導電体S21の間に形成される寄生容量(または導電体G21と導電体S22の間に形成される寄生容量)を小さくすることができる。即ち、動作周波数が高いトランジスタを提供することができる。

【0204】

図15に示すその他の構成要素に関する詳細は、図6および図8の記載を参酌すればよい。

【0205】

10

20

30

40

50

(実施の形態5)

本実施の形態では、実施の形態1に記載の記憶装置を備える半導体装置について説明する。

【0206】

例えば、記憶装置はプロセッサ（「プロセッシングユニット」とも呼ぶ。）に組み込まれ、プロセッサの処理に必要なデータ（命令も含む。）が記憶される。プロセッサには、CPU、GPU（Graphics Processing Unit）、PLD（Programmable Logic Device）、DSP（Digital Signal Processor）、MCU（Microcontroller Unit）、カスタムLSI、RFICなどがある。

10

【0207】

<<CPU>>

図16はCPUの構成例を示すブロック図である。図16に示すCPU1300は、CPUコア1330、パワーマネジメントユニット（PMU）1331および周辺回路1332を有する。

【0208】

CPUコア1330は、制御装置1307、プログラムカウンタ（PC）1308、パイプラインレジスタ1309、パイプラインレジスタ1310、算術演算装置（ALU：Arithmetic logic unit）1311、およびレジスタファイル1312、およびデータバス1333を有する。CPUコア1330と周辺回路1332と間のデータの転送は、データバス1333を介して行われる。

20

【0209】

PMU1331は、パワーコントローラ1302、およびパワースイッチ1303を有する。周辺回路1332は、キャッシュメモリ1304、バスインターフェース（BUS I/F）1305、及びデバッグインターフェース（Debug I/F）1306を有する。

【0210】

実施の形態1の記憶装置は、キャッシュメモリ1304に適用することができる。これにより、面積および消費電力の増加を抑えて、キャッシュメモリ1304の大容量化が可能である。また、キャッシュメモリ1304の待機電力を低減することができるため、小型で、低消費電力なCPU1300を提供することができる。

30

【0211】

制御装置1307は、プログラムカウンタ1308、パイプラインレジスタ1309、パイプラインレジスタ1310、ALU1311、レジスタファイル1312、キャッシュメモリ1304、バスインターフェース1305、デバッグインターフェース1306、及びパワーコントローラ1302の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。

【0212】

ALU1311は、四則演算、論理演算などの各種演算処理を行う機能を有する。キャッシュメモリ1304は、使用頻度の高いデータを一時的に記憶しておく機能を有する。プログラムカウンタ1308は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。なお、図16では図示していないが、キャッシュメモリ1304には、キャッシュメモリ1304の動作を制御するコントロール回路が設けられている。

40

【0213】

パイプラインレジスタ1309は、命令データを一時的に記憶する機能を有する。レジスタファイル1312は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、またはALU1311の演算処理の結果得られたデータ等を記憶することができる。パイプラインレジスタ1310は、ALU1311の演算処理に利用するデータ、またはALU1311の演算処理の結果得られたデータなどを一時的に記憶する機能を有する。

50

【0214】

バスインターフェース1305は、CPU1300とCPU1300の外部にある各種装置との間におけるデータの経路としての機能を有する。デバッグインターフェース1306は、デバッグの制御を行うための命令をCPU1300に入力するための信号の経路としての機能を有する。

【0215】

パワースイッチ1303は、パワーコントローラ1302以外のCPU1300が有する各種回路への、電源電圧の供給を制御する機能を有する。CPU1300は幾つかのパワードメインを有しており、パワーゲーティングされる回路は、CPU1300の何れか1のパワードメインに属している。同一のパワードメインに属する回路は、パワースイッチ1303によって電源電圧の供給が制御される。パワーコントローラ1302はパワースイッチ1303の動作を制御する機能を有する。このような電源管理システムを有することで、CPU1300は、パワーゲーティングを行うことが可能である。

【0216】

<<RFIC>>

プロセッサの一例として、RFICについて説明する。RFICは、RFタグ、無線チップ、無線IDチップ等とも呼ばれている。RFICは、内部に記憶回路を有し、記憶回路で必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFICは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。

【0217】

図17は、RFICの構成例を示すブロック図である。RFIC1400は、アンテナ1404、整流回路1405、定電圧回路1406、復調回路1407、変調回路1408、論理回路1409、RAM1410、ROM（読み取り専用メモリ）1411、バッテリー1412を有する。これらの回路は、必要に応じて、取捨することができ。例えば、RFIC1400はアクティブ型であるが、バッテリー1412を備えていないパッシブ型とすることもできる。ここでは、RFIC1400は、アンテナ1404を含んだ形態の半導体装置であるが、アンテナ1404を含まない半導体装置をRFIC1400と呼ぶこともできる。

【0218】

実施の形態1の記憶装置は、RAM1410に適用することができる。実施の形態1の記憶装置はCMOS回路との親和性が高いため、RFIC1400において、製造プロセスを複雑化することなく、アンテナ1404以外の回路を1のチップに組み込むことができる。チップに、通信帯域に応じた性能のアンテナ1404が実装されている。データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式などがある。本実施の形態に示すRFIC1400は、いずれの方式に用いることも可能である。

【0219】

アンテナ1404は、通信器1420に接続されたアンテナ1421との間で無線信号1422の送受信を行うためのものである。また、整流回路1405は、アンテナ1404で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電圧を生成するための回路である。なお、整流回路1405の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【0220】

定電圧回路1406は、入力電圧から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路1406は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路

1409のリセット信号を生成するための回路である。

【0221】

復調回路1407は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路1408は、アンテナ1404から出力するデータに応じて変調を行うための回路である。

【0222】

論理回路1409は復調信号を解読し、処理を行うための回路である。RAM1410は、入力された情報を保持する回路であり、行デコーダ、列デコーダ、ドライバ、記憶領域などを有する。また、ROM1411は、固有番号(ID)などを格納し、処理に応じて出力を行うための回路である。

10

【0223】

(実施の形態6)

本実施の形態では、上記実施の形態に示した記憶装置または半導体装置を有する半導体ウエハ、ICチップおよび電子部品の例について、図18乃至図19を用いて説明する。

【0224】

〔半導体ウエハ、チップ〕

図18(A)は、ダイシング処理が行なわれる前の基板611の上面図を示している。基板611としては、例えば、半導体基板(「半導体ウエハ」ともいう。)を用いることができる。基板611上には、複数の回路領域612が設けられている。回路領域612には、上記実施の形態に示す半導体装置などを設けることができる。

20

【0225】

複数の回路領域612は、それぞれが分離領域613に囲まれている。分離領域613と重なる位置に分離線(「ダイシングライン」ともいう。)614が設定される。分離線614に沿って基板611を切断することで、回路領域612を含むチップ615を基板611から切り出すことができる。図18(B)にチップ615の拡大図を示す。

【0226】

また、分離領域613に導電層や半導体層を設けてもよい。分離領域613に導電層や半導体層を設けることで、ダイシング工程時に生じるESDを緩和し、ダイシング工程の歩留まり低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを含有させて比抵抗を下げた純水を切削部に流しながら行なわれる。分離領域613に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

30

【0227】

分離領域613に設ける半導体層としては、バンドギャップが2.5eV以上4.2eV以下、好ましくは2.7eV以上3.5eV以下の材料を用いることが好ましい。このような材料を用いると、蓄積された電荷をゆっくりと放電することができるため、ESDによる電荷の急激な移動が抑えられ、静電破壊を生じにくくすることができる。

【0228】

〔電子部品〕

40

チップ615を電子部品に適用する例について、図19を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。

【0229】

電子部品は、組み立て工程(後工程)において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

【0230】

図19(A)に示すフローチャートを用いて、後工程について説明する。前工程において上記実施の形態に示した半導体装置を有する素子基板が完成した後、該素子基板の裏面(半導体装置などが形成されていない面)を研削する「裏面研削工程」を行なう(ステップ

50

S 1)。研削により素子基板を薄くすることで、素子基板の反りなどを低減し、電子部品の小型化を図ることができる。

【0231】

次に、素子基板を複数のチップに分離する「ダイシング工程」を行う（ステップS 2）。そして、分離したチップを個々ピックアップしてリードフレーム上に接合する「ダイボンディング工程」を行う（ステップS 3）。ダイボンディング工程におけるチップとリードフレームとの接合は、樹脂による接合や、テープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップを接合してもよい。

【0232】

次いで、リードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電気的に接続する「ワイヤーボンディング工程」を行う（ステップS 4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【0233】

ワイヤーボンディングされたチップは、エポキシ樹脂などで封止される「封止工程（モールド工程）」が施される（ステップS 5）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップに内蔵される回路部やチップとリードを接続するワイヤーを機械的な外力から保護することができ、また水分や埃による特性の劣化（信頼性の低下）を低減することができる。

【0234】

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップS 6）。めっき処理によりリードの錆を防止し、後にプリント基板に設ける際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップS 7）。

【0235】

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップS 8）。そして外観形状の良否や動作不良の有無などを調べる「検査工程」（ステップS 9）を経て、電子部品が完成する。

【0236】

また、完成した電子部品の斜視模式図を図19（B）に示す。図19（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図19（B）に示す電子部品650は、リード655および半導体装置653を示している。半導体装置653としては、上記実施の形態に示した記憶装置または半導体装置などを用いることができる。

【0237】

図19（B）に示す電子部品650は、例えばプリント基板652に設けられる。このような電子部品650が複数組み合わされて、それぞれがプリント基板652上で電気的に接続されることで電子部品が設けられた基板654が完成する。完成した基板654は、電子機器などに用いられる。

【0238】

（実施の形態7）

上記実施の形態に示す記憶装置または半導体装置は、バッテリーを内蔵する電子機器に用いることが好ましい。バッテリーを内蔵する電子機器に、上記実施の形態に示す記憶装置または半導体装置を用いることで、電子機器の消費電力を削減し、バッテリーの電力を節約することができる。具体例を図20に示す。

【0239】

図20（A）は腕時計型端末700である。腕時計型端末700は、筐体701、リュウズ702、表示部703、ベルト704、検知部705などを有する。筐体701は内部にバッテリー、記憶装置または半導体装置を有する。表示部703にはタッチパネルを設け

10

20

30

40

50

てもよい。使用者は、タッチパネルに触れた指をポインタに用いて情報を入力することができる。

【0240】

検知部705は、周囲の状態を検知して情報を取得する機能を備える。例えば、カメラ、加速度センサ、方位センサ、圧力センサ、温度センサ、湿度センサ、照度センサまたはGPS(Global Positioning System)信号受信回路等を、検知部705に用いることができる。

【0241】

例えば、検知部705の照度センサが検知した周囲の明るさを筐体701内部の演算装置が、所定の照度と比較して十分に明るいと判断した場合、表示部703の輝度を弱める。または、薄暗いと判断した場合、表示部703の輝度を強める。その結果、消費電力が低減された電子機器を提供することができる。

10

【0242】

図20(B)は、携帯電話機710である。携帯電話機710は、筐体711、表示部716、操作ボタン714、外部接続ポート713、スピーカ717、マイク712などを有する。筐体711は内部にバッテリー、記憶装置または半導体装置を有する。携帯電話機710は、指などで表示部716に触れることで、情報を入力することができる。また、電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指などで表示部716に触れることにより行うことができる。また、操作ボタン714の操作により、電源のON、OFF動作や、表示部716に表示される画像の種類を切り替えることができる。例えば、メール作成画面から、メインメニュー画面に切り替えることができる。

20

【0243】

図20(C)はノート型パーソナルコンピュータ720であり、筐体721、表示部722、キーボード723、ポインティングデバイス724等を有する。筐体721は内部にバッテリー、記憶装置または半導体装置を有する。

【0244】

図20(D)はゴーグル型ディスプレイ730である。ゴーグル型ディスプレイ730は、装着部731、筐体732、ケーブル735、バッテリー736、表示部737を有する。バッテリー736は装着部731に収納されている。表示部737は筐体732に設けられている。筐体732は、半導体装置、無線通信装置、記憶装置など各種の電子部品を内蔵する。ケーブル735を介してバッテリー736から筐体732内の表示部737および電子部品に電力が供給される。表示部737には無線によって送信された映像等の各種の情報が表示される。

30

【0245】

ゴーグル型ディスプレイ730は筐体732にカメラを設けてもよい。カメラが使用者の眼球やまぶたの動きを検知することで、使用者はゴーグル型ディスプレイ730を操作することができる。また、ゴーグル型ディスプレイ730は、装着部731に温度センサ、圧力センサ、加速度センサ、生体センサ等の各種センサを設けてもよい。例えばゴーグル型ディスプレイ730は、生体センサによって、使用者の生体情報を取得し、筐体732内の記憶装置に記憶させる。また、ゴーグル型ディスプレイ730は、無線信号によって他の情報端末に取得した生体情報を送信してもよい。

40

【0246】

図20(E)はビデオカメラ740である。ビデオカメラ740は、第1筐体741、第2筐体742、表示部743、操作キー744、レンズ745、接続部746等を有する。操作キー744およびレンズ745は第1筐体741に設けられており、表示部743は第2筐体742に設けられている。また第1筐体741は内部にバッテリー、記憶装置または半導体装置を有する。バッテリーは第1筐体741の外に設けてもよい。そして、第1筐体741と第2筐体742とは、接続部746により接続されており、第1筐体741と第2筐体742の間の角度は、接続部746により変更が可能である。表示部743における映像を、接続部746における第1筐体741と第2筐体742との間の角度に従

50

って切り替える構成としても良い。

【0247】

図20(F)は自動車750である。自動車750は、車体751、車輪752、ダッシュボード753、ライト754等を有する。車体751は内部にバッテリー、記憶装置または半導体装置を有する。

【0248】

本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

10

【0249】

本明細書において、特に断りがない場合、オン電流とは、トランジスタがオン状態にあるときのドレイン電流をいう。オン状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧(V_G)がしきい値電圧(V_{th})以上の状態、pチャネル型トランジスタでは、 V_G が V_{th} 以下の状態をいう。例えば、nチャネル型のトランジスタのオン電流とは、 V_G が V_{th} 以上のときのドレイン電流を言う。また、トランジスタのオン電流は、ドレインとソースの間の電圧(V_D)に依存する場合がある。

20

【0250】

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、 V_G が V_{th} よりも低い状態、pチャネル型トランジスタでは、 V_G が V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、 V_G が V_{th} よりも低いときのドレイン電流を言う。トランジスタのオフ電流は、 V_G に依存する場合がある。従って、トランジスタのオフ電流が 10^{-21} A未満である、とは、トランジスタのオフ電流が 10^{-21} A未満となる V_G の値が存在することを言う場合がある。

【0251】

また、トランジスタのオフ電流は、 V_D に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_D の絶対値が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等において使用される V_D におけるオフ電流を表す場合がある。

30

【0252】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソースまたはドレインの一方」(又は第1電極、又は第1端子)と表記し、ソースとドレインとの他方を「ソースまたはドレインの他方」(又は第2電極、又は第2端子)と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース(ドレイン)端子や、ソース(ドレイン)電極等、状況に応じて適切に言い換えることができる。

40

【0253】

本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0254】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位(接地電

50

位)とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0255】

本明細書等において、スイッチとは、導通状態(オン)、または、非導通状態(オフ)になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0256】

電氣的なスイッチの一例としては、トランジスタ(例えば、バイポーラトランジスタ、MOSトランジスタなど)、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM(Metal Insulator Metal)ダイオード、MIS(Metal Insulator Semiconductor)ダイオード、ダイオード接続のトランジスタなど)、又はこれらを組み合わせた論理回路などがある。

【0257】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性(導電型)は特に限定されない。

【0258】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス(DMD)のように、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0259】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0260】

ここで、X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

【0261】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)を介さずに、XとYとが、接続されている場合である。

【0262】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に1個以上接続されることが可能である。

【0263】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

10

【0264】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

20

【0265】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【0266】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

30

40

【0267】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣

50

的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

10

【0268】

20

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0269】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

30

【実施例】

【0270】

本実施例では、メモリセルの面積を変化させた場合の、メモリセルの記憶容量と保持時間について計算を行った。

【0271】

実施の形態1に示すメモリセル10aと、図21および図22に示すメモリセルについて比較を行った。

【0272】

図21に示すメモリセルは、図6に示すメモリセル10aから容量素子Cs2を含む層L5を除いた構成である。メモリセル10aはCs1+Cs2を記憶容量としているのに対し、図21に示すメモリセルは、Cs1のみを記憶容量としている。

40

【0273】

図22に示すメモリセルは、図6に示すメモリセル10aから導電体G22を省略し、容量素子Cs1を除いた構成である。メモリセル10aはCs1+Cs2を記憶容量としているのに対し、図22に示すメモリセルは、Cs2のみを記憶容量としている。

【0274】

図23に、メモリセルの面積（セルサイズ）とメモリセルの記憶容量（Cap容量）の関係を示す。Aで示すデータは図6のメモリセル10aを表し、Bで示すデータは図21のメモリセルを表し、Cで示すデータは図22のメモリセルを表している。容量素子Cs1の誘電体（絶縁体20）の膜厚を10nm、容量素子Cs2の誘電体（絶縁体23）の膜

50

厚を46nmと仮定した。また、容量素子Cs1及びCs2の誘電体は、全て比誘電率が3.9の酸化シリコンを仮定した。

【0275】

図23のセルサイズは、図3(A)におけるlxとlyの積に相当する。また、各配線の太さや各プラグの面積は常に一定としている。

【0276】

図23の計算結果より、A(Cs1/Cs2)の記憶容量は、B(Cs1)またはC(Cs2)の記憶容量よりも大きいことが確認された。セルサイズが小さくなるほど、A、BおよびCの差は小さくなる傾向があるが、それでもセルサイズが3.5 μm^2 以上において、A(Cs1/Cs2)の記憶容量は、B(Cs1)またはC(Cs2)の記憶容量よりも大きいことが確認された。

10

【0277】

次に、図23の記憶容量から保持時間を計算した。計算結果を図24に示す。

【0278】

図24に示す保持時間は以下の式(1)及び式(2)に従って計算を行った。

【0279】

$$\text{保持時間} = \Delta Q / (I_{OFF} \cdot W) \quad (1)$$

【0280】

$$\Delta Q = C \cdot V \quad (2)$$

【0281】

20

式(1)において、WはトランジスタOS1のチャンネル幅を表し0.15 μm を仮定した。I_{OFF}はトランジスタOS1の、チャンネル幅が1 μm 、測定温度が85℃におけるオフ電流を表し、93 $\times 10^{-24}$ A/ μm を仮定した。式(2)において、Cは図23で計算したCap容量を代入し、Vは印加電圧0.5Vを仮定した。

【0282】

図24の計算結果より、セルサイズが3.5 μm^2 以上において、A(Cs1/Cs2)の保持時間は、B(Cs1)またはC(Cs2)の保持時間よりも長くなることが確認された。

【0283】

以上より、実施の形態1に示すメモリセル10aを記憶装置に用いることで、記憶装置はデータを長時間保持できることが確認された。

30

【符号の説明】

【0284】

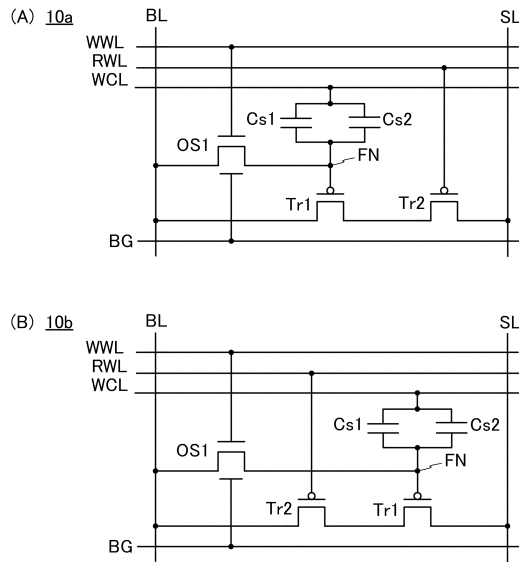
BG 配線、BL 配線、BL1 配線、BL2 配線、CE1 導電体、CE2 導電体、Cs1 容量素子、Cs2 容量素子、G11 導電体、G12 導電体、G21 導電体、G22 導電体、L1 層、L2 層、L3 層、L4 層、L5 層、M11 導電体、M12 導電体、M13 導電体、M14 導電体、M21 導電体、M22 導電体、M22a 導電体、M22b 導電体、M23 導電体、M24 導電体、M31 導電体、M32 導電体、M33 導電体、M34 導電体、M41 導電体、M42 導電体、OS1 トランジスタ、P1 期間、P2 期間、P3 期間、P4 期間、P5 期間、RWL 配線、S21 導電体、S22 導電体、SEM1 半導体、SEM2 半導体、SEM3 半導体、SL 配線、Tr1 トランジスタ、Tr2 トランジスタ、V11 プラグ、V12 プラグ、V13 プラグ、V14 プラグ、V21 プラグ、V22 プラグ、V23 プラグ、V41 プラグ、V42 プラグ、V43 プラグ、V44 プラグ、V45 プラグ、V46 プラグ、V51 プラグ、V52 プラグ、V53 プラグ、V54 プラグ、WCL 配線、WWL 配線、10 メモリセル、10a メモリセル、10b メモリセル、10c メモリセル、10d メモリセル、10e メモリセル、10f メモリセル、11 基板、12 素子分離層、13

40

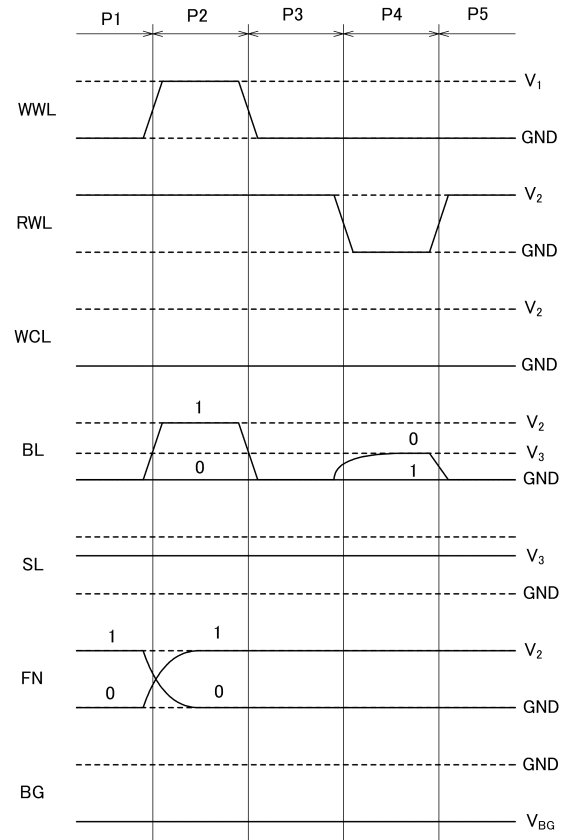
50

絶縁体、14 側壁絶縁層、14a 側壁絶縁層、14b 側壁絶縁層、15
 側壁絶縁層、15a 側壁絶縁層、15b 側壁絶縁層、16 絶縁体、17
 絶縁体、18 絶縁体、19 絶縁体、20 絶縁体、21 絶縁体、22
 絶縁体、23 絶縁体、24 絶縁体、25 絶縁体、26 絶縁体、31a
 高濃度不純物領域、31c 高濃度不純物領域、32a 低濃度不純物領域、32
 d 低濃度不純物領域、33a 導電性領域、33c 導電性領域、34a 絶
 縁体、34b 絶縁体、40 酸化物半導体、41 酸化物半導体、42 酸化
 物半導体、43 酸化物半導体、44 開口部、45 酸化物半導体、100
 記憶装置、101 メモリセルアレイ、102 行選択ドライバ、103 列選択
 ドライバ、611 基板、612 回路領域、613 分離領域、614 分離 10
 線、615 チップ、650 電子部品、652 プリント基板、653 半導
 体装置、654 基板、655 リード、700 腕時計型端末、701 筐体
 、702 リュウズ、703 表示部、704 ベルト、705 検知部、71
 0 携帯電話機、711 筐体、712 マイク、713 外部接続ポート、7
 14 操作ボタン、716 表示部、717 スピーカ、720 ノート型パー
 ソナルコンピュータ、721 筐体、722 表示部、723 キーボード、72
 4 ポインティングデバイス、730 ゴーグル型ディスプレイ、731 装着部
 、732 筐体、735 ケーブル、736 バッテリ、737 表示部、74
 0 ビデオカメラ、741 筐体、742 筐体、743 表示部、744
 操作キー、745 レンズ、746 接続部、750 自動車、751 車体、 20
 752 車輪、753 ダッシュボード、754 ライト、1300 CPU、
 1302 パワーコントローラ、1303 パワースイッチ、1304 キャッシ
 ュメモリ、1305 バスインターフェース、1306 デバッグインターフェース
 、1307 制御装置、1308 プログラムカウンタ、1309 パイプライン
 レジスタ、1310 パイプラインレジスタ、1311 ALU、1312 レジ
 スタファイル、1330 CPUコア、1331 PMU、1332 周辺回路、
 1333 データバス、1400 RFIC、1404 アンテナ、1405
 整流回路、1406 定電圧回路、1407 復調回路、1408 変調回路、1
 409 論理回路、1410 RAM、1411 ROM、1412 バッテリ
 、1420 通信器、1421 アンテナ、1422 無線信号 30

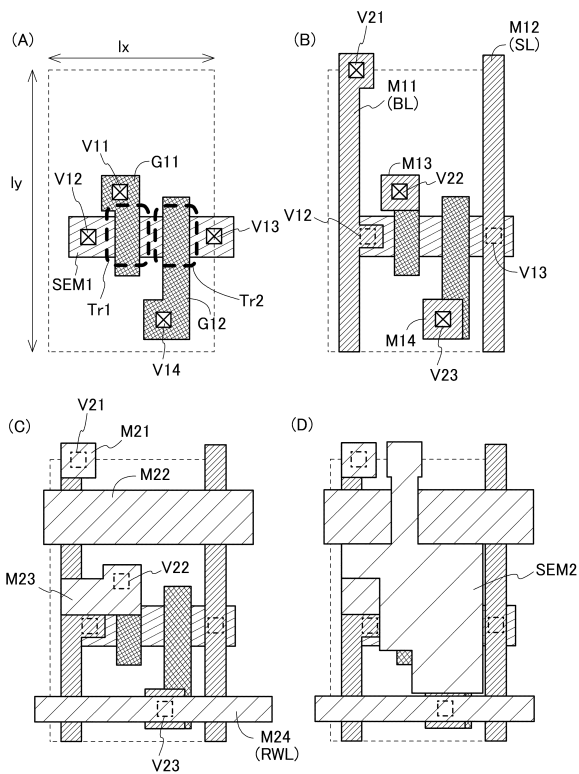
【図 1】



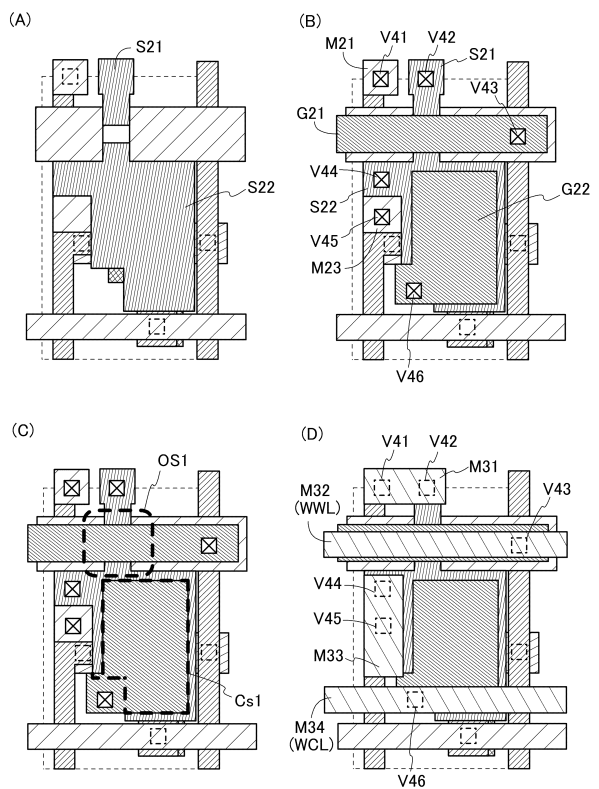
【図 2】



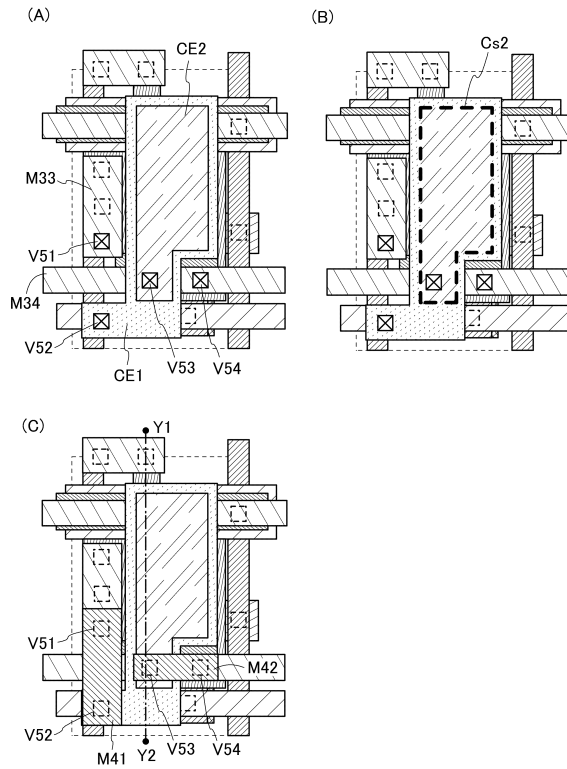
【図 3】



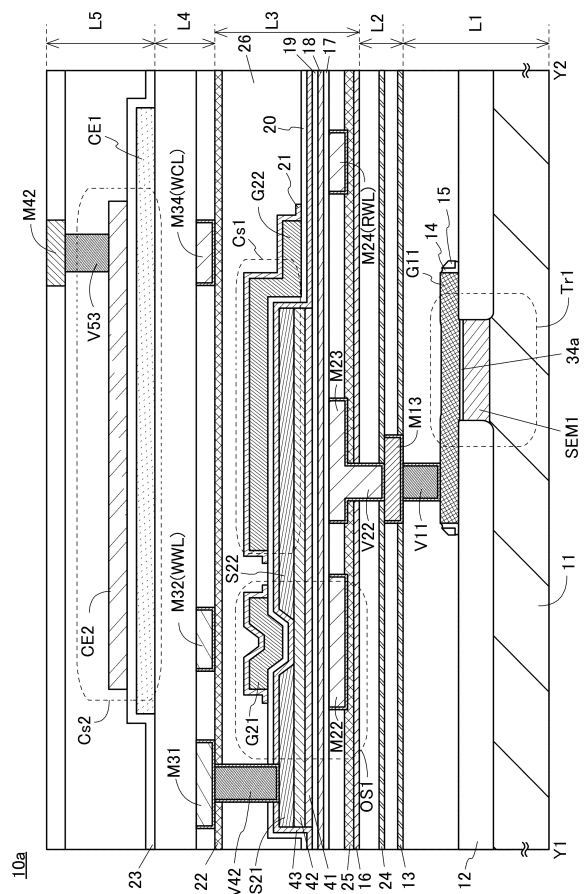
【図 4】



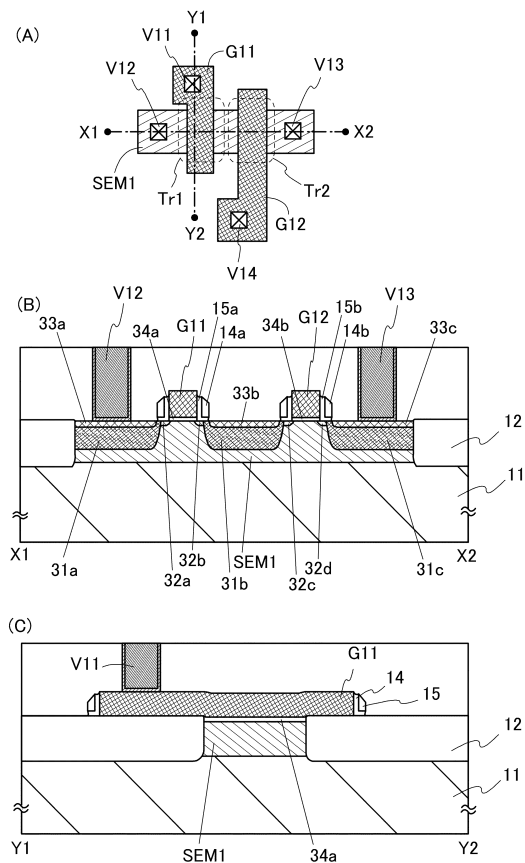
【図 5】



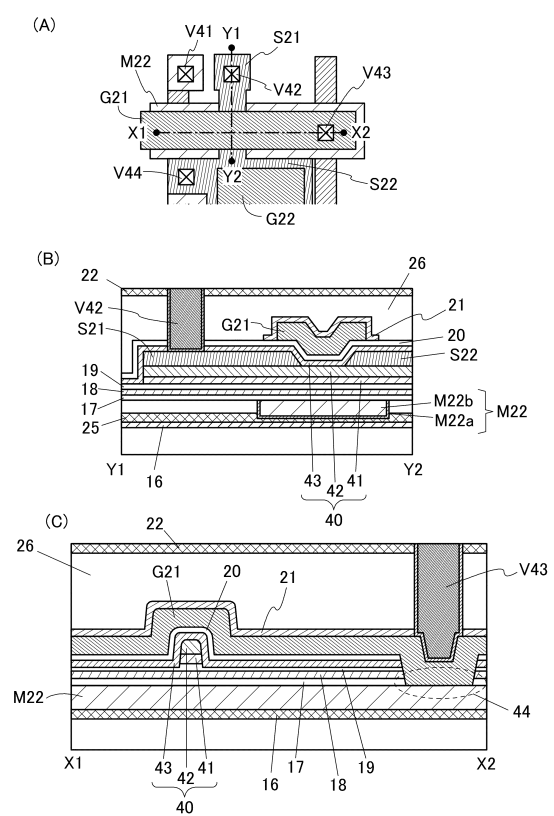
【図 6】



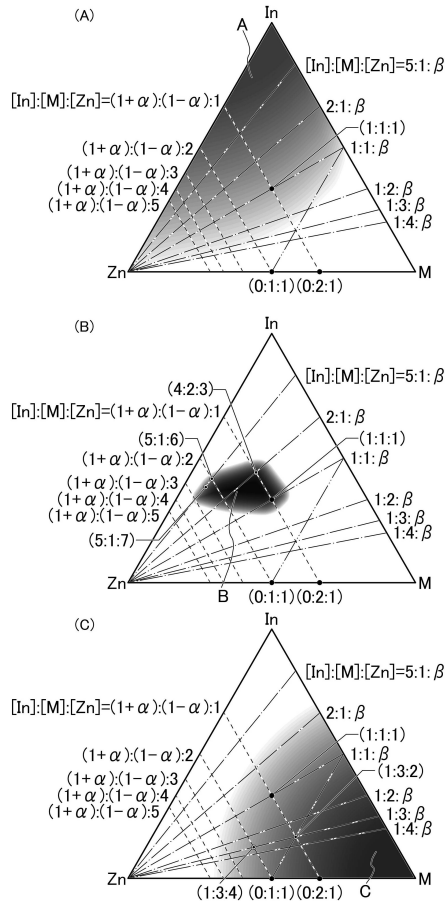
【図 7】



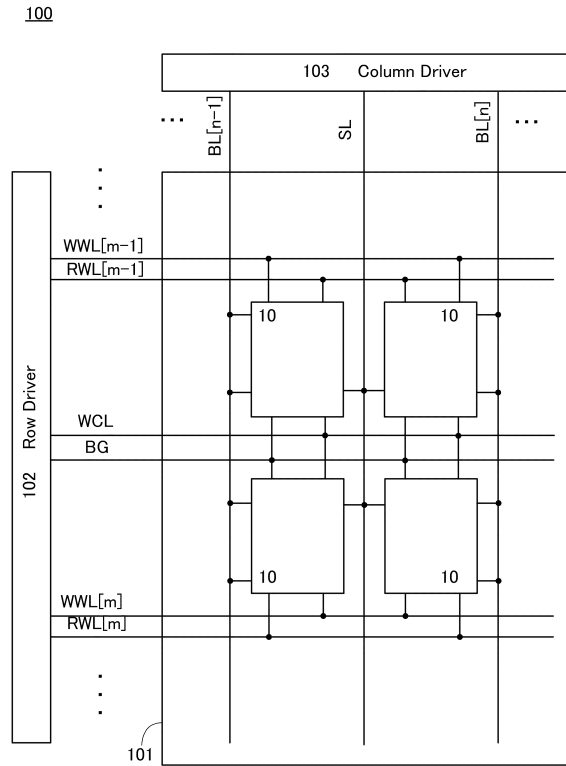
【図 8】



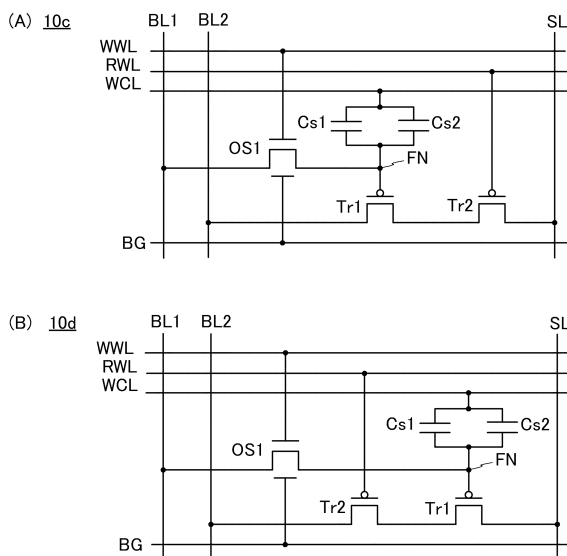
【図 9】



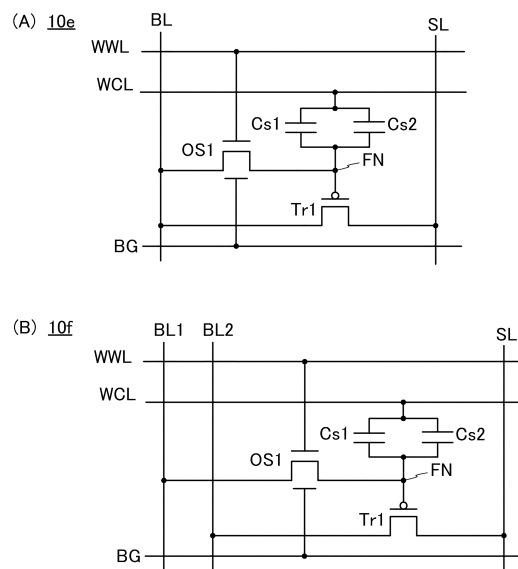
【図 10】



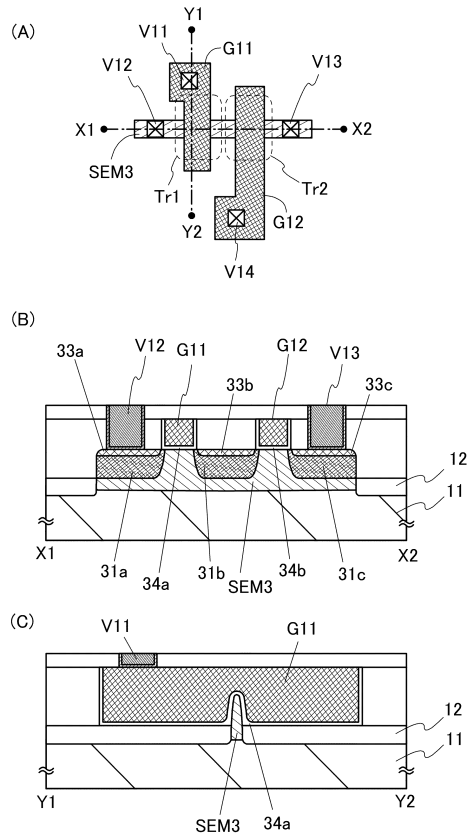
【図 11】



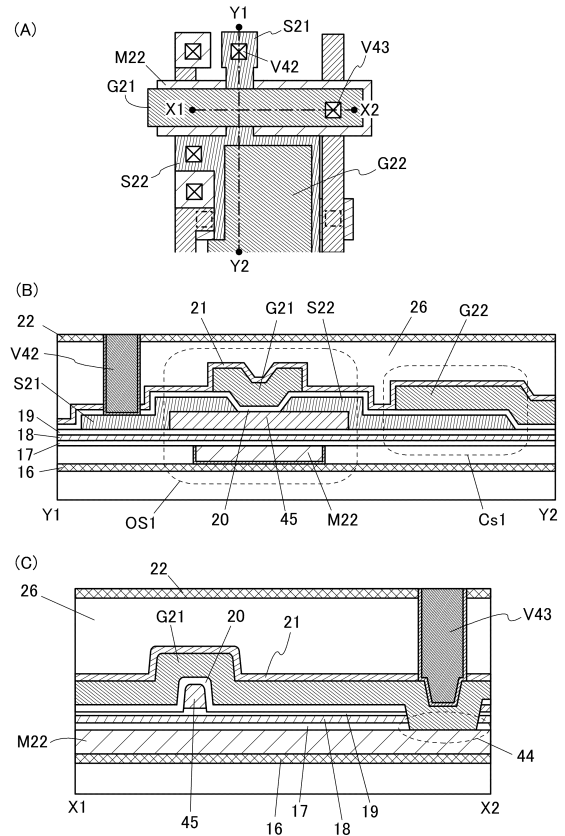
【図 12】



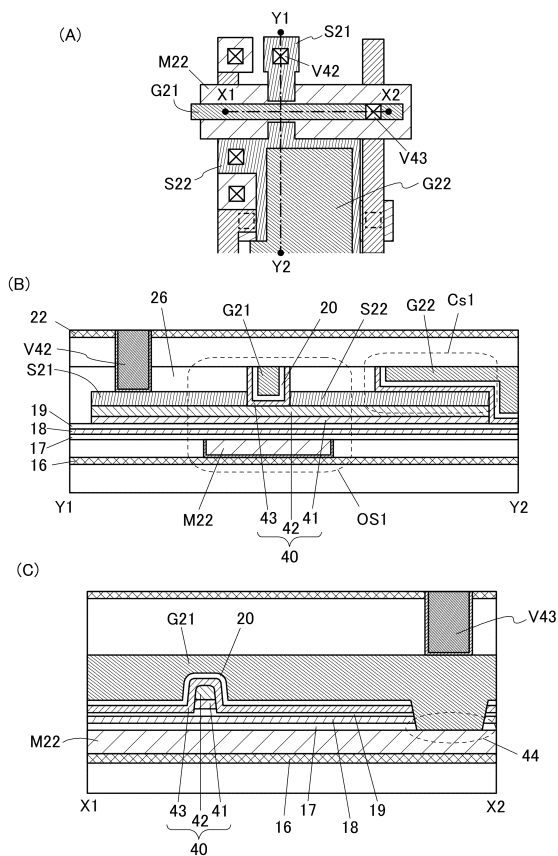
【図 13】



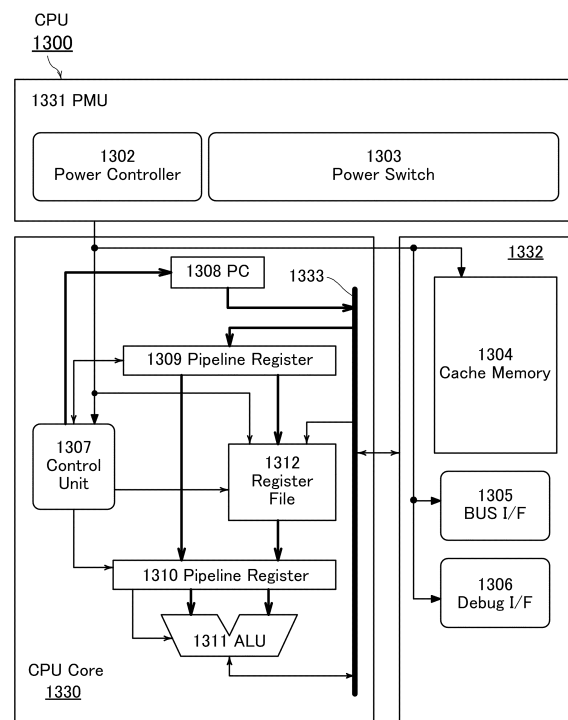
【図 14】



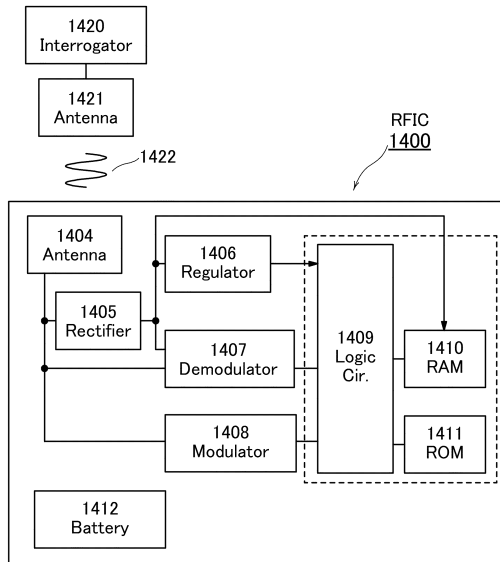
【図 15】



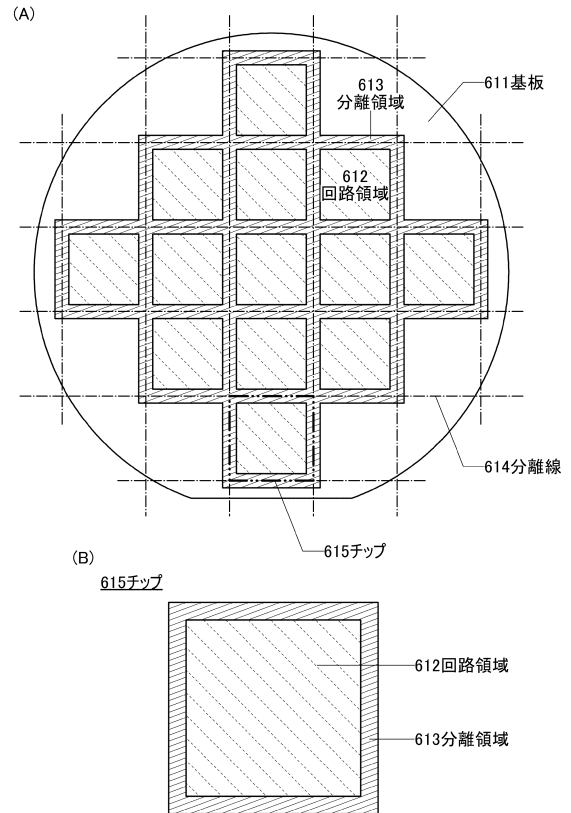
【図 16】



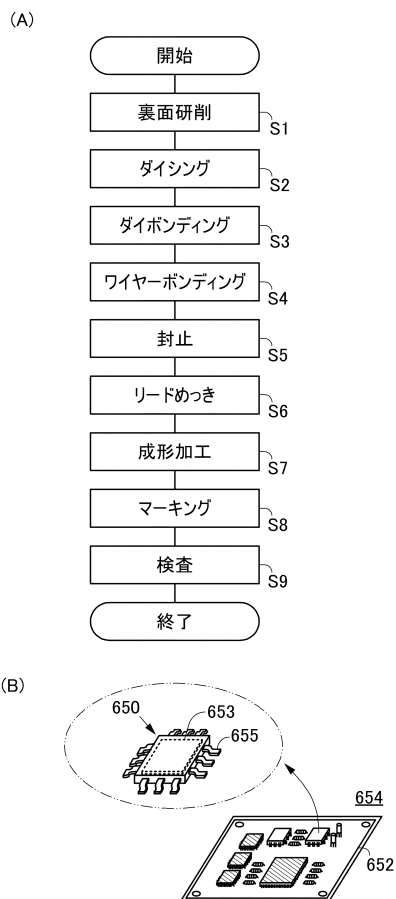
【図 17】



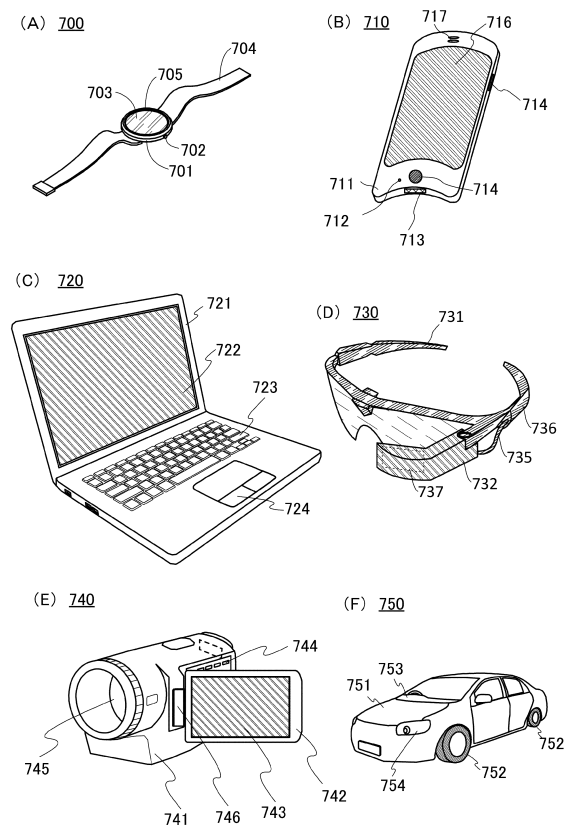
【図 18】



【図 19】



【図 20】



【図 2 2】

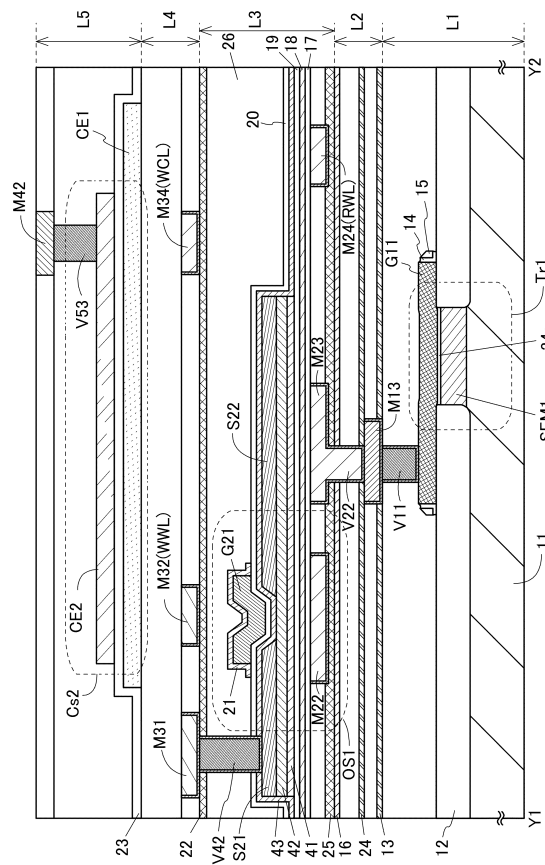


Figure 1 is a line graph showing Capacitance [fF] on the Y-axis (0 to 50) versus Cell Area [μm^2] on the X-axis (1 to 20). The graph compares three data series:

- A: Cs1/Cs2 10nm/46nm (represented by open squares)
- B: Cs1 10nm (represented by open triangles)
- C: Cs2 46nm (represented by open circles)

The capacitance increases with cell area for all three series. Series A shows the highest capacitance, followed by Series B, and Series C shows the lowest capacitance.

セルサイズ [μm^2]	A: Cs1/Cs2 10nm/46nm [fF]	B: Cs1 10nm [fF]	C: Cs2 46nm [fF]
3.5	5		
4.0	6		
4.5	7		
5.0	8		
5.5	9		
6.0	10		
7.0	14		1
8.0	16	3	1
9.0	17	4	1
10.0	18	4	1
11.0	22	7	1
15.0	31	13	3
20.0	42	21	4

セルサイズ [μm^2]	保持時間 [Year] (Series A)	保持時間 [Year] (Series B)	保持時間 [Year] (Series C)
3.5	6	-	-
4.0	7	0.2	-
4.5	8	0.3	-
5.0	9	0.5	0.1
6.0	12	1.5	0.3
8.0	15	3.5	0.6
10.0	18	5.5	0.8
12.0	22	8.5	1.2
15.0	30	15	2.0
20.0	40	25	3.5

フロントページの続き

(51)Int.Cl.		F I	
<i>H 0 1 L</i>	<i>29/423</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 29/58 G
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i> 27/1156
<i>H 0 1 L</i>	<i>27/1156</i>	<i>(2017.01)</i>	<i>H 0 1 L</i> 29/78 3 7 1
<i>H 0 1 L</i>	<i>21/336</i>	<i>(2006.01)</i>	<i>G 1 1 C</i> 11/405
<i>H 0 1 L</i>	<i>29/788</i>	<i>(2006.01)</i>	
<i>H 0 1 L</i>	<i>29/792</i>	<i>(2006.01)</i>	
<i>G 1 1 C</i>	<i>11/405</i>	<i>(2006.01)</i>	

(56)参考文献 特開 2 0 1 5 - 1 0 9 4 3 3 (J P, A)
 特開 2 0 1 3 - 2 3 6 0 7 2 (J P, A)
 特開 2 0 1 2 - 1 2 9 5 1 2 (J P, A)
 米国特許出願公開第 2 0 1 5 / 0 0 2 3 0 9 0 (U S, A 1)
 特開平 0 2 - 2 5 0 3 4 9 (J P, A)

(58)調査した分野(Int.Cl., DB名)

<i>H 0 1 L</i>	<i>2 1 / 8 2 4 2</i>
<i>G 1 1 C</i>	<i>1 1 / 4 0 5</i>
<i>H 0 1 L</i>	<i>2 1 / 2 8</i>
<i>H 0 1 L</i>	<i>2 1 / 3 3 6</i>
<i>H 0 1 L</i>	<i>2 7 / 1 0 8</i>
<i>H 0 1 L</i>	<i>2 7 / 1 1 5 6</i>
<i>H 0 1 L</i>	<i>2 9 / 4 1 7</i>
<i>H 0 1 L</i>	<i>2 9 / 4 2 3</i>
<i>H 0 1 L</i>	<i>2 9 / 4 9</i>
<i>H 0 1 L</i>	<i>2 9 / 7 8 6</i>
<i>H 0 1 L</i>	<i>2 9 / 7 8 8</i>
<i>H 0 1 L</i>	<i>2 9 / 7 9 2</i>