(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 12 月 3 日 (03.12.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/238063 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2019/118327

(22) 国际申请日: 2019 年 11 月 14 日 (14.11.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910452389.6 2019年5月28日 (28.05.2019) CN

(71) 申请人: 昆山国显光电有限公司 (KUNSHAN GO-VISIONOX OPTO-ELECTRONICS CO., LTD) [CN/CN]; 中国江苏省昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。

(72) 发明人: 刘权 (LIU, Quan); 中国江苏省昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。 秦旭 (QIN, Xu); 中国江苏省昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。 李威龙 (LI, Weilong); 中国江苏省昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。 张露 (ZHANG, Lu); 中国江苏省昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。 胡思明 (HU, Siming); 中国江苏省昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。 韩珍珍 (HAN, Zhenzhen); 中国江苏省昆山市开发区龙腾路1号4幢, Jiangsu 215300 (CN)。

(74) 代理人: 北京东方亿思知识产权代理有限责任公司 (BEIJING EAST IP LTD.); 中国北京市东城区东长安街1号东方广场东方经贸城东2座1601室, Beijing 100738 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** ARRAY SUBSTRATE AND ARRAY SUBSTRATE MOTHERBOARD

(54) 发明名称: 阵列基板及阵列基板母板

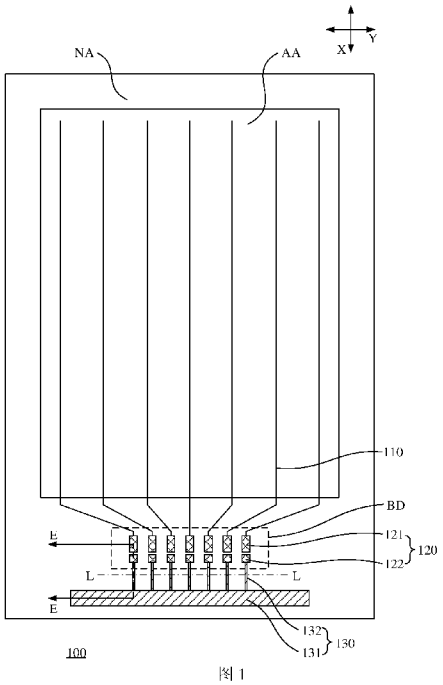


图 1

(57) **Abstract:** An array substrate (100) and an array substrate motherboard (1000). The array substrate (100) is provided with a display area (AA) and a non-display area (NA) located at the outer periphery of the display area (AA), wherein the non-display area (NA) is provided with an interface area (BD). The array substrate (100) comprises: a plurality of signal lines (110) extending in the display area (AA) and leading to the non-display area (NA); a plurality of pads (120) located in the interface area (BD), wherein each of the plurality of pads (120) is connected to one corresponding signal line from among the plurality of signal lines (110); and a short-circuit component (130) located in the non-display area (NA), wherein the short-circuit component (130) is connected to the plurality of pads (120), such that the plurality of signal lines (110) connected to the plurality of pads (120) are short-circuited, and the short-circuit component (130) comprises a patterned first metal structure (130a). The array substrate can prevent problems such as electrostatic damage caused by static electricity, or product defects.

WO 2020/238063 A1

[见续页]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种阵列基板(100)及阵列基板母板(1000)，阵列基板(100)具有显示区(AA)以及位于显示区(AA)外周的非显示区(NA)，非显示区(NA)设有接口区(BD)，阵列基板(100)包括：多条信号线(110)，延伸于显示区(AA)并引出至非显示区(NA)；多个焊盘(120)，位于接口区(BD)，多个焊盘(120)中的每个连接多条信号线(110)中的对应一条；以及短接组件(130)，位于非显示区(NA)，短接组件(130)与多个焊盘(120)连接，使得多个焊盘(120)连接的多条信号线(110)短接，其中，短接组件(130)包括图案化的第一金属结构(130a)。该阵列基板能够避免由于静电引起的静电击伤或产品缺陷等问题。

阵列基板及阵列基板母板

相关申请的交叉引用

本申请要求 2019 年 5 月 28 日提交的、申请号为 201910452389.6、申请名称为“阵列基板及阵列基板母板”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及显示领域，具体涉及一种阵列基板及阵列基板母板。

背景技术

显示面板制作过程中，需要进行阵列基板的制备，而在阵列基板的多个制程中，通常会在阵列基板上产生静电。静电的存在会对阵列基板的后续制程产生影响，从而降低阵列基板以及显示面板的制作良率。

现有的对阵列基板产生静电的处理方式为通过短路组件分散阵列基板上的静电，然而现有的短路组件采用半导体结构，其阻抗较大，使得阵列基板上的积累的电荷无法快速传导分散，仍然存在静电引起的问题。

发明内容

本申请提供一种阵列基板及阵列基板母板，提高阵列基板及阵列基板母板的静电分散能力。

一方面，本申请实施例提供一种阵列基板，具有显示区以及位于显示区外周的非显示区，非显示区设有接口区，阵列基板包括：多条信号线，延伸于显示区并引出至非显示区；多个焊盘，位于接口区，多个焊盘中的每个连接多条信号线中的对应一条；以及短接组件，位于非显示区，短接组件与多个焊盘连接，使得多个焊盘连接的多条信号线短接，其中，短接组件包括图案化的第一金属结构。

根据本申请一方面的前述实施方式，阵列基板包括设置于显示区的多个像素电路，多个像素电路中的每个与多条信号线中的至少一条连接，多个像素电路包括栅极导体，第一金属结构的材质与栅极导体的材质相同。

根据本申请一方面的前述任一实施方式，第一金属结构与栅极导体同层设置。

根据本申请一方面的前述任一实施方式，多个焊盘中的每个包括在第一方向上间隔排列的第一焊盘单元、第二焊盘单元，第一焊盘单元与多条信号线中的对应一条连接，第二焊盘单元与短接组件连接，第一焊盘单元、第二焊盘单元均通过过孔连接至互连块，使得第一焊盘单元与第二焊盘单元电连接。

根据本申请一方面的前述任一实施方式，阵列基板包括设置于显示区的多个像素电路，多个像素电路中的每个与多条信号线中的至少一条连接，多个像素电路包括有源层，互连块的材质与有源层的材质相同。

根据本申请一方面的前述任一实施方式，互连块与有源层同层设置。

根据本申请一方面的前述任一实施方式，短接组件还包括图案化的半导体结构，半导体结构在阵列基板厚度方向上的正投影与第一金属结构在阵列基板厚度方向上的正投影重合。

根据本申请一方面的前述任一实施方式，第一金属结构与半导体结构之间设置有绝缘层。

根据本申请一方面的前述任一实施方式，阵列基板包括设置于显示区的多个像素电路，多个像素电路中的每个与多条信号线中的至少一条连接，多个像素电路包括有源层，半导体结构与有源层的材质相同。

根据本申请一方面的前述任一实施方式，半导体结构与所述有源层同层设置。

根据本申请一方面的前述任一实施方式，短接组件包括：短接棒；以及多条连接线，多个焊盘中的每个通过多条连接线中的对应一条与短路棒连接。

根据本申请一方面的前述任一实施方式，阵列基板还包括：保护层，保护层覆盖短接组件。

根据本申请一方面的前述任一实施方式，保护层上设有槽道，槽道从保护层的表面贯穿至第一金属结构，槽道与多条连接线相交设置。

另一方面，本申请实施例提供一种阵列基板母板，该阵列基板母板包括多个根据上述任一实施方式的阵列基板，多个阵列基板阵列排布。

根据本申请另一方面的前述实施方式，多个阵列基板排布为多行，每行排布有多个阵列基板，阵列基板母板还包括短接互连组件，短接互连组件包括第一互连单元和第二互连单元，第一互连单元串接同行的多个阵列基板，第二互连单元并接多行阵列基板中的至少两行。

根据本申请另一方面的前述任一实施方式，短接互连组件包括图案化的第二金属结构，第二金属结构能够通过过孔与第一金属结构连接。

根据本申请实施例的阵列基板，其接口区的多个焊盘能够通过短接组件短接，进而使得多个焊盘连接的多条信号线短接。当阵列基板上某个局部产生静电电荷时，能够通过该短接组件将静电电荷分散在整个阵列基板上。短接组件可以连接至稳定电压源，使得阵列基板上的电荷能够通过短接组件传导和消除。在本申请实施例的阵列基板中，短接组件包括图案化的第一金属结构，相对于半导体结构的短接组件，能够大大降低所连接的焊盘间的阻抗，静电产生后能够更快速地分散电荷，避免由于静电引起的静电击伤或静电引起的产品缺陷等问题。

在一些可选的实施方式中，焊盘包括相互间隔排列且通过互连块相互电连接的第一焊盘单元、第二焊盘单元，使得短接组件仍然能够通过焊盘与多条信号线连接以将多条信号线短接。由于第一焊盘单元与第二焊盘单元间隔设置，其中第二焊盘单元与短接组件连接，当外界水汽等对焊盘产生腐蚀时，腐蚀部分会截止在第一焊盘单元与第二焊盘单元之间的间隙处，从而避免水汽腐蚀进一步侵入与信号线连接的第一焊盘单元，提高阵列基板接口区焊盘的防腐蚀性能。

根据本申请实施例的阵列基板母板，每个阵列基板上的短接组件包括图案化的第一金属结构，相对于半导体结构的短接组件，能够大大降低相连接的焊盘间的阻抗，静电产生后能够更快速地分散电荷，避免由于静电引起的静电击伤、产品制备缺陷等问题。

在一些可选的实施方式中，阵列基板母板还包括短接互连组件，短接互连组件将阵列基板母板上的至少部分阵列基板的短接组件互相连接，从而实现阵列基板母板上多个阵列基板上的静电分散，进一步增加阵列基板母板的静电分散能力。

附图说明

通过阅读以下参照附图对非限制性实施例所作的详细描述，本申请的其它特征、目的和优点将会变得更明显，其中，相同或相似的附图标记表示相同或相似的特征，附图并未按照实际的比例绘制。

图 1 是本申请一种实施例提供的阵列基板的结构示意图；

图 2 是图 1 中 E-E 向的剖面示意图；

图 3 是本申请一种实施例提供的阵列基板母板的结构示意图；

图 4 是图 3 中 F-F 向的剖面示意图。

具体实施方式

为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及具体实施例，对本申请进行进一步详细描述。应理解，此处所描述的具体实施例仅被配置为解释本申请，并不被配置为限定本申请。对于本领域技术人员来说，本申请可以在不需要这些具体细节中的一些细节的情况下实施。

需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。

应当理解，在描述部件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将部件翻转，该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

本申请实施例提供一种阵列基板，该阵列基板可以是有机发光二极管

（Organic Light-Emitting Diode，OLED）显示面板的阵列基板，也可以是液晶显示面板（Liquid Crystal Display，LCD）、微发光二极管（Micro-LED）等显示面板的阵列基板。本文中，术语“阵列基板”可以指完成全部阵列段制程的成品阵列基板，也可以指在阵列段的任意制程阶段时的半成品阵列基板。

图 1 是本申请一种实施例提供的阵列基板的结构示意图，图 2 是图 1 中 E-E 向的剖面示意图。本申请实施例的阵列基板 100 具有显示区 AA 以及位于显示区 AA 外周的非显示区 NA，非显示区 NA 设有接口区 BD。

阵列基板 100 可以包括多条信号线 110、多个焊盘 120 以及多个短接组件 130。其中，多条信号线 110 延伸于显示区 AA 并引出至非显示区 NA。在一些实施例中，阵列基板 100 还包括设置于显示区 AA 的多个像素电路，每个像素电路与显示面板的一个像素对应，以像素是 OLED 像素为例，每个像素电路用于驱动对应像素发光。多个像素电路在阵列基板 100 的显示区 AA 呈预定规律排布，每个像素电路可以与多条信号线 110 中的至少一条连接。

阵列基板 100 可以包括多条扫描线以及多条数据线，多条扫描线可以同向延伸并且相互间隔设置，多个数据线也可以同向延伸并且相互间隔设置，扫描线的延伸方向与数据线的延伸方向交叉。每个像素电路连接至一条扫描线和一条数据线，扫描线可以向像素电路提供开关信号，数据线可以向像素电路提供灰阶信号。

在一些实施例中，多条信号线 110 可以是上述的多条扫描线；在另外一些实施例中，多条信号线 110 可以是上述的多条数据线。

接口区 BD 可以用于与外界电路板连接，在一些实施例中，该外界电路板为柔性电路板（Flexible Printed Circuit，FPC），其上可以设置驱动芯片以及控制芯片。

多个焊盘 120 位于接口区 BD，多个焊盘 120 中的每个连接多条信号线 110 中的对应一条。在一些实施例中，多个信号线 110 中的至少部分对应连接至多个焊盘 120。多个焊盘 120 可以与外界电路板电连接，例如是通过键合绑定（bonding）的方式与 FPC 上的电路电连接，从而实现信号线

110 与 FPC 上的驱动芯片的电连接。

短接组件 130 位于非显示区 NA，该短接组件 130 与多个焊盘 120 连接，使得多个焊盘 120 连接的多条信号线 110 短接。其中，如图 2，在本实施例中，短接组件 130 包括图案化的第一金属结构 130a。

根据本申请实施例的阵列基板 100，其接口区 BD 的多个焊盘 120 能够通过短接组件 130 短接，进而使得多个焊盘 120 连接的多条信号线 110 短接。当阵列基板 100 上某个局部产生静电电荷时，能够通过该短接组件 130 将静电电荷分散在整个阵列基板 100 上。

短接组件 130 可以连接至稳定电压源，使得阵列基板 100 上的电荷能够通过短接组件 130 传导和消除。在本申请实施例的阵列基板 100 中，短接组件 130 包括图案化的第一金属结构 130a，相对于半导体结构的短接组件，能够大大降低相互连接的焊盘 120 间的阻抗，静电产生后能够更快速地分散电荷，避免由于静电引起的静电击伤或静电引起的产品缺陷等问题。

在一些实施例中，像素电路包括有晶体管，根据像素电路的不同设计，每个像素电路包括的晶体管的数量随其具体设计可以调整变化。其中，像素电路可以包括用于形成源极、漏极的有源层，以及设置在该有源层沟道上方的栅极导体，栅极导体与有源层绝缘设置。

栅极导体可以采用钼（Mo）等金属材料通过图案化制成。在一些实施例中，第一金属结构 130a 的材质与栅极导体的材质相同；在一些实施例中，第一金属结构 130a 与栅极导体同层设置，使得第一金属结构 130a 可以与栅极导体在同一图案化过程中同时形成，从而在未增加阵列基板的制作工序的情况下提供阻抗更小的短接组件 130，提高防静电性能的同时节省生产成本。

如图 2，在一些实施例中，短接组件 130 还包括图案化的半导体结构 130b，半导体结构 130b 在阵列基板 100 厚度方向上的正投影与第一金属结构 130a 在阵列基板 100 厚度方向上的正投影重合。

具体地，如图 2，在阵列基板 100 的非显示区 NA，阵列基板 100 包括衬底 190，衬底 190 可以是玻璃，也可以是聚酰亚胺（polyimide，PI）薄膜等聚合物衬底或者包含 PI 等聚合物材料的衬底。

半导体结构 130b 位于该衬底 190 上，在一些实施例中，半导体结构 130b 与衬底 190 之间可以设置有缓冲层，缓冲层可以是氧化物层或氮化物层，例如是氮化硅制成。

第一金属结构 130a 位于半导体结构 130b 上，在一些实施例中，第一金属结构 130a 与半导体结构 130b 之间可以设置有绝缘层 180，绝缘层 180 可以是氧化物层或氮化物层，例如是氮化硅制成。

半导体结构 130b 在阵列基板 100 厚度方向上的正投影与第一金属结构 130a 在阵列基板 100 厚度方向上的正投影重合，即，短接组件 130 在其层结构维度上包括叠层设置的半导体结构 130b 和第一金属结构 130a，两者在垂直于阵列基板 100 厚度方向的平面维度上的结构相同。通过设置叠层结构的短接组件 130，一方面能够进一步减小短接组件 130 阻抗以获得更快速的静电分散能力，另一方面能够增强短接组件 130 的结构稳定性。

如前所述，在一些实施例中，像素电路可以包括有源层，有源层可以是多晶硅（polycrystalline silicon，PSi）、非晶硅（amorphous silicon，α-Si）、低温多晶硅（low temperature poly-silicon，LTPS）等半导体材料制成。图案化的半导体结构 130b 的材质可以与该有源层的材质相同，该半导体结构 130b 可以与该有源层的同层设置，使得两者能在同一图案化过程中形成，节省工艺制程。

上述实施例中，短接组件 130 包括叠层的第一金属结构 130a 和半导体结构 130b。在其它一些实施例中，短接组件 130 可以仅包括第一金属结构 130a。

如图 1，在一些实施例中，焊盘 120 包括在第一方向 X 上间隔排列的第一焊盘单元 121、第二焊盘单元 122。其中第一焊盘单元 121 与多条信号线 110 中的对应一条连接，第二焊盘单元 122 与短接组件 130 连接。在一些实施例中，阵列基板为矩形，第一方向 X 例如是平行于阵列基板的长度方向。

如图 2，第一焊盘单元 121 与第二焊盘单元 122 之间间隔形成间隙 123。第一焊盘单元 121、第二焊盘单元 122 均通过过孔连接至互连块 140，使得第一焊盘单元 121 与第二焊盘单元 122 电连接。

在上述实施例中，焊盘 120 包括间隔排列且通过互连块 140 相互电连接的第一焊盘单元 121、第二焊盘单元 122，使得短接组件 130 仍然能够通过焊盘 120 与多条信号线 110 连接以将多条信号线 110 短接。由于第一焊盘单元 121 与第二焊盘单元 122 间隔设置，当外界水汽等对焊盘 120 产生腐蚀时，腐蚀部分会截止在第一焊盘单元 121 与第二焊盘单元 122 之间的间隙 123 处，从而避免水汽腐蚀进一步侵入与信号线 110 连接的第一焊盘单元 121，提高阵列基板 100 接口区 BD 焊盘 120 的防腐蚀性能。

在一些实施例中，互连块 140 的材质与像素电路的有源层的材质相同；互连块140可以与像素电路的有源层同层设置。在本实施例中，互连块140、短接组件 130 的半导体结构 130b 以及像素电路的有源层同层设置，从而能在同一图案化过程中形成，节省工艺制程。

在其它一些实施例中，互连块 140 也可以是其它的导电材料制成。在其它一些实施例中，互连块 140 可以与阵列基板 100 的某个金属层同层布置并能够在同一图案化过程中形成。

如图 1，在本实施例中，短接组件 130 包括短接棒 131 以及多条连接线 132。短接棒 131 可以是沿预定方向延伸的条形导体结构，本实施例中，短接棒 131 沿第二方向 Y 延伸。每个焊盘 120 通过对应一条连接线 132 与短路棒 131 连接。每相邻两个焊盘 120 依次通过连接线 132、短路棒 131、连接线 132 电连接，在一些实施例中，相邻两个焊盘 120 之间的电连接结构中的电阻为 50 欧以下。

在一些实施例中，阵列基板 100 在经过检测后，可以通过物理切割等方式截断多条连接线 132，使得多个焊盘 120 相互独立而不再通过短接组件 130 短接。图 1 和图 2 中，以 L-L 线示出用于截断多条连接线 132 的分割线的延伸方向。在一些实施例中，多条连接线 132 均沿第一方向 X 延伸，第二方向 Y 与第一方向 X 交叉，分割线沿第二方向 Y 延伸，并与全部连接线 132 相交。

如图 2，在一些实施例中，阵列基板 100 还包括保护层 150，保护层 150 覆盖短接组件 130。本实施例中，保护层 150 覆盖短接组件 130 的第一金属结构 130a。其中，保护层 150 上设有槽道 151，槽道 151 从保护层 150

的表面贯穿至第一金属结构 130a，使得第一金属结构 130a 在该槽道 151 处裸露。槽道 151 的位置以及延伸方向与上述分割线的位置以及延伸方向对应，使得槽道 151 与多条连接线 132 相交设置。分割装置沿该槽道 151 对阵列基板 100 进行分割，可以实现上述多条连接线 132 的截断。

本申请实施例还提供一种阵列基板母板，该阵列基板母板可以包括多个阵列排布的阵列基板，其中阵列基板可以是上述任一实施方式的阵列基板，以下将以该阵列基板为上述本申请实施例提供的阵列基板 100 为例进行说明。

图 3 是根据本申请一种实施例提供的阵列基板母板的结构示意图，图 4 示出图 3 中 F-F 向的剖面示意图。

阵列基板母板 1000 中，多个阵列基板 100 排布为多行，每行排布有多个阵列基板 100。其中，图 3 中的排列方式和阵列基板 100 的数量仅为示意，多个阵列基板 100 形成的排列中，阵列基板 100 的行数以及每行中阵列基板 100 的数量可以根据实际需要设置。

根据本申请实施例的阵列基板母板 1000，其包括的每个阵列基板 100 的接口区 BD 具有多个焊盘 120，并且多个焊盘 120 能够通过短接组件 130 短接，进而使得多个焊盘 120 连接的多条信号线 110 短接。当阵列基板 100 上某个局部产生静电电荷时，能够通过该短接组件 130 将静电电荷分散在整个阵列基板 100 上。

在一些实施例中，可以将短接组件 130 连接至稳定电压源，使得阵列基板 100 上的电荷能够通过短接组件 130 传导和消除。在本申请实施例的阵列基板 100 中，短接组件 130 包括图案化的第一金属结构 130a，相对于半导体结构的短接组件，能够大大降低相互连接的焊盘 120 间的阻抗，静电产生后能够更快速地分散电荷，避免由于静电引起的静电击伤、静电引起的产品缺陷等问题。

在一些实施例中，阵列基板母板 1000 还包括短接互连组件 200。短接互连组件 200 能够将将阵列基板母板 1000 上的至少部分阵列基板 100 的短接组件 130 互相连接。

其中，短接互连组件 200 包括第一互连单元 210 和第二互连单元 220。

第一互连单元210串接同行的多个阵列基板100，第二互连单元220并接多行阵列基板100中的至少两行。

在图3所示的实施例中，以多个阵列基板100呈3×3的排列布局为例进行说明。其中，短接互连组件200将阵列基板母板1000上的全部阵列基板100的短接组件130互相连接，从而可以实现阵列基板母板1000上全部阵列基板100上的静电分散，进一步增加阵列基板母板1000的静电分散能力。

在其它一些实施例中，短接互连组件200可以将阵列基板母板1000上的一部分阵列基板100的短接组件130互相连接，相互连接的多个阵列基板100上的静电分散。

在一些实施例中，短接互连组件200上设有连接端子300，短接互连组件200可以通过该连接端子300与稳定电压源连接，使得阵列基板母板1000的多个阵列基板100上的电荷能够通过短接组件130、短接互连组件200以及连接端子300传导和消除。

如图4，在一些实施例中，短接互连组件200包括图案化的第二金属结构200a，该第二金属结构200a能够通过过孔与第一金属结构130a连接。在图4中，右端的第一金属结构130a为第一互连单元210的一部分结构，左端的第一金属结构130a为第二互连单元220的一部分结构。在一些实施例中第二金属结构200a可以与阵列基板100的某个金属层同层布置并能够在同一图案化过程中形成，以节省工艺制程。

依照本申请如上文所述的实施例，这些实施例并没有详尽叙述所有的细节，也不限制该申请仅为所述的具体实施例。显然，根据以上描述，可作很多的修改和变化。本说明书选取并具体描述这些实施例，是为了更好地解释本申请的原理和实际应用，从而使所属技术领域技术人员能很好地利用本申请以及在本申请基础上进行修改使用。本申请仅受权利要求书及其全部范围和等效物的限制。

权 利 要 求 书

1、一种阵列基板，具有显示区以及位于所述显示区外周的非显示区，所述非显示区设有接口区，所述阵列基板包括：

多条信号线，延伸于所述显示区并引出至所述非显示区；

多个焊盘，位于所述接口区，所述多个焊盘中的每个连接所述多条信号线中的对应一条；以及

短接组件，位于所述非显示区，所述短接组件与所述多个焊盘连接，使得所述多个焊盘连接的所述多条信号线短接，其中，所述短接组件包括图案化的第一金属结构。

2、根据权利要求 1 所述的阵列基板，其中，所述阵列基板包括设置于所述显示区的多个像素电路，所述多个像素电路中的每个与所述多条信号线中的至少一条连接，所述多个像素电路包括栅极导体，所述第一金属结构的材质与所述栅极导体的材质相同。

3、根据权利要求 2 所述的阵列基板，其中，所述第一金属结构与所述栅极导体同层设置。

4、根据权利要求 1 所述的阵列基板，其中，所述多个焊盘中的每个包括在第一方向上间隔排列的第一焊盘单元、第二焊盘单元，所述第一焊盘单元与所述多条信号线中的对应一条连接，所述第二焊盘单元与所述短接组件连接，所述第一焊盘单元、所述第二焊盘单元均通过过孔连接至互连块，使得所述第一焊盘单元与所述第二焊盘单元电连接。

5、根据权利要求 4 所述的阵列基板，其中，所述阵列基板包括设置于所述显示区的多个像素电路，所述多个像素电路中的每个与所述多条信号线中的至少一条连接，所述多个像素电路包括有源层，所述互连块的材质与所述有源层的材质相同。

6、根据权利要求 5 所述的阵列基板，其中，所述互连块与所述有源层同层设置。

7、根据权利要求 1 所述的阵列基板，其中，所述短接组件还包括图案化的半导体结构，所述半导体结构在所述阵列基板厚度方向上的正投影与

所述第一金属结构在所述阵列基板厚度方向上的正投影重合。

8、根据权利要求 7 所述的阵列基板，其中，所述第一金属结构与所述半导体结构之间设置有绝缘层。

9、根据权利要求 7 所述的阵列基板，其中，所述阵列基板包括设置于所述显示区的多个像素电路，所述多个像素电路中的每个与所述多条信号线中的至少一条连接，所述多个像素电路包括有源层，所述半导体结构与所述有源层的材质相同。

10、根据权利要求 9 所述的阵列基板，其中，所述半导体结构与所述有源层同层设置。

11、根据权利要求 1 所述的阵列基板，其中，所述短接组件包括：

短接棒；以及

多条连接线，所述多个焊盘中的每个通过所述多条连接线中的对应一条与所述短路棒连接。

12、根据权利要求 11 所述的阵列基板，其中，所述阵列基板还包括：

保护层，所述保护层覆盖所述短接组件。

13、根据权利要求 12 所述的阵列基板，其中，所述保护层上设有槽道，所述槽道从所述保护层的表面贯穿至所述第一金属结构，所述槽道与所述多条连接线相交设置。

14、一种阵列基板母板，包括多个根据权利要求 1 至 13 任一项所述的阵列基板，多个所述阵列基板阵列排布。

15、根据权利要求 14 所述的阵列基板母板，其中，多个所述阵列基板排布为多行，每行排布有多个所述阵列基板，

所述阵列基板母板还包括短接互连组件，所述短接互连组件包括第一互连单元和第二互连单元，所述第一互连单元串接同行的多个所述阵列基板，所述第二互连单元并接多行所述阵列基板中的至少两行。

16、根据权利要求 15 所述的阵列基板母板，其中，所述短接互连组件包括图案化的第二金属结构，所述第二金属结构能够通过过孔与所述第一金属结构连接。

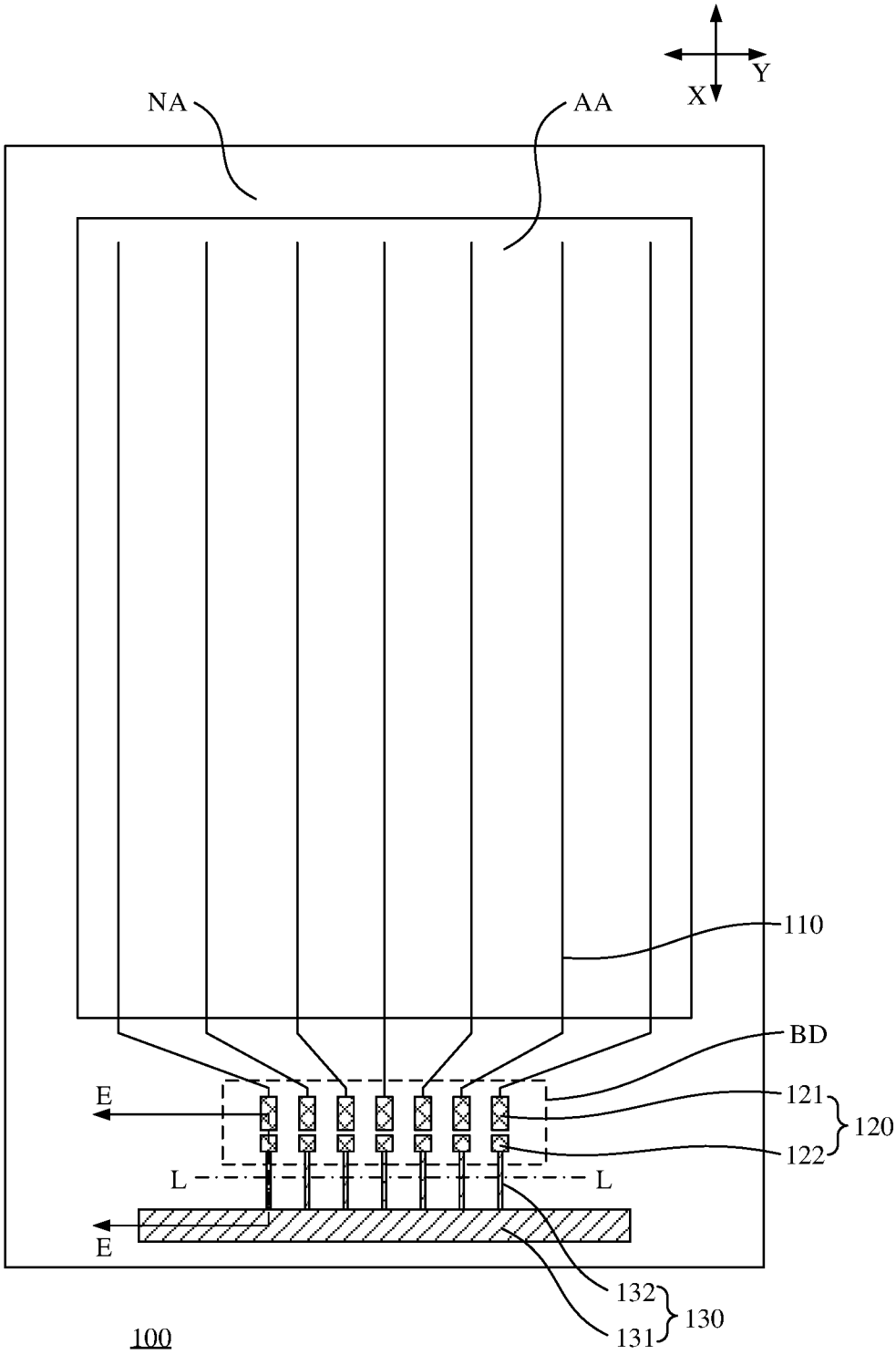


图 1

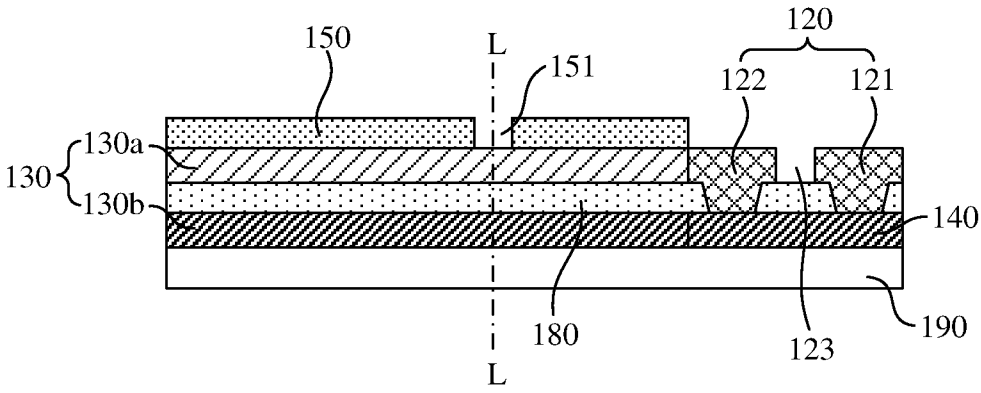


图 2

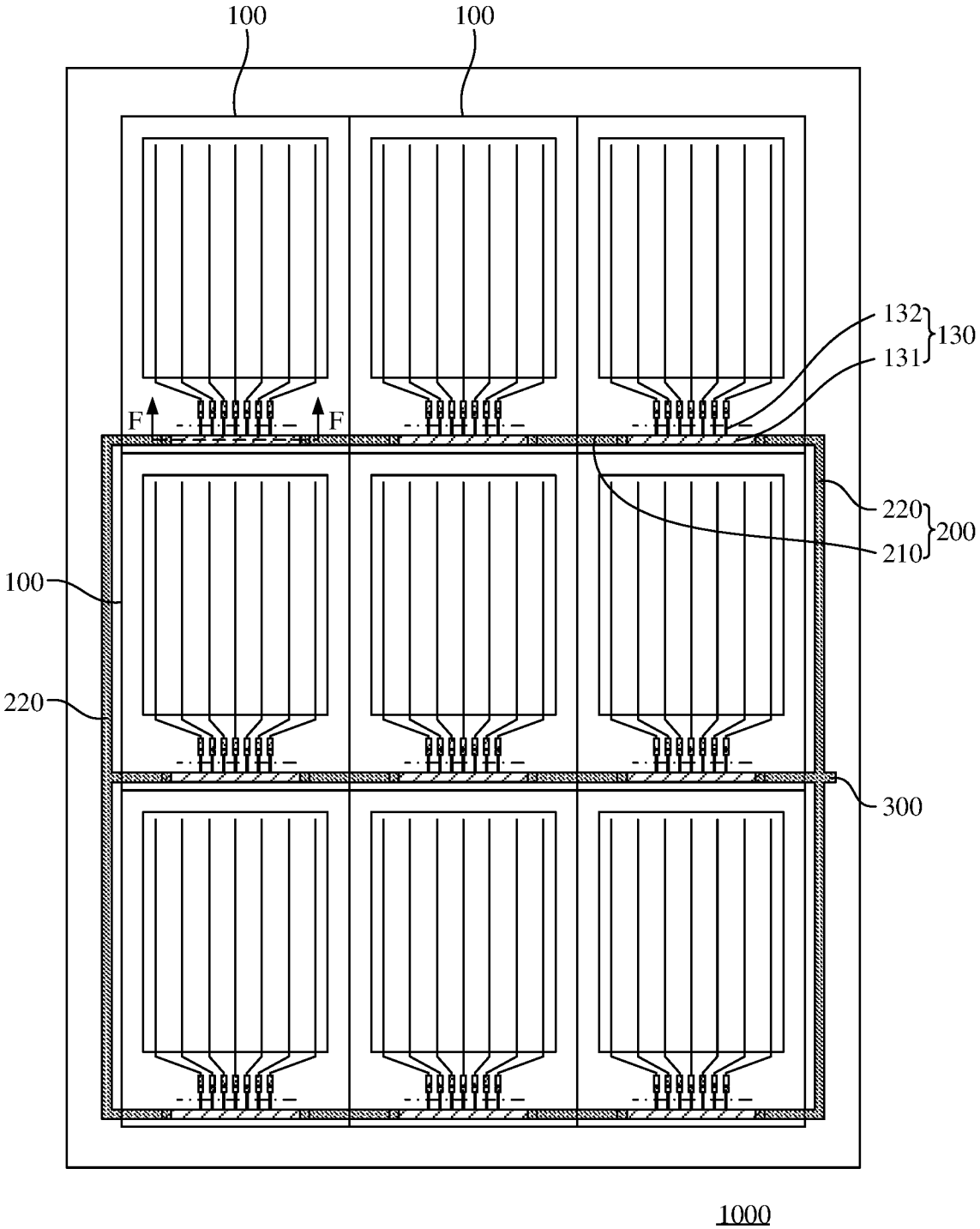


图 3

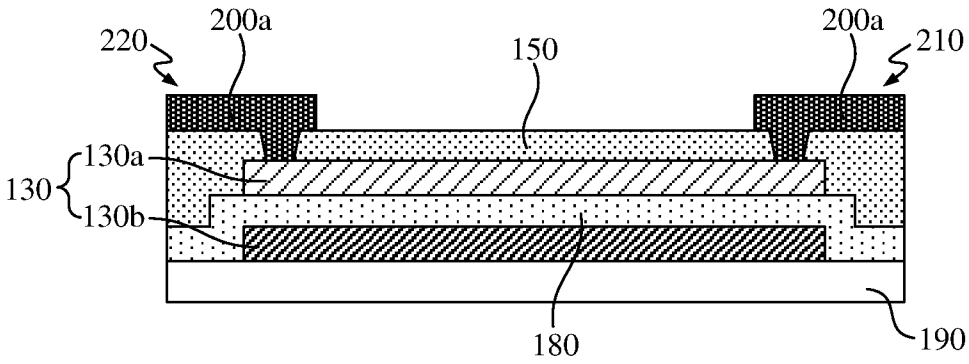


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/118327

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F,H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 短路, 短接, 阵列基板, 基板, 棒, 过孔, 昆山国显, 焊盘, 静电, shorting w bar?, electrostatic, pad, hole? or opening

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 110187575 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 30 August 2019 (2019-08-30) claims 1-10	1-16
Y	CN 103676255 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 26 March 2014 (2014-03-26) description, paragraphs [0034]-[0038], and figure 2	1-16
Y	CN 103901641 A (LG DISPLAY CO., LTD.) 02 July 2014 (2014-07-02) description, paragraphs [0011]-[0020], and figures 1-2	1-16
A	CN 101127388 A (TSINGHUA UNIVERSITY et al.) 20 February 2008 (2008-02-20) entire document	1-16
A	CN 1797161 A (LG. PHILIPS LCD CO., LTD.) 05 July 2006 (2006-07-05) entire document	1-16
A	CN 109801909 A (BOE TECHNOLOGY GROUP CO., LTD.) 24 May 2019 (2019-05-24) entire document	1-16
A	US 2001051385 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 December 2001 (2001-12-13) entire document	1-16

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 February 2020	**04 March 2020**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration** **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/118327

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110187575	A	30 August 2019	None			
CN	103676255	A	26 March 2014	US	2015187801	A1	02 July 2015
				WO	2015096247	A1	02 July 2015
				US	9165950	B2	20 October 2015
				CN	103676255	B	24 February 2016
CN	103901641	A	02 July 2014	US	2014184989	A1	03 July 2014
				CN	103901641	B	01 March 2017
				JP	2014130349	A	10 July 2014
				KR	20140084601	A	07 July 2014
				EP	2749938	A1	02 July 2014
				JP	5690916	B2	25 March 2015
				TW	201428385	A	16 July 2014
				TW	I582493	B	11 May 2017
CN	101127388	A	20 February 2008	None			
CN	1797161	A	05 July 2006	FR	2880475	A1	07 July 2006
				JP	2006191014	A	20 July 2006
				JP	5084138	B2	28 November 2012
				KR	20060077719	A	05 July 2006
				CN	100417998	C	10 September 2008
				US	2006145154	A1	06 July 2006
				GB	2421834	A	05 July 2006
				FR	2880475	B1	09 January 2009
				GB	2421834	B	28 March 2007
				KR	100661725	B1	26 December 2006
				DE	102005058680	A1	13 July 2006
				US	2010323482	A1	23 December 2010
				DE	102005058680	B4	07 April 2011
CN	109801909	A	24 May 2019	WO	2019237841	A1	19 December 2019
US	2001051385	A1	13 December 2001	US	6358767	B2	19 March 2002

国际检索报告

国际申请号
PCT/CN2019/118327

A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F,H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNKI,CNPAT,WPI,EPODOC:短路，短接，阵列基板，基板，棒，过孔，昆山国显，焊盘，静电，shorting w bar?, electrostatic, pad, hole? or opening

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 110187575 A (昆山国显光电有限公司) 2019年 8月 30日 (2019-08-30) 权利要求1-10	1-16
Y	CN 103676255 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014-03-26) 说明书第[0034]-[0038]段、图2	1-16
Y	CN 103901641 A (乐金显示有限公司) 2014年 7月 2日 (2014-07-02) 说明书第[0011]-[0020]段、图1-2	1-16
A	CN 101127388 A (清华大学 等) 2008年 2月 20日 (2008-02-20) 全文	1-16
A	CN 1797161 A (LG.菲利浦LCD株式会社) 2006年 7月 5日 (2006-07-05) 全文	1-16
A	CN 109801909 A (京东方科技集团股份有限公司) 2019年 5月 24日 (2019-05-24) 全文	1-16
A	US 2001051385 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2001年 12月 13日 (2001-12-13) 全文	1-16

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2020年 2月 19日	2020年 3月 4日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 肖霞 电话号码 86-(10)-53962611

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/118327

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110187575	A	2019年 8月 30日	无			
CN	103676255	A	2014年 3月 26日	US	2015187801	A1	2015年 7月 2日
				WO	2015096247	A1	2015年 7月 2日
				US	9165950	B2	2015年 10月 20日
				CN	103676255	B	2016年 2月 24日
CN	103901641	A	2014年 7月 2日	US	2014184989	A1	2014年 7月 3日
				CN	103901641	B	2017年 3月 1日
				JP	2014130349	A	2014年 7月 10日
				KR	20140084601	A	2014年 7月 7日
				EP	2749938	A1	2014年 7月 2日
				JP	5690916	B2	2015年 3月 25日
				TW	201428385	A	2014年 7月 16日
				TW	I582493	B	2017年 5月 11日
CN	101127388	A	2008年 2月 20日	无			
CN	1797161	A	2006年 7月 5日	FR	2880475	A1	2006年 7月 7日
				JP	2006191014	A	2006年 7月 20日
				JP	5084138	B2	2012年 11月 28日
				KR	20060077719	A	2006年 7月 5日
				CN	100417998	C	2008年 9月 10日
				US	2006145154	A1	2006年 7月 6日
				GB	2421834	A	2006年 7月 5日
				FR	2880475	B1	2009年 1月 9日
				GB	2421834	B	2007年 3月 28日
				KR	100661725	B1	2006年 12月 26日
				DE	102005058680	A1	2006年 7月 13日
				US	2010323482	A1	2010年 12月 23日
				DE	102005058680	B4	2011年 4月 7日
CN	109801909	A	2019年 5月 24日	WO	2019237841	A1	2019年 12月 19日
US	2001051385	A1	2001年 12月 13日	US	6358767	B2	2002年 3月 19日