

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6058681号
(P6058681)

(45) 発行日 平成29年1月11日(2017. 1. 11)

(24) 登録日 平成28年12月16日(2016. 12. 16)

(51) Int. Cl.	F I
HO 4 N 5/374 (2011. 01)	HO 4 N 5/335 7 4 O
HO 4 N 5/341 (2011. 01)	HO 4 N 5/335 4 1 O
HO 4 N 5/378 (2011. 01)	HO 4 N 5/335 7 8 O
HO 4 N 5/376 (2011. 01)	HO 4 N 5/335 7 6 O

請求項の数 13 (全 18 頁)

(21) 出願番号	特願2014-533984 (P2014-533984)	(73) 特許権者	507226592
(86) (22) 出願日	平成24年10月4日 (2012. 10. 4)		オックスフォード ユニヴァーシティ イ
(65) 公表番号	特表2014-532361 (P2014-532361A)		ノヴェーション リミテッド
(43) 公表日	平成26年12月4日 (2014. 12. 4)		英国 オーエックス2 オジェイビー オ
(86) 国際出願番号	PCT/GB2012/052459		ックスフォード ボトリー ウエスト ウ
(87) 国際公開番号	W02013/050767		エイ3 バクストン コート
(87) 国際公開日	平成25年4月11日 (2013. 4. 11)	(74) 代理人	110000877
審査請求日	平成27年9月29日 (2015. 9. 29)		龍華国際特許業務法人
(31) 優先権主張番号	1117319.2	(72) 発明者	モルドバン、グリゴレ
(32) 優先日	平成23年10月6日 (2011. 10. 6)		イギリス、オックスフォード、サマータウ
(33) 優先権主張国	英国 (GB)		ン、エワート プレイス、エワート ハウ
			ス (番地なし) アイシス イノヴェイ
			ション リミテッド内

最終頁に続く

(54) 【発明の名称】 アクティブピクセル画像センサ

(57) 【特許請求の範囲】

【請求項 1】

アクティブピクセル画像センサであって、

N個の出力ライン上においてアドレス指定されたピクセルからピクセル読出し信号を供給するべく、ランダムアクセスアドレス指定される能力を有するアクティブピクセルのピクセルアレイであって、Nは、複数の整数である、ピクセルアレイと、

並列に構成され、且つ、ピクセル読出し信号のアナログ - デジタル変換を実行する能力をそれぞれが有するM個のADCレーンであって、Mは、N未満の複数の整数である、ADCレーンと、

出力ラインを前記M個のADCレーンに対して選択的に接続する能力を有するスイッチング構成と、

前記ピクセルのランダムアクセスアドレス指定を提供するように、且つ、これと同期した状態において、前記ピクセルの前記ランダムアクセスアドレス指定に従って前記スイッチング構成を制御して、前記アドレス指定されたピクセルがピクセル読出し信号を供給する前記出力ラインを、選択されたADCレーンに対して接続するように構成された制御ユニットと、

を有し、

それぞれのADCレーンは、動作のための準備が完了した状態にあるかどうかを示す状態信号を前記制御ユニットに供給するように構成されており、且つ、前記制御ユニットは、前記状態信号に応答して、前記アドレス指定されたピクセルがピクセル読出し信号を供

10

20

給する前記出力ラインを、動作のための準備が完了していると前記状態信号によって示される A D C レーンに対して接続するべく、前記スイッチング構成を制御するように構成されている、アクティブピクセル画像センサ。

【請求項 2】

前記制御ユニットは、異なるレートにおいて前記画像センサの異なるピクセルのランダムアクセスアドレス指定を提供する能力を有する請求項 1 に記載のアクティブピクセル画像センサ。

【請求項 3】

前記制御ユニットは、

前記ピクセルのランダムアクセスアドレス指定を提供するように構成されたピクセルアドレス指定ユニットと、

前記スイッチング構成の前記制御を実行するように構成された A D C アドレス指定ユニットであって、前記ピクセルアドレス指定ユニット及び前記 A D C アドレス指定ユニットは、同期した状態において動作するように構成されている、A D C アドレス指定ユニットと、

を有する請求項 1 又は 2 に記載のアクティブピクセル画像センサ。

【請求項 4】

前記ピクセルアドレス指定ユニットは、

ピクセルのランダムアクセスピクセルアドレスを提供するように構成されたピクセルアドレス生成器と、

前記ピクセルアドレス生成器によって生成された前記ピクセルアドレスを受け取り、且つ、前記受け取ったピクセルアドレスに従って、ピクセルをアドレス指定するために、前記ピクセルアレイの制御ライン上において制御信号を供給するように構成されたデコード構成と、

を有する請求項 3 に記載のアクティブピクセル画像センサ。

【請求項 5】

前記 A D C レーンのそれぞれは、

複数のアナログ - デジタルコンバータと、

前記 A D C レーンに供給される前記ピクセル読出し信号を連続的に前記 A D C レーンの前記複数のアナログ - デジタルコンバータに対して多重化するように構成されたマルチプレクサと、

を有する請求項 1 から 4 のいずれか 1 項に記載のアクティブピクセル画像センサ。

【請求項 6】

前記 A D C レーンのそれぞれは、前記 A D C レーンの前記複数のアナログ - デジタルコンバータの動作を監視すると共に前記監視される動作に基づいて前記マルチプレクサを制御するように構成された負荷分散器を更に有する請求項 5 に記載のアクティブピクセル画像センサ。

【請求項 7】

前記スイッチング構成は、前記 N 個の出力ラインのうちのいずれかを前記 M 個の A D C レーンのうちのいずれかに対して選択的に接続する能力を有する請求項 1 から 6 のいずれか 1 項に記載のアクティブピクセル画像センサ。

【請求項 8】

前記制御ユニットは、前記アドレス指定されたピクセルがピクセル読出し信号を供給する前記出力ラインを、選択された A D C レーンに対して連続的に接続するべく、前記ピクセルの前記ランダムアクセスアドレス指定に従って前記スイッチング構成を制御するように構成されている請求項 1 から 7 のいずれか 1 項に記載のアクティブピクセル画像センサ。

【請求項 9】

前記ピクセルアレイは、ランダムアクセス方式によって前記ピクセルアレイのピクセルのアドレス指定を提供する能力を有している制御ラインを有する請求項 1 から 8 のいずれ

10

20

30

40

50

か1項に記載のアクティブピクセル画像センサ。

【請求項10】

前記制御ラインは、前記ピクセルをリセットする能力を有するリセット制御ラインと、前記ピクセル読出し信号を供給するように前記ピクセルを制御する能力を有する読出し制御ラインと、を有する請求項9に記載のアクティブピクセル画像センサ。

【請求項11】

前記制御ラインは、マトリックスアドレス指定構成を有する請求項9又は10に記載のアクティブピクセル画像センサ。

【請求項12】

前記ピクセルは、CMOS構造を有する請求項1から11のいずれか1項に記載のアクティブピクセル画像センサ。

【請求項13】

半導体チップ内において実装された請求項1から12のいずれか1項に記載のアクティブピクセル画像センサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、光学撮像や放射線撮像などの撮像の分野におけるアクティブピクセル画像センサに関し、且つ、更に詳しくは、アクティブピクセル画像センサにおけるピクセルのアドレス指定及び読出しに関する。

【背景技術】

【0002】

本発明の背景は、高感度ピクセルのピクセルアレイと、1つ又は複数のADCレーンの形態の1つ又は複数のアナログ-デジタルコンバータ(Analogue to Digital Converter: ADC)と、ADCレーンに供給されるピクセル読出し信号を出力ライン上において供給するべくピクセルアレイのピクセルをアドレス指定するプログラム可能なアドレス指定ユニット(シーケンサ、スキャナ、又はマイクロプロセッサ)と、からなる様々な従来型のアクティブピクセル画像センサである。

【0003】

このようなアクティブピクセル画像センサの一般的な動作は、プログラム可能なアドレス指定ユニットが、望ましいピクセルにピクセル読出し信号をADCレーンのうちの1つに対して順番に供給させる一連の列及び行ピクセルアドレスを生成することにより、ピクセルをアドレス指定するというものである。最も一般的には、アドレス指定は、例えば、ピクセルアレイ全体の左上隅から右下隅まで走査されるが、いくつかのアーキテクチャにおいては、ランダムアクセスも可能である。一般に、複数のADCを使用して合計読出し帯域幅を増大させる場合には、これらのADCは、マルチプレクサによって制御される相対的に大きな合計速度の1つ又は複数のレーンとして永久的に接続されるか、或いは、永久的に並列に接続されると共にいくつかのピクセルが同時にアドレス指定される。

【0004】

ピクセルアドレス指定ユニットがスキャナである場合には、いくつかのアーキテクチャにおいては、ピクセルアドレス指定ユニットは、開始行及び開始列のみならず、それらの走査対象領域の幅及び高さの設定を許容するために、プログラム可能であってもよい。又、レートも、例えば、それぞれ、フレームレート及び蓄積時間を提供するアドレス指定速度及び走査の間の時間などの構成可能なパラメータを提供することにより、プログラム可能であってもよい。又、例えば、ピクセルアドレス指定ユニットがマイクロプロセッサである場合には、ピクセルアレイに対するランダムアクセスも可能であり、且つ、この結果、自由な形状を有すると共に変化するフレームレートを伴う対象領域の使用が可能となる。このケースにおいては、1つの方式は、マイクロプロセッサがアレイ命令のみを生成するようにアレイデコーダロジックを使用することにより、詳細なピクセルレベルのロジックを相対的に高速のアレイデコーダ回路に任せ、且つ、これにより、ピクセルアドレス指

10

20

30

40

50

定速度を増大させるというものである。

【発明の概要】

【発明が解決しようとする課題】

【0005】

ピクセルアドレス指定ユニットとA D Cの間における物理的接続の永久的な特性が付与された場合に、このような画像センサの動作及び出力は、設計によって組み込まれた動作モードにより、予め決定されると共に固定される。ピクセルアレイに対するランダムアクセスは、ピクセルアドレス指定ユニットを通じてプログラム可能であるが、読出し帯域幅に対する制約が存在しており、この結果、例えば、複雑な複数の対象領域又はそれらの複数の対象領域の独立したデータ出力の場合に影響が及び実質的な制限が生じる。この結果、このような画像センサを適用してもよい実際のアプリケーションが制限されることになる。

10

【課題を解決するための手段】

【0006】

本発明によれば、アクティブピクセル画像センサが提供され、このセンサは、N個の出力ライン上においてアドレス指定されたピクセルからピクセル読出し信号を供給するべくランダムアクセスアドレス指定される能力を有するアクティブピクセルのピクセルアレイであって、Nは、複数の整数である、ピクセルアレイと、並列に構成されると共にピクセル読出し信号のアナログ-デジタル変換を実行する能力をそれぞれが有するM個のA D Cレーンであって、Mは、N未満の複数の整数である、A D Cレーンと、出力ラインをM個のA D Cレーンに対して選択的に接続する能力を有するスイッチング構成と、ピクセルのランダムアクセスアドレス指定を提供し、且つ、これと同期した状態において、アドレス指定されたピクセルがピクセル読出し信号を供給する出力ラインをA D Cレーンに対して接続するようにピクセルのランダムアクセスアドレス指定に従ってスイッチング構成を制御するように、構成された制御ユニットと、を有する。

20

【0007】

このようなアクティブピクセル画像センサは、ピクセルアレイと、アドレス指定されたピクセルからのピクセル読出し信号が出力ライン上において順番にA D Cレーンに供給されるように、ピクセルアレイのランダムアクセスアドレス指定が上述のいくつかの既知のアクティブピクセル画像センサに類似した方式によって実行される複数の並列A D Cレーンと、を有する。但し、このようなピクセルアレイのランダムアクセスアドレス指定に加えて、出力ラインをM個のA D Cレーンに対して選択的に接続する能力を有するスイッチング構成の提供により、アドレス指定されたピクセルがピクセル読出し信号を供給する出力ラインのA D Cレーンに対する接続の制御が可能になっている。この結果、A D Cレーンも、アドレス指定可能である。これにより、A D Cレーンとランダムアクセスが適用されるピクセルアレイの出力ラインの間の接続のリアルタイム構成が可能である。

30

【0008】

この結果、本発明によれば、(a)例えば、矩形ではない対象のピクセル領域の場合などにおけるランダムアクセスされるピクセルの構成と、(b)例えば、画像センサの異なるピクセルが異なるレートにおいてアドレス指定されると共に/又はピクセルが規則的ではない時間インターバルにおいてアドレス指定される場合などにおける異なるピクセルがアドレス指定されるレートと、の両方とは無関係に、画像センサは、最適な読出しの帯域幅を維持することができる。例えば、このような最適な動作は、異なるフレームレートをそれぞれが有する同一の撮像装置上において構成されたいくつかの対象領域が存在する場合にも、維持される。

40

【0009】

従って、本発明の実施形態は、以下の利点のうちの1つ又は複数を任意の組合せにおいて提供することができる。・複数の対象領域などのすべてのピクセルアドレス指定構成においてA D Cレーンの使用を極大化させるように画像センサを制御することができるこ

50

とに伴うデータ帯域幅の相対的に効率的な使用 ・ A D C 帯域幅全体を使用するべく露光時間及び読出しが動的に構成されることに伴う時間分解能の向上 ・ フレームレートが独立した A D C レーンによって制限されないことに伴う相対的に広いダイナミックレンジ

【 0 0 1 0 】

このような利点は、例えば、同一撮像チップ上において異なるフレームレートの独立したプログラム可能な対象領域を必要としている科学的アプリケーションやセキュリティ又は一般的な消費者用電子装置におけるものなどの顔面認識、物体追跡、スマートカメラなどのマシンビジョンなどにおける最大フレームレート、ダイナミックレンジ、又はデータ圧縮などのためのプログラム可能な最適化を必要としている高度な撮像アプリケーションにおいて特別な利益を有する。

10

【 0 0 1 1 】

更に十分に理解することができるように、以下、非限定的な例として添付図面を参照し、本発明の一実施形態について説明することとする。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】比較例としてのアクティブピクセル画像センサの図である。

【図 2】本発明の一実施形態であるアクティブピクセル画像センサの図である。

【図 3 a】ブロック命令の一例を示す図である。

【図 3 b】ブロック命令の一例を示す図である。

【図 3 c】ブロック命令の一例を示す図である。

20

【図 4】ピクセルランダムアクセスアドレス生成器の詳細図である。

【図 5】アクティブピクセルの第 1 の例の図である。

【図 6】アクティブピクセルの第 2 の例の図である。

【図 7】A D C ランダムアドレス生成器の詳細図である。

【図 8】A D C レーンの図である。

【図 9】アクティブピクセル画像センサにおけるデータ及びコマンドフローのフローチャートである。

【発明を実施するための形態】

【 0 0 1 3 】

以下の説明においては、参照符号を説明対象の図面の要素にラベルとして付与しているが、その他の図面においては、異なる要素にラベルとして付与するべく同一の参照符号が使用されていることに留意されたい。

30

【 0 0 1 4 】

図 1 は、比較例であるアクティブピクセル画像センサ 8 の図であり、これは、本発明の一実施形態ではない。アクティブピクセル画像センサ 8 は、 $N \times N$ アクティブピクセルのピクセルアレイ 9 を有する。ピクセルアレイ 9 は、ピクセルのランダムアクセスアドレス指定を提供するべく、ピクセルの行及び列に接続された制御ラインのマトリックスアドレス指定構成を有する。アドレス指定されたピクセルは、ピクセル読出し信号を N 個の出力ライン上において供給するが、この例においては、これは、ピクセルのそれぞれの列との関係において 1 つの制御ラインである。

40

【 0 0 1 5 】

ピクセルアレイ 9 のランダムアクセスアドレス指定を提供するべく、アクティブピクセル画像センサ 8 は、ピクセルアレイデコーダロジックユニット 3 と、Data / R S T 行デコーダ 1 と、Data / R S T 列デコーダ 2 と、から構成された制御ユニットを有する。

【 0 0 1 6 】

ピクセルアレイデコーダロジックユニット 3 は、アクティブピクセル画像センサ 8 の外部に位置すると共にこれに接続されたマイクロプロセッサ 7 によって供給されるピクセルアドレスから行及び列アドレスを生成する。マイクロプロセッサ 7 は、コマンドインターフェイス 10 を有する。行及び列アドレスは、ピクセルアレイデコーダロジックユニット

50

3 から Data / RST 行デコーダ 1 及び Data / RST 列デコーダ 2 に供給される。
【 0 0 1 7 】

Data / RST 行デコーダ 1 は、ピクセル行アドレスを復号化すると共にピクセルアレイ 8 をアドレス指定するための制御信号を生成し、これらの制御信号は、ピクセルアレイ 8 に供給される読出し制御信号及びリセット制御信号である。例えば、2048 × 2048 ピクセルアレイ 8 の場合には、Data / RST 行デコーダ 1 は、12 ビットの行アドレスを取得し、且つ、2048 制御ラインの中において、対応する「Data sel」及び/又は「RST sel」制御ラインを設定する。同様に、Data / RST 列デコーダ 2 は、ピクセル列アドレスを復号化すると共にピクセルアレイ 8 をアドレス指定するための制御信号を生成し、これらの制御信号は、ピクセルアレイ 8 に供給される読出し制御信号及びリセット制御信号である。例えば、2048 × 2048 ピクセルのピクセルアレイ 8 の場合には、Data / RST 列デコーダ 2 は、12 ビットの列アドレスを取得し、且つ、2048 個の制御ラインの中において、対応する「Data sel」及び/又は「RST sel」制御ラインを設定する。このアドレス指定により、アドレス指定されたピクセルからのピクセル読出し信号が出力ライン上において出力される。それぞれの出力ラインは、増幅器 4 を収容している。

10

【 0 0 1 8 】

アクティブピクセル画像センサは、複数の ADC をそれぞれが有する複数の ADC レーン 6 を更に有し、ADC の数は、ピクセル読出し速度に対する ADC 変換速度の比率によって左右される。このように ADC を単一の ADC レーン 6 に組み合わせることにより、ADC レーン 6 は、単純な ADC と比べて相対的に高いスループット帯域幅を提供することができる。それぞれの ADC レーン 6 内の ADC は、自身に対して供給されたピクセル読出し信号のアナログ - デジタル変換を実行する。

20

【 0 0 1 9 】

出力ラインは、マルチプレクサ 6 を通じて ADC レーン 6 に接続されている。マルチプレクサ 6 は、連続的に、即ち、一度に 1 つずつ、出力ラインを ADC レーン 6 に対して接続する。このスイッチングは、既定の順序で実行される。この結果、それぞれの ADC レーン 6 は、それぞれの読出しクロックサイクルごとに、接続された出力ラインからの、即ち、アドレス指定されたピクセルからの、アナログピクセル読出し信号をデジタル信号に変換する。

30

【 0 0 2 0 】

図 2 は、本発明の一実施形態であるアクティブピクセル画像センサ 45 の図である。アクティブピクセル画像センサ 45 は、半導体チップ 38 内において実装されている。アクティブピクセル画像センサ 45 は、N × N アクティブピクセルのピクセルアレイ 11 を有し、この場合に、N は、複数である。それぞれの行及びそれぞれの列において N 個のピクセルを有する正方形のアレイである代わりに、ピクセルアレイ 11 は、行及び列において異なる数のピクセルを有する矩形のアレイであってもよいであろう。

【 0 0 2 1 】

ピクセルアレイ 11 は、ピクセルのランダムアクセスアドレス指定を提供するべく、ピクセルの行及び列に接続された制御ラインのマトリックスアドレス指定構成を有する。制御ラインは、(1) ピクセルをリセットするためのリセット列制御ライン 15 及びリセット行制御ライン 20 と、(2) ピクセルにピクセル読出し信号を出力させるための読出し列制御ライン 13 及び読出し行制御ライン 18 と、から構成されている。(1) ピクセルをリセットするためのリセット列制御ライン 15 及びリセット行制御ライン 20 と (2) 読出し列制御ライン 13 及び読出し行制御ライン 18 のそれぞれは、マトリックスアドレス指定構成において構成されている。この結果、リセット列及び行制御ライン 15 及び 20 上における又は読出し列及び行制御ライン 13 及び 18 上における制御信号の同時供給により、任意のピクセルのランダムアクセスアドレス指定が得られる。

40

【 0 0 2 2 】

アドレス指定されたピクセルは、ピクセル読出し信号を N 個の出力ライン 39 上におい

50

て供給し、これらの出力ラインは、この例においては、ピクセルのそれぞれの列との関係において1つの出力ライン39であるが、行及び列を反転させることができるであろう。CMOS構造の場合には、従来同様に、それぞれの出力ライン39は、増幅器27を収容しており、この増幅器27は、汎用アナログ増幅器であってもよい。

【0023】

ピクセルアレイ11のランダムアクセスアドレス指定を提供するべく、アクティブピクセル画像センサ45は、リセット列デコーダ14と、リセット行デコーダ19と、読出し列デコーダ12と、読出し行デコーダ18と、ピクセルランダムアドレス生成器22と、を含む制御ユニット40によって制御されている。

【0024】

ピクセルランダムアドレス生成器22は、アドレス指定対象のピクセルを識別する2進フォーマットを有する列及び/又は行アドレス16及び21を生成する。一般に、列及び行方向においてN個のピクセルが存在している場合には、2進アドレスは、n個のビットを有し、この場合に、 $N = 2^n$ である。例えば、ピクセルの2048×2048アレイを有するピクセルアレイ11の場合には、行及び列アドレスは、12ビットの2進数である。ピクセルランダムアドレス生成器22は、画像センサ45の用途に適したアドレス生成ロジックを収容している。

【0025】

行アドレスは、リセット行デコーダ19及び読出し行デコーダ17に供給され、且つ、列アドレスは、リセット列デコーダ14及び読出し列デコーダ12に供給される。リセット列デコーダ14及びリセット行デコーダ19は、適切なタイミングにおいて、自身に対して供給される行及び列アドレスを復号化し、且つ、リセット制御信号を生成すると共にリセット制御信号をリセット制御ライン15及び20に供給する。読出し列デコーダ12及び読出し行デコーダ17は、適切なタイミングにおいて、自身に対して供給される行及び列アドレスを復号化し、且つ、読出し制御信号を生成すると共に読出し制御信号を読出し制御ライン13及び18に供給し、且つ、これにより、ピクセルがアドレス指定される。

【0026】

アクティブピクセル画像センサ45は、M個の並列ADCレーン29を更に有し、この場合に、Mは、出力ライン39の数(即ち、N)未満の複数である。更に後述するように、それぞれのADCレーン29は、複数のADCを有する。それぞれのADCレーン29は、自身に対して供給されたピクセル読出し信号のアナログ-デジタル変換を実行し、これにより、ピクセル読出し信号をデジタル信号に変換する。変換されたデジタルピクセル読出し信号は、1つ又は複数のデータ出力チャネル35上において、ADCレーン29から、且つ、画像センサ45から、出力される。高帯域幅データ出力の場合には、複数のデータ出力チャネル35を使用してもよいであろう。データ出力チャネル35は、例えば、LVDSなどの任意の適切なフォーマットにおいてデータを伝達してもよく、且つ、例えば、データ出力バッファ及び/又はインターフェイスを含むものなどのように、任意の適切な構造を有してもよい。

【0027】

アクティブピクセル画像センサ45は、ピクセルアレイ11の出力ライン39とADCレーン29の間において接続された所定のタイプのスイッチング構成としてスイッチマトリックス28を更に有する。スイッチマトリックス28は、ランダムアクセス方式により、出力ライン39のいずれかをADCレーン29のいずれかに対して選択的に接続する。ピクセル読出し信号が一度に1つの出力ライン39上に出現する上述のピクセルアレイ11の例においては、スイッチマトリックス28は、連続的に、即ち、一度に1つずつ、接続を実施するが、これは、必ずしも、既定の順序においてではない。スイッチマトリックス28は、N-Mマルチプレクサであり、且つ、アナログスイッチから構成してもよい。例えば、16個のADCレーン29を有するピクセルの2048×2048アレイを有するピクセルアレイ11の場合には、スイッチマトリックス28は、2048-16マルチ

10

20

30

40

50

プレクサである。

【 0 0 2 8 】

出力ライン 3 9 と A D C レーン 2 9 の間に物理的接続を有する図 1 に示されているアクティブピクセル画像センサとは対照的に、複数の A D C レーン 2 9 は、スイッチマトリックス 2 8 と協働し、A D C アドレスに応じた任意の A D C レーン 2 9 による変換の自由な実行を可能にしている。この結果、オンザフライで任意の A D C レーン 2 9 を使用して任意のピクセル出力信号を変換する柔軟性が得られる。

【 0 0 2 9 】

A D C レーン 2 9 のランダムアクセスアドレス指定を提供するべく、アクティブピクセル画像センサ 4 5 の制御ユニット 4 0 は、A D C レーン 2 9 の選択のためにスイッチマトリックス 2 8 用の適切な A D C ランダムアドレスを生成する A D C ランダムアドレス生成器 3 2 を更に有する。A D C ランダムアドレスは、適切なロジック又はマイクロ命令を使用して生成することができよう。後者の場合には、A D C ランダムアドレス生成器 3 2 は、マイクロ命令から A D C レーンアドレスを取得する。又、この結果、異なる対象領域からの異なる A D C レーン 2 9 へのピクセル読出し信号のオンザフライでのグループ化も可能となり、これにより、ユーザーが好む方式によるデータ出力の分離が可能となり、且つ、複雑な又は特殊な用途におけるデータ転送又は事後処理設計の問題が低減されることになる。

【 0 0 3 0 】

A D C ランダムアドレス生成器 3 2 は、ピクセルのランダムアクセスアドレス指定に従ってスイッチマトリックス制御信号を生成し、且つ、スイッチマトリックス制御信号は、スイッチ制御ライン 3 1 上においてスイッチマトリックス 2 8 に供給される。スイッチマトリックス制御信号は、ピクセルのアドレス指定と同期した状態において、アドレス指定されたピクセルがピクセル読出し信号を供給する出力ライン 3 9 を選択された A D C レーン 2 9 に対して接続するように、スイッチマトリックス 2 8 を制御する。この制御は、既定の順序においてではなく、ピクセルのランダムアクセスアドレス指定に従って実行されることから、ピクセル読出し信号が出現する出力ライン 3 9 のみを接続することができる。この結果、A D C レーン 2 9 によって供給される変換帯域幅を効率的に使用することができる。

【 0 0 3 1 】

それぞれの A D C レーン 2 9 は、動作のための準備が完了した状態にあるかどうかを示す状態信号を状態ライン 3 0 上において A D C ランダムアドレス生成器 3 2 に供給する。その予想される状態に基づいて A D C レーン 2 9 を選択する代わりに、A D C ランダムアドレス生成器 3 2 は、動作のための準備が完了しているとその状態信号が通知している A D C レーン 2 9 を選択してもよく、且つ、出力ライン 3 9 をそれらの A D C レーン 2 9 に対して接続するように制御信号を生成する。この結果、処理されている信号に対する適合を許容することにより、A D C レーン 2 9 によって提供される変換帯域幅の使用の効率を改善することができる。この結果、A D C レーン 2 9 内の A D C の欠陥又は障害に対する適合を許容することにより、効率を改善することができる。この結果、残りの A D C レーン 2 9 を使用することにより、欠陥が発生した A D C レーン 2 9 を有する画像センサが依然として動作することができることから、製造の歩留まりを向上させることができる。

【 0 0 3 2 】

ピクセルランダムアドレス生成器 2 2 及び A D C ランダムアドレス生成器 3 2 によって実装されるピクセルのランダムアクセスアドレス指定を使用し、任意の順序において、且つ、任意のレートにおいて、ピクセルをアドレス指定してもよい。ピクセルは、ピクセルアレイ 1 1 内の 1 つ又は複数の対象領域内においてアドレス指定してもよい。このような対象領域は、任意の形状を有してもよい。時間に伴って（可変レート）又は領域ごとに（複数レート）変化してもよい異なるレートにおいて、異なるピクセルをアドレス指定してもよい。例えば、ピクセルの異なる領域を、それぞれ、独立したレートにおいてアドレス指定してもよい。スイッチマトリックス 2 9 の制御により、A D C レーン 2 9 によって提

供される変換帯域幅を効率的に使用することができる。逆に、その変換帯域幅の限度内において、スイッチマトリックス 29 の制御により、さもなければ可能であるものよりも複雑なランダムアクセスアドレス指定が可能となる。

【0033】

ピクセルランダムアドレス生成器 22 及び A D C ランダムアドレス生成器 32 は、ランダムアクセスアドレス指定を選択するべく、以下のように制御される。

【0034】

アクティブピクセル画像センサ 45 の外部に位置したマイクロプロセッサ 36 は、アドレス指定対象のピクセル及びフレームレートを設定するべく、コマンドインターフェイス 37 を通じてユーザーによって制御され、且つ、アクティブピクセル画像センサ 45 に接

10

【0035】

続されている。具体的には、マイクロプロセッサ 36 は、ピクセルランダムアドレス生成器 22 及び A D C ランダムアドレス生成器 32 用の設定及び制御信号を生成する。

一構成においては、アクティブピクセル画像センサ 45 は、アドレス指定対象のピクセルのブロックを示すアドレス及び / 又はマイクロ命令の形態のブロック命令を保存するブロック命令バッファ 25 を含む。マイクロプロセッサ 36 は、ブロック命令の読取り / 書込みを実行し、即ち、データ入出力バス 26 上において、ブロックバッファ 25 との間において、アドレス及び / 又はマイクロ命令の読取り / 書込みを実行する。

【0036】

一例として、図 3 a ~ 図 3 c は、ピクセルアレイ 11 内の 8 × 8 ピクセルのグリッド 51 内の対象領域 50 と、以下のようにその領域をアドレス指定するための 2 つの代替ブロック命令と、を示している。

20

【0037】

図 3 a は、この場合には 5 つのノード P 1 (7 , 3)、P 2 (4 , 2)、P 3 (2 , 4)、P 4 (3 , 7)、及び P 5 (5 , 7) によって表現された多角形である対象領域 50 を示している。一般に、対象領域 50 は、任意の形状を有することができよう。

【0038】

図 3 b は、対象領域 50 を表すために使用してもよいブロック命令によって識別された 5 つのラインブロック 52 の形状を太い線のアウトラインで示している。ブロック命令が、y がラインブロック 52 の y 座標であり、且つ、x 1 及び x 2 がラインブロック 52 の開始点及び終了点の x 座標である形態 (y , x 1 , x 2) の座標によってラインブロック 52 を表している場合には、ラインブロック 51 の座標は、(2 , 4 , 4)、(3 , 3 , 7)、(4 , 2 , 6)、(5 , 3 , 6)、(6 , 3 , 5)、(7 , 3 , 5) である。或いは、この代わりに、ブロック命令が、y がラインブロック 52 の y 座標であり、x がラインブロック 52 の開始点の x 座標であり、且つ、d がラインブロック 52 の長さである形態 (y , x , d) の座標によってラインブロック 52 を表している場合には、ラインブロック 52 の座標は、(2 , 4 , 1)、(3 , 3 , 5)、(4 , 2 , 5)、(5 , 3 , 4)、(6 , 3 , 3)、(7 , 3 , 3) である。

30

【0039】

図 3 c は、対象領域 50 を表すのに使用してもよいブロック命令によって識別された 5 つの矩形ブロック 53 の形状を太い線のアウトラインで示している。ブロック命令が、x 1 及び y 1 が矩形ブロック 53 の左上隅の x 座標及び y 座標であり、且つ、x 2 及び y 2 が矩形ブロック 53 の右下隅の x 座標及び y 座標である形態 (y 1 , x 1 , y 2 , x 2) の座標によって矩形ブロック 53 を表している場合には、矩形ブロック 53 の座標は、(2 , 4 , 2 , 4)、(3 , 3 , 5 , 6)、(3 , 7 , 3 , 7)、(4 , 2 , 4 , 2)、(6 , 3 , 7 , 5) である。

40

【0040】

アドレス及び / 又はマイクロ命令は、命令ライン 23 及び 33 上において、ブロック命令バッファ 25 からピクセルランダムアドレス生成器 22 及び A D C ランダムアドレス生成器 32 に供給され、且つ、これらに基づいて、ピクセルランダムアドレス生成器 22 が

50

ピクセルアドレスを生成し、且つ、同期した状態において、A D C ランダムアドレス生成器 3 2 が A D C ランダムアドレスを生成する。又、A D C ランダムアドレス生成器 3 2 は、データライン 2 4 上においてピクセルランダムアドレス生成器 2 2 から供給されるピクセルアドレスを使用してもよい。この結果、アナログピクセル入力を表すデジタル信号が正しいデジタル出力において供給されるように、望ましいピクセルが望ましい A D C レーン 2 9 に接続される。

【 0 0 4 1 】

又、マイクロプロセッサ 3 6 は、設定である A D C ランダムアドレス生成器制御信号と、A D C ランダムアドレス生成器 3 2 用の制御信号と、を制御ライン 3 4 上において A D C ランダムアドレス生成器 3 2 に供給してもよい。これらの制御信号は、A D C レーンアドレスによって定義されている特定の A D C レーン 2 9 を選択するように、或いは、次の利用可能な A D C レーン 2 9 を選択するように、A D C ランダムアドレス生成器 3 2 を制御してもよい。

【 0 0 4 2 】

図 4 は、ピクセルランダムアクセスアドレス生成器 2 2 の詳細図である。具体的には、ピクセルランダムアクセスアドレス生成器 2 2 は、列アドレス 1 6 が供給されるリセット列アドレスラッチ 6 1 及びデータ列アドレスラッチ 6 2 を更に有する。リセット列アドレスラッチ 6 1 及びデータ列アドレスラッチ 6 2 は、列アドレス 1 6 をラッチし、且つ、この列アドレス 1 6 を、それぞれ、ライン 6 3 上においてリセット列デコーダ 1 4 に、且つ、ライン 6 4 上において読出し列デコーダ 1 2 に、供給する。同様に、ピクセルランダムアクセスアドレス生成器 2 2 は、行アドレス 2 1 が供給されるリセット行アドレスラッチ 6 5 及びデータ行アドレスラッチ 6 6 を更に有する。リセット行アドレスラッチ 6 5 及びデータ行アドレスラッチ 6 6 は、行アドレス 2 1 をラッチし、且つ、この行アドレス 2 1 を、それぞれ、ライン 6 7 上においてリセット行デコーダ 1 9 に、且つ、ライン 6 8 上において読出し行デコーダ 1 7 に、供給する。

【 0 0 4 3 】

更には、リセット列アドレスラッチ 6 1 及びリセット行アドレスラッチ 6 5 は、それぞれ、リセットの同期化のための出力イネーブル制御を有する。これらの出力イネーブル制御には、ピクセルランダムアクセスアドレス生成器 2 2 によって供給されるピクセル同期化信号と、同期ライン 7 0 上において A D C ランダムアドレス生成器 3 2 から供給される A D C 同期化信号と、を受け取るようにその入力に接続されている A N D ゲート 6 9 から出力イネーブル信号が供給される。動作の際には、A N D ゲート 6 9 は、A D C ラインサンプリングが終了すると共にマイクロ命令がこれを許容する際には常にリセット行及び列アドレスラッチ 6 1 及び 6 5 を有効にする出力イネーブル信号を供給し、これにより、A D C レーン 2 9 が更なる動作のための準備が完了する時点まで、データ及びリセットデコーダが保持される。この結果、ピクセルランダムアクセスアドレス生成器 2 2 は、A D C ランダムアドレス生成器 3 2 と同期した状態において動作することができる。

【 0 0 4 4 】

以下、ブロック命令及びこのブロック命令から生成されるアドレス指定制御信号の一例について説明することとする。

【 0 0 4 5 】

ブロック命令は、読取りイネーブル、リセットイネーブル、開始 A D C 番号、A D C レーンの数、行座標、開始列座標、停止列座標というフォーマットを有してもよい。この図 3 a に示されている対象領域 5 0 用のフォーマットにおけるブロック命令の一例は、以下の表に示されているとおりである。

【 0 0 4 6 】

10

20

30

40

【表 1】

読取り	リセット	ADC	レーン	行	列1	列2
F	T	0	4	2	4	4
F	T	0	4	3	3	7
F	T	0	4	4	2	6
F	T	0	4	5	3	6
F	T	0	4	6	3	5
F	T	0	4	7	3	5

//高速撮像ユニットによって1000 μ 秒だけ保持する

10

T	T	0	4	2	4	4
T	T	0	4	3	3	7
T	T	0	4	4	2	6
T	T	0	4	5	3	6
T	T	0	4	6	3	5
T	T	0	4	7	3	5

【0047】

このケースにおいては、ピクセルランダムアドレス生成器22及びADCランダムアドレス生成器32は、以下の表に示されているように、読取り、リセット、及びADC信号、並びに、アドレスを生成する。

20

【0048】

【表 2】

読取り	リセット	行	列	ADC		
F	T	2	4	0	//ピクセル(4,2)をリセットする。	
F	T	3	3	1	//ピクセル(3,3)をリセットする。	
F	T	3	4	2	//ピクセル(4,3)をリセットする。	
F	T	3	5	3	//ピクセル(5,3)をリセットする。	
F	T	3	6	0	//ピクセル(6,3)をリセットする。	
F	T	3	7	1	//ピクセル(7,3)をリセットする。	
F	T	4	2	2	//ピクセル(2,4)をリセットする。	
F	T	4	3	3	//ピクセル(3,4)をリセットする。	
F	T	4	4	0	//ピクセル(4,4)をリセットする。	
F	T	4	5	1	//ピクセル(5,4)をリセットする。	10
F	T	4	6	2	//ピクセル(6,4)をリセットする。	
F	T	5	3	3	//ピクセル(3,5)をリセットする。	
F	T	5	4	0	//ピクセル(4,5)をリセットする。	
F	T	5	5	1	//ピクセル(5,5)をリセットする。	
F	T	5	6	2	//ピクセル(6,5)をリセットする。	
F	T	6	3	3	//ピクセル(3,6)をリセットする。	
F	T	6	4	0	//ピクセル(4,6)をリセットする。	
F	T	6	5	1	//ピクセル(5,6)をリセットする。	
F	T	7	3	2	//ピクセル(3,7)をリセットする。	
F	T	7	4	3	//ピクセル(4,7)をリセットする。	
F	T	7	5	0	//ピクセル(5,7)をリセットする。	
					//高速撮像ユニットによって1000μ秒にわたって保持する。	20
T	T	2	4	0	//ピクセル(4,2)を読み取ると共にリセットし、ADC-0に出力する。	
T	T	3	3	1	//ピクセル(3,3)を読み取ると共にリセットし、ADC-1に出力する。	
T	T	3	4	2	//ピクセル(4,3)を読み取ると共にリセットし、ADC-2に出力する。	
T	T	3	5	3	//ピクセル(5,3)を読み取ると共にリセットし、ADC-3に出力する。	
T	T	3	6	0	//ピクセル(6,3)を読み取ると共にリセットし、ADC-0に出力する。	
T	T	3	7	1	//ピクセル(7,3)を読み取ると共にリセットし、ADC-1に出力する。	
T	T	4	2	2	//ピクセル(2,4)を読み取ると共にリセットし、ADC-2に出力する。	
T	T	4	3	3	//ピクセル(3,4)を読み取ると共にリセットし、ADC-3に出力する。	
T	T	4	4	0	//ピクセル(4,4)を読み取ると共にリセットし、ADC-0に出力する。	
T	T	4	5	1	//ピクセル(5,4)を読み取ると共にリセットし、ADC-1に出力する。	
T	T	4	6	2	//ピクセル(6,4)を読み取ると共にリセットし、ADC-2に出力する。	
T	T	5	3	3	//ピクセル(3,5)を読み取ると共にリセットし、ADC-3に出力する。	
T	T	5	4	0	//ピクセル(4,5)を読み取ると共にリセットし、ADC-0に出力する。	30
T	T	5	5	1	//ピクセル(5,5)を読み取ると共にリセットし、ADC-1に出力する。	
T	T	5	6	2	//ピクセル(6,5)を読み取ると共にリセットし、ADC-2に出力する。	
T	T	6	3	3	//ピクセル(3,6)を読み取ると共にリセットし、ADC-3に出力する。	
T	T	6	4	0	//ピクセル(4,6)を読み取ると共にリセットし、ADC-0に出力する。	
T	T	6	5	1	//ピクセル(5,6)を読み取ると共にリセットし、ADC-1に出力する。	
T	T	7	3	2	//ピクセル(3,7)を読み取ると共にリセットし、ADC-2に出力する。	
T	T	7	4	3	//ピクセル(4,7)を読み取ると共にリセットし、ADC-3に出力する。	
T	T	7	5	0	//ピクセル(5,7)を読み取ると共にリセットし、ADC-0に出力する。	
F	F	0	0	0	//第1命令にジャンプする。	

【0049】

この結果、図3aに示されている対象領域50の検知というデジタル出力結果が生成される。 40

【0050】

図5は、ピクセルアレイにおけるアクティブピクセル71の第1の例の図である。この例においては、ピクセルは、ランダムアクセスリセットを提供する従来の3T構造を有しているが、一般には、任意の構造を適用してもよい。ピクセル71は、以下のように、制御ラインのアクティブマトリックスアドレス指定構成によってランダムアクセスアドレス指定される能力を有する。

【0051】

アクティブピクセル71は、検出対象の粒子に対する感度を有するダイオード72を含む従来型のCMOS構造を有し、検出対象の粒子は、光子又は荷電粒子であってもよい。 50

リセット装置 73 が、ダイオード 72 とピクセルの行に共通的に接続されたリセット行制御ライン 74 の間に接続されており、且つ、リセット行制御信号 RST_In を受け取る。リセット装置 73 は、ピクセルの列内のリセット装置 73 の入力に共通的に接続されたリセット列制御ライン 75 上のリセット列制御信号 RST_Sel によって制御されるスイッチとして機能する。従って、リセット装置 73 は、ピクセル 71 がリセット行制御信号 RST_In 及びリセット列制御信号 RST_Sel の組合せによってアドレス指定された際に、ダイオード 72 を選択的にリセットする。

【0052】

又、ダイオード 72 は、すべてのピクセル 71 に接続されたバイアスライン 77 上のバイアス電圧 Vdd によってバイアスされたバッファ装置 76 の入力にも接続されている。バッファ装置 76 は、ダイオード 72 に跨る電圧をバッファリングすると共に増幅する。

10

【0053】

バッファ装置 76 の出力は、ピクセルサンプリング装置 78 により、データライン 80 に接続されている。ピクセルサンプリング装置 78 は、ピクセル 71 の行内のピクセルサンプリング装置 78 の入力に共通的に接続された読出し行制御ライン 79 上の読出し行制御信号 $Data_Sel$ によって制御されるスイッチとして機能し、データライン 80 上の読出し信号 $Data_Out$ としてダイオード 72 によって収集された電荷を表す出力信号を生成する。

【0054】

ピクセル 71 のデータライン 80 は、ピクセル 71 の列全体にとって共通したものであってもよい列サンプリング装置 41 により、出力ライン 39 に接続されている。列サンプリング装置 41 は、列サンプリング装置 41 の入力に接続された読出し列制御ライン 42 上の読出し列制御信号 Col_sel によって制御されるスイッチとして機能し、読出し列信号 Col_sel 及び行制御信号 $Data_Sel$ の組合せによってアドレス指定されたピクセル 71 からピクセル読出し信号 $Data_Out$ を出力ライン 39 に供給する。

20

【0055】

図 6 は、ピクセルアレイ内のアクティブピクセル 81 の第 2 の例の図である。この例においては、ピクセル 81 は、リセット制御装置 81 が、リセット行制御信号 RST_Row によって制御されるスイッチとして機能するようにリセット装置 73 とリセット行制御ライン 74 の間に接続されていることを除いて、第 1 の例のピクセル 71 と同一の構造を有する（且つ、従って、共通の要素について、同一の参照符号が使用され、且つ、説明が省略されている）ランダムアクセス読取り及びリセットを提供する 4T 構造を有する。又、リセット制御装置 81 は、すべてのピクセル 81 に接続されたバイアスライン 82 上のリセットバイアス電圧 V_{RST} にも接続されている。従って、ダイオード 72 は、ピクセルがリセット行制御ライン 74 上のリセット行制御信号 RST_Row とリセット列制御ライン 75 上のリセット列制御信号 RST_Col の組合せによってアドレス指定された際に、選択的にリセットされる。図 7 は、ADC レーンアレイアドレス指定の更に詳細な図を提供している ADC ランダムアドレス生成器 32 の詳細図であり、これは、ADC ランダムアドレス生成器 32 及びスイッチングマトリックス 28 に伴う必要な接続を示すと共に、且つ、ピクセルランダムアクセス生成器、ブロック命令バッファ 25、及びマイクロプロセッサ 36 に対して必要な更なる制御ラインを示している。

30

40

【0056】

図 7 は、スイッチマトリックス 28 が、ADC レーン 29 を示すスイッチ制御ライン 31 上における ADC ランダムアドレス生成器 32 からの入力と、アドレス指定対象であるピクセル列を示す制御ライン 90 上におけるピクセルランダムアドレス生成器 22 からの入力と、によって制御される一代替肢を示している。制御ライン 5 は、ADC レーン 29 を識別する 2 進フォーマットにおいて制御信号を搬送する。一般に、M 個の ADC レーン 29 が存在している場合には、2 進アドレスは、m 個のビットを有し、この場合に、 $M = 2^m$ である。これらの入力に基づいて、スイッチマトリックス 28 は、ピクセルのアドレ

50

ス指定と同期した状態において、アドレス指定されたピクセルがピクセル読出し信号を供給する出力ライン 39 を選択された A D C レーン 29 に対して選択的に接続する。

【 0 0 5 7 】

更には、図 7 は、同期ライン 70 上において A D C 同期信号をピクセルランダムアドレス生成器 22 に供給する A D C ランダムアドレス生成器 32 を示している。

【 0 0 5 8 】

図 8 は、そのすべてが同一の構造を有する単一の A D C レーン 29 の図を示している。A D C レーン 29 は、複数の A D C 102 を有しており、A D C 102 は、従来型の構造を有してもよい。A D C 102 の数は、ピクセル読出し速度に対する A D C 変換速度の比率によって左右される。このように A D C 102 を単一の A D C レーン 29 に組み合わせることにより、A D C レーン 29 は、単純な A D C と比べた場合に、相対的に高いスループット帯域幅を提供することができる。

【 0 0 5 9 】

マルチプレクサ 101 が、スイッチマトリックス 28 と A D C 102 の間に接続されており、且つ、A D C レーン 29 に供給されるピクセル読出し信号を、連続的に、即ち、一度に 1 つずつ、A D C 102 に対して多重化する。従って、マルチプレクサ 101 は、1 - P マルチプレクサであり、この場合に、P は、A D C 102 の数である。

【 0 0 6 0 】

A D C レーン 29 は、モジュール状態ライン上において A D C 102 から供給された状態信号に基づいて A D C 102 の動作を監視する負荷分散器 105 を更に有する。状態信号は、A D C 102 が動作のための準備が完了した状態にあるかどうかを示す。負荷分散器 105 は、制御ライン 106 上において信号を供給することにより、マルチプレクサ 101 を制御し、この制御は、予め設定された論理に応じた監視対象の動作に基づいたものであり、具体的には、動作のための準備が完了している A D C 102 の選択に基づいたものである。又、負荷分散器 105 は、上述の状態信号をも生成し、且つ、これらの状態信号を状態ライン 108 上において A D C ランダムアドレス生成器 32 に供給する。

【 0 0 6 1 】

A D C 102 からのデジタル信号出力は、A D C 102 の間におけるローカルデータ接続を出力バッファ 104 に提供するローカルデータバス 103 に供給される。

【 0 0 6 2 】

この構造の代替肢として、それぞれの A D C レーン 29 は、単一の A D C 102 を有することができる。

【 0 0 6 3 】

図 9 は、上述のアクティブピクセル画像センサ 45 の動作の際のデータ及びコマンドフローのフローチャートである。データ及びコマンドフローは、以下のとおりである。

【 0 0 6 4 】

上述のように、マイクロプロセッサ 36 は、制御信号 110、設定 111、並びに、ブロック命令バッファ 25 内に読み込まれるブロック命令をアクティブピクセル画像センサ 45 に供給する。ピクセルランダムアクセスアドレス生成器 22 及び A D C ランダムアドレス生成器 32 は、以下のようにブロック命令を使用し、出力デジタル信号 114 としてアクティブピクセル画像センサ 45 から出力される前に、出力バッファ 113 内に保存されているそれぞれのブロックとの関係において出力デジタルデータ 112 を生成する。

【 0 0 6 5 】

ピクセルランダムアクセスアドレス生成器 22 は、以下のように、ブロック命令を使用する。

【 0 0 6 6 】

ステップ S 1 において、出力バッファ 113 内において保存されているデータに基づいて、次のピクセルブロックが選択される。

【 0 0 6 7 】

ステップ S 2 において、ブロックのための次のピクセル命令が読み取られる。ステップ

10

20

30

40

50

S 3において、すべてのピクセル命令が完了しているかどうかチェックされ、且つ、この判定結果が肯定的である場合には、ステップ S 4 において、ステップ S 2 に戻る前に、第 1 ピクセル命令が設定される。

【 0 0 6 8 】

ステップ S 5 において、ピクセルデータ及びリセットアドレスが生成され、ステップ S 5 における結果により、ピクセルアナログ値がピクセルアレイ 1 1 から出力される。

【 0 0 6 9 】

A D C ランダムアドレス生成器 3 2 は、ブロック命令を以下のように使用する。

【 0 0 7 0 】

ステップ S 7 において、出力バッファ 1 1 3 内に保存されているデータに基づいて、次の A D C ブロックが選択される。 10

【 0 0 7 1 】

ステップ S 8 において、次の A D C 命令が読み取られる。ステップ S 9 において、すべての A D C 命令が終了したかどうかチェックされ、且つ、この判定結果が肯定的である場合には、ステップ S 1 0 において、ステップ S 8 に戻る前に、第 1 A D C 命令が設定される。

【 0 0 7 2 】

ステップ S 1 1 において、A D C アドレスが生成される。

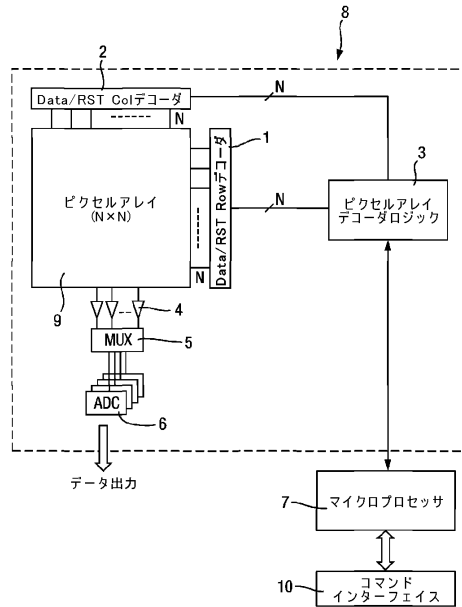
【 0 0 7 3 】

ステップ S 1 2 において、ステップ S 6 において生成されたピクセルアナログ値のアナログ - デジタル変換が実行され、この結果、出力デジタルデータ 1 1 2 が生成される。 20

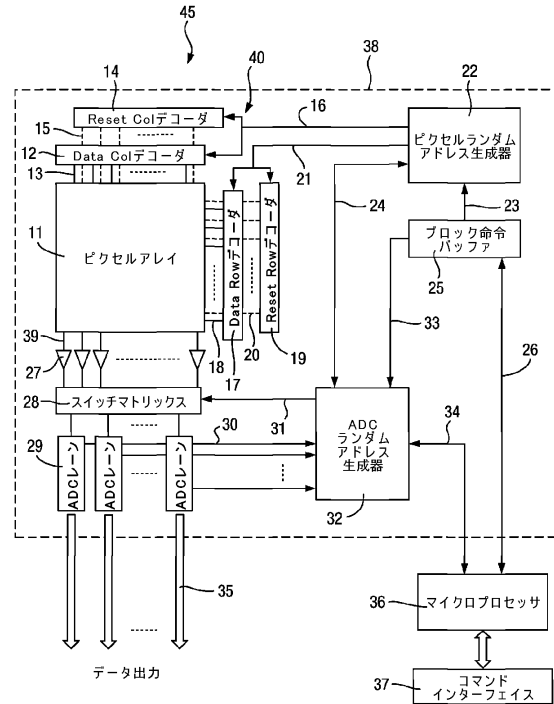
【 0 0 7 4 】

上述のアクティブピクセル画像センサ 4 5 は、最大フレームレート、ダイナミックレンジ、又はデータ圧縮のためのものなどのようなプログラム可能な最適化を必要とする高度な撮像アプリケーションのために使用してもよい。使用分野の 1 つは、同一の撮像チップ上における異なるフレームレートの独立したプログラム可能な対象領域を必要としている科学的アプリケーションにおけるものであるが、例えば、セキュリティや一般的な消費者用電子装置におけるものなどの顔面認識、物体追跡、スマートカメラなどのマシンビジョンにおけるものなどの広範なその他のアプリケーションが存在している。

【図 1】

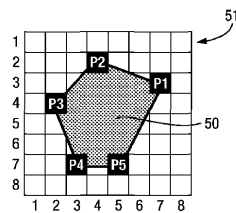


【図 2】



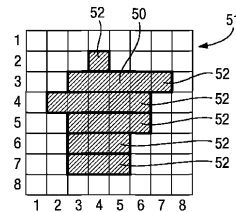
【図 3 a】

Fig. 3a



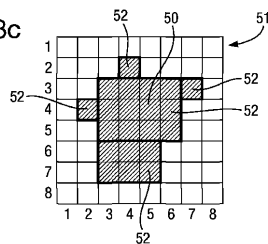
【図 3 b】

Fig. 3b

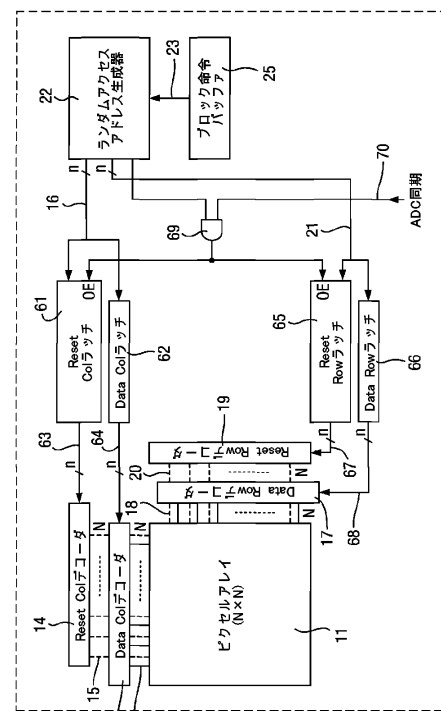


【図 3 c】

Fig. 3c

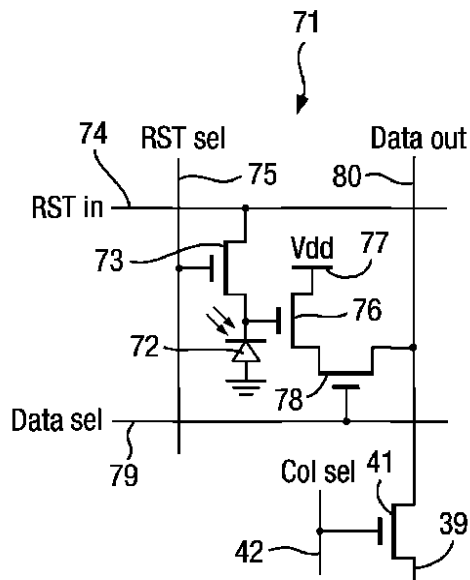


【図 4】



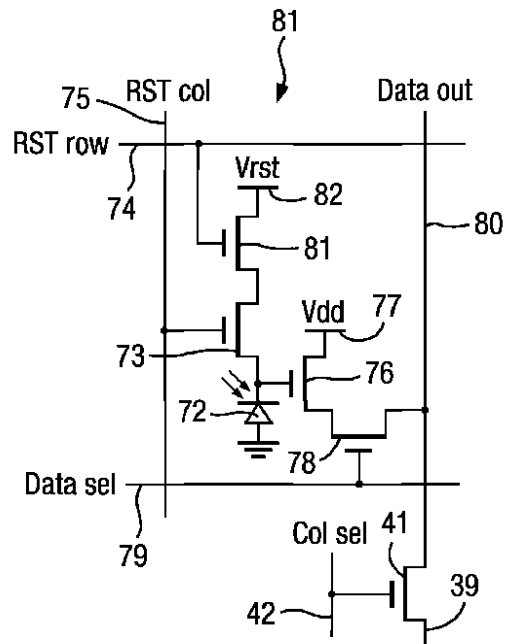
【図 5】

Fig. 5

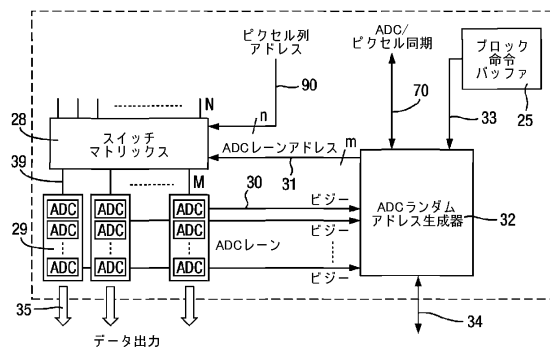


【図 6】

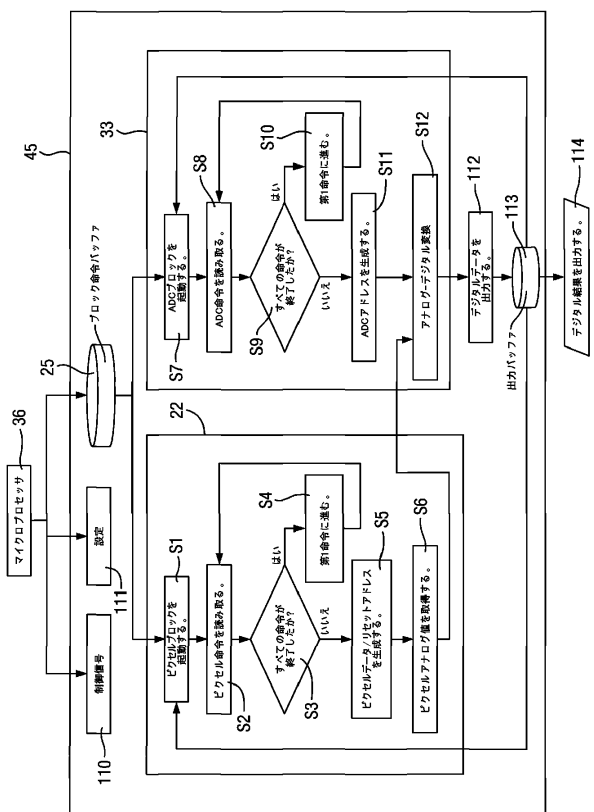
Fig. 6



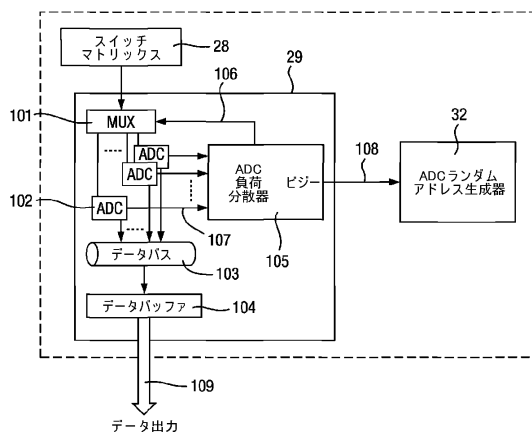
【図 7】



【図 9】



【図 8】



フロントページの続き

- (72)発明者 リン、チャオ
イギリス、オックスフォード、サマータウン、エワート プレイス、エワート ハウス (番地なし) アイシス イノベーションズ リミテッド内
- (72)発明者 カーランド、アンガス イアン
イギリス、オックスフォード、サマータウン、エワート プレイス、エワート ハウス (番地なし) アイシス イノベーションズ リミテッド内

審査官 松永 隆志

- (56)参考文献 特開2003-198956(JP, A)
特開2006-217274(JP, A)
特開2008-028912(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N	5/374
H04N	5/341
H04N	5/376
H04N	5/378
H04N	5/374
H04N	5/341
H04N	5/376
H04N	5/378