

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3983807号
(P3983807)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月13日(2007.7.13)

(51) Int. Cl. F I
GO 1 R 31/28 (2006.01) GO 1 R 31/28 G
 GO 1 R 31/28 V

請求項の数 10 (全 11 頁)

(21) 出願番号	特願平9-515652	(73) 特許権者	590000248
(86) (22) 出願日	平成8年10月14日(1996.10.14)		コーニンクレッカ フィリップス エレク
(65) 公表番号	特表平10-511470		トロニクス エヌ ヴィ
(43) 公表日	平成10年11月4日(1998.11.4)		オランダ国 5621 ベーアー アイン
(86) 国際出願番号	PCT/IB1996/001087		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開番号	W01997/014974		1
(87) 国際公開日	平成9年4月24日(1997.4.24)	(74) 代理人	100147485
審査請求日	平成15年10月14日(2003.10.14)		弁理士 杉村 憲司
(31) 優先権主張番号	95202835.5	(74) 代理人	100072051
(32) 優先日	平成7年10月20日(1995.10.20)		弁理士 杉村 興作
(33) 優先権主張国	オランダ(NL)	(74) 代理人	100114292
			弁理士 来間 清志
		(74) 代理人	100107227
			弁理士 藤谷 史朗

最終頁に続く

(54) 【発明の名称】 試験可能回路及び試験方法

(57) 【特許請求の範囲】

【請求項1】

正規動作モードと試験モードとの間で切り換え可能な試験可能回路であって、
 第1及び第2信号路と、
 正規動作モードにおいて第1信号路を第2信号路の入力端子に機能的に結合し、試験モードにおいて第1信号路を第2信号路の入力端子から機能的に切り離すよう構成された接続手段と、
 試験点におけるアナログ信号をデジタル信号に変換する検出器と、
 該デジタル信号を試験モード中記憶するとともに回路の出力端子から読み出すことができるよう構成されたレジスタと、
 を具える試験可能回路において、当該回路は、
 試験モードにおいて動作し、前記第2信号路の入力端子にレベル遷移を含む時間的变化を有する試験信号を発生させる信号発生手段を具え、
 前記試験点は前記第2信号路の出力端子に結合され、前記第2信号路は前記レベル遷移に対して時間依存応答動作を有し、
 前記検出器は、前記試験点における前記時間依存応答の信号レベルが、前記レベル遷移後の所定の時間インターバル中の任意の瞬時にしきい値レベルを超過したかどうかを検出し、この超過をバイナリデジタル信号により信号するよう構成されていることを特徴とする試験可能回路。

【請求項2】

前記検出器は、前記試験点における信号レベルがしきい値レベルを超過するときリセット状態からセット状態に切り換わるように構成され、且つ前記検出器はリセット入力端子を具えるとともに、該リセット入力端子に結合され、前記レベル遷移の発生と同期して当該検出器をリセット状態に切り換える手段を具えることを特徴とする請求項 1 記載の試験可能回路。

【請求項 3】

前記試験点と前記レジスタとの間に結合された他の検出器を具え、該検出器は前記信号レベルが試験瞬時に他のしきい値レベルの予め決められた側に位置するかどうかを示す他のデジタル信号を発生し、前記レジスタに他の検出結果を供給し記憶するように構成されていることを特徴とする請求項 1 又は 2 記載の試験可能回路。

10

【請求項 4】

マルチプレクサを具え、前記検出器及び前記他の検出器が該マルチプレクサのそれぞれの入力端子に結合され、該マルチプレクサの出力端子が前記レジスタに結合され、更に、前記デジタル信号及び前記他のデジタル信号のどちらをマルチプレクサを経て前記レジスタに記憶するか制御する手段も具えることを特徴とする請求項 3 記載の試験可能回路。

【請求項 5】

第 2 信号路は該信号路の入力端子と前記試験点との間に接続された高域通過フィルタを具えることを特徴とする請求項 1 ~ 4 の何れかに記載の試験可能回路。

【請求項 6】

前記レジスタはシフトレジスタであり、前記デジタル信号をシフト移送により読み出すことができることを特徴とする請求項 1 ~ 5 の何れかに記載の試験可能回路。

20

【請求項 7】

支持体と、該支持体上に装着された集積回路と、該支持体上に装着され、集積回路の外部にあって前記第 2 信号路の一部分を構成するとともに前記集積回路の接続部に結合されたアナログフィルタ回路とを具え、前記試験点が前記接続部に結合され、且つ前記集積回路が前記試験点、前記検出器及び前記レジスタを具えていることを特徴とする請求項 1 ~ 6 の何れかに記載の試験可能回路。

【請求項 8】

請求項 7 に記載された試験可能回路用の集積回路。

【請求項 9】

正規動作モードにおいて機能的に直列に接続される一連の信号路の一部分を構成する信号路を具える回路を試験する方法において、

前記回路を、一連の信号路が機能的に分離される試験モードに切り換えるステップと、
レベル遷移を含む時間的变化を有する試験信号を、前記レベル遷移に対して時間依存応答動作を有する信号路の入力端子に発生させるステップと、

前記レベル遷移にตอบสนองして、前記信号路の出力に結合された試験点における前記時間依存
応答の信号レベルが、前記レベル遷移後の所定の時間インターバル中の任意の瞬時にしき
い値レベルを超過したかどうかを検出するステップと、

バイナリデジタル検出結果信号を発生するステップと、

バイナリデジタル検出結果信号をレジスタに記憶するステップと、

結果信号をレジスタから読み出すステップと、

を具えることを特徴とする試験方法。

30

40

【請求項 10】

試験点の信号レベルが前記レベル遷移後の他の瞬時に他のしきい値レベルの予め決められた側に位置するかどうかを検出するステップと、他の検出結果信号をレジスタに記憶するステップと、他の検出結果信号を前記結果信号と一緒にレジスタから読み出すステップと、を具えることを特徴とする請求項 9 記載の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

50

本発明は、正規動作モードと試験モードとの間で切り換え得る試験可能回路であって、第1及び第2信号路と、
正規動作モードにおいて第1信号路を第2信号路の入力端子に機能的に結合し、試験モードにおいて第1信号路を第2信号路の入力端子から機能的に切り離すよう構成された接続手段と、
試験点におけるアナログ信号をデジタル信号に変換する検出器と、
該デジタル信号を試験モードにおいて記憶するとともに回路の出力端子から読み出すことができるよう構成されたレジスタと、
を具える試験可能回路に関するものである。
本発明は、このような回路に使用する集積回路にも関するものであり、またこのような回路を使用する方法にも関するものである。

10

【0002】

【従来技術】

上述した種類の回路はドイツ国特許第4400194C1号から既知である。この既知の回路は標準化された境界走査試験を使用する。この標準境界走査試験は、デジタル集積回路に対する標準化された試験接続と、試験信号の供給及び結果の読出しに対する標準化されたプロシージャとを含む。この標準境界走査試験の利点は、第3者により供給される既存の構成要素を用いて試験可能なデジタル回路の簡単なアセンブリを得ることができる点にある。

【0003】

20

このドイツ国特許第4400194C1号は、アナログ電圧も標準境界走査試験プロシージャにより読み出し、アナログ電圧も検査するのが望ましい旨記載されている。このために、この特許明細書には、シュミットトリガを用いて回路内のアナログ電圧からデジタル信号を取り、このデジタル信号を次の試験プロシージャ中に他のデジタル信号と一緒に処理することが記載されている。

【0004】

境界走査試験プロシージャでは、種々の信号路を互いに論理的に分離する。次に、論理信号を信号路の一端に供給し、その他端で検出することができる。これにより信号路の切断又は他の信号路への短絡のような障害を検出することができる。

【0005】

30

アナログ信号が通過する信号路はアナログ信号に時間依存アナログ影響を及ぼす構成要素を含むこともある。その一例は図1に示すようなRC高域通過フィルタであり、信号路の入力端子と出力端子との間にキャパシタCを具え、抵抗Rが出力端子と大地との間に接続される。この信号路の入力端子におけるステップ信号に対する正規応答は、出力信号が最初は入力信号に追従し、次に大地電位に低下するものとなる。

【0006】

時間依存応答を有するこのような信号路に発生しうる複数の障害は信号路の出力端子における信号の正規アナログ時間依存性からの偏差に基づいて決定することができる。

【0007】

図1のRC高域通過フィルタを含む例では、キャパシタの短絡は信号が大地電位へ低下するのを阻止する。この障害は電位がしばらく後に大地電位に戻るか否かを検査することにより検出することができる。しかし、これは抵抗Rの短絡によっても起こりうる。この後者の障害は出力信号を入力信号のステップ後に急速に検査することにより試験することができる。このように信号路の種々の障害を応答の時間動作に基づいて検出することができる。

40

【0008】

標準境界走査試験は試験信号に対する応答の正規アナログ時間依存性からの偏差の分析を提供するものではない。上述のドイツ国特許第4400194C1号にはこの分析をどのように可能にするかについては全く記載されていない。

欧州特許第471399号は、境界走査試験中に妨害パルスのない状態で電源リードを試

50

験する設備を具えた装置を開示している。この目的のために、この装置はピーク検出器を具え、その出力端子をシフトレジスタに結合している。

【0009】

【発明が解決しようとする課題】

本発明の目的は、信号路の速い時間依存動作の試験を、入力及び出力接続とデジタル信号に対し標準化された試験プロシージャとを用いて行い得る試験可能回路を提供することにある。

【0010】

【課題を解決するための手段】

この目的のために、本発明による試験可能回路は、
試験モードにおいて動作し、第2信号路の入力端子にレベル遷移を含む時間的变化を有する試験信号を発生させる信号発生手段を具え、
試験点は第2信号路の出力端子に結合され、第2信号路は時間依存応答を有し、
前記検出器は、試験点の信号レベルが、前記レベル遷移後の所定の時間インターバル中の任意の瞬時にしきい値レベルを超過したかどうかを検出し、この超過をデジタル信号により信号するよう構成されていることを特徴とする。

10

【0011】

この構成によれば、検出器が信号路の入力端子におけるレベル遷移に急速に追従する信号路の出力端子におけるレベル遷移を検出することができる。この検出は、結果をレジスタに記憶する速度とは無関係である。境界走査試験では、この検出は、例えば2.5クロックサイクル後に行うことができるのみである。インターバル内の遷移の存在を検出する検出器の使用はこの速度制限を無効にする。この検出器は正規動作モード中は何も機能しない。従って、この検出器により正規動作モード中信号を流す信号路の結合部を機能的に構成することはできない。

20

【0012】

本発明による試験可能回路の実施例では、前記検出器は、前記試験点における信号レベルがしきい値レベルを超過するときリセット状態からセット状態に切り換わるように構成され、且つ前記検出器はリセット入力端子を具えるとともに、該リセット入力端子に結合され、前記レベル遷移の発生と同期して当該検出器をリセット状態に切り換える手段を具えることを特徴とする。この場合、しきい値レベルの超過が検出器をセットし、デジタル信号は一定に維持される。リセットは遷移の発生前又は同時にできるだけ簡単に実行するのが好ましい。しかし、試験点に不所望な遷移を発生しうる電位妨害がない場合には、リセットは遷移と無関係に、試験モードの開始時に実行することもできる。

30

【0013】

本発明による試験可能回路の実施例は、前記試験点と前記レジスタとの間に結合された他の検出器を具え、該検出器は前記信号レベルが試験瞬時に他のしきい値レベルの予め決められた側に位置するかどうかを示す他のデジタル信号を発生し、前記レジスタに他の検出結果を供給し記憶することを特徴とする。本例回路は、時間インターバル中における試験点の信号レベルの検出のみならず個々の瞬時ににおける試験点の信号レベルの検出ももたらす。本例では、前記デジタル信号及び前記他のデジタル信号を、例えば複数の瞬時ににおける時間依存応答を試験するために、レジスタから一緒に読み出すことができる。

40

【0014】

本発明による試験可能回路の実施例は、マルチプレクサを具え、前記検出器及び前記他の検出器が該マルチプレクサのそれぞれの入力端子に結合され、該マルチプレクサの出力端子が前記レジスタに結合され、更に、前記デジタル信号及び前記他のデジタル信号のどちらをマルチプレクサを経て前記レジスタに記憶するか制御する手段も具えることを特徴とする。本例では、前記2つのデジタル信号の一部のみ(例えば一方のみ)がレジスタに記憶される。これは、例えば試験可能回路の一部を構成する集積回路の設計時に信号路のパラメータ、特に応答速度が未知である場合に有利である。この場合、パラメータに依存して、時間インターバル内測定(デジタル信号)又は瞬時測定(他のデジタル信

50

号)を試験のために選択することができ、レジスタに追加の情報を記憶する必要がなくなる。

【0015】

本発明による試験可能回路の実施例では、レジスタをシフトレジスタで構成し、デジタル信号をシフト移送により読み出すことができるようにする。本例では、このシフトレジスタ(それ自体は境界走査試験において標準化されている)が、時間インターバル内のアナログ信号の観測結果を読み出す動作を行う。このシフトレジスタは試験信号を制御するのに使用することもできる。しかし、レジスタを例えば12Cバスのようなバスインターフェースを経て読み出すことができる場合には、本発明はシフトレジスタなしで実施することもできる。

10

【0016】

本発明による試験可能回路の実施例は、支持体と、該支持体上に装着された集積回路と、該支持体上に装着され、集積回路の外部にあって前記第2信号路の一部分を構成するとともに前記集積回路の接続部に結合されたアナログフィルタ回路とを具え、前記試験点が前記接続部に結合され、且つ前記集積回路が前記試験点、前記検出器及び前記レジスタを具えていることを特徴とする。本発明は、集積回路外部の信号路の試験において、これらの信号路が時間依存応答動作を有するとき、特に魅力的である。集積回路内の内部信号路の試験はもっと簡単であり、これは、集積回路の設計者が集積回路の環境を考慮する必要なしに独自に必要な手段を講じることができるためである。本発明は標準境界走査試験プログラムの変更を必要としないため、外部信号路(他の集積回路からの信号路のみならず、当該集積回路からの信号路)の試験に特に好適である。

20

【0017】

本発明は上述した回路を試験する方法にも関するものである。

本発明のこれらの特徴及び他の特徴は以下に記載する実施例の説明から更に明らかになる。

【0018】

【発明の実施の形態】

図2は本発明による試験可能回路を示す。この回路は回路入力端子20aと回路出力端子22aとの間に結合された一連の信号路20、21、22を具える。第2信号路21は、例えば図1に示す高域通過フィルタを具える。この回路は更に入力端子TDI及び出力端子TDOを有するシフトレジスタ25、26を具える。シフトレジスタ25、26の第1及び第2記憶素子25、26のみを明示し、他の記憶素子の存在を入力端子TDI、第1記憶素子25、第2記憶素子26及び出力端子TDO間の点で記号的に示す。この回路は、シフトレジスタ25、26のすべての記憶素子に結合されたクロック接続CLK及び制御接続TMSを具える。

30

【0019】

一連の信号路20、21、22において、スイッチング装置23を第1及び第2信号路20、21間に接続する。スイッチング装置23の信号入力端子を第1記憶素子25の出力端子に結合する。一連の信号路の残りの信号路に結合された第2信号路21の出力端子にタップを設け、検出器28を結合する。この検出器28の出力端子を第2記憶素子26に結合する。

40

【0020】

この回路は更に第1及び第2試験制御回路10、12を具える。これらの回路はクロック接続CLK及び制御接続TMSに結合された制御入力端子を具える。第1試験制御回路10は第1記憶素子25及びスイッチング装置23の制御入力端子に結合する。第2試験制御回路12は第2記憶素子26の制御入力端子及び検出器28のリセット入力端子に結合する。

【0021】

図2に示す回路は2つの集積回路内に収容される2つのセクションI、IIを具える。第2信号路21はこれらの2つの集積回路間を延在するが、両回路の外部にある。これらの

50

集積回路及び信号路は、例えば支持体上に取り付けられる。

【0022】

この回路の正規動作モードにおける動作中に、種々の信号が一連の信号路20、21、22の入力端子20aに供給される。信号路20、21、22は機能的に直列に接続されるため、供給された信号にตอบสนองして出力端子22aに信号が現れる。

【0023】

この回路は試験制御接続TMS上の最初の信号遷移後に試験モードの第1フェーズに入る。この第1フェーズ中に、試験制御回路がシフトレジスタ25、26をクロック駆動する。従って、入力端子TDIに受信された試験信号が記憶素子25、26を経て出力端子TDOの方向にシフトされる。第1フェーズ中、スイッチング装置23は第2信号路21の

【0024】

試験制御制御TMS上の第2信号遷移後に、この回路は試験モードの第2フェーズに入る。この第2フェーズの開始後においてクロック接続CLK上のクロック信号から、第1試験制御回路10がスイッチング装置23を、第1記憶素子25からの試験信号を信号路21の入力端子21aに供給するように制御する。この試験信号が初期値と相違する場合、信号レベル遷移が信号路21の入力端子21aに発生する。更に、第2フェーズの到達時に、第2試験制御回路12がリセット信号を検出器28に供給する。

【0025】

第2信号路21の入力端子におけるレベル遷移は信号路21の出力端子にตอบสนองを生ぜしめる。このตอบสนองが検出器28の入力端子に供給される。このตอบสนองのレベルが所定のしきい値を越える場合には、検出器がセットされる。従って、検出器の結果信号は、リセット後にしきい値が超過されない限り、例えば論理値”低”であり、そうでない場合には論理値”高”になる。

【0026】

試験制御制御TMS上の第3信号遷移後に、この回路は試験モードの第3フェーズに入る。この第3フェーズの開始後においてクロック接続CLK上のクロック信号にตอบสนองして、第2試験制御回路12がシフトレジスタ25、26の第2記憶素子26を、これが検出器28からの結果信号を記憶するように制御する。次に、試験制御回路10、12は記憶素子25、26をクロックし、出力信号を検査のためにシフトレジスタ25、26の出力TDOにシフトする。

【0027】

図2は2つの集積回路を示すが、本発明は単一集積回路の場合にも使用することができ、例えば第2信号路21が一つの同一の集積回路の2つのピン間に外部的に延在する場合、又は内部的に延在する場合にも使用することができる。この場合には、多数の出力端子を具える単一の試験制御回路10の使用で十分となる。

【0028】

図3は図1に示すRC高域通過フィルタの正規応答動作を示す。第1の曲線30は高域通過フィルタの入力端子の信号を示す。この信号は遷移31を含む。第2の曲線32は第1応答を示す。第3の曲線は第1応答より速い第2応答を示す。第2及び第3応答と一緒に、しきい値レベルTが示されている。

【0029】

RC高域通過フィルタに障害がある場合には、応答が図3に示す正規応答からずれる。例えば、キャパシタCとフィルタの残部との間の接続が切断すると、出力端子の電位が常に低レベルになる。キャパシタCが短絡されると、出力端子の電位が入力端子の信号のコピーになる。抵抗Rが短絡されると、出力端子の電位が低レベルのままとなる。抵抗Rへの接続が切断すると、フィルタは正規の場合より遙かに長いRC時定数を有する高域通過動作を呈する。

【0030】

これらの障害は、

(1) 出力端子の電位が、入力端子の電位の遷移 3 1 からフィルタの時定数より短い時間後に位置する第 1 瞬時ににおいてしきい値レベル T を越えるか否か検査する、

(2) 出力端子の電位が、入力端子の電位の遷移 3 1 からフィルタの時定数より遙かに長い時間後に位置する第 2 瞬時ににおいて低レベルであるか否か検査する、

ことにより検出することができる。

正規応答が第 2 曲線 3 2 に対応する場合には、これらの検査は応答を 2 つの瞬時 3 8、3 9 においてしきい値と比較することにより行うことができる。

【 0 0 3 1 】

応答が上記の 2 つの条件を満足する場合には、上述のどの障害も発生しなかったことになる。上述の障害の一部分しか発生し得ない場合には、上述の検査の一部分のみの実行で十分である（例えば、キャパシタに対する接続障害のみが発生し得る場合には、最初の検査だけで十分である）。図 2 に示す回路は、試験の前記第 2 フェーズ中にクロック接続 T C K 上の第 1 クロック信号の遷移瞬時 3 6 において、入力端子の信号に遷移 3 1 を発生する。この回路は前記遷移瞬時 3 6 から所定の遅延時間後にのみこの遷移 3 1 に対する応答をシフトレジスタ 2 5、2 6 に記憶することができる。標準境界走査試験では、この遅延時間はクロック接続 T C K 上のクロック信号の周期の 2 . 5 倍である。この遅延時間を図 3 に t_{min} で示す。この回路は応答を最も早い瞬時 3 8 からのみシフトレジスタ 2 5、2 6 に記憶することができる。

10

【 0 0 3 2 】

これは、フィルタの応答がこの遅延より速い場合、例えば正規応答が第 3 曲線 3 4 に対応する場合に問題となる。この場合には、電位を最も早い瞬時 3 8 において又はその後にしきい値と比較することにより上述の試験 (1) を実施することはできない。

20

【 0 0 3 3 】

この問題は、検出器 2 8 により解消される。検出器 2 8 は、出力端子における電位レベルが遷移瞬時 3 6 と検出瞬時（例えば、最も早い瞬時 3 8）との間の任意の瞬時にしきい値を超過するかどうか決定する。この決定結果を前記試験 (1) の代わりとする。従って、この決定結果に基づいて、キャパシタ C に対する接続に障害が存在するかどうかを決定することができる。

【 0 0 3 4 】

R C 高域通過フィルタは信号路 2 1 の試験の単なる一例である。時間依存応答を有する他の種々の信号路、例えば帯域通過フィルタ（S A W フィルタ）又は低域通過フィルタを試験することもできること明らかである。

30

【 0 0 3 5 】

一般に、どの障害について信号路を試験する必要があるのか、及びどの瞬時にこれらの障害が信号路の応答に検出可能な偏差を導くかは決まっている。これらの瞬時に応答を観測し、その結果をシフトレジスタ 2 5、2 6 に記憶するとともに出力端子 T D O に供給する。正規応答が速すぎてしきい値試験及びシフトレジスタへの直接記憶により検出し得ない場合には、図 2 に示す検出器 2 8 を使用する。

【 0 0 3 6 】

信号路に対し、第 1 曲線 3 0 で示すステップ信号以外の種々の入力信号、例えば互いに反対方向の 2 つの遷移からなるパルスを使用することができること明らかである。この目的のために、例えば波形発生器（図示せず）をシフトレジスタの第 1 記憶素子 2 5 とスイッチング装置 2 3 との間に挿入することができる。

40

【 0 0 3 7 】

図 4 は本発明による他の試験可能回路を示す。図 2 に対応する部分是对応する符号で示されている。図 4 の回路と図 2 の回路との差は、図 4 の回路はしきい値回路 2 8 a と、シフトレジスタ 2 5、2 6 の追加の記憶素子 2 6 a を具える点にある。検出器 2 8 の入力端子をしきい値回路 2 8 a の入力端子に結合し、しきい値回路 2 8 a の出力端子を追加の記憶素子 2 6 a の入力端子に結合する。

【 0 0 3 8 】

50

図4に示す回路は図2に示す回路と同様に動作するが、この回路では、更に、第2試験制御回路12がシフトレジスタ25、26の追加の記憶素子26aを、第3フェーズ開始後のクロック接続TCK上のクロック信号にตอบสนองしてしきい値回路28aからの結果信号を記憶するように制御する。次に、検出器28及びしきい値回路28aの結果信号が、クロック制御TCK上のクロック信号により、これらの結果信号の検査のためにシフトレジスタ25、26の出力端子TDOにシフトされる。

【0039】

この検査により、シフトレジスタ25、26への記憶瞬時に、信号路21の出力端子における信号レベルがしきい値回路28aのしきい値レベルの予め決められた側（例えば上側）に位置するかどうか決定することができる。

検出器による短時間応答動作の試験（試験(1)の代わり）と同時に、回路はシフトレジスタによる長時間応答動作の試験（試験(2)）を行うことができる。必要に応じ、もっと多くの検出器を回路内に含め、それらの入力端子を信号路21の出力端子に結合することもできる。これらの検出器は、例えば検出器28と異なるしきい値で動作する、又は信号路の入力端子における遷移とシフトレジスタへの記憶瞬時との間のサブインターバル内で動作する、又は種々の瞬時に実行されるしきい値比較とともに動作するものとしうる。これらのすべての検出器をシフトレジスタ25、26のそれぞれの記憶素子に結合して、これらの記憶素子の検出結果をシフトレジスタの出力端子TDOにシフトさせることができる。

【0040】

追加の記憶素子26a自体でしきい値回路28aの機能を達成することもできる。これは、記憶素子26aは、その入力端子のシフトレジスタがしきい値より上か下かに応じて論理値”高”又は”低”であるためである。従って、必要に応じ、別個のしきい値回路28aを直接接続と置き換えることができる。図5は本発明による他の試験可能回路を示す。図4と対応する部分是对应する符号で示されている。図5に示す回路と図4に示す回路との差は、図5に示す回路はマルチプレクサ50を具える点にある。検出器28及びしきい値回路28aの出力端子をマルチプレクサのそれぞれの入力端子に結合する。マルチプレクサ50の出力端子をシフトレジスタの第2記憶素子26の入力端子に結合する。第2制御回路12をマルチプレクサ50の制御入力端子に結合する。

【0041】

動作中、第2制御回路12は、マルチプレクサのどちらの入力端子を第2記憶素子26に接続するか決定する。従って、検出器28及びしきい値回路28aの検出結果の一方のみが最終的にシフトレジスタ25、26の出力端子TDOを経て読み出される。第2試験制御回路12は、例えば制御接続TMS上の所定の信号遷移間に到来するクロック接続TCK上のクロックパルスの数に依存して関連する検出結果を選択する。

【0042】

マルチプレクサは、検出器28、しきい値回路28a、マルチプレクサ及びシフトレジスタの少なくとも第2記憶素子及び追加の記憶素子26aを含む部分を一緒に集積回路内に収容し、第2信号路をこの集積回路の外部素子とする場合に特に有利である。この集積回路の使用においては、このような集積回路を信号路の構成素子と一緒に支持体（例えば印刷回路板）上に装着する。かかる後に、使用する構成素子に依存して、及び特に信号路の無障害状態と信号路の発生可能障害状態との間の時間的動作の予想される差に依存して、ユーザはどちらの検出結果を読み出すべきか選択することができる。

【0043】

図6は本発明の回路に使用する検出器を示す。この検出器はしきい値回路60と、フリップフロップ61を具える。しきい値回路60の出力端子をフリップフロップ61の入力端子に結合する。フリップフロップ61の出力端子がこの検出器の出力端子を構成する。

【0044】

動作状態において、フリップフロップ61は信号路の入力端子に信号遷移が発生する前又は発生と同時にリセットされる。しきい値回路60の入力端子は検出器の入力端子を構成

10

20

30

40

50

する。この入力端子の電位が回路60のしきい値を越えると同時に、フリップフロップがセットされる。従って、この検出器は、信号がリセット後にしきい値を越えたかどうかを検出する。

【0045】

多くの他の検出器の実施例を使用することができること明らかである。例えば、ピーク検出器を用いて、リセット後の検出器の入力端子の信号のピーク値をモニタするとともに、このピーク値をしきい値回路を経てシフトレジスタ25、26の記憶素子の入力端子に供給する(即ちフリップフロップなしにする)こともできる。(ピーク検出器は、例えば検出器の入力端子としきい値回路の入力端子との間に接続されたダイオードと、後者の入力端子と大地との間に接続されたキャパシタとを具え、リセット時にこのキャパシタが大地に放電されるものとする)ことができる)。

【図面の簡単な説明】

【図1】既知の高域通過RCフィルタを示す。

【図2】本発明による試験可能回路を示す。

【図3】高域通過フィルタの応答動作を示す。

【図4】本発明による他の試験可能回路を示す。

【図5】本発明による他の試験可能回路を示す、

【図6】本発明による試験可能回路に使用する検出器を示す。

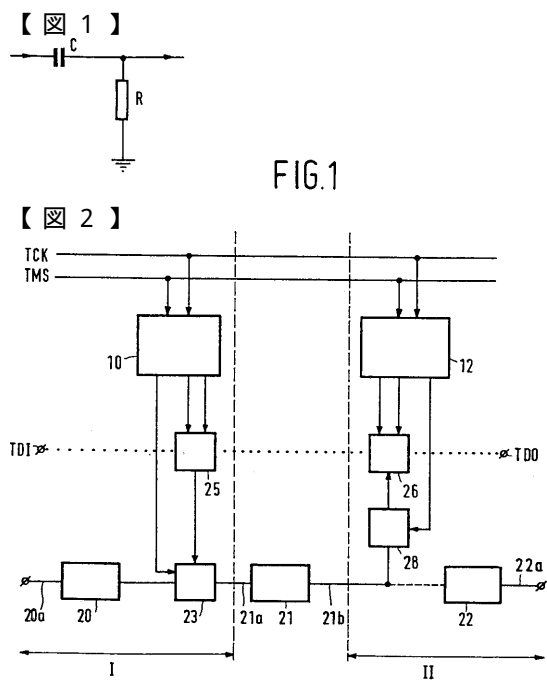


FIG.1

FIG.2

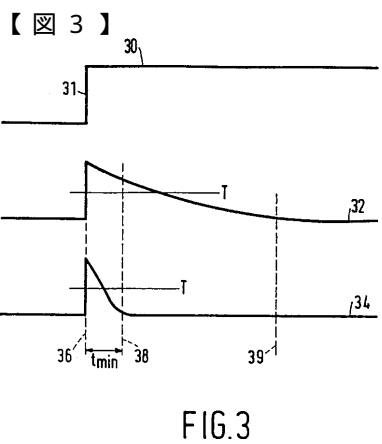


FIG.3

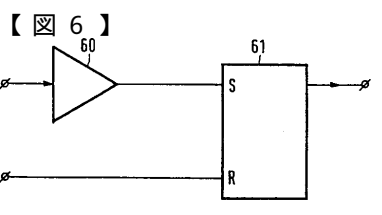


FIG.6

【 図 4 】

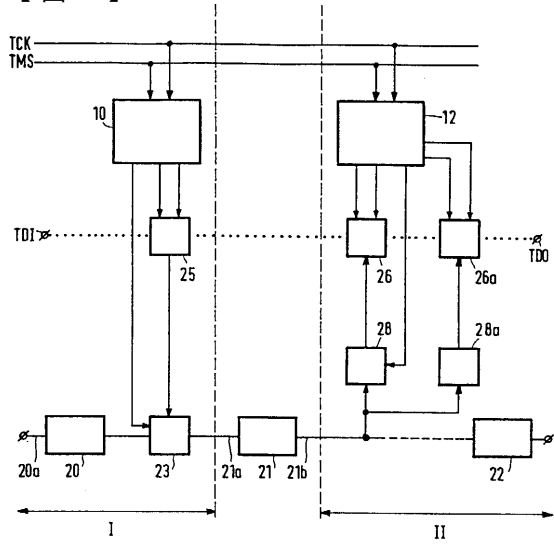


FIG.4

【 図 5 】

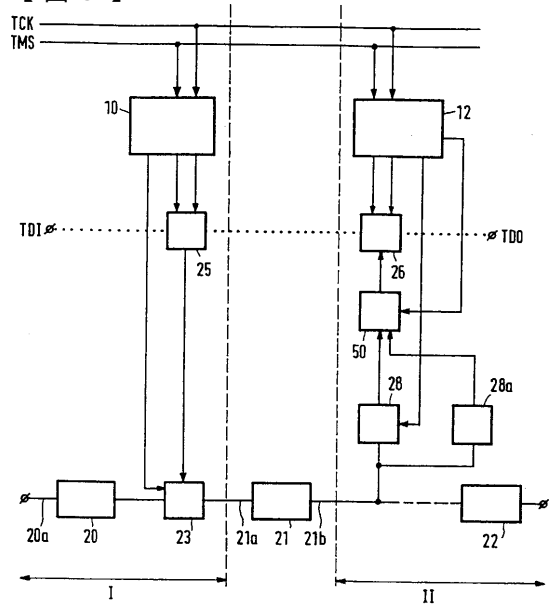


FIG.5

フロントページの続き

- (74)代理人 100134005
弁理士 澤田 達也
- (74)代理人 100113745
弁理士 藤原 英治
- (72)発明者 ミューリス マシアス エヌ エム
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6
- (72)発明者 デ ジョング フランシスカス ヘー エム
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6
- (72)発明者 デ ヴィルデ ヨハネス
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6
- (72)発明者 スヒュッテルト ロジャー エフ
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

審査官 神谷 健一

- (56)参考文献 特開昭61-022500(JP,A)
特開昭63-172975(JP,A)
特開平01-237472(JP,A)
特開平05-312916(JP,A)
特開平06-347517(JP,A)
欧州特許出願公開第00471399(EP,A1)
米国特許第05404358(US,A)

- (58)調査した分野(Int.Cl., DB名)
G01R 31/28 - 31/3193