(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6037261号
(P6037261)

(45)発行日　平成28年12月7日(2016.12.7)　(24)登録日　平成28年11月11日(2016.11.11)

(51)Int.Cl.			F I		
G09F	9/30	(2006.01)	G09F	9/30	330
G02F	1/1368	(2006.01)	G09F	9/30	338
H01L	29/786	(2006.01)	G02F	1/1368	
H01L	21/336	(2006.01)	H01L	29/78	623A
			H01L	29/78	612D

請求項の数 8　(全 22 頁)　最終頁に続く

(21)出願番号　特願2012-10709(P2012-10709)
(22)出願日　平成24年1月23日(2012.1.23)
(65)公開番号　特開2013-148803(P2013-148803A)
(43)公開日　平成25年8月1日(2013.8.1)
審査請求日　平成27年1月19日(2015.1.19)

(73)特許権者　502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目７番１号
(74)代理人　100075959
弁理士　小林　保
(72)発明者　柳澤　昌
千葉県茂原市早野３３００番地　株式会社日立ディスプレイズ内
(72)発明者　中安　洋三
千葉県茂原市早野３３００番地　株式会社日立ディスプレイズ内
(72)発明者　長島　理
千葉県茂原市早野３３００番地　株式会社日立ディスプレイズ内

最終頁に続く

(54)【発明の名称】表示装置

(57)【特許請求の範囲】

【請求項１】

第１方向に延在され前記第１方向に交差する第２方向に並設される走査信号線と、前記第２方向に延在され前記第１方向に並設される映像信号線とが形成される表示領域と、前記表示領域の外側に形成され、前記映像信号線に信号を供給する複数の端子からなる端子群と、ドレイン電極が前記映像信号線に接続されると共に、ソース電極が検査用端子に接続され、ゲート電極が検査用の制御信号線を介して共通に接続される複数の第１の薄膜トランジスタからなる点灯検査回路とを備える表示装置であって、

前記検査用の制御信号線と所定の距離で離間して配置される導電性薄膜層と、

前記導電性薄膜層と前記第１の薄膜トランジスタとの間の領域に形成され、ゲート電極が前記検査用の制御信号線に接続される第２の薄膜トランジスタとを備え、

前記第１の薄膜トランジスタ及び前記第２の薄膜トランジスタは、同一の特性を有し、

前記第１の薄膜トランジスタにおけるゲート電極とソース・ドレイン電極との間に静電スパークが生じる第１のスパーク発生電圧は、前記検査用の制御信号線と前記導電性薄膜層との間に静電スパークが生じる第２のスパーク発生電圧よりも大きい電圧であることを特徴とする表示装置。

【請求項２】

前記第２の薄膜トランジスタは、前記導電性薄膜層よりも前記第１の薄膜トランジスタに近い側に配置されることを特徴とする請求項１に記載の表示装置。

【請求項３】

前記導電性薄膜層は、平面的に見て前記検査用の制御信号線と離間して配置され、前記第１の薄膜トランジスタのゲート電極に接続される前記検査用の制御信号線と同層に形成されることを特徴とする請求項１又は２に記載の表示装置。
【請求項４】
前記第２の薄膜トランジスタは２つ以上の薄膜トランジスタからなり、前記第２の薄膜トランジスタのドレイン電極とソース電極との内の少なくとも一方の電極同士がそれぞれ電気的に接続されることを特徴とする請求項１乃至３の内の何れかに記載の表示装置。
【請求項５】
前記導電性薄膜層は絶縁膜を介して重畳配置される少なくとも２層以上の導電性薄膜からなることを特徴とする請求項１乃至４の内の何れかに記載の表示装置。
【請求項６】
前記第１方向及び前記第２方向に屈曲されてなる延在部を備え、
前記延在部の一端側は開放され、他端側は前記第２の薄膜トランジスタのドレイン電極とソース電極との内の一方の電極の電極に電気的に接続されることを特徴とする請求項１乃至５の内の何れかに記載の表示装置。
【請求項７】
絶縁膜を介して重畳配置される少なくとも２層以上の導電性薄膜からなる容量部を備え、
前記容量部は前記第２の薄膜トランジスタのドレイン電極とソース電極との内の、少なくとも一方に配置されることを特徴とする請求項１乃至５の内の何れかに記載の表示装置。
【請求項８】
前記導電性薄膜層は、薄膜トランジスタからなることを特徴とする請求項１乃至５の内の何れかに記載の表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、表示装置に係わり、特に、製造過程における静電気の発生に伴う損傷を防止する技術に関する。
【背景技術】
【０００２】
アクティブマトリクス型の液晶表示装置では、隣接する２本の走査信号線（以下、ゲート線と記す。）と、隣接する２本の映像信号線（ソース線又はドレイン線ともいう。以下、ドレイン線と記す。）とで囲まれる領域に、ゲート線からの走査信号によってオンする薄膜トランジスタと、ドレイン線からの映像信号が前述の薄膜トランジスタを介して供給される画素電極とが形成され、画素が構成される。
【０００３】
近年、カーナビゲーションや携帯型情報端末等に搭載される中小型の表示装置では、限られた表示面積内に多数の画素を形成する必要がある。このために、表示装置の製造過程における点灯検査が非常に重要となっている。特に、画素数が増加した場合、通常の画像表示と同じ手順で表示装置を点灯させる方式では、点灯検査に要する時間が大きくなってしまうので、例えば、擬似ダイナミック点灯検査（ＱＤ点灯検査）等の点灯検査を行うための点灯検査回路（ＱＤ点灯検査回路）を予め表示装置内に形成しておくことが一般的である。
【０００４】
点灯検査回路は、表示領域内のドレイン線やゲート線からの引き出し配線の端部にそれぞれ配置される検査用の薄膜トランジスタと、Ｒ（赤）、Ｇ（緑）、Ｂ（青）の各画素に対応した検査用の映像信号及び走査信号、並びに検査用の薄膜トランジスタに検査用の制御信号を入力するための検査用の端子部を備えている。また、点灯検査回路は、検査用の端子部から入力される検査用の映像信号及び走査信号を分岐し、検査用の端子部と検査用

の薄膜トランジスタとを接続する検査用配線と、検査用の薄膜トランジスタのゲート電極に共通して接続され、各検査用の薄膜トランジスタのＯＮ／ＯＦＦを制御する信号が入力される制御信号線とを備える構成となっている。

【０００５】

この構成からなる点灯検査回路では、検査用の薄膜トランジスタのドレイン電極及びソース電極の内の一方の電極（例えば、ドレイン電極）はドレイン線やゲート線からの引き出し配線に接続され、他方の電極（例えば、ソース電極）は検査用配線に接続されている。このとき、制御信号線は検査用の薄膜トランジスタのゲート電極に接続され、他端側は検査用の端子部に接続されるのみで、フローティング状態となっている。このために、制御信号線に蓄積された電荷が所定量すなわち薄膜トランジスタの耐圧を超えた場合、検査用の薄膜トランジスタのゲート電極とドレイン電極（または、ソース電極）との間に静電スパークが生じ、検査用の薄膜トランジスタが破壊されてしまうという問題があった。

【０００６】

本発明者らは、この検査用薄膜トランジスタの破壊の原因を鋭意検討した結果、その原因は、

（１）ラビング工程でラビング布と有効表示領域（表示領域）に配置されている配向膜パターンとの接触で電荷が発生し、電荷が配向膜に蓄積される。

【０００７】

（２）配向膜と画素電極は接触しているため、画素電極にも電荷が蓄積される。

【０００８】

（３）画素電極と点灯検査回路との間に電位差が発生し、蓄積された電荷がドレイン線及び引き出し配線を介して点灯検査回路に移動する。

【０００９】

（４）ドレイン線及び引き出し配線を介して移動した電荷が、点灯検査回路の薄膜トランジスタ（検査用の薄膜トランジスタ）の半導体層を介し、ソース・ドレイン電極からゲート電極に移動する。

【００１０】

（５）検査用の薄膜トランジスタのゲート電極がフローティングの場合、蓄積された電荷の逃げ場がなくなり、検査用の薄膜トランジスタを破壊し断線不良に至る。

【００１１】

ということを突き止めた。

【００１２】

このような検査用の薄膜トランジスタを破壊の問題を解決する方法として、例えば、特許文献１に記載の有機電界発光表示装置がある。この特許文献１に開示される技術では、ドレイン電極とゲート電極との間に抵抗を形成することによって、制御信号線がフローティング状態となることを防止し、薄膜トランジスタの静電破壊を防止する構成としている。

【先行技術文献】

【特許文献】

【００１３】

【特許文献１】特開２００９－２７６７３４号公報

【発明の概要】

【発明が解決しようとする課題】

【００１４】

しかしながら、特許文献１に記載の技術では、基板上に形成した抵抗素子によってドレイン電極とゲート電極と電気的に接続する構成となるので、比較的大きな抵抗値を有する抵抗素子を形成する必要がある。このために、薄膜トランジスタを形成する工程とは別に、抵抗素子を形成する工程が必要となり、工程数が増加してしまうという問題がある。

【００１５】

本発明はこれらの問題点に鑑みてなされたものであり、本発明の目的は、映像信号線の

断線不良を防止することが可能な表示装置を提供することにある。
【課題を解決するための手段】
【００１６】
（１）前記課題を解決すべく、本発明の表示装置は、第１方向に延在され前記第１方向に交差する第２方向に並設される走査信号線と、前記第２方向に延在され前記第１方向に並設される映像信号線とが形成される表示領域と、前記表示領域の外側に形成され、前記映像信号線に信号を供給する複数の端子からなる端子群と、ドレイン電極が前記映像信号線に接続されると共に、ソース電極が検査用端子に接続され、ゲート電極が検査用の制御信号線を介して共通に接続される複数の第１の薄膜トランジスタからなる点灯検査回路とを備える表示装置であって、
前記検査用の制御信号線と所定の距離で離間して配置される導電性薄膜層と、
前記導電性薄膜層と前記第１の薄膜トランジスタとの間の領域に形成され、ゲート電極が前記検査用の制御信号線に接続される第２の薄膜トランジスタとを備え、
前記第１の薄膜トランジスタ及び前記第２の薄膜トランジスタは、同一の特性を有し、
前記第１の薄膜トランジスタにおけるゲート電極とソース・ドレイン電極との間に静電スパークが生じる第１のスパーク発生電圧は、前記検査用の制御信号線と前記導電性薄膜層との間に静電スパークが生じる第２のスパーク発生電圧よりも大きい電圧の表示装置である。
【発明の効果】
【００１７】
本発明によれば、点灯検査回路を構成する薄膜トランジスタの静電破壊を防止することができるので、映像信号線の断線不良を防止することができる。
【００１８】
本発明のその他の効果については、明細書全体の記載から明らかにされる。
【図面の簡単な説明】
【００１９】
【図１】本発明の実施形態１の表示装置である液晶表示装置の全体構成を説明するための平面図である。
【図２】本発明の実施形態１の表示装置における点灯検査回路の概略構成を説明するための回路図である。
【図３】本発明の実施形態１の表示装置における点灯検査回路の詳細構成を説明するためのパターン図である。
【図４】本発明の実施形態１の表示装置における点灯検査回路の各部の電圧変化を説明するための図である。
【図５】本発明の実施形態１の表示装置における点灯検査回路の制御信号線の等価回路である。
【図６】本発明の実施形態２の表示装置における点灯検査回路の詳細構成を説明するためのパターン図である。
【図７】本発明の実施形態３の表示装置における点灯検査回路の詳細構成を説明するためのパターン図である。
【図８】本発明の実施形態４の表示装置における点灯検査回路の詳細構成を説明するためのパターン図である。
【図９】従来の表示装置における点灯検査回路のパターン図である。
【発明を実施するための形態】
【００２０】
以下、本発明が適用された実施形態について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。
【００２１】
〈実施形態１〉
〈全体構成〉

図１は本発明の実施形態１の表示装置である液晶表示装置の全体構成を説明するための図であり、以下、図１に基づいて、本発明の実施形態１の表示装置の全体構成を説明する。なお、表示装置は液晶表示装置等の非発光型の表示装置に限定されることはなく、有機ＥＬ表示装置に代表される自発光型の表示装置にも適用可能である。また、以下の説明では、ＩＰＳ方式の液晶表示装置の場合について説明するが、ＶＡ方式の液晶表示装置にも適用可能である。

【００２２】

図１に示す実施形態１の液晶表示装置は画素電極等が形成される第１基板ＳＵＢ１と、カラーフィルタやブラックマトリクス（遮光膜）が形成され、第１基板ＳＵＢ１に対向して配置される第２基板ＳＵＢ２と、第１基板ＳＵＢ１と第２基板ＳＵＢ２とで挟持される図示しない液晶層とで構成される液晶表示パネルを有し、この液晶表示パネルの光源となる図示しないバックライトユニットとを組み合わせることにより、液晶表示装置が構成されている。第１基板ＳＵＢ１と第２基板ＳＵＢ２との固定及び液晶の封止は、第２基板の周辺部に環状に塗布された図示しないシール材で固定され、液晶も封止される構成となっている。なお、以下の説明では、液晶表示パネルの説明においても、液晶表示装置と記す。

【００２３】

第１基板ＳＵＢ１及び第２基板ＳＵＢ２としては、例えば周知のガラス基板が用いられるのが一般的であるが、ガラス基板に限定されることはなく、石英ガラスやプラスチック（樹脂）のような他の絶縁性基板であってもよい。例えば、石英ガラスを用いれば、プロセス温度を高くできるため、後述する薄膜トランジスタ（スイッチング用の薄膜トランジスタ）ＳＴＦＴのゲート絶縁膜を緻密化できるので、信頼性を向上することができる。一方、プラスチック（樹脂）基板を用いる場合には、軽量で、耐衝撃性に優れた液晶表示装置を提供できる。

【００２４】

また、実施形態１の液晶表示装置では、液晶が封入された領域の内で表示画素（以下、画素と略記する）の形成される領域が表示領域ＡＲとなり、該表示領域を覆うようにして配向膜ＯＲＩが形成されている。このとき、液晶が封入されている領域内であっても、画素が形成されておらず表示に係わらない領域は表示領域ＡＲとはならない。

【００２５】

実施形態１の液晶表示装置では第１基板ＳＵＢ１の液晶側の面であって表示領域ＡＲ内には、図中Ｘ方向に延在しＹ方向に並設される走査信号線（ゲート線）ＧＬが形成されている。また、図中Ｙ方向に延在しＸ方向に並設される映像信号線（ドレイン線）ＤＬが形成されている。

【００２６】

ドレイン線ＤＬとゲート線ＧＬとで囲まれる矩形状の領域は画素が形成される領域を構成し、これにより、各画素は表示領域ＡＲ内においてマトリックス状に配置されている。各画素は、例えば図１中丸印Ａの部分において、その拡大図Ａ’に示すように、ゲート線ＧＬからの走査信号によってオンされる薄膜トランジスタ（スイッチング用の薄膜トランジスタ）ＳＴＦＴと、このオンされた薄膜トランジスタＳＴＦＴを介してドレイン線ＤＬからの映像信号が供給される画素電極ＰＸと、コモン線ＣＬに接続され映像信号の電位に対して基準となる電位を有する共通信号が供給される共通電極ＣＴとを備えている。なお、拡大図Ａ’に示す共通電極ＣＴの構成では、画素毎に独立して形成される共通電極ＣＴにコモン線ＣＬを介して共通信号を入力する構成としたが、これに限定されることはなく、Ｘ方向に隣接配置される画素の共通電極ＣＴが直接接続されるように共通電極ＣＴを形成し、Ｘ方向の左右（第１基板ＳＵＢ１の端部）の一端から、又は両側からコモン線ＣＬを介して共通信号を入力する構成でもよい。

【００２７】

各ドレイン線ＤＬ及び各ゲート線ＧＬはその端部においてシール材を越えてそれぞれ延在され、第２基板ＳＵＢ２よりも大きい第１基板ＳＵＢ１の液晶面側に搭載される、走査

信号駆動回路ＧＤＲまたは映像信号駆動回路ＤＤＲにそれぞれ接続される構成となっている。ただし、実施形態１の液晶表示装置では、走査信号駆動回路ＧＤＲまたは映像信号駆動回路ＤＤＲを半導体チップで形成し第１基板ＳＵＢ１に搭載する構成としているが、ＤＤＲ映像信号駆動回路と走査信号駆動回路ＧＤＲとの何れか一方又はその両方の駆動回路をフレキシブルプリント基板ＦＰＣにテープキャリア方式やＣＯＦ（Chip On Film）方式で搭載し、第１基板ＳＵＢ１に接続させる構成であってもよい。

【００２８】

〈点灯検査回路構成〉

図２は本発明の実施形態１の表示装置における点灯検査回路の概略構成を説明するための図であり、以下、図２に基づいて実施形態１の点灯検査回路の構成を説明する。ただし、以下の説明では、検査用薄膜トランジスタＴＦＴの半導体層を介して対向配置される一対のソース・ドレイン電極の内で、検査用端子ＣＲ、ＣＧ、ＣＢに接続される側をソース電極と記し、ドレイン線ＤＬに接続される側をドレイン電極と記す。また、実施形態１の点灯検査回路ＱＤの内で、ゲート線ＧＬに検査用の走査信号を供給する回路部分については従来と同様の構成となるので、詳細な説明は省略する。

【００２９】

実施形態１の液晶表示装置では、第１基板ＳＵＢ１の液晶側の面であって、表示領域ＡＲの外側の領域に、点灯検査回路ＱＤが形成されている。この実施形態１の点灯検査回路ＱＤでは、各ゲート電極を共通とする複数の検査用薄膜トランジスタ（第１の薄膜トランジスタ）ＴＦＴを備える構成となっており、この検査用薄膜トランジスタＴＦＴのゲート電極は信号線（制御信号線）ＳＩＧを介して検査用端子ＣＴＧに接続されている。すなわち、検査用薄膜トランジスタＴＦＴのゲート電極に接続される検査用の信号線である制御信号線ＳＩＧは、全ての検査用薄膜トランジスタＴＦＴのゲート電極に接続されている。

【００３０】

また、検査用薄膜トランジスタＴＦＴの内で、そのドレイン電極がＲ（赤色）の画素のドレイン線ＤＬに接続される検査用薄膜トランジスタＴＦＴのソース電極は、配線（検査配線）ＤＲＷを介して検査用端子ＣＲに接続されている。また、検査用薄膜トランジスタＴＦＴの内で、そのドレイン電極がＧ（緑色）の画素のドレイン線ＤＬに接続される検査用薄膜トランジスタＴＦＴのソース電極は、配線（検査配線）ＤＧＷを介して検査用端子ＣＧに接続されている。さらには、検査用薄膜トランジスタＴＦＴの内で、そのドレイン電極がＢ（青色）の画素のドレイン線ＤＬに接続される検査用薄膜トランジスタＴＦＴのソース電極は、配線（検査配線）ＤＢＷを介して検査用端子ＣＢに接続されている。すなわち、各検査用薄膜トランジスタＴＦＴのドレイン電極は、それぞれが異なるドレイン線に接続されている。一方、検査用薄膜トランジスタＴＦＴのソース電極は、Ｒ（赤色），Ｇ（緑色），Ｂ（青色）の各色に対応する検査用の映像信号が入力される３本の検査用の配線ＤＲＷ，ＤＧＷ，ＤＢＷの何れかに接続されている。

【００３１】

また、実施形態１の点灯検査回路ＱＤでは、制御信号線ＳＩＧの近傍に金属薄膜や透明導電膜等からなる導電性薄膜であるフローティング電極ＦＬＴが配置されると共に、該フローティング電極ＦＬＴと検査用薄膜トランジスタＴＦＴとの間にダミーの薄膜トランジスタ（第２の薄膜トランジスタ）ＴＦＴ４が配置される構成となっている。この実施形態１のダミーの薄膜トランジスタＴＦＴ４は、後に詳述するように、ゲート電極のみが制御信号線ＳＩＧに接続されており、他の電極すなわちソース電極及びドレイン電極は他の信号線に接続されない構成となっている。

【００３２】

この構成からなる点灯検査回路ＱＤでは、点灯検査時には、検査用端子ＣＴＧから入力される制御信号に基づいて、全ての検査用薄膜トランジスタＴＦＴのＯＮ／ＯＦＦが制御される。このとき、Ｒ（赤色），Ｇ（緑色），Ｂ（青色）の各色に対応した検査用の映像信号が検査用端子ＣＲ，ＣＧ，ＣＢから入力され、配線ＤＲＷ，ＤＧＷ，ＤＢＷを介して検査用薄膜トランジスタＴＦＴのソース電極に入力される。検査用薄膜トランジスタＴＦ

ＴがＯＮの場合、このＯＮされた検査用薄膜トランジスタＴＦＴを介して、検査用の映像信号が各ドレイン線ＤＬに出力されることとなる。一方、各画素に配置されるスイッチング用の薄膜トランジスタＳＴＦＴのゲート電極に接続されるゲート線ＧＬには、図示しない検査用端子から検査用の走査信号が入力される。この検査用の走査信号と検査用の映像信号とは同期して入力される。したがって、各画素に配置されるスイッチング用の薄膜トランジスタＳＴＦＴを介して、Ｒ（赤色），Ｇ（緑色），Ｂ（青色）の各色に対応した検査用の映像信号がそれぞれの画素電極に出力され、擬似ダイナミック点灯検査（いわゆるＱＤ点灯検査）がなされることとなる。

【００３３】

このとき、実施形態１の点灯検査回路ＱＤが備えるフローティング電極ＦＬＴ及びダミーの薄膜トランジスタＴＦＴ４は、それぞれ他の信号線から絶縁される構成となっているので、点灯検査時においては、従来と同様の点灯検査が可能となる。

【００３４】

次に、図３に本発明の実施形態１の表示装置である液晶表示装置における点灯検査回路のパターン図を示し、以下、図３に基づいて、実施形態１の点灯検査回路の詳細構成について説明する。ただし、図３に示すパターン図は図２中丸印Ｂに示すパターンの拡大図であり、ドレイン信号駆動回路ＤＤＲが搭載される領域部分のパターンの拡大図である。

【００３５】

図３に示すように、実施形態１の点灯検査回路ＱＤでは、従来の点灯検査回路と同様に、Ｙ方向に延在するドレイン線ＤＬはＸ方向に並設される構成となっている。このドレイン線ＤＬの並設方向に制御信号線ＳＩＧが延在して形成され、ドレイン線ＤＬの端部に検査用薄膜トランジスタＴＦＴが形成されている。

【００３６】

検査用薄膜トランジスタＴＦＴの半導体層は、図示しないゲート絶縁膜（絶縁膜）を介して当該半導体層の下層に形成される制御信号線ＳＩＧと交差するように形成され、該制御信号線ＳＩＧが検査用薄膜トランジスタＴＦＴのゲート電極を兼ねる構成となっている。また、ドレイン線ＤＬは絶縁膜を介して制御信号線ＳＩＧよりも上層に形成される検査用薄膜トランジスタＴＦＴの半導体層に接続され、ドレイン線ＤＬがドレイン電極を兼ねる構成となっている。さらには、検査用薄膜トランジスタＴＦＴを介して図中下側の部分には、ドレイン線ＤＬの並設方向であるＸ方向に延在する３本の配線（検査配線）ＤＲＷ，ＤＧＷ，ＤＢＷがＹ方向に並設されている。実施形態１においては、配線（検査配線）ＤＲＷ，ＤＧＷ，ＤＢＷは制御信号線ＳＩＧと同層に形成される構成となっており、検査用薄膜トランジスタＴＦＴのＹ方向に延在するソース電極とはコンタクトホール（貫通孔）ＴＨを介して電気的に接続されている。このように、画素内の薄膜トランジスタであるスイッチング用薄膜トランジスタＳＴＦＴのゲート線と同様に、検査用薄膜トランジスタＴＦＴのゲート電極に接続される制御信号線ＳＩＧは直線状に形成される制御信号線ＳＩＧの上層に絶縁膜（ゲート絶縁膜）を介して、検査用薄膜トランジスタＴＦＴの半導体層が重畳して配置される構成となっている。この構成により、点灯検査回路ＱＤの占める面積を小さく形成することを可能としている。

【００３７】

さらには、実施形態１の点灯検査回路ＱＤは、ドレイン信号駆動回路ＤＤＲが搭載される領域（図中に実線で示す）に形成される構成となっている。したがって、検査用薄膜トランジスタＴＦＴの近傍のドレイン線ＤＬには、ドレイン信号駆動回路ＤＤＲの出力端子とドレイン線ＤＬとを電気的に接続するための端子部ＰＤが形成されている。この端子部ＰＤもコンタクトホールＴＨを介して、ドレイン線ＤＬと電気的に接続されている。

【００３８】

この構成により、実施形態１の点灯検査回路ＱＤでは、Ｒ（赤色），Ｇ（緑色），Ｂ（青色）のカラー表示用の画素毎のドレイン線と、該ドレイン線ＤＬにＲ（赤色），Ｇ（緑色），Ｂ（青色）の検査用の信号を供給する配線（検査配線）ＤＲＷ，ＤＧＷ，ＤＢＷとを制御信号線ＳＩＧからの入力により、相互に電気的に接続及び切断する構成となってい

る。

【００３９】

また、図３から明らかなように、実施形態１の点灯検査回路ＱＤにおいては、制御信号線ＳＩＧの近傍にフローティング電極ＦＬＴが配置される構成となっている。この実施形態１のフローティング電極ＦＬＴは、制御信号線ＳＩＧと同層の導電膜（例えば、周知の金属薄膜やＩＴＯ，ＺｎＳ等の透明導電膜等）で形成されている。この構成により、実施形態１の点灯検査回路ＱＤにおいては、制御信号線ＳＩＧとフローティング電極ＦＬＴとは同一工程で形成でき、その間隔は当該制御信号線ＳＩＧとフローティング電極ＦＬＴとを形成するためのマスクパターンの形成精度、及び導電膜のエッチング精度という非常に高い精度で形成することが可能となる。その結果、制御信号線ＳＩＧとフローティング電極ＦＬＴとの間に生じる静電スパークの発生電圧（第２のスパーク電圧）を非常に精度よく制御することが可能となるという格別の効果を得ることができる。

【００４０】

なお、制御信号線ＳＩＧとフローティング電極ＦＬＴとは同層の導電膜に限定されることはない。例えば、検査用薄膜トランジスタＴＦＴのソース・ドレイン電極と同層の導電膜等の異なる薄膜層の導電膜で形成する構成であってもよい。また、フローティング電極ＦＬＴを他の信号線等とは別に設ける構成としたが、これに限定されることはない。例えば、点灯検査回路ＱＤの内で、ゲート線ＧＬに検査用の走査信号を入力するための配線（表示領域外に引き出されたゲート配線）を用いる構成であってもよい。この配線は、検査用薄膜トランジスタのドレイン電極にその一端側が接続され、他端側が検査用の走査信号を入力するための図示しない検査用端子に接続される構成となっている。したがって、ラビング処理時においては、この配線はフローティング状態となっているので、フローティング電極ＦＬＴとして用いることが可能となり、後に詳述する効果を得ることが可能となる。

【００４１】

さらには、実施形態１の点灯検査回路ＱＤでは、フローティング電極ＦＬＴと検査用薄膜トランジスタＴＦＴとの間の領域に、ダミーの薄膜トランジスタＴＦＴ４が配置される構成となっている。実施形態１のダミーの薄膜トランジスタＴＦＴ４は、検査用薄膜トランジスタＴＦＴの内で、フローティング電極ＦＬＴが配置される側の端部に形成される検査用薄膜トランジスタＴＦＴ（図中に薄膜トランジスタＴＦＴ１と記す）に隣接配置される構成となっている。このダミーの薄膜トランジスタＴＦＴ４は検査用薄膜トランジスタＴＦＴと同一の工程で形成されている。また、ダミーの薄膜トランジスタＴＦＴ４のゲート電極も制御信号線ＳＩＧが兼ねる構成となっている。さらには、ダミーの薄膜トランジスタＴＦＴ４のソース電極及びドレイン電極は、近接する検査用薄膜トランジスタＴＦＴ１のソース電極及びドレイン電極（ドレイン線ＤＬ）にそれぞれ沿うようにして所定長さだけ延在する構成となっている。すなわち、ダミーの薄膜トランジスタＴＦＴ４のソース電極及びドレイン電極は所定長さだけ延在するのみで他の信号線等に接続されない構成となっており、隣接する検査用薄膜トランジスタＴＦＴ１のソース電極及びドレイン電極とも絶縁される構成となっている。

【００４２】

なお、実施形態１のダミーの薄膜トランジスタＴＦＴ４は検査用薄膜トランジスタＴＦＴと等間隔に形成される構成としたが、その形成位置は等間隔に限定されることはない。例えば、検査用薄膜トランジスタＴＦＴの形成間隔よりも大きく形成することによって、図３に示す位置よりもダミーの薄膜トランジスタＴＦＴ４をフローティング電極ＦＬＴに近い位置に形成する構成であってもよい。ただし、ダミーの薄膜トランジスタＴＦＴ４の形成位置は、後に詳述するように、フローティング電極ＦＬＴよりも薄膜トランジスタＴＦＴ１に近い位置に形成することが好ましい。

【００４３】

制御信号線ＳＩＧとフローティング電極ＦＬＴとの間に静電スパークが生じる電圧は、薄膜トランジスタＴＦＴ１，ＴＦＴ４のゲート電極とソース・ドレイン電極との間に静電

スパークが生じる電圧、すなわち耐圧よりも低い電圧に設定されている。ただし、薄膜トランジスタＴＦＴ１のゲート電極とソース・ドレイン電極との間に静電スパークが生じる電圧は、薄膜トランジスタＴＦＴのゲート絶縁膜の厚さ等の形成工程に依存することとなる。したがって、実施形態１の構成においては、フローティング電極ＦＬＴと制御信号線ＳＩＧとの間隔と、静電スパークが発生する電圧（耐圧）との関係を、予め実験的に定めておき、その間隔となるようにフローティング電極ＦＬＴと制御信号線ＳＩＧとを形成する。

【００４４】

この構成により、ラビング処理によって静電気が生じた場合であっても、まず、制御信号線ＳＩＧとフローティング電極ＦＬＴとの間に静電スパークが生じることとなる。次に、この静電スパークに伴う制御信号線ＳＩＧの電位低下が生じることとなるが、ダミーの薄膜トランジスタＴＦＴ４のゲート電極とソース・ドレイン電極との間に静電スパークを生じさせることにより、制御信号線ＳＩＧの電位を低下させることができるので、ラビング処理に起因する点灯検査回路ＱＤの検査用薄膜トランジスタＴＦＴの破壊を防止することができる。なお、以上の説明では、ドレイン線ＤＬに接続される点灯検査回路ＱＤの部分について説明したが、点灯検査回路ＱＤはゲート線ＧＬに検査用の走査信号を入力するための図示しない薄膜トランジスタも同じ制御信号線ＳＩＧをゲート電極とする構成である。例えば、前述するドレイン線に接続される検査用薄膜トランジスタＴＦＴと並設される構成となっている。

【００４５】

この実施形態１の点灯検査回路に対して、図９に示す従来の点灯検査回路ＱＤの構成では、フローティング配線である制御信号線ＳＩＧに蓄積された電荷Ｑ２は蓄積されるのみとなる。その結果、制御信号線ＳＩＧの電位Ｖ２と検査用の薄膜トランジスタＴＦＴの電位との差が、当該検査用の薄膜トランジスタＴＦＴのゲート電極とドレイン電極との間の耐圧を超えた場合に、静電スパークが発生し、検査用の薄膜トランジスタＴＦＴの破壊が生じてしまうこととなる。

【００４６】

〈検査用薄膜トランジスタの保護動作〉

次に、図４に本発明の実施形態１の液晶表示装置における点灯検査回路の各部の電圧変化を説明するための図、図５に本発明の実施形態１の点灯検査回路におけるフローティング電極からダミーの薄膜トランジスタを介して検査用薄膜トランジスタに至る制御信号線の等価回路を示し、以下、図４及び図５に基づいて、実施形態１の点灯検査回路ＱＤにおける検査用薄膜トランジスタＴＦＴの保護動作について詳細に説明する。

【００４７】

ただし、図４に示す検査用薄膜トランジスタＴＦＴの保護動作では、１度の静電スパークの発生に伴ってダミーの薄膜トランジスタＴＦＴ４が破壊される場合について説明する。また、以下の説明では、検査用薄膜トランジスタＴＦＴの内で、図中左側の薄膜トランジスタＴＦＴ１すなわちダミーの薄膜トランジスタに最も近い位置に形成される薄膜トランジスタＴＦＴ１の電荷に注目して説明する。さらには、図４中の記載においては、時刻ｔ０～ｔ１の範囲において、図中に示す電圧の変化を明確するために電圧Ｖ１，Ｖ２，Ｖ４がそれぞれ異なる電圧としているが、実際の電圧はＶ１＝Ｖ２＝Ｖ４となる。なお、点灯検査回路ＱＤを形成する他の検査用薄膜トランジスタＴＦＴにも電荷が移動することとなる。

【００４８】

図４に示すように、点灯検査回路ＱＤを構成する検査用薄膜トランジスタＴＦＴの内で、ダミーの薄膜トランジスタＴＦＴ４のソース・ドレイン電極の電荷量をＱ４、ソース・ドレイン電極の容量をＣ４、ソース・ドレイン電極の電位をＶ４とする。また、ダミー薄膜トランジスタＴＦＴ４に最も近い位置に配置される薄膜トランジスタＴＦＴ１のソース・ドレイン電極の電荷量すなわち画素から薄膜トランジスタＴＦＴ１のソース・ドレイン電極までの電荷量をＱ１、ソース・ドレイン電極の容量すなわち画素から薄膜トランジス

タＴＦＴ１のソース・ドレイン電極までの容量をＣ１、ソース・ドレイン電極の電位をＶ１とする。また、点灯検査回路ＱＤを構成する各検査用薄膜トランジスタＴＦＴに共通のゲート線（ゲート電極）となる制御信号線ＳＩＧにおける電荷量をＱ２、該制御信号線ＳＩＧの容量をＣ２、該制御信号線ＳＩＧの電位をＶ２とする。さらには、制御信号線ＳＩＧの近傍に配置されるフローティング状態の導電体であるフローティング電極ＦＬＴの電荷量をＱ３、該フローティング電極ＦＬＴの容量をＣ３、該フローティング電極ＦＬＴの電位をＶ３とする。また、以下の説明では、説明を簡単にするために、ラビング処理の進展に伴う有効表示領域（表示領域）ＡＲ内で発生する電荷による電圧上昇が直線的に変化する場合について説明するが、これに限定されるものではない。

【００４９】

以下、図４に示す各部の電位変化に基づいて、実施形態１の構成による点灯検査回路ＱＤを構成する薄膜トランジスタに対する保護動作を説明する。

【００５０】

（１）時刻ｔ０～ｔ１に示す範囲では、ラビング工程でのラビング処理の進展により、ラビング布と有効表示領域（表示領域）ＡＲ内を覆うように形成されている配向膜ＯＲＩとの接触で発生した電荷が配向膜に蓄積される。該配向膜と接触している画素電極のＩＴＯにも電荷が蓄積され、電位Ｖ１と電荷量Ｑ１は高くなる。ここで、電位Ｖ２と電荷量Ｑ２が電位Ｖ１と電荷量Ｑ１よりも低い場合、画素電極と制御信号線ＳＩＧとの間に電位差が発生し、Ｑ１＝Ｑ２となるように、蓄積された電荷が制御信号線ＳＩＧに移動する、すなわち点灯検査回路ＱＤの検査用薄膜トランジスタＴＦＴの半導体層（例えば、アモルファスシリコンａ－Ｓｉからなる）を介して電荷がソース・ドレイン電極からゲート電極に移動するため、電位Ｖ２と電荷量Ｑ２が高くなる。このとき、電位Ｖ１と電荷量Ｑ１は高い状態を維持する。このように、Ｖ１高，Ｖ２低（Ｖ１＞Ｖ２）→Ｖ２高，Ｖ１高となり、Ｑ１高，Ｑ２低（Ｑ１＞Ｑ２）→Ｑ２高，Ｑ１高となる。

【００５１】

このように、ラビング処理が開始されると、第１基板ＳＵＢ１の液晶面側（対向面側）とラビング布との摩擦により静電気が発生する。この静電気で生じた電荷が画素電極及び画素内のスイッチング用薄膜トランジスタＳＴＦＴを介してドレイン線ＤＬに移動し、該ドレイン線ＤＬに接続される点灯検査回路ＱＤに移動する。この電荷の移動により、点灯検査回路ＱＤを構成する薄膜トランジスタＴＦＴ１のドレイン電極側にも電荷が移動して、グラフＧ１で示すように、その電位Ｖ１が上昇する。このドレイン電極側の電位Ｖ１の上昇により、薄膜トランジスタＴＦＴ１のドレイン電極からゲート電極に電荷が移動して、グラフＧ２に示すように、制御信号線ＳＩＧの電位Ｖ２も電位Ｖ１と同様に上昇することとなる（時刻ｔ０～ｔ１）。

【００５２】

ここで、電位Ｖ４と電荷量Ｑ４が電位Ｖ２と電荷量Ｑ２よりも低い場合、Ｑ２＝Ｑ４となるようにダミーの薄膜トランジスタＴＦＴ４の半導体層を介して電荷がゲート電極からソース・ドレイン電極に移動するため、電位Ｖ４と電荷量Ｑ４が高くなる。このとき、電位Ｖ２と電荷量Ｑ２は高い状態を維持する。このように、電位Ｖ２高，Ｖ４低（Ｖ２＞Ｖ４）→Ｖ４高，Ｖ２高となり、Ｑ２高，Ｑ４低（Ｑ２＞Ｑ４）→Ｑ４高，Ｑ２高となる。

【００５３】

すなわち、制御信号線ＳＩＧは他の検査用薄膜トランジスタＴＦＴのゲート線（ゲート電極）とも接続される構成となっている。さらには、点灯検査回路ＱＤのダミーの薄膜トランジスタＴＦＴ４及び薄膜トランジスタＴＦＴ１は、ボトムゲート型のＭＩＳ構造の薄膜トランジスタとなるので、ソース電極とドレイン電極とは半導体層に直接接続される構成となっており、半導体層とゲート電極とはゲート絶縁膜を介して対向配置される構成となっている。また、制御信号線ＳＩＧは他の検査用薄膜トランジスタＴＦＴのゲート線（ゲート電極）とも接続される構成となっている。したがって、ラビング処理に伴う静電気の発生が続いて薄膜トランジスタＴＦＴ１のドレイン電極側の電位Ｖ１が上昇した場合、制御信号線ＳＩＧの電圧Ｖ２も上昇することとなる。その結果、ゲート絶縁膜を介して制

御信号線ＳＩＧと対向配置される半導体層の電荷量Ｑ４も大きくなり、グラフＧ４に示すように、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極の電位Ｖ４も、電位Ｖ１，Ｖ２と同様に上昇することとなる（時刻ｔ０～ｔ１）。

【００５４】

一方、制御信号線ＳＩＧの近傍に形成されるフローティング電極ＦＬＴは、薄膜トランジスタのゲート絶縁膜の膜厚等よりは大きい距離となるように形成されている。したがって、フローティング電極ＦＬＴの電位Ｖ３は初期の電位（例えば、Ｖ３＝０Ｖ（ゼロボルト））となり、時刻ｔ０～ｔ１の範囲においても、初期電位のままの一定電位で保持されることとなる。このとき、ｔ０～ｔ１の期間においては、電位Ｖ１，Ｖ２，Ｖ４はラビング処理に伴う静電気の発生が続くこととなるので、グラフＧ１，Ｇ２，Ｇ４に示すように、薄膜トランジスタＴＦＴ１のドレイン電極側の電位Ｖ１の上昇と共に、制御信号線ＳＩＧの電位Ｖ２及びダミーの薄膜トランジスタＴＦＴ４のドレイン電極の電位Ｖ４も上昇することとなる。その結果、実施形態１の構成では、フローティング電極ＦＬＴと制御信号線ＳＩＧとの間の電位差をＶとした場合、電位差Ｖ＝Ｖ２－Ｖ３が次第に大きくなる。

【００５５】

（２）電位Ｖ３と電荷量Ｑ３が電位Ｖ２と電荷量Ｑ２よりも低い場合、Ｑ２＝Ｑ３となるように、電荷が点灯検査回路ＱＤの検査用薄膜トランジスタＴＦＴ及びダミーの薄膜トランジスタＴＦＴ４のゲート電極となる制御信号線ＳＩＧからフローティング電極ＦＬＴに移動しようとする。ここで、電位Ｖ２－Ｖ３間が限界耐圧に達すると静電スパークが発生し（時刻ｔ１）、両電圧が同電位になろうと急激に電位変化する（時刻ｔ１～ｔ２）。このとき、電位Ｖ３と電荷量Ｑ３が高くなり、電位Ｖ２と電荷量Ｑ２は急激に低くなる。このように、Ｖ２高，Ｖ３低（Ｖ２＞Ｖ３）→Ｖ３高，Ｖ２低となり、Ｑ２高，Ｑ３低（Ｑ２＞Ｑ３）→Ｑ３高，Ｑ２低となる。

【００５６】

すなわち、時刻ｔ１において、電位差Ｖ＝Ｖ２－Ｖ３がフローティング電極ＦＬＴと制御信号線ＳＩＧとの間の限界耐圧（放電電圧，第２のスパーク電圧）Ｖｅｄに達した場合、フローティング電極ＦＬＴと制御信号線ＳＩＧとの間に放電スパーク（静電スパーク）が生じることとなる。この放電スパークにより、グラフＧ３に示すように、フローティング電極ＦＬＴの電位は時刻ｔ１～ｔ２の非常に短い時間で大きく上昇することとなる。また、制御信号線ＳＩＧに蓄積された電荷Ｖ２はフローティング電極ＦＬＴに移動することとなり、制御信号線ＳＩＧの電位Ｖ２は時刻ｔ１～ｔ２の非常に短い時間で急激に低下することとなる（時刻ｔ１～ｔ２）。静電スパーク等の発生にように、短時間に急激な電圧変化が生じる場合、比較的に大きな容量の電流が流れることとなる。このために、ラビング処理等により生じる静電気の蓄積時には大きな差が生じることがなかった制御信号線ＳＩＧの配線抵抗が大きな影響を与えることとなる。以下、詳細に説明する。

【００５７】

制御信号線ＳＩＧに比較的に大きな電流が生じる場合、図５に示すように、フローティング電極ＦＬＴの近傍からダミーの薄膜トランジスタＴＦＴ４を介して薄膜トランジスタＴＦＴ１に至るまでの制御信号線ＳＩＧの配線抵抗Ｒａ，Ｒｂの差が顕著に現れることとなり、電圧降下に差が生じることとなる。このために、図５に示すように、フローティング電極ＦＬＴの近傍における制御信号線ＳＩＧの電位をＶ２ａ、ダミーの薄膜トランジスタＴＦＴ４のゲート電極領域での制御信号線ＳＩＧの電位をＶ２ｂ、ＱＤ点灯検査回路の薄膜トランジスタＴＦＴ１のゲート電極領域での制御信号線ＳＩＧの電位をＶ２ｃとした場合、静電スパークの発生により、フローティング電極ＦＬＴの近傍における制御信号線ＳＩＧの電位Ｖ２ａは急激に低下し、フローティング電極ＦＬＴの電位Ｖ３とほぼ同じ電位まで低下することとなる（時刻ｔ２）。このとき、ダミーの薄膜トランジスタＴＦＴ４の近傍における制御信号線ＳＩＧの電位Ｖ２ｂは、制御信号線ＳＩＧの配線抵抗Ｒａによって電位低下が緩和されるので、制御信号線ＳＩＧの電位Ｖ２ａの変化よりも緩やかに低下することとなる。同様にして、制御信号線ＳＩＧの電位Ｖ２ｃは、制御信号線ＳＩＧの配線抵抗Ｒａと配線抵抗Ｒｂとの合計の配線抵抗（Ｒａ＋Ｒｂ）によって電位低下がさら

に緩和され、電位Ｖ２ｂの変化よりもさらに低下が緩やかとなる。

【００５８】

一方、前述するように、時刻ｔ２における薄膜トランジスタＴＦＴ１のドレイン電極の電位Ｖ１と、薄膜トランジスタＴＦＴ４のドレイン電極の電位Ｖ４とは、同一もしくはほぼ同一の電位となる。したがって、時刻ｔ１～ｔ２の期間におけるダミーの薄膜トランジスタＴＦＴ４のドレイン電極の電位Ｖ４と制御信号線ＳＩＧの電位Ｖ２ｂとの電位差をＶｂとし、薄膜トランジスタＴＦＴ１のドレイン電極の電位Ｖ１と制御信号線ＳＩＧの電位Ｖ２ｃとの電位差をＶｃとした場合、電位差Ｖｂが電位差Ｖｃよりも大きくなる。このとき、薄膜トランジスタＴＦＴ１と薄膜トランジスタＴＦＴ４とは同一の工程で形成されると共に、その形成位置が近接して配置されることとなるので、ほぼ同一の特性を有することとなる。したがって、静電スパークの発生によって、薄膜トランジスタＴＦＴの破壊が生じる場合、ダミーの薄膜トランジスタＴＦＴ４に破壊が生じることとなる。

【００５９】

（３）電荷量Ｑ２（電位Ｖ２ｂ）が電荷量Ｑ４（電位Ｖ４）よりも低い場合、Ｑ２＝Ｑ４となるように、ダミーの薄膜トランジスタＴＦＴ４の半導体層を介して電荷が当該薄膜トランジスタＴＦＴ４のソース・ドレイン電極からゲート電極（制御信号線ＳＩＧ）に移動するため、電荷量Ｑ２（電位Ｖ２）が高くなる。このとき、電荷量Ｑ４（電位Ｖ４）が急激に低下するために静電スパークが発生し、ダミーの薄膜トランジスタＴＦＴ４が破壊する。この場合、Ｖ４高，Ｖ２低（Ｖ４＞Ｖ２）→Ｖ２高，Ｖ４低となり、Ｑ４高，Ｑ２低（Ｑ４＞Ｑ２）→Ｑ２高，Ｑ４低となる。

【００６０】

すなわち、実施形態１の構成では、前述するように、時刻ｔ１～ｔ２の期間におけるダミーの薄膜トランジスタＴＦＴ４のドレイン電極の電位Ｖ４と制御信号線ＳＩＧの電位Ｖ２ｂとの電位差（第１のスパーク発生電圧）Ｖｂが、薄膜トランジスタＴＦＴ１のドレイン電極の電位Ｖ１と制御信号線ＳＩＧの電位Ｖ２ｃとの電位差Ｖｃよりも大きくなる。したがって、静電スパークに伴う制御信号線ＳＩＧの電位Ｖ２の急激な低下（降下）により、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極の電位Ｖ４と制御信号線ＳＩＧの電位Ｖ２ｂとの電位差Ｖｂが最も速く限界耐圧（第１のスパーク発生電圧）に達することとなる。その結果、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極と、ゲート電極である制御信号線ＳＩＧとの間に第２の静電スパークが発生し、ゲート絶縁膜が破壊されてショートすることとなる（時刻ｔ２）。ただし、この場合のゲート絶縁膜破壊は、ゲート電極とソース電極との間、または両方であってもよい。

【００６１】

この時刻ｔ２におけるダミーの薄膜トランジスタＴＦＴ４のゲート絶縁膜の破壊により、ドレイン電極（ソース電極）に蓄積されていた電荷Ｑ４が直ちに制御信号線ＳＩＧに供給されることとなる。その結果、時刻ｔ２～ｔ３におけるグラフＧ４に示すように、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極の電位Ｖ４は急激に低下する。一方、グラフＧ２のＶ２ｂに示すように、ゲート電極である制御信号線ＳＩＧの電位Ｖ２ｂは急激に上昇し、高くなる。その結果、時刻ｔ２～ｔ３において、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極から供給された電荷が配線抵抗Ｒａ，Ｒｂを介し、制御信号線ＳＩＧのフローティング電極ＦＬＴの近傍及び薄膜トランジスタＴＦＴ４のゲート電極領域にも供給されることとなり、それぞれの電位Ｖ２ａ，Ｖ２ｃも上昇する。この後、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極の電荷量Ｑ４と制御信号線ＳＩＧの電荷量Ｑ２とが等しくなると、制御信号線ＳＩＧ内の電荷の急激な移動すなわち大きな電流の発生が終了し、制御信号線ＳＩＧ内の電位が同じ電位Ｖ２となる（時刻ｔ３）。この時刻ｔ３では、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極の電位Ｖ４と制御信号線ＳＩＧの電位Ｖ２ｂとが同電位になることで電位Ｖ２が上がることとなる。このとき、時刻ｔ２においては、グラフＧ２ｂ，Ｇ２ｃから明らかなように、電位Ｖｃ＝Ｖ１－Ｖ２ｃは電位Ｖｂ＝Ｖ４－Ｖ２ｂよりも小さいので、点灯検査回路ＱＤの薄膜トランジスタＴＦＴ１は限界耐圧に達しない、すなわち検査用薄膜トランジスタＴＦＴは破壊されないこととなる。

【００６２】
（４）時刻ｔ３～ｔ４に示す範囲においても、ラビング処理による静電気の蓄積が継続されるので、グラフＧ１に示すように、点灯検査回路ＱＤの薄膜トランジスタＴＦＴ１の電位Ｖ１は時間の経過と共に上昇することとなる。したがって、ゲート絶縁膜の破壊により短絡された制御信号線ＳＩＧの電位Ｖ２とダミーの薄膜トランジスタＴＦＴ４のドレイン電極（ソース電極を含む）の電位Ｖ４も時間の経過と共に上昇することとなる。このとき、電位Ｖ２，Ｖ４は電位Ｖ１よりも低い電位となっているので、電位Ｖ２，Ｖ４はショート（短絡）したままでＶ１電圧に近づいていく。ただし、電位Ｖ２，Ｖ４の上昇度合は電位Ｖ１よりも大きくなるが、薄膜トランジスタＴＦＴ１のゲート絶縁膜を介した電荷の移動となるので、電位Ｖ１と電位Ｖ２（電位４）とにおける電位の上昇度合の差は比較的小さいものとなる。
【００６３】
（５）時刻ｔ４において、点灯検査回路ＱＤの各検査用薄膜トランジスタＴＦＴにおける容量Ｃが飽和すると、薄膜トランジスタＴＦＴ１のドレイン電極の電位Ｖ１の帯電も飽和することとなり、以降の薄膜トランジスタＴＦＴ１のドレイン電極の電位Ｖ１はこの飽和された電位Ｖ１となる。このときの電位Ｖ２，Ｖ４については、電位Ｖ１よりも低い電位となるので、引き続き時間の経過と共に上昇することとなる。ただし、時刻ｔ４からラビング処理が終了する時刻ｔ５の期間における電位Ｖ２，Ｖ４の上昇度合は、電位Ｖ１の上昇がなくなるので、時刻ｔ３～ｔ４における上昇度合よりもさらに小さい上昇度合となる。さらには、図４から明らかなように、フローティング電極ＦＬＴの電位Ｖ３は時刻ｔ１での静電スパークによって移動した電荷が保持され、上昇した電位がラビング処理の終了する時刻ｔ５まで維持されることとなる。したがって、フローティング電極ＦＬＴと制御信号線ＳＩＧとの間にも静電スパークは発生しないので、フローティング電極ＦＬＴと制御信号線ＳＩＧとの間に生じる静電スパークによって点灯検査回路ＱＤの検査用薄膜トランジスタＴＦＴが破壊されることはない。
【００６４】
その結果、フローティング電極ＦＬＴと制御信号線ＳＩＧとの間の静電スパークの発生に伴うダミーの薄膜トランジスタＴＦＴ４の破壊が生じた時刻ｔ２からラビング処理が終了する時刻ｔ５までの期間において、薄膜トランジスタＴＦＴ１のドレイン電極（ソース電極を含む）の電位Ｖ１と、そのゲート電極となる制御信号線ＳＩＧの電位Ｖ２（電位Ｖ２ｃ）との電位差がゲート絶縁膜破壊等を生じさせる限界耐圧に達することがなくなる。したがって、点灯検査回路ＱＤを形成する検査用薄膜トランジスタＴＦＴの破壊を防止することが可能となる。なお、図４中の時刻ｔ３～ｔ５においては、説明のために電位Ｖ２，Ｖ４が急速に上昇する（すなわち、上昇度合を示す傾斜が大きくなる）記載としているが、実際のラビング工程における電位Ｖ２，Ｖ４の上昇度合は図中の記載よりも小さなものとなるので、前述する効果を得ることが可能となる。
【００６５】
ただし、実施形態１の構成では、ダミーの薄膜トランジスタＴＦＴ４の容量Ｃ４が大きい方が好ましい。この場合、より多くの電荷を保持することができ、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極とゲート電極（制御信号線ＳＩＧ）との短絡時におけるゲート電極（制御信号線ＳＩＧ）への電荷供給量を増大させることが可能となるので、ダミーの薄膜トランジスタＴＦＴ４の破壊後における制御信号線ＳＩＧの電位Ｖ２及びダミーの薄膜トランジスタＴＦＴ４の電位Ｖ４（図４中の時刻ｔ３時における電位）を、より低い電位にまで低下させることが可能となる。その結果、時刻ｔ３～ｔ５までの期間における制御信号線ＳＩＧの電位Ｖ２（ダミーの薄膜トランジスタＴＦＴ４の電位Ｖ４）を低い電位に保持させることが可能となるからである。
【００６６】
以上説明したように、実施形態１の液晶表示装置では、少なくともラビング処理中に特定の電位に固定されない導電性薄膜層を備え、点灯検査回路ＱＤを形成する複数の第１の薄膜トランジスタ（検査用薄膜トランジスタ）ＴＦＴのゲート電極に接続される制御信号

線の近傍に配置されると共に、点灯検査回路ＱＤを形成する第１の薄膜トランジスタと導電性薄膜層との間に、ゲート電極が制御信号線に接続されると共に、ドレイン電極及びソース電極が特定の電位の信号線に接続されない第２の薄膜トランジスタ（ダミーの薄膜トランジスタ）を備える構成となっている。したがって、ラビング処理において生じる静電気が点灯検査回路ＱＤの検査用薄膜トランジスタＴＦＴのゲート電極に蓄積された場合であっても、このゲート電極と導電性薄膜層との間に生じる静電スパークによって低減できると共に、この静電スパークによって生じる検査用薄膜トランジスタＴＦＴのゲート電極とソース・ドレイン電極との間の急激な電圧変動すなわち検査用薄膜トランジスタＴＦＴのソース・ドレイン電極と制御信号線との間の急激な電圧変動を、第２の薄膜トランジスタ（ダミーの薄膜トランジスタ）のゲート電極とソース・ドレイン電極との間に生じる静電スパークによって解消することができるので、点灯検査回路ＱＤを形成する複数の検査用薄膜トランジスタの破壊を防止することができる。

【００６７】

なお、実施形態１の液晶表示装置では、フローティング電極ＦＬＴと制御信号線ＳＩＧとを同層の導電性薄膜で形成する構成としたが、これに限定されることはない。例えば、フローティング電極ＦＬＴを薄膜トランジスタＴＦＴ１，４のソース電極及びドレイン電極と同層の導電膜で形成し、第１基板ＳＵＢ１の面内方向の距離と、第１基板ＳＵＢ１の法線方向すなわち薄膜層の積層方向の距離との合計により、フローティング電極ＦＬＴと制御信号線ＳＩＧとの間に生じる静電スパークの電圧を調整する構成であってもよい。

【００６８】

また、実施形態１のフローティング電極ＦＬＴでは、その形状を矩形状に形成する場合について説明したが、その形状は矩形状に限定されることはなく、他の形状であってもよい。特に、フローティング電極ＦＬＴを形成する領域の形状に合わせた形状とすることにより、少ない面積で最適なフローティング電極ＦＬＴを形成できる。さらには、フローティング電極ＦＬＴを他の信号線と同様に線状の導電膜で形成する、または後述する実施形態２のダミーの薄膜トランジスタＴＦＴ４のドレイン電極のように、屈曲した線状の導電膜で形成する構成であってもよい。

【００６９】

（実施形態２）

図６は本発明の実施形態２の液晶表示装置における点灯検査回路の拡大図であり、実施形態１の図４に対応する図である。ただし、実施形態２の液晶表示装置は、点灯検査回路ＱＤに隣接して配置されるダミーの薄膜トランジスタＴＦＴ４の構成及びフローティング電極ＦＬＴの大きさを除く他の構成は実施形態１と同様の構成となる。したがって、以下の説明では、ダミーの薄膜トランジスタＴＦＴ４及びフローティング電極ＦＬＴの構成について詳細に説明する。

【００７０】

図６から明らかなように、実施形態２のダミーの薄膜トランジスタＴＦＴ４では、ドレイン電極から延在する延在部ＥＸＬを備える構成となっている。特に、実施形態２の延在部ＥＸＬはドレイン電極と同層に形成される導電膜材料で形成されている。また、実施形態２の延在部ＥＸＬは、点灯検査回路ＱＤを構成する検査用薄膜トランジスタＴＦＴ等のドレイン線と同様の配線幅を有する線状の導電膜で形成されている。このとき、実施形態２の構成では、少なくとも図中の上方に延在した後に、左方に屈曲して延在している。この後には、右方に屈曲して延在した後に、上方に延在し、さらに左方に屈曲して延在し、端部に至る構成となっている。このように、実施形態２の延在部ＥＸＬは、ドレイン電極の形成方向に延在すると共に、該延在方向と直交する方向に順次屈曲される構成となっている。この構成により、薄膜トランジスタＴＦＴ１のドレイン線の延在方向すなわち引き出し線の延在方向に対する大きさを小さくすると共に、配線長を大きく形成することを可能とし、ドレイン電極の有する容量Ｃ４を大きく形成する構成となっている。このとき、実施形態２のダミーの薄膜トランジスタＴＦＴ４においても、ソース電極及びドレイン電極並びに延在部ＥＸＬはフローティング状態となっている。

【００７１】
一方、図６に示すように、実施形態２のフローティング電極ＦＬＴにおいては、図中の上下方向及び左右方向の各辺の長さが実施形態１のフローティング電極ＦＬＴよりも大きく形成される構成となっている。この構成により、実施形態２の矩形状に形成されるフローティング電極ＦＬＴにおいては、実施形態１よりも容量Ｃ３が大きく形成されると共に、その膜厚及び導電膜材料が実施形態１と同様ならば、面積に比例した容量Ｃ３となる。
【００７２】
この構成からなる実施形態２の液晶表示装置においても、薄膜トランジスタＴＦＴ１のゲート電極（制御信号線ＳＩＧ）に蓄積され電荷を、ゲート電極と導電性薄膜層との間に生じる静電スパークによって低減できると共に、第２の薄膜トランジスタのゲート電極（制御信号線ＳＩＧ）とソース・ドレイン電極との間に生じる静電スパークによって制御信号線ＳＩＧの急激な電圧変動を解消することができるので、点灯検査回路ＱＤを形成する複数の検査用薄膜トランジスタＴＦＴの破壊を防止することができるという効果を得ることができる。
【００７３】
なお、実施形態２の液晶表示装置においては、フローティング電極ＦＬＴの容量Ｃ３及びダミーの薄膜トランジスタＴＦＴ４のドレイン電極側の容量Ｃ４を共に大きく形成する構成としたが、これに限定されることはなく、何れか一方の容量を大きくする構成であってもよい。この場合、前述する実施形態１と同様に、フローティング電極ＦＬＴの容量が大きい方が好ましい。
【００７４】
また、実施形態２の液晶表示装置においては、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極側から延在される配線を延長することにより、当該薄膜トランジスタＴＦＴ４のドレイン電極の容量を大きくする構成としたが、これに限定されることはない。例えば、フローティング電極ＦＬＴのような平板状の導電膜層を形成し、ドレイン電極と電気的に接続する構成であってもよい。
【００７５】
さらには、実施形態２の液晶表示装置においては、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極側の容量を大きくする構成としたが、図中下側のソース電極側に延在部ＥＸＬや平板状の導電膜を設ける構成であってもよく、さらには、ドレイン電極側及びソース電極側にそれぞれ延在部ＥＸＬや平板状の導電膜を設ける構成であってもよい。
【００７６】
（実施形態３）
図７は本発明の実施形態３の液晶表示装置における点灯検査回路の拡大図である。ただし、実施形態３の液晶表示装置においても、点灯検査回路ＱＤに隣接して配置されるダミーの薄膜トランジスタＴＦＴ４及びフローティング電極ＦＬＴの構成を除く他の構成は、実施形態１と同様の構成となる。したがって、以下の説明では、ダミーの薄膜トランジスタＴＦＴ４及びフローティング電極ＦＬＴの構成について詳細に説明する。
【００７７】
図７に示すように、実施形態３のダミーの薄膜トランジスタＴＦＴ４では、ドレイン電極の他端側に電極部ＥＸＰが形成される構成となっている。特に、実施形態３の電極部ＥＸＰはドレイン電極から延在する信号線の他端にドレイン電極と同層に形成される第１の導電膜ＣＮ１と、薄膜トランジスタの形成領域においてはゲート絶縁膜として機能する絶縁膜を介して、第１の導電膜ＣＮ１の下層に形成される第２の導電膜ＣＮ２とにより形成されている。
【００７８】
このとき、第１の導電膜ＣＮ１はダミーの薄膜トランジスタＴＦＴ４のドレイン電極と電気的に接続され、第２の導電膜ＣＮ２は他の導電膜とは接続されないフローティングの構成、すなわち他の信号線等から絶縁された構成となっている。この構成により、実施形態３の電極部ＥＸＰは、絶縁膜を介して重畳して配置される第１の導電膜ＣＮ１と第２の

導電膜ＣＮ２とにより、容量性の電極部ＥＸＰを形成する構成となっている。その結果、少ない専有面積でダミーの薄膜トランジスタＴＦＴ４のドレイン電極側の容量Ｃ４を大きくすることが可能となる。特に、実施形態３の構成においては、第１の導電膜ＣＮ１は薄膜トランジスタＴＦＴ１，ＴＦＴ４のソース電極及びドレイン電極を形成する工程、第２の導電膜ＣＮ２はゲート電極を形成する工程でそれぞれの導電膜を形成するので、実施形態３の電極部ＥＸＰを形成する工程を追加することなく、容量性の電極部ＥＸＰを形成できるという効果を得ることができる。

【００７９】

また、実施形態３の電極部ＥＸＰでは、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極に接続される第１の導電膜ＣＮ１よりも第２の導電膜ＣＮ２の面積が小さく形成されている。さらには、平面的に見て第１の導電膜ＣＮ１の辺部から第２の導電膜ＣＮ２の辺部が突出しない構成となっている。なお、実施形態３のダミーの薄膜トランジスタＴＦＴ４では、ソース電極は実施形態１と同様の構成となっているが、これに限定されることはない。例えば、前述するドレイン電極側と同様の構成であってもよく、さらには、ソース電極側に前述する電極部ＥＸＰを形成し、ドレイン電極側を実施形態１と同様の構成としてもよい。

【００８０】

一方、実施形態３のフローティング電極ＦＬＴにおいても、実施形態１と同様の形状を有する導電膜からなる第１の電極ＦＬＴ１の上層に、絶縁膜（ゲート絶縁膜）を介して導電膜からなる第２の電極ＦＬＴ２が形成される構成となっている。このとき、第１の電極ＦＬＴ１及び第２の電極ＦＬＴ２は、他の信号線等と接続されないフローティングの構成、すなわち他の信号線等からは絶縁された構成となっている。したがって、実施形態３では、絶縁膜を介して重畳配置される第１の電極ＦＬＴ１と第２の電極ＦＬＴ２とにより形成される容量性のフローティング電極ＦＬＴが構成される。よって、実施形態１と同様に面積であっても、フローティング電極ＦＬＴの容量Ｃ３を実施形態１よりも大きくすることが可能となる。

【００８１】

このとき、実施形態３のフローティング電極ＦＬＴでは、制御信号線ＳＩＧと同層に形成される第１の電極ＦＬＴ１よりも第２の電極ＦＬＴ２の面積が小さく形成されている。さらには、平面的に見て第１の電極ＦＬＴ１の辺部から第２の電極ＦＬＴ２を形成する導電膜が突出しない構成となっている。

【００８２】

この構成により、第１の電極ＦＬＴ１と第２の電極ＦＬＴ２とを形成する工程における位置合わせ精度に伴う制御信号線ＳＩＧとフローティング電極ＦＬＴとの間隔の変動、すなわち制御信号線ＳＩＧとフローティング電極ＦＬＴとの間に生じる静電スパークの発生電圧のバラツキ（変動）を抑えつつ、第１基板ＳＵＢ１に占めるフローティング電極ＦＬＴの面積を低減させることが可能となる。

【００８３】

以上説明したように、実施形態３のＱＤ点灯検査回路においても、制御信号線ＳＩＧの近傍にフローティング電極ＦＬＴが配置されると共に、該フローティング電極ＦＬＴとＱＤ点灯検査回路の薄膜トランジスタＴＦＴ１との間の領域にダミーの薄膜トランジスタＴＦＴ４が配置される構成となっているので、実施形態１と同様の効果を得ることができる。このとき、実施形態３のフローティング電極ＦＬＴ及びダミーの薄膜トランジスタＴＦＴ４のドレイン電極の接続される電極部ＥＸＰは、それぞれ絶縁膜を介してフローティングの導電膜と重畳配置される構成となっているので、面積を増加させることなく、容量Ｃ３，Ｃ４を増加できるという格別の効果が得られる。また、容量Ｃ３，Ｃ４を実施形態１よりも大きく形成できるので、静電スパークの発生後の制御信号線ＳＩＧの電位を実施形態１よりもさらに低い電位にできるという格別の効果を得ることができる。

【００８４】

なお、実施形態３の液晶表示装置では、下層の導電性薄膜よりも上層の導電性薄膜を小

さく形成してフローティング電極ＦＬＴを形成すると共に、電極部ＥＸＰにおいては上層の導電性薄膜よりも下層の導電性薄膜を小さく形成する構成としたが、その逆の構成であってもよい。

【００８５】

（実施形態４）

図８は本発明の実施形態４の液晶表示装置における点灯検査回路の拡大図である。ただし、実施形態４の液晶表示装置は、点灯検査回路ＱＤに隣接して配置されるダミーの薄膜トランジスタＴＦＴ４及び該薄膜トランジスタＴＦＴ４に接続される薄膜トランジスタＴＦＴ４ａ並びにフローティング電極ＦＬＴとなるフローティングの薄膜トランジスタＴＦＴ３を除く他の構成は、実施形態１と同様の構成となる。したがって、以下の説明では、ダミーの薄膜トランジスタＴＦＴ４と薄膜トランジスタＴＦＴ４ａ、及びフローティング電極ＦＬＴの構成について詳細に説明する。また、以下の説明においては、薄膜トランジスタＴＦＴ１，ＴＦＴ４については半導体層に電気的に接続される一対の電極の内で、図中上側の電極をドレイン電極と記し、図中下側の電極をソース電極と記し、薄膜トランジスタＴＦＴ４ａについては図中下側の電極をドレイン電極と記し、図中上側の電極をドレイン電極と記す。

【００８６】

図８から明らかなように、実施形態４の点灯検査回路ＱＤでは、フローティング電極ＦＬＴとして、他の信号線に接続されない薄膜トランジスタＴＦＴ３を用いると共に、ダミーの薄膜トランジスタＴＦＴ４と該薄膜トランジスタＴＦＴ４に接続される３つの薄膜トランジスタＴＦＴ４ａを備える構成となっている。特に、実施形態４におけるダミーの薄膜トランジスタＴＦＴ４，ＴＦＴ４ａの構成では、薄膜トランジスタＴＦＴ４は点灯検査回路ＱＤを構成する薄膜トランジスタＴＦＴ１と並設され、特に、直線形状をなす制御信号線ＳＩＧに重畳して半導体が形成され、ドレイン電極及びソース電極がそれぞれ形成されている。

【００８７】

一方、３個の薄膜トランジスタＴＦＴ４ａは薄膜トランジスタＴＦＴ４から離れた位置に形成されており、各薄膜トランジスタＴＦＴ４ａのゲート電極は、制御信号線ＳＩＧから分岐される制御信号線ＳＩＧに接続される構成となっている。また、各薄膜トランジスタＴＦＴ４ａのドレイン電極はそれぞれ電気的に接続されると共に、この薄膜トランジスタＴＦＴ４ａのドレイン電極はダミーの薄膜トランジスタＴＦＴ４のドレイン電極とも電気的に接続される構成となっている。一方、薄膜トランジスタＴＦＴ４ａのソース電極は、ダミーの薄膜トランジスタＴＦＴ４のソース電極と同様に、それぞれが他の信号線等に接続されないフローティングの構成となっている。ただし、実施形態４における３個の薄膜トランジスタＴＦＴ４ａは、点灯検査回路ＱＤを形成する検査用薄膜トランジスタＴＦＴと同じ並設方向の場合について説明したが、これに限定されることない。例えば、ドレイン線の延在方向すなわち検査用薄膜トランジスタＴＦＴの並設方向と直交する方向に並設される構成であってもよい。

【００８８】

以上に説明した構成により、ダミーの薄膜トランジスタＴＦＴ４のドレイン電極と各薄膜トランジスタＴＦＴ４ａのドレイン電極とを接続するための配線の容量と、３個の薄膜トランジスタＴＦＴ４ａにおけるドレイン電極とゲート電極との間の容量（寄生容量であるゲート・ドレイン間容量）と、当該ダミーの薄膜トランジスタＴＦＴ４のゲート電極とソース・ドレイン電極との間の容量との合計の容量が、ダミーの薄膜トランジスタＴＦＴ４の容量Ｃ４となる。すなわち、実施形態２，３と同様に，ダミーの薄膜トランジスタＴＦＴ４の容量Ｃ４を増大させることが可能となる。

【００８９】

さらには、実施形態４の構成では、制御信号線ＳＩＧの近傍に３個の薄膜トランジスタＴＦＴ３が形成される構成となっている。この３個の薄膜トランジスタＴＦＴ３により、フローティング電極ＦＬＴを形成する構成となっている。すなわち、実施形態４において

は、点灯検査回路ＱＤの検査用薄膜トランジスタＴＦＴと同様に、図中の左右方向に並設され、３個の薄膜トランジスタＴＦＴ３のゲート電極のみがそれぞれ接続される構成となっている。このとき、実施形態４の構成においては、３個の薄膜トランジスタＴＦＴ３のゲート電極を接続する信号線（配線）が制御信号線ＳＩＧと同じ工程すなわち同じ導電膜材料によって同層に形成されると共に、その伸延方向が制御信号線ＳＩＧと平行に形成される構成となっている。その結果、３個の薄膜トランジスタＴＦＴ３のソース電極及びドレイン電極並びにゲート電極の内で、ソース電極の端部が制御信号線ＳＩＧと近接されることとなる。したがって、実施形態４においては、各薄膜トランジスタＴＦＴ３のソース電極の他端側すなわち制御信号線ＳＩＧと近接される側と当該制御信号線ＳＩＧとの間隔に応じて、静電スパークが生じることとなる。よって、実施形態４の点灯検査回路ＱＤでは、薄膜トランジスタＴＦＴ３のソース電極の配線容量と、ソース・ドレイン電極とゲート電極との間の容量とを合計した容量が、実施形態４のフローティング電極ＦＬＴの容量Ｃ３となる。

【００９０】

この構成からなる実施形態４のフローティング電極ＦＬＴにおいても、実施形態１と同様に、静電スパークに発生により制御信号線ＳＩＧに蓄積される電荷Ｑ４を低減させることが可能となるので、実施形態１と同様の効果を得ることができる。さらには、実施形態３，４と同様に、容量Ｃ３，Ｃ４を実施形態１よりも大きく形成できるので、静電スパークの発生後の制御信号線ＳＩＧの電位を実施形態１よりもさらに低い電位にできるという格別の効果を得ることができる。

【００９１】

ただし、実施形態４の構成では、十分な容量Ｃ３を確保するために、３つの薄膜トランジスタＴＦＴ３を直列に接続する構成としている。このとき、実施形態４では、各薄膜トランジスタＴＦＴ３のソース電極を形成する導電膜の容量と共に、ソース・ドレイン電極とゲート電極との間の容量も用いる構成としている。さらには、点灯検査回路ＱＤを形成する検査用薄膜トランジスタＴＦＴと同じサイズの薄膜トランジスタＴＦＴ３を形成する構成としているので、各薄膜トランジスタＴＦＴ３のゲート電極のみが電気的に接続され、ソース電極及びドレイン電極が他の信号線等に接続されないフローティングとなる３つの薄膜トランジスタＴＦＴ３を用いる構成としている。

【００９２】

なお、実施形態４の構成では、薄膜トランジスタＴＦＴ４の代わりに薄膜トランジスタＴＦＴ４ａが先に破壊される場合も考えられるが、薄膜トランジスタＴＦＴ４，ＴＦＴ４ａ１のいずれの破壊であっても検査用薄膜トランジスタＴＦＴを保護することは可能となる。

【００９３】

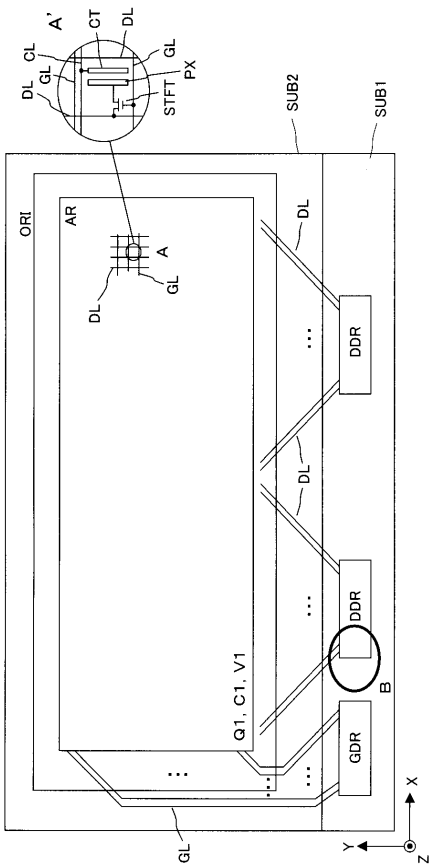
以上、本発明者によってなされた発明を、前記発明の実施形態に基づき具体的に説明したが、本発明は、前記発明の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

【符号の説明】

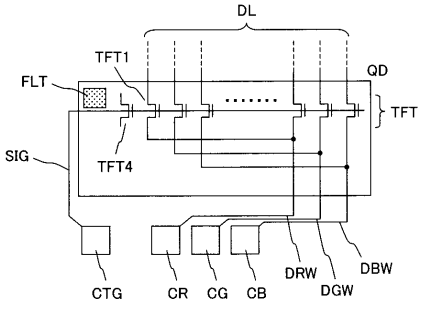
【００９４】

ＳＵＢ１……第１基板、ＳＵＢ２……第２基板、ＡＲ……表示領域、ＤＬ……ドレイン線
ＧＬ……ゲート線、ＣＬ……コモン線、ＴＦＴ……スイッチング用の薄膜トランジスタ
ＰＸ……画素電極、ＣＴ……共通電極、ＧＤＲ……走査信号駆動回路、ＰＤ……端子部
ＤＤＲ……映像信号駆動回路、ＱＤ……点灯検査回路、ＴＦＴ……薄膜トランジスタ
ＣＲ，ＣＧ，ＣＢ，ＣＴＧ……検査用端子、ＴＦＴ……検査用薄膜トランジスタ
ＴＦＴ４……ダミーの薄膜トランジスタ、ＦＬＴ……フローティング電極
ＳＩＧ……制御信号線、ＤＲＷ，ＤＧＷ，ＤＢＷ……検査用の配線、ＥＸＬ……延在部
ＴＨ……コンタクトホール、ＦＬＴ１……第１の電極、ＦＬＴ２……第２の電極
ＣＮ１……第１の導電膜、ＣＮ２……第２の導電膜、ＥＸＰ……電極部
ＴＦＴ３，ＴＦＴ４ａ……薄膜トランジスタ

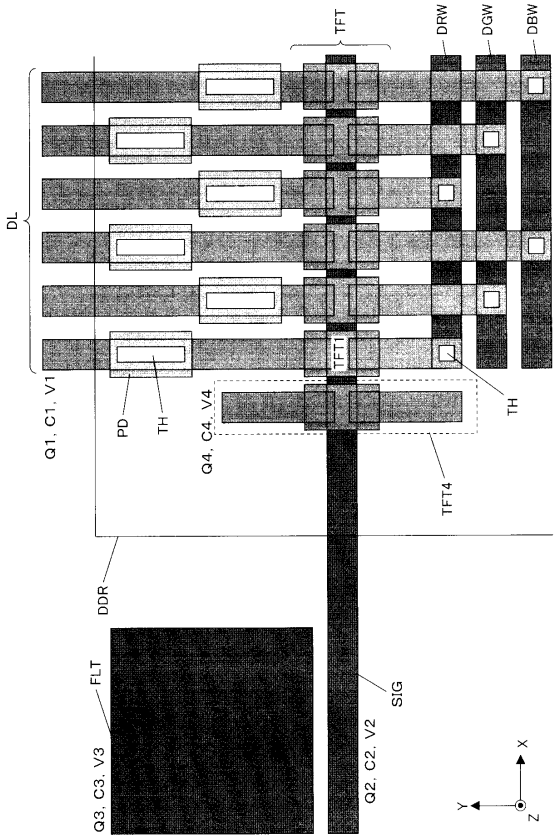
【図１】


A'
CT
DL
CL
GL
PX
STFT
SUB2
SUB1
ORI
AR
A
DDR
GDR
Q1, C1, V1
B
X
Y
Z

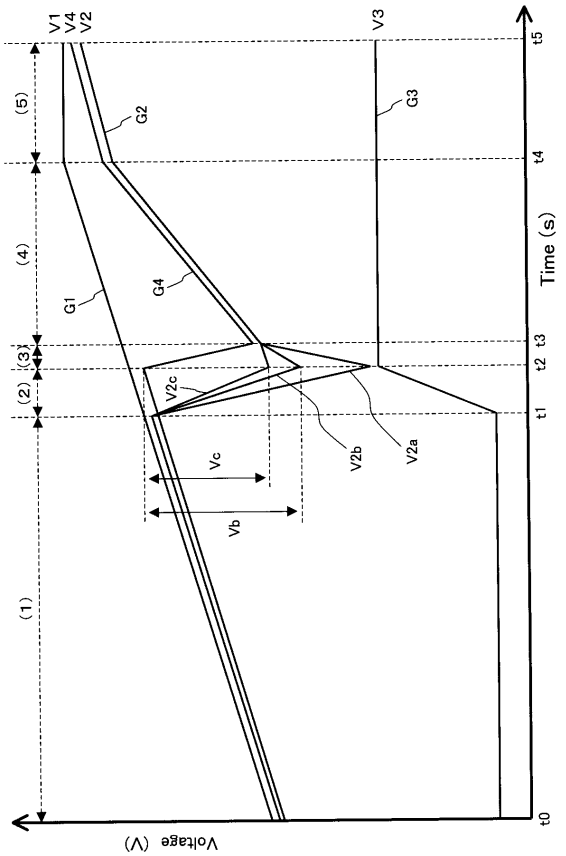
【図２】


DL
TFT1
FLT
QD
TFT
SIG
TFT4
CTG
CR
CG
CB
DRW
DGW
DBW

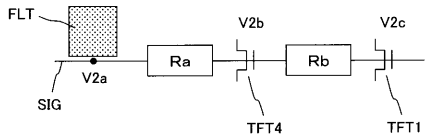
【図３】


TFT
DRW
DGW
DBW
DL
TFT1
Q1, C1, V1
PD
TH
Q4, C4, V4
TFT4
DDR
FLT
SIG
Q3, C3, V3
Q2, C2, V2
X
Y
Z

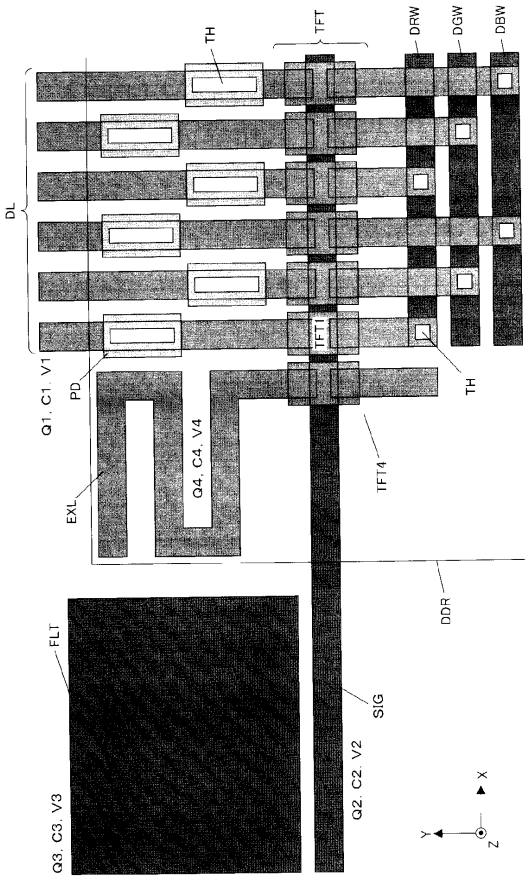
【図４】


V1
V4
V2
V3
G2
G3
G1
G4
(5)
(4)
(3)
(2)
(1)
V2c
Vc
Vb
V2b
V2a
t5
t4
t3
t2
t1
t0
Time (s)
Voltage (V)

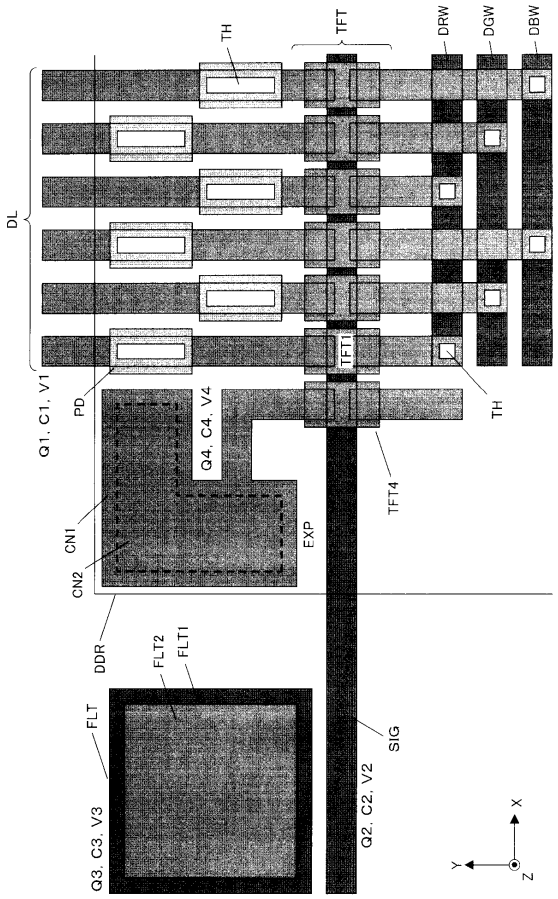
【図５】


FLT
V2b
V2c
Ra
Rb
V2a
SIG
TFT4
TFT1

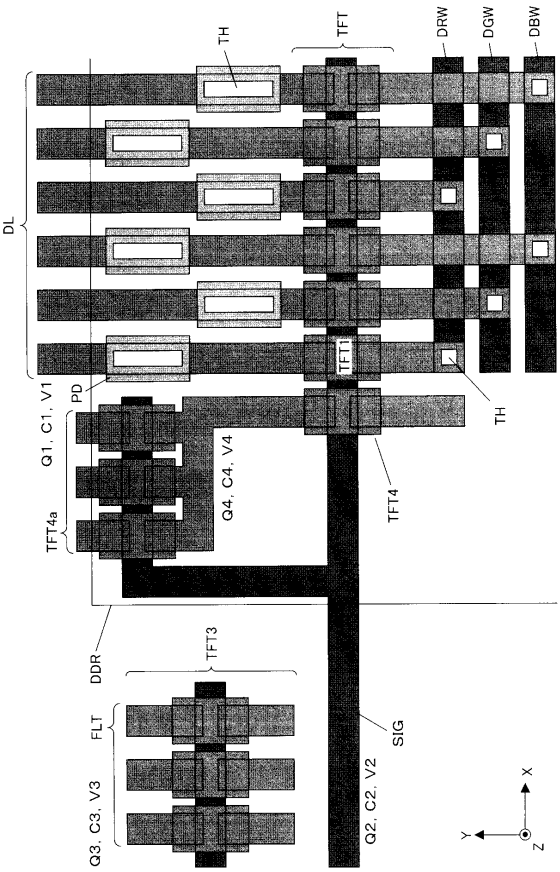
【図６】


TH
TFT
DRW
DGW
DBW
DL
TFT1
Q1. C1. V1
PD
TH
Q4. C4. V4
TFT4
EXL
DDR
FLT
SIG
Q2. C2. V2
Q3. C3. V3
X
Y
Z

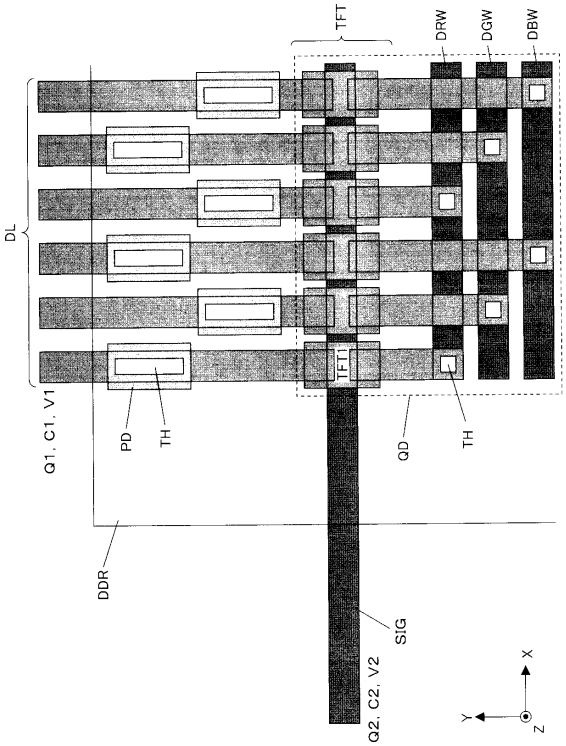
【図７】


TH
TFT
DRW
DGW
DBW
DL
TFT1
Q1. C1. V1
PD
TH
Q4. C4. V4
TFT4
CN1
CN2
EXP
DDR
FLT2
FLT1
FLT
SIG
Q2. C2. V2
Q3. C3. V3
X
Y
Z

【図８】


TH
TFT
DRW
DGW
DBW
DL
TFT1
Q1. C1. V1
PD
TH
Q4. C4. V4
TFT4
TFT4a
DDR
TFT3
FLT
SIG
Q2. C2. V2
Q3. C3. V3
X
Y
Z

【図９】



フロントページの続き

(51)Int.Cl. FI
H01L 29/78 612C

審査官 田辺 正樹

(56)参考文献 特開２００６－１２６６２１（ＪＰ，Ａ）
米国特許出願公開第２０１０／０１５５７２４（ＵＳ，Ａ１）
特開２００６－２２７２９１（ＪＰ，Ａ）
特開２００４－２７２０２８（ＪＰ，Ａ）
特開２００９－２７６７３４（ＪＰ，Ａ）
特開２０１０－１０２２３７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０２Ｆ１／１３－１／１４１
Ｇ０９Ｆ９／００－９／４６
Ｈ０１Ｌ２１／３３６、２７／３２、２９／７８６、５１／５０
Ｈ０５Ｂ３３／００－３３／２８