

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成23年2月3日 (2011.2.3)

【公表番号】特表2010-515199(P2010-515199A)

【公表日】平成22年5月6日 (2010.5.6)

【年通号数】公開・登録公報2010-018

【出願番号】特願2009-544161(P2009-544161)

【国際特許分類】

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/04 (2006.01)

G 1 1 C 16/06 (2006.01)

【F I】

G 1 1 C 17/00 6 1 1 F

G 1 1 C 17/00 6 2 2 E

G 1 1 C 17/00 6 4 1

G 1 1 C 17/00 6 3 3 D

【手続補正書】

【提出日】平成22年12月9日 (2010.12.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

不揮発性メモリであって、

NANDストリングの形に構成されたメモリセルアレイを備え、

各メモリセルはソースおよびドレインと、電荷蓄積素子と、コントロールゲートとを有する電荷蓄積トランジスタであり、

各NANDストリングはソース端とドレイン端とを有し、かつ一連の電荷蓄積トランジスタによって形成され、一連の電荷蓄積トランジスタは1セルのドレインによって隣接する電荷蓄積トランジスタのソースヘイジーチェーン接続され、ソース選択トランジスタによりソース端へ切り替え可能であり、かつドレイン選択トランジスタによりドレイン端へ切り替え可能であり、

各NANDストリングは第1のグループと第2のグループのメモリセルからなり、第2のグループのメモリセルはソース選択トランジスタかドレイン選択トランジスタに隣接し、第1のグループのメモリセルはNANDストリングにおいて第2のグループの補集合であり、

第1の所定ビット数のデータを、第1のグループの各メモリセルに蓄積する手段と、

第1の所定数に満たない第2の所定ビット数のデータを第2のグループの各メモリセルに蓄積する手段と、

も備える不揮発性メモリ。

【請求項 2】

請求項 1 記載の不揮発性メモリにおいて、

前記蓄積する手段は、NANDストリングの該当ページの中で共通のワード線を持つ 1 ページのメモリセルを並行してプログラムすることによる不揮発性メモリ。

【請求項 3】

請求項 2 記載の不揮発性メモリにおいて、

メモリセルページは、最初にそれぞれの電荷蓄積素子から電荷を取り除くことによって消去される不揮発性メモリ。

【請求項 4】

請求項 1 記載の不揮発性メモリにおいて、

第 1 の所定ビット数のデータは、2 ビットデータである不揮発性メモリ。

【請求項 5】

請求項 4 記載の不揮発性メモリにおいて、

2 ビットデータは論理第 1 ビットと論理第 2 ビットとからなり、

第 2 のグループは 2 つのメモリセルを含み、一方のメモリセルは論理第 1 ビットを蓄積し、他方のメモリセルは論理第 2 ビットを蓄積する不揮発性メモリ。

【請求項 6】

請求項 4 または 5 のいずれか記載の不揮発性メモリにおいて、

第 2 のグループは、2 ビットデータの論理ビットのうちの 1 論理ビットを各々蓄積する 2 つのメモリセルを含む不揮発性メモリ。

【請求項 7】

請求項 1 記載の不揮発性メモリにおいて、

第 1 の所定ビット数のデータは、3 ビットデータである不揮発性メモリ。

【請求項 8】

請求項 7 記載の不揮発性メモリにおいて、

3 ビットデータは論理第 1 ビットと、論理第 2 ビットと、論理第 3 ビットとからなり、

第 2 のグループは 2 つのメモリセルを含み、一方のメモリセルは論理第 1 ビットを蓄積し、他方のメモリセルは論理第 2 ビットおよび論理第 3 ビットを蓄積する不揮発性メモリ。

【請求項 9】

請求項 7 または 8 のいずれか記載の不揮発性メモリにおいて、

第 2 のグループは、3 ビットデータの論理ビットのうちの 1 または 2 論理ビットを各々蓄積する 2 つのメモリセルを含む不揮発性メモリ。

【請求項 10】

不揮発性メモリであって、

NAND ストリングの形に構成されたメモリセルアレイを備え、

各メモリセルはソースおよびドレインと、電荷蓄積素子と、コントロールゲートとを有する電荷蓄積トランジスタであり、

各 NAND ストリングはソース端とドレイン端とを有し、かつ一連の電荷蓄積トランジスタによって形成され、一連の電荷蓄積トランジスタは 1 セルのドレインによって隣接する電荷蓄積トランジスタのソースヘイジチェーン接続され、ソース選択トランジスタによりソース端へ切り替え可能であり、かつドレイン選択トランジスタによりドレイン端へ切り替え可能であり、

各 NAND ストリングは第 1 のグループと第 2 のグループのメモリセルからなり、第 2 のグループのメモリセルはソース選択トランジスタかドレイン選択トランジスタに隣接し、第 1 のグループのメモリセルは NAND ストリングにおいて第 2 のグループの補集合であり、

第 1 のグループのメモリセルは、第 1 の所定数のメモリ状態のいずれか 1 つまでプログラムできるように構成され、

第 2 のグループのメモリセルは、第 2 の所定数のメモリ状態のいずれか 1 つまでプログラムできるように構成され、第 2 の所定数は第 1 の所定数に満たない不揮発性メモリ。

【請求項 11】

請求項 10 記載の不揮発性メモリにおいて、

NAND ストリングの該当ページの中で共通のワード線を持つ 1 ページのメモリセルは、1 単位としてプログラムされ、かつ読み出される不揮発性メモリ。

【請求項 12】

請求項 1 1 記載の不揮発性メモリにおいて、  
メモリセルページは、最初にそれぞれの電荷蓄積素子から電荷を取り除くことによって  
消去される不揮発性メモリ。

【請求項 1 3】

請求項 1 0 記載の不揮発性メモリにおいて、  
第 1 の所定ビット数のデータは、2 ビットデータである不揮発性メモリ。

【請求項 1 4】

請求項 1 3 記載の不揮発性メモリにおいて、  
2 ビットデータは論理第 1 ビットと論理第 2 ビットとからなり、  
第 2 のグループは 2 つのメモリセルを含み、一方のメモリセルは論理第 1 ビットを蓄積  
し、他方のメモリセルは論理第 2 ビットを蓄積する不揮発性メモリ。

【請求項 1 5】

請求項 1 3 または 1 4 のいずれか記載の不揮発性メモリにおいて、  
第 2 のグループは、2 ビットデータの論理ビットのうちの 1 論理ビットを各々蓄積する  
2 つのメモリセルを含む不揮発性メモリ。

【請求項 1 6】

請求項 1 2 記載の不揮発性メモリにおいて、  
第 1 の所定ビット数のデータは、3 ビットデータである不揮発性メモリ。

【請求項 1 7】

請求項 1 6 記載の不揮発性メモリにおいて、  
3 ビットデータは論理第 1 ビットと、論理第 2 ビットと、論理第 3 ビットとからなり、  
第 2 のグループは 2 つのメモリセルを含み、一方のメモリセルは論理第 1 ビットを蓄積  
し、他方のメモリセルは論理第 2 ビットおよび論理第 3 ビットを蓄積する不揮発性メモリ  
。

【請求項 1 8】

請求項 1 6 または 1 7 のいずれか記載の不揮発性メモリにおいて、  
第 2 のグループは、3 ビットデータの論理ビットのうちの 1 または 2 論理ビットを各々  
蓄積する 2 つのメモリセルを含む不揮発性メモリ。

【請求項 1 9】

NAND ストリングの形に構成されたメモリセルアレイを有し、各メモリセルはソース  
およびドレインと、電荷蓄積素子と、コントロールゲートとを有する電荷蓄積トランジスタ  
であり、各 NAND ストリングはソース端とドレイン端とを有し、かつ一連の電荷蓄積  
トランジスタによって形成され、一連の電荷蓄積トランジスタは 1 セルのドレインによっ  
て隣接する電荷蓄積トランジスタのソースヘデイジーチェーン接続され、ソース選択トラ  
ンジスタによりソース端へ切り替え可能であり、かつドレイン選択トランジスタによりド  
レイン端へ切り替え可能である不揮発性メモリにデータを蓄積する方法であって、

各 NAND ストリングのメモリセルを、ソース選択トランジスタかドレイン選択トラン  
ジスタに隣接するメモリセルからなる第 2 のグループと、第 2 のグループの補集合にあた  
るメモリセルからなる第 1 のグループとに区別するステップと、

第 1 の所定ビット数のデータを第 1 のグループの各メモリセルに蓄積するステップと、  
第 1 の所定数に満たない第 2 の所定ビット数のデータを第 2 のグループの各メモリセル  
に蓄積するステップと、

を含む方法。

【請求項 2 0】

請求項 1 9 記載の方法において、  
前記蓄積するステップは、NAND ストリングの該当ページの中で共通のワード線を持  
つ 1 ページのメモリセルを並行してプログラムすることによる方法。

【請求項 2 1】

請求項 2 0 記載の方法において、  
メモリセルページは、最初にそれぞれの電荷蓄積素子から電荷を取り除くことによって

消去される方法。

【請求項 2 2】

請求項 1 9 記載の方法において、  
第 1 の所定ビット数のデータは、2 ビットデータである方法。

【請求項 2 3】

請求項 2 2 記載の方法において、  
2 ビットデータは論理第 1 ビットと論理第 2 ビットとからなり、  
第 2 のグループは 2 つのメモリセルを含み、一方のメモリセルは論理第 1 ビットを蓄積し、他方のメモリセルは論理第 2 ビットを蓄積する方法。

【請求項 2 4】

請求項 2 2 または 2 3 のいずれか記載の方法において、  
第 2 のグループは、2 ビットデータの論理ビットのうちの 1 論理ビットを各々蓄積する  
2 つのメモリセルを含む方法。

【請求項 2 5】

請求項 1 9 記載の方法において、  
第 1 の所定ビット数のデータは、3 ビットデータである方法。

【請求項 2 6】

請求項 2 5 記載の方法において、  
3 ビットデータは論理第 1 ビットと、論理第 2 ビットと、論理第 3 ビットとからなり、  
第 2 のグループは 2 つのメモリセルを含み、一方のメモリセルは論理第 1 ビットを蓄積し、他方のメモリセルは論理第 2 ビットおよび論理第 3 ビットを蓄積する方法。

【請求項 2 7】

請求項 2 5 または 2 6 のいずれか記載の方法において、  
第 2 のグループは、3 ビットデータの論理ビットのうちの 1 または 2 論理ビットを各々蓄積する 2 つのメモリセルを含む方法。

【請求項 2 8】

NAND ストリングの形に構成されたメモリセルアレイを有し、各メモリセルはソースおよびドレインと、電荷蓄積素子と、コントロールゲートとを有する電荷蓄積トランジスタであり、各 NAND ストリングはソース端とドレイン端とを有し、かつ一連の電荷蓄積トランジスタによって形成され、一連の電荷蓄積トランジスタは 1 セルのドレインによって隣接する電荷蓄積トランジスタのソースヘデイジーチェーン接続され、ソース選択トランジスタによりソース端へ切り替え可能であり、かつドレイン選択トランジスタによりドレイン端へ切り替え可能である不揮発性メモリにデータを蓄積する方法であって、

各 NAND ストリングのメモリセルを、ソース選択トランジスタかドレイン選択トランジスタに隣接するメモリセルからなる第 2 のグループと、第 2 のグループの補集合にあたるメモリセルからなる第 1 のグループとに区別するステップと、

第 1 の所定ビット数のデータを蓄積するように第 1 のグループの各メモリセルを構成するステップと、

第 1 の所定数に満たない第 2 の所定ビット数のデータを蓄積するように第 2 のグループの各メモリセルを構成するステップと、  
を含む方法。

【請求項 2 9】

請求項 2 8 記載の方法において、  
前記蓄積するステップは、NAND ストリングの該当ページの中で共通のワード線を持つ 1 ページのメモリセルを並行してプログラムすることによる方法。

【請求項 3 0】

請求項 2 9 記載の方法において、  
メモリセルページは、最初にそれぞれの電荷蓄積素子から電荷を取り除くことによって消去される方法。

【請求項 3 1】

請求項 2 8 記載の方法において、  
第 1 の所定ビット数のデータは、2 ビットデータである方法。

【請求項 3 2】

請求項 3 1 記載の方法において、  
2 ビットデータは論理第 1 ビットと論理第 2 ビットとからなり、  
第 2 のグループは 2 つのメモリセルを含み、一方のメモリセルは論理第 1 ビットを蓄積  
し、他方のメモリセルは論理第 2 ビットを蓄積する方法。

【請求項 3 3】

請求項 3 1 または 3 2 のいずれか記載の方法において、  
第 2 のグループは、2 ビットデータの論理ビットのうちの 1 論理ビットを各々蓄積する  
2 つのメモリセルを含む方法。

【請求項 3 4】

請求項 2 8 記載の方法において、  
第 1 の所定ビット数のデータは、3 ビットデータである方法。

【請求項 3 5】

請求項 3 4 記載の方法において、  
3 ビットデータは論理第 1 ビットと、論理第 2 ビットと、論理第 3 ビットとからなり、  
第 2 のグループは 2 つのメモリセルを含み、一方のメモリセルは論理第 1 ビットを蓄積  
し、他方のメモリセルは論理第 2 ビットおよび論理第 3 ビットを蓄積する方法。

【請求項 3 6】

請求項 3 4 または 3 5 のいずれか記載の方法において、  
第 2 のグループは、3 ビットデータの論理ビットのうちの 1 または 2 論理ビットを各々  
蓄積する 2 つのメモリセルを含む方法。