

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03F 3/217 (2006.01)



[12] 发明专利说明书

专利号 ZL 03810899.2

[45] 授权公告日 2009 年 1 月 28 日

[11] 授权公告号 CN 100456633C

[22] 申请日 2003.4.23 [21] 申请号 03810899.2

[30] 优先权

[32] 2002. 5. 16 [33] EP [31] 02076913.9

[86] 国际申请 PCT/IB2003/001706 2003.4.23

[87] 国际公布 WO2003/098796 英 2003.11.27

[85] 进入国家阶段日期 2004.11.15

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 M·贝克豪特

[56] 参考文献

WO0191286A 2001.11.29

CN1234648A 1999.11.10

CN1117774A 1996.2.28

US5361041A 1994.11.1

US6294954B1 2001.9.25

审查员 陈安安

[74] 专利代理机构 中科专利商标代理有限责任公
司

代理人 王波波

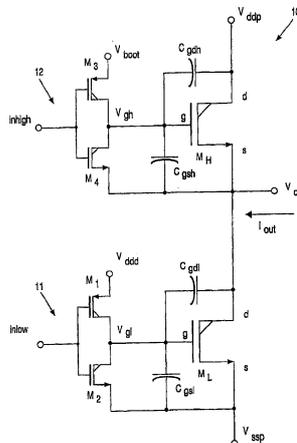
权利要求书 2 页 说明书 5 页 附图 2 页

[54] 发明名称

功率放大器末端级

[57] 摘要

在具有末端级(10)的推挽功率放大器中,其中两个功率晶体管(M_L, M_H)串联连接,通常使用空载时间来保证所述功率晶体管不同时导电。本发明提供一种末端级,其中可以省略空载时间。这通过以如下方式使驱动电路(11, 12)形成所需尺寸来实现:在转换期间所述功率晶体管的控制电压(V_{gh}, V_{gl})基本上同时跨越其阈值电平(V_T)。



1、用于推挽功率放大器的一种末端级电路，该末端级电路包括：

- 串联连接的第一和第二功率晶体管；以及
- 耦合到所述功率晶体管的相应控制端的第一和第二驱动电路，

其中所述功率晶体管具有阈值电压，在所述阈值电压之上所述功率晶体管是导电的，而在所述阈值电压之下所述功率晶体管是不导电的，

其中每个驱动电路被安排用于接收输入信号并且用于控制相应的功率晶体管以响应所述输入信号；以及

其中所述驱动电路被安排用于在接收到适当的输入信号时使所述功率晶体管在分别相反的方向上同时跨越其阈值电压，

其中第一驱动电路包括：连接在第一辅助电源电压和第一功率晶体管的控制端之间的第一驱动晶体管；和连接在所述控制端和第一功率晶体管的主要端之间的第二驱动晶体管；以及其中第二驱动电路包括：连接在第二辅助电源电压和第二功率晶体管的控制端之间的第三驱动晶体管；和连接在所述控制端和第二功率晶体管的主要端之间的第四驱动晶体管。

2、根据权利要求1的末端级电路，其中第二驱动晶体管的电阻与第二驱动晶体管和第三驱动晶体管的电阻之和的比等于阈值电压与第二辅助电源电压之比。

3、根据权利要求1的末端级电路，其中第一驱动晶体管的电阻和第一驱动晶体管和第四驱动晶体管的电阻之和的比等于阈值电压与第一辅助电源电压之比。

4、根据权利要求1的末端级电路，还包括耦合到驱动电路并且同时在输入端上提供转换信号的电平移动器。

5、根据权利要求1的末端级电路，被实施在集成电路中。

6、一种D类放大器，包括根据前述任一项权利要求的末端级电路。

7、控制推挽放大器的末端级的一种方法，所述末端级包括串联连接的第一和第二功率晶体管；以及耦合到所述功率晶体管的相应控制端的

第一和第二驱动电路，其中，所述功率晶体管具有阈值电压，在所述阈值电压之上所述功率晶体管是导电的，而在所述阈值电压之下所述功率晶体管是不导电的，该方法包括以下步骤：

接收输入信号并且用于控制相应的功率晶体管以响应所述输入信号；

在接收到适当的输入信号时使所述功率晶体管在同时接收到相反的输入信号时同时在分别相反的方向上跨越其阈值电压，

其中第一驱动电路包括：连接在第一辅助电源电压和第一功率晶体管的控制端之间的第一驱动晶体管；和连接在所述控制端和第一功率晶体管的主要端之间的第二驱动晶体管；以及其中第二驱动电路包括：连接在第二辅助电源电压和第二功率晶体管的控制端之间的第三驱动晶体管；和连接在所述控制端和第二功率晶体管的主要端之间的第四驱动晶体管。

功率放大器末端级

技术领域

本发明涉及功率放大器末端级。更具体地，本发明涉及用于推挽型放大器的末端级电路，所述末端级电路包括串联连接的两个功率晶体管以及耦合到所述晶体管的相应控制端的驱动电路。

背景技术

在功率放大器中，通常将两个功率晶体管串联连接以形成末端级，每个晶体管的一端耦合到所述放大器的输出端。驱动电路向所述功率晶体管的控制端提供适当的驱动信号。在D类放大器中，其中功率晶体管基本上作为开关工作，通常使用FET（场效应晶体管）型晶体管。由于功率晶体管是串联连接的，所以应当避免它们同时导电，因为这将在末端级中引起过电流，这可能毁坏所述晶体管。因此，设计所述驱动电路，以引入所谓的空载时间，在空载时间期间晶体管均不导电。然而，已经发现此空载时间引起输出信号的失真。

在欧洲专利申请EP 1003279中公开了在半桥中包含两个MOSFET的D类放大器。图1中所示的所述文献中的放大器还包括积分器、脉宽调制器、栅极驱动器、电平移动器以及低通输出滤波器。未公开电平移动电路和栅极驱动器的细节。所述文献确认对空载时间的需要并建议为这两个功率晶体管提供对称的延迟，以使得由空载时间引起的失真最小化。然而，仍然残余一些由空载时间引起的失真。

发明内容

本发明的一个目的是解决与现有技术相关的这个问题和其它问题，并提供用于功率放大器的末端级，其中基本上不出现空载时间失真。

因此，本发明提供用于推挽功率放大器的一种末端级电路，该末端级电路包括：

- 串联连接的第一和第二功率晶体管；和
- 耦合到所述功率晶体管的相应控制端的第一和第二驱动电路，

其中所述功率晶体管具有阈值电压，在所述阈值电压之上所述功率晶体管是导电的，而低于所述阈值电压所述功率晶体管基本上是不

导电的，

其中每个驱动电路被安排用于接收输入信号并且用于响应于所述输入信号而控制相应功率晶体管；以及

其中所述驱动电路被安排用于在接收到适当的输入信号时使所述功率晶体管在分别相反的方向上基本上同时跨越（cross）其阈值电压。

通过使功率晶体管基本上同时跨越其阈值电压，一个晶体管被接通，同时另一个晶体管被关断。这样，同时避免了所述功率晶体管的导电周期的重叠和空载时间。本发明是基于这样的认识，即，当控制电压（栅电压）跨越 FET 型晶体管的阈值电压时，该晶体管的接通和关断不是即时的，而牵涉一个（短的）过渡周期。在应避免两个晶体管同时导电的同时，允许两个晶体管都处于此过渡之中。这在两个控制（即，栅）电压都具有足够大但是相反的梯度时尤其是真实的。

优选两个驱动电路基本上同时即在几纳秒的时间间隔内接收相反的输入信号。这简化了驱动电路的设计。然而，对于未基本上同时到达驱动电路的输入端上的输入信号建立适当的延迟是可能的。在本文中，相反的输入信号理解为在相反方向中具有步进或梯度的输入信号，优选一个信号从“高”转换为“低”，而另一个信号从“低”转换为“高”。

注意：本发明克服了空载时间对于推挽放大器的适当操作是必要的这一偏见。正如在前述的欧洲专利申请中所证明的一样，空载时间的必要性被广泛接受，即使已知它具有诸如引入信号失真的缺点。

在一个优选实施例中，第一驱动电路包括：连接在第一辅助电源电压和第一功率晶体管的控制端之间的第一驱动晶体管；以及连接在所述控制端和第一功率晶体管的主要端（main terminal）之间的第二驱动晶体管；而第二驱动电路包括：连接在第二辅助电源电压和第二功率晶体管的控制端之间的第三驱动晶体管；以及连接在所述控制端和第二功率晶体管的主要端之间的第四驱动晶体管。

所述主要端优选地是功率晶体管的源极，控制端是栅极。在这种情况下，电源电压相对于功率晶体管的源极是正的。有利地，在每个驱动电路中，连接第一和第二驱动晶体管的漏极，栅极接收所述输入信号。

根据本发明的一个重要方面，第二驱动晶体管的电阻与第二驱动晶体管和第三驱动晶体管的电阻之和的比基本等于阈值电压和第二辅助电源电压的比。在此方面术语“电阻”是在晶体管导电时其漏极-源极电阻，而术语“第二辅助电源电压”是指第二驱动电路的辅助电源电压。第一和第二辅助电源电压可以是但是不必要等于功率晶体管之一的电源电压。

类似地，第一驱动晶体管的电阻与第一驱动晶体管和第四驱动晶体管的电阻之和的比优选地基本上等于阈值电压和第一辅助电源电压的比。将在后面进行详细解释的这些比提供由驱动电路提供给功率晶体管的控制电压的适当定时。

有利地，根据本发明的末端级电路进一步包括耦合到驱动电路的电平移动器，该电平移动器基本上同时在输入端上提供转换信号。在国际专利申请 WO 01/91281 (飞利浦) 中公开的电平移动器尤其适用于本发明，其全部内容在此引入作为参考。所述电平移动器是快速的，以便向驱动电路提供适合的输入信号。

本发明也提供包括如上定义的末端级电路的 D 类放大器。

本发明还提供控制推挽放大器的末端级的一种方法，所述末端级包括两个串联连接的功率晶体管，所述晶体管具有阈值电压，在此阈值电压之上它们是导电的，而在此阈值电压之下它们基本上是不导电的，该方法包括以下步骤：在基本上同时接收到相反的输入信号时，使所述功率晶体管在分别相反的方向上基本上同时跨越其阈值电压。

附图说明

下面将参照附图中所示出的示例性实施例进一步解释本发明，其中：

图 1 示意性示出了根据本发明的末端级电路；

图 2 示意性示出了根据本发明的 D 类放大器。

具体实施方式

在图 1 中仅利用非限制性实例方式示出的功率放大器末端级电路 10 包括第一功率晶体管 M_L 、第二功率晶体管 M_H 、第一驱动电路 11 和第二驱动电路 12。这些功率晶体管是串联连接的，第一（“低侧”）功率晶体管 M_L 的漏极 (d) 连接到第二（“高侧”）功率晶体管 M_H 的源极 (s)。这两个功率晶体管的连接构成了该末端级的输出端，在该输

出端上提供输出电压 V_{out} 。输出电流 I_{out} 表示为流入该末端级。第一功率晶体管 M_L 的源极连接到第一（负的）电源电压 V_{ssp} ，而第二功率晶体管 M_H 的漏极连接到第二（正的）电源电压 V_{ddp} 。

每个驱动电路 11、12 分别包括一对晶体管 M_1 、 M_2 和 M_3 、 M_4 。每对的栅极连接到一个输入端，以便分别接收输入信号 $inlow$ 、 $inhigh$ ，而每对的漏极分别连接到相应功率晶体管的栅极（ g ）。每个驱动电路的第一驱动晶体管 M_1 、 M_3 的源极分别连接到辅助电源电压 V_{ddd} 、 V_{boot} 。每个驱动电路的第二驱动晶体管 M_2 、 M_4 的源极分别连接到对应的功率晶体管 M_L 、 M_H 的源极。

分别在第一和第二功率晶体管的栅极和漏极之间出现电容 C_{gd1} 和 C_{gdh} 。类似地，分别在第一和第二功率晶体管的栅极和源极之间出现电容 C_{gs1} 和 C_{gsh} 。由于这些电容不是由于设计而是由于晶体管的物理特性而存在的，所以这些电容是“寄生的”。

末端级电路 10 如下操作。假设第一功率晶体管 M_L 是导电的。这使得输出电压 V_{out} 为低。进一步假设输出电流 I_{out} 为零，并且输出信号同时改变，即，第一输入信号 $Inlow$ 从“低”变到“高”，而第二输入信号 $Inhigh$ 从“高”变到“低”。结果，第一功率晶体管 M_L 的栅极通过第二驱动晶体管 M_2 被放电，而第二功率晶体管 M_H 的栅极通过第三驱动晶体管 M_3 被充电。注意，第一功率晶体管 M_L 的栅极电压 V_{g1} 原始近似等于 V_{ddd} ，而第二功率晶体管 M_H 的栅极电压 V_{gh} 原始近似等于 V_{out} ， V_{out} 又近似等于 V_{ssp} 。

根据本发明的一个重要方面，第二驱动晶体管 M_2 的电阻 R_{on2} 与第三驱动晶体管 M_3 的电阻 R_{on3} 和第二驱动晶体管 M_2 的电阻 R_{on2} 之和的比基本上等于阈值电压 V_T 与第二辅助电源电压 V_{boot} 之比：

$$R_{on2} / (R_{on2} + R_{on3}) \approx V_T / V_{boot}$$

在此方面术语“电阻”是晶体管在导电时的源-漏极电阻，因此为 R_{on} 。

类似地，第一驱动晶体管 M_1 的电阻 R_{on1} 与第一驱动晶体管 M_1 的电阻 R_{on1} 和第四驱动晶体管 M_4 的电阻 R_{on4} 之和的比基本上等于阈值电压 V_T 与第一辅助电源电压 V_{ddd} 的比：

$$R_{on1} / (R_{on1} + R_{on4}) \approx V_T / V_{ddd}$$

由于这些比， M_L 的栅极的放电比 M_H 的栅极的充电快。结果，功率晶体管 M_L 和 M_H 的栅极-源极电压基本上同时跨越其阈值电压 V_T （大约为2.5V）。

这将使得第一功率晶体管 M_L 开始导电以及第二功率晶体管 M_H 停止导电。即使此过渡持续几纳秒（ns），这也不是立即的，并且在一个短暂的时间周期期间 M_L 将变得更导电而 M_H 变得更不导电。然而，在此过渡周期期间没有一个晶体管是完全导电的，因此避免了任何相当大的涡流流过两个功率晶体管。因为两个功率晶体管在实际上相同的时刻转换，所以消除了空载时间，因而避免了由于这样的空载时间引起的任何失真。

包括本发明的末端级10的放大器100可以进一步包括脉宽调制器20、电平移动器30和低通输出滤波器40。在图2中示意性示出了这样的放大器。

有利地，在集成电路（IC）中结合本发明的电路。这将使得所有的组成部件具有相似的物理特性并具有基本相同的温度，因而使得设计更简单。特别地，这将提供第一和第二功率晶体管实际上是相同的可能性。

如上所说明的，本发明通过提供其中不需要空载时间的末端级，消除了功率末端级中由于空载时间引起的失真。构造驱动电路，以便小心地定时功率晶体管的导电周期，在基本消除空载时间的同时避免这些周期的重叠。驱动电路的设计是基于这样的认识：FET型晶体管的阈值电压定义了接通和关断区域而不是尖的接通或关断点。假定栅极信号具有足够的相反符号的梯度，则两个栅极信号能够基本同时达到阈值电压。

注意，在本文件中使用的任何术语不应当被认为限制本发明的范围。特别地，字“包括”并不意味着排除未具体描述的任何元件。单个（电路）元件可以使用多个（电路）元件或其等效物来代替。

因此，本领域的技术人员将理解，本发明并不限于上述的实施例，并且不脱离由所附权利要求书定义的本发明的范围，可以作出很多修改和增加。

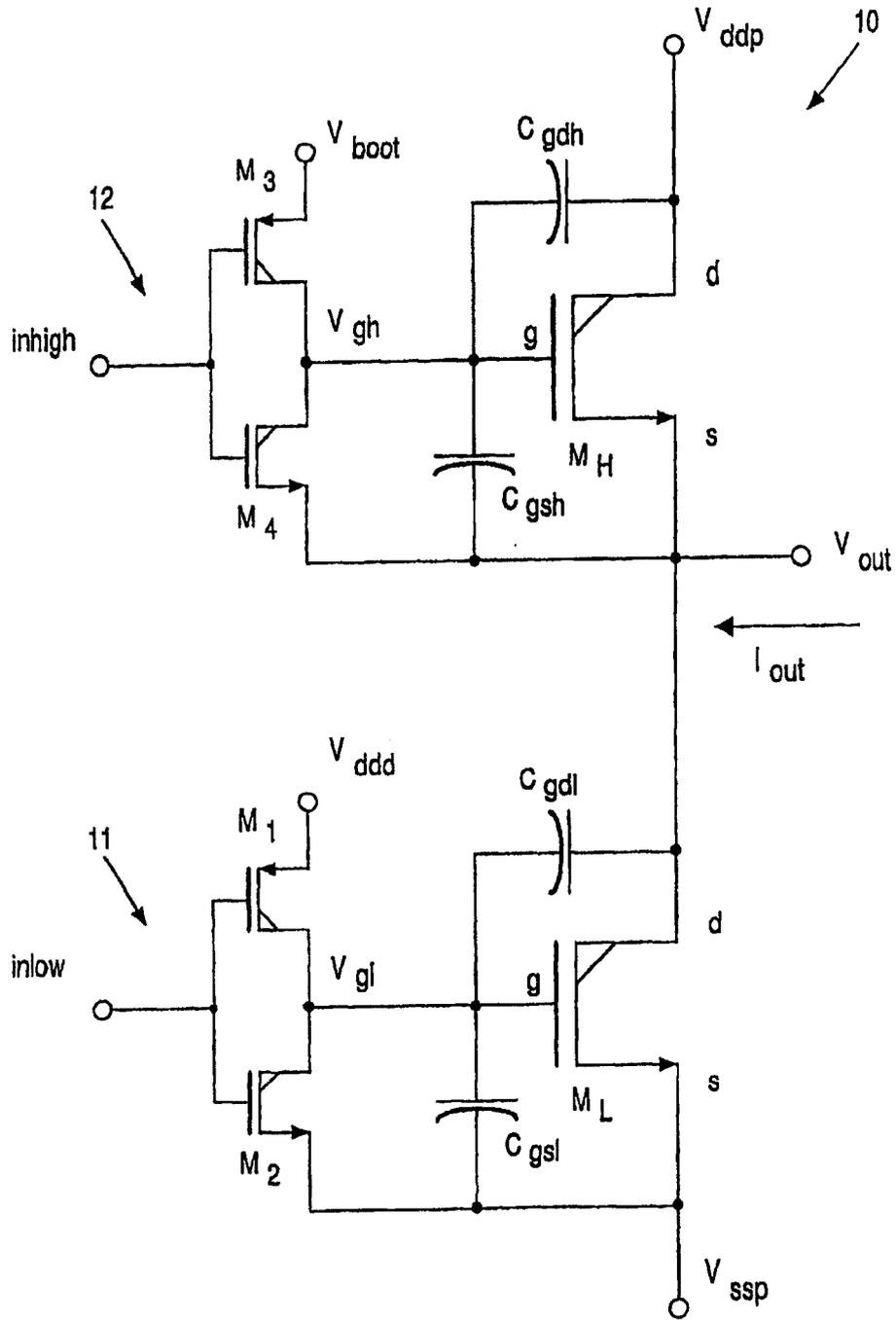


图 1

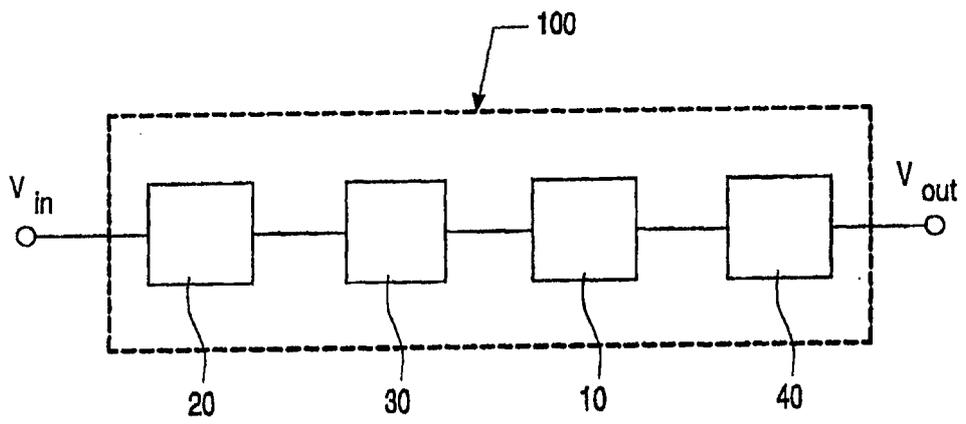


图 2