

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4034137号  
(P4034137)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int. Cl.

F I

G 1 1 C 19/00 (2006.01)

G 1 1 C 19/00 J

G 1 1 C 19/28 (2006.01)

G 1 1 C 19/28 B

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 5 O

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 2 2 E

G O 9 G 3/36 (2006.01)

G O 9 G 3/20 6 2 3 H

請求項の数 5 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2002-205961 (P2002-205961)

(22) 出願日 平成14年7月15日(2002.7.15)

(65) 公開番号 特開2003-141893 (P2003-141893A)

(43) 公開日 平成15年5月16日(2003.5.16)

審査請求日 平成16年9月30日(2004.9.30)

(31) 優先権主張番号 特願2001-216040 (P2001-216040)

(32) 優先日 平成13年7月16日(2001.7.16)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 納 光明

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 堀江 義隆

(56) 参考文献 特開平11-134893 (JP, A)

特開平05-216441 (JP, A)

最終頁に続く

(54) 【発明の名称】 シフトレジスタ及び表示装置

(57) 【特許請求の範囲】

【請求項1】

r ( r は 3 以上の自然数 ) 個の段を有し、

前記 r 個の段はそれぞれ、クロックパルス及び前記クロックパルスの極性が反転した反転クロックパルスに同期して信号を出力する第 1 のクロックドインバータと第 2 のクロックドインバータとを有し、

前記第 1 のクロックドインバータ及び前記第 2 のクロックドインバータは高電源電位または低電源電位を出力し、

前記第 1 のクロックドインバータの出力端子と前記第 2 のクロックドインバータの出力端子とは接続され、

前記第 1 のクロックドインバータの出力信号の極性を反転させて前記第 2 のクロックドインバータに入力する手段を有し、

第 k ( k は 3 以上 r 以下の自然数 ) 段の前記第 1 のクロックドインバータにおいて、前記低電源電位に保たれた配線と出力端子とは、第 1 の n チャネル型 T F T 及び前記第 1 の n チャネル型 T F T と直列に接続された第 2 の n チャネル型 T F T を介して接続され、

前記第 1 の n チャネル型 T F T のゲート電極には、第 ( k - 1 ) 段の前記第 1 のクロックドインバータの出力信号の極性を反転させた信号が入力され、

前記第 2 の n チャネル型 T F T のゲート電極は、第 ( k - 2 ) 段の第 1 のクロックドインバータの出力信号が入力されることを特徴とするシフトレジスタ。

【請求項2】

請求項 1 において、

前記クロックパルスの振幅電圧は前記高電源電位と前記低電源電位との電位差よりも小さいことを特徴とするシフトレジスタ。

【請求項 3】

請求項 1 または請求項 2 において、

前記シフトレジスタを用いた駆動回路を有することを特徴とする表示装置。

【請求項 4】

請求項 1 または請求項 2 において、

前記シフトレジスタを用いた駆動回路と、

単結晶 IC 基板上に形成されたパルス信号制御回路を有し、

前記シフトレジスタは絶縁面を有する基板上に形成され、

前記パルス信号制御回路は前記クロックパルスを前記シフトレジスタへ出力することを特徴とする表示装置。

【請求項 5】

請求項 1 または請求項 2 において、

前記シフトレジスタを用いた駆動回路を有することを特徴とする携帯情報端末、パーソナルコンピュータ、画像再生装置、テレビ、ヘッドマウントディスプレイまたはカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シフトレジスタに関する。特に、薄膜トランジスタ（以下、TFTと表記する）を用いて構成されたシフトレジスタ及びその駆動方法に関する。

【0002】

【従来の技術】

クロックパルス及びスタートパルスを入力することで、順次、パルス（サンプリングパルス）を出力するシフトレジスタは、様々な回路に用いられている。中でも、マトリクス状に配置された複数の画素を有する表示装置において、シフトレジスタは、各画素を選択し、また選択された画素に信号を入力する、ソース信号線駆動回路やゲート信号線駆動回路として用いられている。

【0003】

ここで、一般のシフトレジスタの構造の例を、図5に示す。シフトレジスタは、第1段～第 $r$ （ $r$ は、3以上の自然数）段を有している。それぞれの段は、第1のクロックドインバータCKINV1と、第2のクロックドインバータCKINV2と、インバータINVとによって構成されてる。

【0004】

一般に、第 $i$ （ $i$ は、 $r$ 以下の自然数）段をSR $_{i}$ と表記する。第 $i$ 段を構成する第1のクロックドインバータ、第2のクロックドインバータ及びインバータをCKINV1 $_{i}$ 、CKINV2 $_{i}$ 、INV $_{i}$ と表記する。

【0005】

第1段SR $_{1}$ において、第1のクロックドインバータCKINV1 $_{1}$ の入力端子には、外部からスタートパルスSPが入力されており、第1のクロックドインバータCKINV1 $_{1}$ の出力端子は、インバータINV $_{1}$ の入力端子、及び第2のクロックドインバータCKINV2 $_{1}$ の出力端子に接続されている。第2のクロックドインバータCKINV2 $_{1}$ の入力端子は、インバータINV $_{1}$ の出力端子に接続されている。インバータINV $_{1}$ の出力端子が第1段SR $_{1}$ の出力端子に相当する。

【0006】

第2段SR $_{2}$ において、第1のクロックドインバータCKINV1 $_{2}$ の入力端子は、第1段SR $_{1}$ のインバータINV $_{1}$ の出力端子に接続され、第1のクロックドインバータCKINV1 $_{2}$ の出力端子は、インバータINV $_{2}$ の入力端子、及び第2のクロックドインバータCKINV2 $_{2}$ の出力端子に接続されている。第2のクロックドイン

10

20

30

40

50

バータCKINV2\_\_2の入力端子は、インバータINV\_\_2の出力端子に接続されている。インバータINV\_\_2の出力端子が、第2段SR\_\_2の出力端子に相当する。

【0007】

一般に、第j（jは、2以上r以下の自然数）段において、第1のクロックドインバータCKINV1\_\_jの入力端子は、第j-1段SR\_\_j-1のインバータINV\_\_j-1の出力端子に接続されている。第1のクロックドインバータCKINV1\_\_jの出力端子は、インバータINV\_\_jの入力端子、及び第2のクロックドインバータCKINV2\_\_jの出力端子に接続されている。第2のクロックドインバータCKINV2\_\_jの入力端子は、インバータINV\_\_jの出力端子に接続されている。インバータINV\_\_jの出力端子が、第j段の出力端子に相当する。

10

【0008】

上記接続の第1段の回路SR\_\_1～第r段の回路SR\_\_rによって構成されるシフトレジスタは、第1段にスタートパルスSPが入力されると、それぞれの段が有する第1のクロックドインバータCKINV1及び第2のクロックドインバータCKINV2それぞれに入力される、クロックパルスCK及びその極性が反転した反転クロックパルスCKBに同期して、第1段SR\_\_1～第r段の回路SR\_\_rそれぞれの出力端子から、順にシフトしたパルスS\_\_1～S\_\_rが出力される。

【0009】

図5で示した構成のシフトレジスタにおいて、各段を構成する第1のクロックドインバータCKINV1、第2のクロックドインバータCKINV2及びインバータINVの詳細な回路図の例を図4に示す。

20

【0010】

Vddは高電源電位であり、Vssは低電源電位であるとする。ここで、高電源電位Vddの電位は、低電源電位Vssの電位より高いとする。高電源電位Vddと低電源電位Vssの電位差が、シフトレジスタの電源電圧に相当する。

【0011】

第1のクロックドインバータCKINV1は、pチャネル型TFT501a及び501bと、nチャネル型TFT501d及び501cとによって構成されている。本明細書中では、第1のクロックドインバータCKINV1において、そのゲート電極に、クロックパルスCKもしくは反転クロックパルスCKBが入力されるpチャネル型TFT、nチャネル型TFTをそれぞれ、501a、501dとする。また、pチャネル型TFT501b及びnチャネル型TFT501cのゲート電極は、第1のクロックドインバータCKINV1の入力端子に接続されているものとする。

30

【0012】

ここで、pチャネル型TFT501aのゲート電極にクロックパルスCKが入力される場合、nチャネル型TFT501dのゲート電極に、反転クロックパルスCKBが入力される。一方、pチャネル型TFT501aのゲート電極に、反転クロックパルスCKBが入力される場合、nチャネル型TFT501dのゲート電極に、クロックパルスCKが入力される。

【0013】

pチャネル型TFT501aのソース電極は、高電源電位Vddに保たれ、ドレイン電極は、pチャネル型TFT501bのソース電極に接続されている。pチャネル型TFT501bのドレイン電極は、nチャネル型TFT501cのドレイン電極に接続され、nチャネル型TFT501cのソース電極は、nチャネル型TFT501dのドレイン電極に接続されている。nチャネル型TFT501dのソース電極は、低電源電位Vssに保たれている。pチャネル型TFT501b及びnチャネル型TFT501cのゲート電極が、第1のクロックドインバータCKINV1の入力端子となり、pチャネル型TFT501b及びnチャネル型TFT501cのドレイン電極が、第1のクロックドインバータCKINV1の出力端子となっている。

40

【0014】

50

第2のクロックインバータCKINV2は、pチャネル型TF T502a及び502bと、nチャネル型TF T502d及び502cとによって構成されている。本明細書中では、第2のクロックインバータCKINV2において、そのゲート電極に、クロックパルスCKもしくは反転クロックパルスCKBが入力されているpチャネル型TF T、nチャネル型TF Tをそれぞれ、502a、502dとする。また、pチャネル型TF T502b及びnチャネル型TF T502cのゲート電極が、インバータINVの出力端子に接続されているものとする。

#### 【0015】

ここで、各段において、第1のクロックインバータCKINV1を構成するpチャネル型TF T501aのゲート電極に、クロックパルスCKが入力される場合、第2のクロックインバータCKINV2を構成するpチャネル型TF T502aのゲート電極に、反転クロックパルスCKBが入力され、nチャネル型TF T502dのゲート電極に、クロックパルスCKが入力される。一方、各段において、第1のクロックインバータCKINV1を構成するpチャネル型TF T501aのゲート電極に、反転クロックパルスCKBが入力される場合、第2のクロックインバータCKINV2を構成するpチャネル型TF T502aのゲート電極に、クロックパルスCKが入力され、nチャネル型TF T502dのゲート電極に、反転クロックパルスCKBが入力される。

#### 【0016】

pチャネル型TF T502aのソース電極は、高電源電位Vddに保たれており、ドレイン電極は、pチャネル型TF T502bのソース電極に接続されている。pチャネル型TF T502bのドレイン電極は、nチャネル型TF T502cのドレイン電極に接続され、nチャネル型TF T502cのソース電極は、nチャネル型TF T502dのドレイン電極に接続されている。nチャネル型TF T502dのソース電極は、低電源電位Vssに保たれている。pチャネル型TF T502b及びnチャネル型TF T502cのドレイン電極が、第2のクロックインバータCKINV2の出力端子となっている。

#### 【0017】

インバータINVは、pチャネル型TF T503aとnチャネル型TF T503bとによって構成されている。pチャネル型TF T503aのソース電極は、高電源電位Vddに保たれ、pチャネル型TF T503aのドレイン電極は、nチャネル型TF T503bのドレイン電極に接続されている。nチャネル型TF T503bのソース電極は、低電源電位Vssに保たれている。pチャネル型TF T503a及びnチャネル型TF T503bのゲート電極が、インバータINVの入力端子となり、pチャネル型TF T503a及びnチャネル型TF T503bのドレイン電極が、インバータINVの出力端子となる。

#### 【0018】

第i(iは、自然数)段の第1のクロックインバータCKINV1\_\_iが有するpチャネル型TF T501a\_\_iのゲート電極に、クロックパルスCKが入力されている場合、第(i-1)段の第1のクロックインバータCKINV1\_\_i-1が有するpチャネル型TF T501a\_\_i-1のゲート電極には、反転クロックパルスCKBが入力されている。

#### 【0019】

一般に、第i(iは、自然数)段の第1のクロックインバータCKINV1\_\_iを構成するpチャネル型TF T501a、501bをそれぞれ、501a\_\_i、501b\_\_iと表記し、nチャネル型TF T501c、501dをそれぞれ501c\_\_i、501d\_\_iと表記する。同様に、第i段の第2のクロックインバータCKINV2\_\_iを構成するpチャネル型TF T502a、502bをそれぞれ、502a\_\_i、502b\_\_iと表記し、nチャネル型TF T502c、502dをそれぞれ、502c\_\_i、502d\_\_iと表記する。また、第i段のインバータINV\_\_iを構成するnチャネル型TF T503a、pチャネル型TF T503bをそれぞれ、503a\_\_i、503b\_\_iと表記する。

#### 【0020】

図7に、図4及び図5に示した構成のシフトレジスタの理想的な駆動方法を示すタイミン

10

20

30

40

50

グチャートを示し、その具体的な動作について以下に説明する。

【0021】

シフトレジスタには、クロックパルスC K及びクロックパルスの極性が反転した反転クロックパルスC K B、スタートパルスS Pが入力される。第1段S R\_\_1の第1のクロックドインバータC K I N V 1\_\_1において、pチャネル型T F T 5 0 1 a\_\_1のゲート電極には、反転クロックパルスC K Bが入力され、nチャネル型T F T 5 0 1 d\_\_1のゲート電極には、クロックパルスC Kが入力されている。第1のクロックドインバータC K I N V 1\_\_1のpチャネル型T F T 5 0 1 b\_\_1及びnチャネル型T F T 5 0 1 c\_\_1のゲート電極に、スタートパルスS Pが入力される。

【0022】

スタートパルスS Pと、クロックパルスC K及び、反転クロックパルスC K Bの関係は、図7のタイミングチャートに示した通りである。

【0023】

その入力端子にスタートパルスS Pが入力された、つまりスタートパルスS Pによって「H i」の電位が入力され、クロックパルスC K及び反転クロックパルスC K Bが入力された第1段S R\_\_1の第1のクロックドインバータC K I N V 1\_\_1において、nチャネル型T F T 5 0 1 c\_\_1及び5 0 1 d\_\_1がオンの状態となる。こうして、第1のクロックドインバータC K I N V 1の出力端子は、低電源電位V s sの電位となる。すなわち、第1段の第1のクロックドインバータC K I N V 1\_\_1の出力S B\_\_1は、「L o」の電位となる。このとき、同じ段の第2のクロックドインバータC K I N V 2\_\_1のpチャネル型T F T 5 0 2 a\_\_1及びnチャネル型T F T 5 0 2 d\_\_1は、そのゲート電極に入力されたクロックパルスC K及び反転クロックパルスC K Bによって、オフの状態にある。

【0024】

一方、第2段の第1のクロックドインバータC K I N V 1\_\_2のpチャネル型T F T 5 0 1 a\_\_2及びnチャネル型T F T 5 0 1 d\_\_2は、それらのゲート電極に入力されているクロックパルスC K及び反転クロックパルスC K Bによって、どちらもオフの状態となっている。

【0025】

また、第2のクロックドインバータC K I N V 2\_\_2のpチャネル型T F T 5 0 2 a\_\_2及びnチャネル型T F T 5 0 2 d\_\_2は、それらのゲート電極に入力されているクロックパルスC K及び反転クロックパルスC K Bによって、どちらもオンの状態であり、且つ、第2のクロックドインバータC K I N V 2\_\_2の入力端子に、「L o」の電位が入力されているため、第2のクロックドインバータC K I N V 2\_\_2の出力端子は、高電源電位V d dが出力される。すなわち、「H i」の電位が出力される。

【0026】

次に、クロックパルスC K及び反転クロックパルスC K Bによって、第1段S R\_\_1の第1のクロックドインバータC K I N V 1\_\_1において、nチャネル型T F T 5 0 1 d\_\_1がオフの状態に変化する。一方、第2のクロックドインバータC K I N V 2\_\_1において、nチャネル型T F T 5 0 2 d\_\_1がオンの状態となる。

【0027】

また、第2のクロックドインバータC K I N V 2\_\_1の入力端子には、第1のクロックドインバータC K I N V 1\_\_1の出力S B\_\_1が、インバータI N V\_\_1を介して入力されている。すなわち、第2のクロックドインバータC K I N V 2\_\_1の入力端子には、第1のクロックドインバータC K I N V 1\_\_1の出力S B\_\_1の極性が反転した信号が入力されている。この入力信号により、第2のクロックドインバータC K I N V 2\_\_1のnチャネル型T F T 5 0 2 c\_\_1がオンの状態となる。こうして、第2のクロックドインバータC K I N V 2\_\_1の出力端子は、低電源電位V s sとなる。すなわち、第2のクロックドインバータC K I N V 2\_\_1の出力S B\_\_1は、「L o」の電位となる。

【0028】

一方、第2段の第1のクロックドインバータC K I N V 1\_\_2の入力端子に、第1段S R

10

20

30

40

50

\_\_1から「Hi」の電位が入力されている。また、クロックパルスCK及び反転クロックパルスCKBにより、nチャンネル型TF T501d\_\_2がオンの状態にある。こうして、第2段の第1のクロックドインバータCKINV1\_\_2の出力端子は、低電源電位Vssの電位となり、第2段の第1のクロックドインバータの出力SB\_\_2は、「Lo」の電位となる。

#### 【0029】

再び、クロックパルスCK及び反転クロックパルスCKBによって、第1段の第1のクロックドインバータのpチャンネル型TF T501a\_\_1がオンの状態となる。このとき、スタートパルスSPは入力されていないので、第1のクロックドインバータのpチャンネル型TF T501b\_\_1もオンの状態である。こうして、第1段の第1のクロックドインバータCKINV1\_\_1の出力端子は、高電源電位Vddの電位となり、第1のクロックドインバータの出力SB\_\_1は、「Hi」となる。

10

#### 【0030】

上記の様に、第1のクロックドインバータCKINV1および第2のクロックドインバータCKINV2の出力が変化する。こうして各段の出力Sが、クロックパルスCKの半周期分ずつ順に、入力されたスタートパルスSPからシフトして出力される。こうして、図4で示したシフトレジスタはパルスを出力する。

#### 【0031】

また、図4で示した構成のシフトレジスタに対して、隣り合う段の出力信号SをNAND演算したものを出力パルスとするシフトレジスタの例を図10に示す。図10において、図4と同じ部分は同じ符号を用いて示し、説明は省略する。

20

#### 【0032】

第(i+1)(i+1は、r以下の自然数)段の回路SR\_\_i+1と、第i段の回路SR\_\_i、それぞれの出力S\_\_i、S\_\_i+1が、第iのNAND回路NAND\_\_iに入力される。この第iのNAND回路NAND\_\_iから、第iのパルスSMP\_\_iが出力される。このパルスSMP\_\_iが、シフトレジスタの出力パルスとなる。

#### 【0033】

図10で示したシフトレジスタの駆動方法を示すタイミングチャートを、図11に示す。第1段の回路SR\_\_1から第r段の回路SR\_\_rの出力端子から、順にシフトしたパルスS\_\_1~S\_\_rが出力されるまでの動作は、図7において示した動作と同様である。隣り合う段の出力がそれぞれNAND回路NAND\_\_1~NAND\_\_r-1に入力され、パルスSMP\_\_1~SMP\_\_r-1が順に出力される。こうして、図10で示したシフトレジスタはパルスを出力する。

30

#### 【0034】

図4、図5及び図10で示した構成のシフトレジスタは、回路を構成する素子が少なくてすむので、負荷容量が小さくてすみ、高周波数での動作が比較的容易である。

#### 【0035】

##### 【発明が解決しようとする課題】

シフトレジスタは一般に、電源電圧と、クロックパルス及びスタートパルスの信号の振幅電圧とが、ほぼ等しい状態で動作させる。通常、シフトレジスタの電源電圧は、10V程度に設定されることが多い。

40

#### 【0036】

ここで、シフトレジスタに入力するクロックパルスやスタートパルス等のパルス信号は、通常、単結晶IC基板上に形成された、パルス信号制御回路によって出力されている。パルス信号制御回路は、通常、振幅電圧が3.3V程度のコントロール信号を出力する。よって、パルス信号発生回路の出力するパルス信号の振幅電圧は、通常は、レベルシフタ等によって、シフトレジスタの電源電圧程度まで大きくして、シフトレジスタに入力される。

#### 【0037】

ここで、仮にレベルシフタ等によって、シフトレジスタに入力されるパルス信号の信号電

50

圧を大きくしなかった場合について考える。つまりこれは、図 4 において、シフトレジスタを構成する素子の電源電圧（高電源電位  $V_{dd}$  と低電源電位  $V_{ss}$  の電位差に相当する）、つまりシフトレジスタの電源電位が、スタートパルス  $SP$  や、クロックパルス  $CK$  の振幅電圧より大きい場合に該当する。

#### 【0038】

このときのシフトレジスタの動作について、図 6 のタイミングチャートを用いて説明する。また、シフトレジスタの回路構成は、図 4 を参照する。ここで、説明のため、シフトレジスタの電源電圧を  $10V$ （高電源電位  $V_{dd}$  を  $10V$ 、低電源電位  $V_{ss}$  を  $0V$ ）とし、クロックパルスやスタートパルス等のパルス信号の振幅電圧を  $3.0V$  とする。このとき、パルス信号の「 $Lo$ 」に対応する電位（最低電位）を  $3.5V$ 、「 $Hi$ 」に対応する電位（最高電位）を  $6.5V$  とする。

10

#### 【0039】

第 1 のクロックインバータ  $CKINV1$  に注目する。クロックパルス  $CK$ 、反転クロックパルス  $CKB$  が入力され、 $p$  チャンネル型  $TFT501a$  のゲート電極には、「 $Hi$ 」に対応する電位、この場合は、 $6.5V$  が入力され、同時に、 $n$  チャンネル型  $TFT501d$  のゲート電極には、「 $Lo$ 」に対応する電位、この場合は  $3.5V$  が入力されている場合を考える。このとき、理想的には、 $p$  チャンネル型  $TFT501a$  及び、 $n$  チャンネル型  $TFT501d$  は、どちらもオフの状態であることが望まれる。しかし、電源電圧より、クロックパルス  $CK$  及び反転クロックパルス  $CKB$  の振幅電圧が小さいため次のような問題が生じる。

20

#### 【0040】

$p$  チャンネル型  $TFT501a$  において、そのソース電極の電位が、そのゲート電極の電位より大きくなる。この例では、 $p$  チャンネル型  $TFT501a$  のソース電極の電位は、高電源電位  $V_{dd}$  の  $10V$  であり、ゲート電極の電位は、クロックパルス  $CK$  または反転クロックパルス  $CKB$  の「 $Hi$ 」の電位、 $6.5V$  が入力されており、その電位差は  $3.5V$  である。もし、 $p$  チャンネル型  $TFT501a$  の閾値電圧（ $p$  チャンネル型  $TFT$  において、ソース電極の電位に対するゲート電極の電位を示すものとする）が  $-3.5V$  以上であったら、つまり、 $p$  チャンネル型  $TFT501a$  の閾値電圧の絶対値が、 $3.5V$  より小さい場合、 $p$  チャンネル型  $TFT501a$  はオンの状態となって、そのソース・ドレイン間が導通状態となってしまう。

30

#### 【0041】

同様に、 $n$  チャンネル型  $TFT501d$  において、そのソース電極の電位が、そのゲート電極の電位より小さくなる。この例では、 $n$  チャンネル型  $TFT501d$  のソース電極の電位は、低電源電位  $V_{ss}$  の  $0V$  であり、ゲート電極の電位は、クロックパルス  $CK$  もしくは、反転クロックパルス  $CKB$  の「 $Lo$ 」の電位、 $3.5V$  が入力されており、その電位差は  $3.5V$  である。もし、 $n$  チャンネル型  $TFT501d$  の閾値電圧（ $n$  チャンネル型  $TFT$  において、ソース電極の電位に対するゲート電極の電位を示すものとする）が  $3.5V$  以下であったら、 $n$  チャンネル型  $TFT501d$  はオンの状態となってしまう。

#### 【0042】

タイミングチャートにおいて、破線で示した部分は、上記した問題によってオフとなるべき  $TFT$  がオンの状態となった場合の動作を示す。

40

#### 【0043】

ここで、第 1 段  $SR\_1$  の第 1 のクロックインバータ  $CKINV1\_1$  においては、その入力端子に、タイミングチャートに示すようにスタートパルス  $SP$  が入力されている場合、クロックパルス  $CK$  及び反転クロックパルス  $CKB$  に同期して、信号  $SB\_1$  を出力する。

#### 【0044】

一方、第 2 段  $SR\_2$  の第 1 のクロックインバータ  $CKINV1\_2$  においては、第 1 段目  $SR\_1$  のインバータ  $INV\_1$  からの出力（図中、 $S\_1$  と表記）が入力されている。

50

## 【 0 0 4 5 】

第 1 段 S R \_ 1 から出力されたパルス信号 S \_ 1 が、第 2 段 S R \_ 2 の第 1 のクロックドインバータ C K I N V 1 \_ 2 の入力端子に入力されている場合、前述した問題によって、本来オフの状態にあるはずの n チャンネル型 T F T 5 0 1 d \_ 2 がオンの状態となると、n チャンネル型 T F T 5 0 1 c \_ 2 及び n チャンネル型 T F T 5 0 1 d \_ 2 を介して漏れ電流が流れる。この漏れ電流が流れ続ける間に、第 1 のクロックドインバータ C K I N V 1 \_ 2 の出力電位 S B \_ 2 が、高電源電位 V d d に対して低くなっていく。(図 6 中、破線 4 0 1 n で示す。)

## 【 0 0 4 6 】

一方、第 1 段 S R \_ 1 から出力されたパルス信号 S \_ 1 が、第 2 段 S R \_ 2 の第 1 のクロックドインバータ C K I N V 1 \_ 2 の入力端子に入力されていない場合、前述した問題によって、本来オフの状態にあるはずの p チャンネル型 T F T 5 0 1 a \_ 2 がオンの状態となると、p チャンネル型 T F T 5 0 1 a \_ 2 及び p チャンネル型 T F T 5 0 1 b \_ 2 を介して漏れ電流が流れる。この漏れ電流が流れ続ける間に、第 1 のクロックドインバータ C K I N V 1 \_ 2 の出力電位 S B \_ 2 が、低電源電位 V s s に対して高くなっていく。(図 6 中、破線 4 0 1 p で示す。)

## 【 0 0 4 7 】

同様に、第 3 段 S R \_ 3 以降も、その段の有する第 1 のクロックドインバータ C K I N V 1 の出力電位 S B は、漏れ電流のために、図 7 のタイミングチャートに示したような理想的な動作をする場合と比較して、変動する。

## 【 0 0 4 8 】

上記の様に、本来オフの状態であるはずの p チャンネル型 T F T 5 0 1 a 及び n チャンネル型 T F T 5 0 1 d が、オンの状態となった場合に、第 1 のクロックドインバータ C K I N V 1 の入力端子に、パルスが入力されると、n チャンネル型 T F T 5 0 1 c 及び 5 0 1 d を介して電流(以下、これを n チャンネル型 T F T の漏れ電流と呼ぶ)が流れ、本来出力されるべき出力電位 V d d より低い電位が出力される。

## 【 0 0 4 9 】

また、本来オフの状態であるはずの T F T 5 0 1 a 及び T F T 5 0 1 d が、オンの状態となった場合に、第 1 のクロックドインバータ C K I N V 1 の入力端子に、パルスが入力されていない場合、5 0 1 a 及び 5 0 1 b を介して電流(以下、これを p チャンネル型 T F T の漏れ電流と呼ぶ)が流れ、本来出力されるべき出力電位 V s s より高い電位が出力される。

## 【 0 0 5 0 】

上記漏れ電流が大きくなると、出力 S B のパルスがシフトしなくなる。

## 【 0 0 5 1 】

このように、本来オフの状態であることを求められる T F T がオンの状態となってしまうためにシフトレジスタ内の出力が、正常に行われず、誤作動を起す可能性が高い。

## 【 0 0 5 2 】

上記理由による誤作動を配慮して、従来のシフトレジスタでは、クロックパルス C K、スタートパルス S P 等のパルス信号は、レベルシフタを介して、その振幅電圧をシフトレジスタの電源電圧程度に大きくした後、入力されている。

## 【 0 0 5 3 】

ここで、レベルシフタを有するシフトレジスタを用いた駆動回路を備えた表示装置を例に挙げる。この際のレベルシフタは、シフトレジスタを用いた駆動回路と、この駆動回路から出力される信号によって表示を行う画素部とが形成された基板(パネル基板)上や、パネル基板とは別の単結晶 I C 基板上に形成される。

## 【 0 0 5 4 】

パネル基板とは別の基板上に、レベルシフタを形成する場合、表示装置内で画素部以外の周辺回路が占める面積が増大する。また、レベルシフタとパネル上の回路の接続部分の配線容量及び配線抵抗が大きくなるため、消費電力が増大する。

10

20

30

40

50

## 【 0 0 5 5 】

また、パネル基板上にレベルシフタを形成する場合、次のような問題点がある。クロックパルス C K やスタートパルス S P などが入力される信号線は、負荷容量が大きい。そのため、レベルシフト後のバッファ出力は、クロックパルス C K やスタートパルス S P などのパルス信号がなまって出力され、信号遅延によるタイミングずれを引き起こす。また、パルス信号のなまりを防ぐために、バッファの電流供給能力を大きくする必要が生じる。

## 【 0 0 5 6 】

このように、パネル基板上にレベルシフタを有するシフトレジスタでは、高周波数で動作が困難、電源線のノイズ、レイアウト面積の増大等の問題が生じる。

## 【 0 0 5 7 】

このように、パネル基板上やパネル基板とは別の基板上のレベルシフタ等を用いて、入力するパルス信号の振幅電圧を大きくするシフトレジスタの場合、消費電力の増大、高周波数で動作が困難、電源線のノイズ、レイアウト面積の増大等の問題が生じる。そこで、上記問題を解決するシフトレジスタ及びその駆動方法を提供することを課題とする。

## 【 0 0 5 8 】

## 【課題を解決するための手段】

シフトレジスタの電源電圧より小さな振幅電圧を有する、クロックパルス、スタートパルスをシフトレジスタに入力する。これによって、パネル基板外にクロックパルスやスタートパルスの振幅電圧を昇圧するためのレベルシフタを形成し電源電圧程度の振幅電圧を有する様にレベルシフトしたクロックパルスやスタートパルスをパネルに入力する必要がないので、パネル上の回路とレベルシフタの間の配線容量及び配線抵抗による、消費電力の増大の問題を解決することができる。

## 【 0 0 5 9 】

また、パネル基板上にクロックパルスやスタートパルスの振幅電圧を昇圧するためのレベルシフタを形成しレベルシフトしたクロックパルスやスタートパルスを信号線に入力する必要がないので、信号線の負荷によるなまりの影響を抑え、シフトレジスタを高周波数で動作させることが可能となる。また、電源線のノイズの影響を抑えることができる。

## 【 0 0 6 0 】

加えて、レベルシフタが必要ない分、シフトレジスタのレイアウト面積を縮小することができる。

## 【 0 0 6 1 】

こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタの駆動方法が提供される。

## 【 0 0 6 2 】

上記駆動方法を用いる場合に、シフトレジスタを構成する第 2 のクロックドインバータの電流能力が高ければ、第 1 のクロックドインバータにおいて、オフになるべき T F T がオンになってしまうために流れる電流（漏れ電流）によって起こる、第 1 のクロックドインバータの出力電位の変化を低減することができる。そこで、第 2 のクロックドインバータを構成する T F T のゲート幅を、大きく設定する。

## 【 0 0 6 3 】

ここで従来のシフトレジスタでは、各段において、第 2 のクロックドインバータ C K I N V 2 は、第 1 のクロックドインバータ C K I N V 1 より出力された信号を保持するだけの役割を有する。そのため、第 2 のクロックドインバータによる負荷を小さくするために、第 1 のクロックドインバータ C K I N V 1 を構成する p チャネル型 T F T 5 0 1 a 及び 5 0 1 b と、n チャネル型 T F T 5 0 1 c 及び 5 0 1 d とに対して、第 2 のクロックドインバータ C K I N V 2 を構成する p チャネル型 T F T 5 0 2 a 及び 5 0 2 b と、n チャネル型 T F T 5 0 2 c 及び 5 0 2 d とは、それぞれの極性の T F T に関してそのゲート幅を十分に小さくしていることが多かった。例えば、第 1 のクロックドインバータを構成する T F T のゲート幅に対して、第 2 のクロックドインバータを構成する T F T のゲート幅が、1 / 1 0 程に設定されていた。なお、これらの T F T のゲート長は、すべて同じであると

10

20

30

40

50

する。

【0064】

一方本発明では、シフトレジスタの電源電圧より小さな振幅電圧を有する、クロックパルス、スタートパルスをシフトレジスタに入力するため、漏れ電流が問題となる。そこで、第2のクロックドインバータを構成するTF Tのゲート幅を、従来と比較して大きく設定することで漏れ電流を低減する。

【0065】

例えば、シフトレジスタが有する第1のクロックドインバータを構成するnチャネル型TF Tのソース電極の電位と、そのゲート電極に入力されるクロックパルスまたは反転クロックパルスの最低電位（「Lo」に対応する電位）の電位差の絶対値が、nチャネル型TF Tの閾値電圧の絶対値より大きな場合を考える。本来オフの状態になるはずのnチャネル用TF Tがオンになってしまうために流れる電流（漏れ電流）によって起こる、第1のクロックドインバータの出力電位の変化を、第2のクロックドインバータを構成するpチャネル型TF Tのゲート幅を大きく設定することによって抑制することができる。

10

【0066】

また、シフトレジスタが有する第1のクロックドインバータを構成するpチャネル型TF Tのソース電極の電位と、そのゲート電極に入力されるクロックパルスまたは反転クロックパルスの最高電位（「Hi」に対応する電位）の電位差の絶対値が、pチャネル型TF Tの閾値電圧の絶対値より大きな場合を考える。本来オフの状態になるはずのpチャネル用TF Tがオンになってしまうために流れる電流（漏れ電流）によって起こる、第1のクロックドインバータの出力電位の変化を、第2のクロックドインバータを構成するnチャネル型TF Tのゲート幅を大きく設定することによって抑制することができる。

20

【0067】

また、第1のクロックドインバータに、新たにTF Tを追加する。この追加したTF Tのソース・ドレイン間を介して、電源電位を第1のクロックドインバータの出力端子に出力する構成とする。追加したTF Tのゲート電極には、シフトレジスタの電源電圧程度の振幅電圧を有する信号が入力される。漏れ電流が問題となる場合に、追加したTF Tをオフする構成とする。これによって、第1のクロックドインバータを流れる電流（漏れ電流）を遮断する。

【0068】

こうして、誤作動を起さないシフトレジスタが提供される。

30

【0069】

上記構成によって、誤作動を起さず、高周波数で、また、低電源電圧での動作が可能なシフトレジスタ及びその駆動方法が提供される。

【0070】

【発明の実施の形態】

（第1の実施の形態）

第1の実施の形態で説明する、本発明のシフトレジスタは、従来例において図4で示した回路図と同等の回路図によって示すことができる。以下、図4と同じ部分は同じ符号を用い、説明は省略する。

40

【0071】

本発明のシフトレジスタでは、その電源電圧（高電源電位Vddと低電源電位Vssの電位差に相当する）より小さな振幅電圧の、スタートパルスSPや、クロックパルスCKを入力する。

【0072】

このとき、シフトレジスタの各段を構成する第2のクロックドインバータCKINV2が有するpチャネル型TF T502a及び502bのゲート幅は、第1のクロックドインバータが有するpチャネル型TF T501a及び501bのゲート幅の1/2以上に設定する。

【0073】

50

ここで、T F Tのゲート幅は、T F Tの半導体活性層と重なるゲート電極部分の、キャリアの移動方向に垂直な方向の長さを示すものとする。図26を用いて、ゲート幅Wについて説明する。ここで、図26(A)のa - a'の断面が図26(B)に相当する。3000は絶縁表面を有する基板、3005は半導体活性層、3004はゲート電極、3001はゲート絶縁膜である。半導体活性層3005は、ソース領域及びドレイン領域として機能する領域3002a、3002b、チャネル領域3006を有する。図中ゲート幅をWで示す。

#### 【0074】

また、シフトレジスタの各段を構成する第2のクロックインバータが有するnチャンネル型T F T 502c及び502dのゲート幅は、第1のクロックインバータが有するnチャンネル型T F T 501c及び501dのゲート幅の1/2以上に設定する。

10

#### 【0075】

こうして、各段の回路の有する、第2のクロックインバータC K I N V 2の電流能力を高める。これによって、シフトレジスタの電源電圧より小さな振幅電圧の、スタートパルスS Pや、クロックパルスC Kを入力するシフトレジスタにおいて、第2のクロックインバータC K I N V 2の「H i」の電位（高電源電位V d d）の出力によって、第1のクロックインバータC K I N V 1のnチャンネル型T F Tの漏れ電流による出力電位S Bの変動を抑制することができる。

#### 【0076】

同様に、第2のクロックインバータC K I N V 2の「L o」の電位（低電源電位V s s）の出力によって、第1のクロックインバータC K I N V 1のpチャンネル型T F Tの漏れ電流による出力電位S Bの変動を抑制することができる。

20

#### 【0077】

上記構成のシフトレジスタの動作について、図3のタイミングチャートを用いて説明する。破線は、漏れ電流による出力電位S Bの変化を示す。図3中破線301nは、第2段の第1のクロックインバータC K I N V 1\_\_2のnチャンネル型T F T 501c及び501dを介して流れる漏れ電流による出力電位S B\_\_2の変化を示す。また、破線301pは、第2段の第1のクロックインバータC K I N V 1\_\_2のpチャンネル型T F T 501a及び501bを介して流れる漏れ電流による出力電位S B\_\_2の変化を示す。

#### 【0078】

第2のクロックインバータC K I N V 2のpチャンネル型T F Tのゲート幅を大きくすることによって、従来例において、図6において示した漏れ電流による出力電位S B\_\_2の変化401nに対して、301nを小さく抑えることができる。

30

#### 【0079】

また、第2のクロックインバータC K I N V 2のnチャンネル型T F Tのゲート幅を大きくすることによって、従来例において、図6において示した漏れ電流による出力電位S B\_\_2の変化401pに対して、301pを小さく抑えることができる。

#### 【0080】

上記構成によって、第1のクロックインバータの漏れ電流による、出力電圧の変動を抑えることができる。

40

#### 【0081】

なお、図4において従来例において示したように、シフトレジスタの各段が有する第1のクロックインバータの、クロックパルスC Kまたは反転クロックパルスC K Bがゲート電極に入力されているpチャンネル型T F T 501aと、ゲート電極が第1のクロックインバータの入力端子に相当するpチャンネル型T F T 501bとは、その配置を入れ替えることができる。

#### 【0082】

ここで、上記のT F Tの配置の入れ替えについてその意味を定義する。例えば、T F T 1とT F T 2を有する第1の構成において、T F T 1とT F T 2の配置を入れ替えて得られる第2の構成について説明する。第2の構成は、T F T 1とT F T 2それぞれのゲート電

50

極に入力される信号は第1の構成と同じであって、T F T 1のソース電極の電氣的接続関係を第1の構成のT F T 2のソース電極の電氣的接続関係となるように配線し、T F T 2のソース電極の電氣的接続関係を第1の構成のT F T 1のソース電極の電氣的接続関係となるように配線し、T F T 1のドレイン電極の電氣的接続関係を第1の構成のT F T 2のドレイン電極の電氣的接続関係となるように配線し、T F T 2のドレイン電極の電氣的接続関係を第1の構成のT F T 1のドレイン電極の電氣的接続関係となるように配線した構成を示すものとする。

#### 【0083】

また、第1のクロックインバータの、クロックパルスC Kまたは反転クロックパルスC K Bがゲート電極に入力されているnチャネル型T F T 5 0 1 dと、ゲート電極が第1のクロックインバータの入力端子に相当するnチャネル型T F T 5 0 1 cとは、その配置を入れ替えることができる。

10

#### 【0084】

同様に、シフトレジスタの各段が有する第2のクロックインバータの、クロックパルスC Kまたは反転クロックパルスC K Bがゲート電極に入力されているpチャネル型T F T 5 0 1 aと、ゲート電極が第2のクロックインバータの入力端子に相当するpチャネル型T F T 5 0 1 bとは、その配置を入れ替えることができる。また、第2のクロックインバータの、クロックパルスC Kまたは反転クロックパルスC K Bがゲート電極に入力されているnチャネル型T F T 5 0 1 dと、ゲート電極が第2のクロックインバータの入力端子に相当するnチャネル型T F T 5 0 1 cとは、その配置を入れ替えることができる。

20

#### 【0085】

また、図4において、シフトレジスタの各段が有する、第1のクロックインバータC K I N V 1、第2のクロックインバータC K I N V 2及びインバータI N Vを構成するT F Tは、シングルゲート構造としたが、これに限定されない。ダブルゲート構造や、更に多くのゲート電極を有するマルチゲート構造であっても良い。

#### 【0086】

(第2の実施の形態)

第2の実施の形態におけるシフトレジスタの構成を示す回路図を図1に示す。なお、図4と同じ部分は同じ符号を用いて表現し、説明は省略する。

30

#### 【0087】

本発明のシフトレジスタでは、その電源電圧(高電源電位V d dと低電源電位V s sの電位差に相当する)より小さな振幅電圧の、スタートパルスS Pや、クロックパルスC Kを入力する。この際問題となる、第1のクロックインバータの漏れ電流を以下の構成によって低減する。

#### 【0088】

図1において、シフトレジスタを構成する第3段以降の各段の第1のクロックインバータC K I N V 1に、新たに、nチャネル型T F T 1 0 1を追加する。ここで、第k(kは、3以上r以下の自然数)段のnチャネル型T F T 1 0 1を1 0 1 \_\_ kと表記する。

#### 【0089】

nチャネル型T F T 1 0 1 \_\_ kのゲート電極は、第k - 2段の第1のクロックインバータC K I N V 1 \_\_ k - 2の出力端子に接続されている。また、nチャネル型T F T 1 0 1 \_\_ kのソース電極は、低電源電位V s sに接続され、ドレイン電極は、クロックインバータC K I N V 1 \_\_ kの有するnチャネル型T F T 5 0 1 d \_\_ kのソース電極に接続されている。

40

#### 【0090】

上記構成によって、第k段の第1のクロックインバータC K I N V 1 \_\_ kにおいて、nチャネル型T F T 1 0 1 \_\_ kのゲート電極には、S B \_\_ k - 2の信号が入力される。nチャネル型T F T 5 0 1 d - kがオフの状態になることを望まれる際に、S B \_\_ k - 2の信号は、「L o」の電位となる。この信号S B \_\_ k - 2の「L o」の電位は、低電源電位V

50

s s 程度の電位である。そのため、信号  $S B\_k - 2$  の「L o」の電位がゲート電極に入力された n チャンネル型 T F T 5 0 1 d - k は、ゲート電圧（ゲート・ソース間電圧  $V_{gs}$ ）を 0 V 程度にすることができ、確実にオフすることができる。こうして、第 k 段の回路の第 1 のクロックドインバータ C K I N V 1 \_\_ k において、n チャンネル型 T F T の漏れ電流が流れるのを防ぐことができる。

【 0 0 9 1 】

図 1 のシフトレジスタを駆動させた場合のタイミングチャートを、図 2 に示す。

【 0 0 9 2 】

ここで、タイミングチャートに示すようにスタートパルスを入力すれば、漏れ電流による第 1 段の第 1 のクロックドインバータの出力  $S B\_1$  の変動は問題とならない。つまり、第 1 段の第 1 のクロックドインバータにおいて、入力されたスタートパルス S P の極性が反転した信号が、第 1 段の第 1 のクロックドインバータ C K I N V 1 \_\_ 1 の出力  $S B\_1$  となるような場合、漏れ電流による第 1 段の第 1 のクロックドインバータの出力  $S B\_1$  の変動は問題とならない。

10

【 0 0 9 3 】

なお、第 2 段の第 1 のクロックドインバータの出力  $S B\_2$  は、漏れ電流によって変動する。一方、本実施の形態の構成によって、第 3 段以降の第 1 のクロックドインバータの出力 S B の、n チャンネル型 T F T の漏れ電流による変動を防ぐことができる。この際、第 3 段以降の出力を正規出力とするシフトレジスタとすればよい。

【 0 0 9 4 】

この様に、第 3 段以降の第 1 のクロックドインバータ C K I N V 1 に、新たに、n チャンネル型 T F T 1 0 1 を設けることによって、漏れ電流を防ぎ、シフトレジスタを正常に動作させることができる。

20

【 0 0 9 5 】

ここで、図 1 に示した部分の電位に対応する各段の出力 S において、その隣り合う段の出力 S の N A N D をとった信号を出力信号とするタイプのシフトレジスタを、図 1 2 に示す。図 1 と同じ部分は同じ符号を用いて示し、説明は省略する。

【 0 0 9 6 】

タイミングチャートに示すようにスタートパルス S P を入力すれば、漏れ電流による第 1 段の第 1 のクロックドインバータ C K I N V 1 \_\_ 1 の出力  $S B\_1$  の変動は問題とならない。また、第 2 段の第 1 のクロックドインバータの出力  $S B\_2$  は、漏れ電流によって変動するが、第 1 段及び第 2 段の出力  $S\_1$  と  $S\_2$  の N A N D をとったものが、サンプリングパルス S M P \_\_ 1 として出力されるため、シフトレジスタの動作上、問題ない。第 3 段以降の第 1 のクロックドインバータ C K I N V 1 に、新たに、n チャンネル型 T F T 1 0 1 を設けることによって、漏れ電流を防ぎ、シフトレジスタを正常に動作させることができる。

30

【 0 0 9 7 】

なお、本実施の形態において、p チャンネル型 T F T の漏れ電流を確実に防ぐために、新たな p チャンネル型 T F T 等は設けなかった。一般に、n チャンネル型 T F T は、p チャンネル型 T F T より特性が良いため、特に n チャンネル型 T F T の漏れ電流を確実に防止することが重要である。そのため、上記構成による漏れ電流防止の構造は有効である。

40

【 0 0 9 8 】

なお、本実施の形態のシフトレジスタの第 1 段及び第 2 段において、それぞれ有する第 1 のクロックドインバータ C K I N V 1 の p チャンネル型 T F T 5 0 1 a と、p チャンネル型 T F T 5 0 1 b とは、その配置を入れ替えることができる。つまり、図 1 及び図 1 2 に示すように、高電源電位  $V_{dd}$  にそのソース電極が接続された p チャンネル型 T F T を 5 0 1 a として、p チャンネル型 T F T 5 0 1 a、5 0 1 b の順に直列に接続し、p チャンネル型 T F T 5 0 1 b のドレイン電極を第 1 のクロックドインバータ C K I N V 1 の出力端子とした構成であっても良いし、高電源電位  $V_{dd}$  にそのソース電極が接続された p チャンネル型 T F T を 5 0 1 b として、p チャンネル型 T F T 5 0 1 b、5 0 1 a の順に直列に接続し、p

50

チャンネル型ＴＦＴ５０１ａのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良い。

【００９９】

また、また上記の様に、第１のクロックインバータＣＫＩＮＶ１内において、ｐチャンネル型ＴＦＴ５０１ａ及び５０１ｂの配置が２とおり存在するが、このそれぞれにおいて、ｎチャンネル型ＴＦＴ５０１ｄと、５０１ｃとは、その配置を入れ替えることができる。つまり、図１及び図１２に示すように、低電源電位Ｖｓｓにそのソース電極が接続されたｎチャンネル型ＴＦＴを５０１ｄとして、ｎチャンネル型ＴＦＴ５０１ｄ、５０１ｃの順に直列に接続し、ｎチャンネル型ＴＦＴ５０１ｃのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良いし、低電源電位Ｖｓｓにそのソース電極が接続されたｎチャンネル型ＴＦＴを５０１ｃとして、ｎチャンネル型ＴＦＴ５０１ｃ、５０１ｄの順に直列に接続し、ｎチャンネル型ＴＦＴ５０１ｄのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良い。

10

【０１００】

第１段及び第２段の回路において、第１のクロックインバータＣＫＩＮＶ１と同様に、第２のクロックインバータＣＫＩＮＶ２のｐチャンネル型ＴＦＴ５０１ａと、５０１ｂとは、その配置を入れ替えることができる。また、第２のクロックインバータＣＫＩＮＶ２のｎチャンネル型ＴＦＴ５０１ｄと、５０１ｃとは、その配置を入れ替えることができる。

【０１０１】

20

なお、本実施の形態のシフトレジスタの第３段以降の回路において、それぞれ有する第１のクロックインバータＣＫＩＮＶ１のｐチャンネル型ＴＦＴ５０１ａと、ｐチャンネル型ＴＦＴ５０１ｂとは、その配置を入れ替えることができる。つまり、図１及び図１２に示すように、高電源電位Ｖｄｄにそのソース電極が接続されたＴＦＴをｐチャンネル型ＴＦＴ５０１ａとして、ｐチャンネル型ＴＦＴ５０１ａ、５０１ｂの順に直列に接続し、ｐチャンネル型ＴＦＴ５０１ｂのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良いし、高電源電位Ｖｄｄにそのソース電極が接続されたＴＦＴをｐチャンネル型ＴＦＴ５０１ｂとし、ｐチャンネル型ＴＦＴ５０１ｂ、５０１ａの順に直列に接続し、ｐチャンネル型ＴＦＴ５０１ａのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良い。

30

【０１０２】

また、また上記の様に、第１のクロックインバータＣＫＩＮＶ１内において、ｐチャンネル型ＴＦＴ５０１ａ及び５０１ｂの配置が２とおり存在するが、このそれぞれにおいて、ｎチャンネル型ＴＦＴ１０１と、５０１ｄと、５０１ｃとは、その配置を入れ替えることができる。つまり、図１及び図１２に示すように、低電源電位Ｖｓｓにそのソース電極が接続されたＴＦＴをｎチャンネル型ＴＦＴ１０１とし、ｎチャンネル型ＴＦＴ１０１、５０１ｄ、５０１ｃの順に直列に接続し、ｎチャンネル型ＴＦＴ５０１ｃのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良いがその他に、低電源電位Ｖｓｓにそのソース電極が接続されたＴＦＴをｎチャンネル型ＴＦＴ１０１とし、ｎチャンネル型ＴＦＴ１０１、５０１ｃ、５０１ｄの順に直列に接続し、ｎチャンネル型ＴＦＴ５０１ｄのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良いし、低電源電位Ｖｓｓにそのソース電極が接続されたＴＦＴをｎチャンネル型ＴＦＴ５０１ｄとし、ｎチャンネル型ＴＦＴ５０１ｄ、１０１、５０１ｃの順に直列に接続し、ｎチャンネル型ＴＦＴ５０１ｃのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良いし、低電源電位Ｖｓｓにそのソース電極が接続されたＴＦＴをｎチャンネル型ＴＦＴ５０１ｃとし、ｎチャンネル型ＴＦＴ５０１ｃ、１０１、５０１ｄの順に直列に接続し、ｎチャンネル型ＴＦＴ５０１ｄのドレイン電極を第１のクロックインバータＣＫＩＮＶ１の出力端子とした構成であっても良いし、低電源電位Ｖｓｓにそのソース電極が接続されたＴＦＴをｎチャンネル型ＴＦＴ５０１ｄとし、ｎチャンネル型ＴＦＴ５０１ｄ、５０１ｃ、１０１の順に直列に接続し、ｎチャンネル型ＴＦＴ１

40

50

01のドレイン電極を第1のクロックインバータCKINV1の出力端子とした構成であっても良いし、低電源電位Vssにそのソース電極が接続されたTF Tをnチャネル型TF T501cとし、nチャネル型TF T501c、501d、101の順に直列に接続し、nチャネル型TF T101のドレイン電極を第1のクロックインバータCKINV1の出力端子とした構成であっても良い。

#### 【0103】

第1段及び第2段における第2のクロックインバータCKINV2と同様に、第3段以降の第2のクロックインバータCKINV2のpチャネル型TF T501aと、501bとは、その配置を入れ替えることができる。また、第2のクロックインバータCKINV2のnチャネル型TF T501dと、501cとは、その配置を入れ替えることができる。

10

#### 【0104】

なお、図1及び図12において、シフトレジスタの各段が有する、第1のクロックインバータCKINV1、第2のクロックインバータCKINV2及びインバータINVを構成するTF Tは、シングルゲート構造としたが、これに限定されない。ダブルゲート構造や、更に多くのゲート電極を有するマルチゲート構造であっても良い。

#### 【0105】

本実施の形態は、第1の実施の形態と自由に組み合わせて実施することが可能である。

#### 【0106】

(第3の実施の形態)

20

本実施の形態では、第2の実施の形態において、図1で示した構成とは異なる構成のシフトレジスタについて図8を用いて説明する。図8において、図1と同じ部分は同じ符号を用いて表現し、説明は省略する。

#### 【0107】

本発明のシフトレジスタでは、その電源電圧(高電源電位Vddと低電源電位Vssの電位差に相当する)より小さな振幅電圧の、スタートパルスSPや、クロックパルスCKを入力する。この際問題となる、第1のクロックインバータの漏れ電流を以下の構成によって低減する。

#### 【0108】

図8において、シフトレジスタを構成する第2段以降の各段の第1のクロックインバータCKINV1に、新たに、nチャネル型TF T101を追加する。ここで、第k(kは、2以上r以下の自然数)段目のnチャネル型TF T101を101\_\_kと表記する。

30

#### 【0109】

nチャネル型TF T101\_\_kのゲート電極は、第k-2段目の第1のクロックインバータCKINV1\_\_k-2の出力端子に接続されている。また、nチャネル型TF T101\_\_kのソース電極は、低電源電位Vssに接続され、ドレイン電極は、クロックインバータCKINV1\_\_kの有するnチャネル型TF T501d\_\_kのソース電極に接続されている。

#### 【0110】

また、第2段に追加したnチャネル型TF T101\_\_2のソース電極は、低電源電位Vssに接続され、ドレイン電極は、第1のクロックインバータCKINV1\_\_2が有する第1のnチャネル型TF T501d\_\_2のソース電極に接続されている。

40

#### 【0111】

図8においては、第2段のnチャネル型TF T101\_\_2のゲート電極には、遅延回路110を介して、第1段のインバータINV\_\_1の出力が入力されている。遅延回路110としては、複数の縦列接続されたインバータ回路によって構成することができる。しかしこれに限定されず、遅延回路110として、公知の構成の回路を自由に用いることができる。

#### 【0112】

上記構成によって、第2段の第1のクロックインバータCKINV1\_\_2において、n

50

チャンネル型 T F T がオフの状態になることを望まれる際に、n チャンネル型 T F T 1 0 1 \_\_ 2 のゲート電極には、第 1 段の出力（第 1 段のインバータ I N V \_\_ 1 の出力）S \_\_ 1 を遅延させた信号が入力される。この遅延の度合いは、クロックパルスの半周期程度に設定する。これによって、第 2 段の回路の第 1 のクロックドインバータ C K I N V 1 \_\_ 2 において、n チャンネル型 T F T の漏れ電流が流れるのを防ぐことができる。

#### 【 0 1 1 3 】

ここで、n チャンネル型 T F T 1 0 1 \_\_ 2 のゲート電極に入力される信号は、第 1 段のインバータ I N V \_\_ 1 の出力 S \_\_ 1 を、クロックパルスの半周期程度遅延させた信号に限定されない。例えば、第 1 段の第 1 のクロックドインバータ C K I N V 1 \_\_ 1 の出力 S B \_\_ 1 の極性を反転させ、遅延させた信号であっても構わない。

10

#### 【 0 1 1 4 】

なお、n チャンネル型 T F T の漏れ電流が問題となる際に、n チャンネル型 T F T 1 0 1 \_\_ 2 をオフの状態とし、第 2 段の n チャンネル型 T F T 5 0 1 c 及び 5 0 1 d が共にオンの状態を選択される場合に、n チャンネル型 T F T 1 0 1 \_\_ 2 をオンの状態にする信号であれば、上記に限定されない。

#### 【 0 1 1 5 】

また、第 3 段以降の回路において、第 k 段の第 1 のクロックドインバータにおいて、n チャンネル型 T F T 5 0 1 d \_\_ k がオフの状態になることを望まれる際に、n チャンネル型 T F T 1 0 1 \_\_ k のゲート電極に入力された S B \_\_ k - 2 の信号によって、n チャンネル型 T F T 1 0 1 \_\_ k をオフにする。こうして、第 k 段の回路の第 1 のクロックドインバータ C K I N V 1 \_\_ k において、n チャンネル型 T F T の漏れ電流が流れるのを防ぐことができる。

20

#### 【 0 1 1 6 】

ここで、タイミングチャートに示すようにスタートパルスを入力すれば、漏れ電流による第 1 段の第 1 のクロックドインバータの出力 S B \_\_ 1 の変動は問題とならない。つまり、第 1 段の第 1 のクロックドインバータにおいて、入力されたスタートパルス S P の極性が反転した信号が、第 1 段の第 1 のクロックドインバータ C K I N V 1 \_\_ 1 の出力 S B \_\_ 1 となるような場合、漏れ電流による第 1 段の第 1 のクロックドインバータの出力 S B \_\_ 1 の変動は問題とならない。

#### 【 0 1 1 7 】

こうして、第 2 段以降の第 1 のクロックドインバータ C K I N V 1 に、新たに、n チャンネル型 T F T 1 0 1 を設けることによって、漏れ電流を防ぎ、シフトレジスタを正常に動作させることができる。

30

#### 【 0 1 1 8 】

本実施の形態のシフトレジスタの駆動方法について、図 9 のタイミングチャートを用いて説明する。図 9 において、遅延回路 1 1 0 を介して T F T 1 0 1 \_\_ 2 のゲート電極に入力される信号 S \_\_ 1 R を示す。この信号 S \_\_ 1 R によって、T F T 1 0 1 \_\_ 2 をオフにし、第 2 段の第 1 のクロックドインバータ C K I N V 1 \_\_ 2 の漏れ電流を防ぐことができる。

#### 【 0 1 1 9 】

なお、p チャンネル型 T F T の漏れ電流を確実に防ぐために、新たな p チャンネル型 T F T 等は設けなかった。一般に、n チャンネル型 T F T は、p チャンネル型 T F T より特性が良いため、特に n チャンネル型 T F T の漏れ電流を確実に防止することが重要である。そのため、上記構成による漏れ電流防止の構造は有効である。

40

#### 【 0 1 2 0 】

なお、本実施の形態のシフトレジスタの第 1 段において、第 1 のクロックドインバータ C K I N V 1 \_\_ 1 の p チャンネル型 T F T 5 0 1 a と、p チャンネル型 T F T 5 0 1 b とは、その配置を入れ替えることができる。つまり、図 8 のように、高電源電位 V d d にそのソース電極が接続された p チャンネル型 T F T を 5 0 1 a として、p チャンネル型 T F T 5 0 1 a 、5 0 1 b の順に直列に接続し、p チャンネル型 T F T 5 0 1 b のドレイン電極を第 1 のクロックドインバータ C K I N V 1 \_\_ 1 の出力端子とした構成であっても良いし、高電源電位 V d d にそのソース電極が接続された p チャンネル型 T F T を 5 0 1 b として、p チャン

50

ル型 T F T 5 0 1 b、5 0 1 a の順に直列に接続し、p チャンネル型 T F T 5 0 1 a のドレイン電極を第 1 のクロックインバータ C K I N V 1 \_\_ 1 の出力端子とした構成であっても良い。

#### 【 0 1 2 1 】

また、また上記の様に、第 1 のクロックインバータ C K I N V 1 \_\_ 1 内において、p チャンネル型 T F T 5 0 1 a 及び 5 0 1 b の配置が 2 とおり存在するが、このそれぞれにおいて、n チャンネル型 T F T 5 0 1 d と、5 0 1 c とは、その配置を入れ替えることができる。つまり、図 8 のように低電源電位 V s s にそのソース電極が接続された n チャンネル型 T F T を 5 0 1 d として、n チャンネル型 T F T 5 0 1 d、5 0 1 c の順に直列に接続し、n チャンネル型 T F T 5 0 1 c のドレイン電極を第 1 のクロックインバータ C K I N V 1 \_\_ 1 の出力端子とした構成であっても良いし、低電源電位 V s s にそのソース電極が接続された n チャンネル型 T F T を 5 0 1 c として、n チャンネル型 T F T 5 0 1 c、5 0 1 d の順に直列に接続し、n チャンネル型 T F T 5 0 1 d のドレイン電極を第 1 のクロックインバータ C K I N V 1 \_\_ 1 の出力端子とした構成であっても良い。

10

#### 【 0 1 2 2 】

第 1 段の回路において、第 1 のクロックインバータ C K I N V 1 \_\_ 1 と同様に、第 2 のクロックインバータ C K I N V 2 \_\_ 1 の p チャンネル型 T F T 5 0 1 a と、5 0 1 b とは、その配置を入れ替えることができる。また、第 2 のクロックインバータ C K I N V 2 \_\_ 1 の n チャンネル型 T F T 5 0 1 d と、5 0 1 c とは、その配置を入れ替えることができる。

20

#### 【 0 1 2 3 】

なお、本実施の形態のシフトレジスタの第 2 段以降の回路において、それぞれ有する第 1 のクロックインバータ C K I N V 1 の p チャンネル型 T F T 5 0 1 a と、p チャンネル型 T F T 5 0 1 b とは、その配置を入れ替えることができる。つまり、図 8 のように高電源電位 V d d にそのソース電極が接続された T F T を p チャンネル型 T F T 5 0 1 a として、p チャンネル型 T F T 5 0 1 a、5 0 1 b の順に直列に接続し、p チャンネル型 T F T 5 0 1 b のドレイン電極を第 1 のクロックインバータ C K I N V 1 の出力端子とした構成であっても良いし、高電源電位 V d d にそのソース電極が接続された T F T を p チャンネル型 T F T 5 0 1 b とし、p チャンネル型 T F T 5 0 1 b、5 0 1 a の順に直列に接続し、p チャンネル型 T F T 5 0 1 a のドレイン電極を第 1 のクロックインバータ C K I N V 1 の出力端子とした構成であっても良い。

30

#### 【 0 1 2 4 】

また、また上記の様に、第 1 のクロックインバータ C K I N V 1 内において、p チャンネル型 T F T 5 0 1 a 及び 5 0 1 b の配置が 2 とおり存在するが、このそれぞれにおいて、n チャンネル型 T F T 1 0 1 と、5 0 1 d と、5 0 1 c とは、その配置を入れ替えることができる。つまり、図 8 のように低電源電位 V s s にそのソース電極が接続された T F T を n チャンネル型 T F T 1 0 1 とし、n チャンネル型 T F T 1 0 1、5 0 1 d、5 0 1 c の順に直列に接続し、n チャンネル型 T F T 5 0 1 c のドレイン電極を第 1 のクロックインバータ C K I N V 1 の出力端子とした構成であっても良いがその他に、低電源電位 V s s にそのソース電極が接続された T F T を n チャンネル型 T F T 1 0 1 とし、n チャンネル型 T F T 1 0 1、5 0 1 c、5 0 1 d の順に直列に接続し、n チャンネル型 T F T 5 0 1 d のドレイン電極を第 1 のクロックインバータ C K I N V 1 の出力端子とした構成であっても良いし、低電源電位 V s s にそのソース電極が接続された T F T を n チャンネル型 T F T 5 0 1 d とし、n チャンネル型 T F T 5 0 1 d、1 0 1、5 0 1 c の順に直列に接続し、n チャンネル型 T F T 5 0 1 c のドレイン電極を第 1 のクロックインバータ C K I N V 1 の出力端子とした構成であっても良いし、低電源電位 V s s にそのソース電極が接続された T F T を n チャンネル型 T F T 5 0 1 c とし、n チャンネル型 T F T 5 0 1 c、1 0 1、5 0 1 d の順に直列に接続し、n チャンネル型 T F T 5 0 1 d のドレイン電極を第 1 のクロックインバータ C K I N V 1 の出力端子とした構成であっても良いし、低電源電位 V s s にそのソース電極が接続された T F T を n チャンネル型 T F T 5 0 1 d とし、n チャンネル型 T F T 5

40

50

01d、501c、101の順に直列に接続し、nチャネル型TFT101のドレイン電極を第1のクロックインバータCKINV1の出力端子とした構成であっても良いし、低電源電位Vssにそのソース電極が接続されたTFTをnチャネル型TFT501cとし、nチャネル型TFT501c、501d、101の順に直列に接続し、nチャネル型TFT101のドレイン電極を第1のクロックインバータCKINV1の出力端子とした構成であっても良い。

#### 【0125】

第1段の回路における第2のクロックインバータCKINV2\_\_1と同様に、第2段以降の第2のクロックインバータCKINV2のpチャネル型TFT501aと、501bとは、その配置を入れ替えることができる。また、第2のクロックインバータCKINV2のnチャネル型TFT501dと、501cとは、その配置を入れ替えることができる。

10

#### 【0126】

なお、図8において、シフトレジスタの各段が有する、第1のクロックインバータCKINV1、第2のクロックインバータCKINV2及びインバータINVを構成するTFTは、シングルゲート構造としたが、これに限定されない。ダブルゲート構造や、更に多くのゲート電極を有するマルチゲート構造であっても良い。

#### 【0127】

本実施の形態は、第1の実施の形態と自由に組み合わせて実施することが可能である。

#### 【0128】

20

(第4の実施の形態)

本実施の形態では、実施の形態2や実施の形態3とは異なる構成のシフトレジスタについて説明する。

#### 【0129】

本実施の形態のシフトレジスタは、図1に示した構成のシフトレジスタにおいて、第1のクロックインバータCKINV1にnチャネル型TFT101を有する第3段以降の段では、クロックパルスCKまたは反転クロックパルスCKBが入力されるnチャネル型TFT501dを省略した構成である。この構成を図18に示す。なお、図1と同じ部分は同じ符号を用いて示し説明は省略する。例えば、図18における第3段の第1のクロックインバータCKINV1では、図1に対してnチャネル型TFT501d\_\_3が省略されている。図18に示す構成のシフトレジスタは、図1と同様のタイミングでパルスを出力することができる。

30

#### 【0130】

図18に示すような構成では、シフトレジスタを構成するTFTの数は従来のシフトレジスタに対して増加しない。しかし、その電源電圧より小さな振幅電圧を有するクロックパルス、スタートパルスを入力する場合にも、漏れ電流による第1のクロックインバータの出力電位の変化を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。

#### 【0131】

40

また同様に、図8に示した構成のシフトレジスタにおいて、第1のクロックインバータCKINV1にnチャネル型TFT101を有する第2段以降の段では、クロックパルスCKまたは反転クロックパルスCKBが入力されるnチャネル型TFT501dを省略した構成である。この構成を図19に示す。なお、図8と同じ部分は同じ符号を用いて示し説明は省略する。例えば、図19における第2段の第1のクロックインバータCKINV1では、図8に対してnチャネル型TFT501d\_\_2が省略されている。図19に示す構成のシフトレジスタは、図8と同様のタイミングでパルスを出力することができる。

#### 【0132】

図19に示すような構成でも、シフトレジスタを構成するTFTの数は従来のシフトレジスタに対して増加しない。しかし、その電源電圧より小さな振幅電圧を有するクロックパ

50

ルス、スタートパルスを入力する場合にも、漏れ電流による第 1 のクロックドインバータの出力電位の変化を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。

#### 【 0 1 3 3 】

本実施の形態は、実施の形態 1 ～ 実施の形態 3 と自由に組み合わせて実施することができる。

#### 【 0 1 3 4 】

( 第 5 の実施の形態 )

本実施の形態では、その電源電圧 ( 高電源電位  $V_{dd}$  と低電源電位  $V_{ss}$  の電位差に相当する ) より小さな振幅電圧の、スタートパルス  $SP$  や、クロックパルス  $CK$  を入力するシフトレジスタであって、この際問題となる、第 1 のクロックドインバータの漏れ電流を以下の構成によって低減したシフトレジスタの例を示す。

#### 【 0 1 3 5 】

なお、本実施の形態に示すシフトレジスタでは、第 1 のクロックドインバータの  $p$  チャンネル型  $TF T 5 0 1 a$  や  $5 0 1 b$  を介して流れる漏れ電流を低減する構成である。

#### 【 0 1 3 6 】

本実施の形態のシフトレジスタの構成を図 2 1 に示す。また、図 2 1 のシフトレジスタのタイミングチャートを図 2 0 に示す。ここで、スタートパルス  $SP$ 、クロックパルス  $CK$  の入力のタイミングは実施の形態 1 において図 1 で示した構成と同様であるので詳細な説明は省略する。

#### 【 0 1 3 7 】

但し、実施の形態 1 において図 1 で示した構成のシフトレジスタに入力されるスタートパルスに対して、本実施の形態の図 2 1 で示した構成のシフトレジスタに入力されるスタートパルスの極性は反転している。入力されるクロックパルス  $CK$ 、反転クロックパルス  $CKB$  については、図 1 の構成のシフトレジスタ、図 2 1 の構成のシフトレジスタ共に同じである。

#### 【 0 1 3 8 】

図 2 1 に示すシフトレジスタでは、第 3 段以降の各段の第 1 のクロックドインバータ  $CK I N V 1$  は、 $p$  チャンネル型  $TF T 1 1 0 1$  を有する。ここで、第  $k$  ( $k$  は、3 以上  $n$  以下の自然数) 段の  $p$  チャンネル型  $TF T 1 1 0 1$  を  $1 1 0 1 \_ k$  と表記する。なお、 $p$  チャンネル型  $TF T 1 1 0 1$  のゲート電極の電氣的接続については、図 2 1 に示した通りである。つまり、ある段における  $p$  チャンネル型  $TF T 1 1 0 1$  のゲート電極には、2 つ前の段の第 1 のクロックドインバータ  $CK I N V 1$  の出力が入力されている。

#### 【 0 1 3 9 】

図 2 1 に示した構成のシフトレジスタによって、第 1 のクロックドインバータの  $p$  チャンネル型  $TF T 5 0 1 a$  や  $5 0 1 b$  を介して流れる漏れ電流を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。

#### 【 0 1 4 0 】

なお、図 2 1 に示した構成において、さらに第 2 段の第 1 のクロックドインバータ  $CK I N V 1$  に、新たに  $p$  チャンネル型  $TF T 1 1 0 1$  を追加する構成としてもよい。この構成を、図 2 2 に示す。なお、図 2 2 に示した構成において、図 2 1 と同じ部分は同じ符号を用いて示し説明は省略する。ここで、 $1 1 0$  は遅延回路である。第 2 段の第 1 のクロックドインバータ  $CK I N V 1$  に追加された  $p$  チャンネル型  $TF T 1 1 0 1 \_ 2$  のゲート電極には、第 1 段の第 1 のクロックドインバータ  $CK I N V 1$  の出力が遅延回路  $1 1 0$  を介して入力される。遅延回路  $1 1 0$  により信号を遅延させる度合いは、クロックパルスの半周期程度に設定する。

#### 【 0 1 4 1 】

図 2 2 に示した構成のシフトレジスタによって、第 1 のクロックドインバータの  $p$  チャン

10

20

30

40

50

ル型 T F T 5 0 1 a や 5 0 1 b を介して流れる漏れ電流を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。

【 0 1 4 2 】

また、図 2 1 や図 2 2 に示した構成のシフトレジスタにおいて、新たに p チャネル型 T F T 1 1 0 1 が追加された第 1 のクロックインバータ C K I N V 1 では、クロックパルス C K または反転クロックパルス C K B が入力される p チャネル型 T F T 5 0 1 a を省略した構成とすることができる。

【 0 1 4 3 】

つまり、図 2 1 において、新たに p チャネル型 T F T 1 1 0 1 が追加された第 3 段以降の第 1 のクロックインバータ C K I N V 1 では、クロックパルス C K または反転クロックパルス C K B が入力される p チャネル型 T F T 5 0 1 a を省略することができる。この構成を図 2 3 に示す。例えば、図 2 3 における第 3 段の第 1 のクロックインバータ C K I N V 1 では、図 2 1 に対して p チャネル型 T F T 5 0 1 a \_\_ 3 が省略されている。

10

【 0 1 4 4 】

また図 2 2 において、新たに p チャネル型 T F T 1 1 0 1 が追加された第 2 段以降の第 1 のクロックインバータ C K I N V 1 では、クロックパルス C K または反転クロックパルス C K B が入力される p チャネル型 T F T 5 0 1 a を省略することができる。この構成を図 2 4 に示す。例えば、図 2 4 における第 2 段の第 1 のクロックインバータ C K I N V 1 では、図 2 2 に対して p チャネル型 T F T 5 0 1 a \_\_ 2 が省略されている。

20

【 0 1 4 5 】

図 2 3 や図 2 4 において、シフトレジスタを構成する T F T の数は従来のシフトレジスタに対して増加しない。しかし、その電源電圧より小さな振幅電圧を有するクロックパルス、スタートパルスを入力する場合にも、漏れ電流による第 1 のクロックインバータの出力電位の変化を低減することができる。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタが提供される。

【 0 1 4 6 】

また、図 2 1 ~ 図 2 4 に示したようなシフトレジスタの各段の出力 S において、その隣り合う段の出力の N O R をとった信号を出力信号とするタイプのシフトレジスタでもよい。図 2 1 に示したようなシフトレジスタにおいて、その隣り合う段の出力の N O R をとった信号を出力信号とするタイプのシフトレジスタを図 2 5 に示す。

30

【 0 1 4 7 】

なお図 2 5 において、図 2 1 に示したタイミングチャートに示すようにスタートパルス S P を入力すれば、漏れ電流による第 1 段の第 1 のクロックインバータ C K I N V 1 \_\_ 1 の出力 S B \_\_ 1 の変動は問題とならない。また、第 2 段の第 1 のクロックインバータの出力 S B \_\_ 2 は、漏れ電流によって変動するが、第 1 段及び第 2 段の出力 S \_\_ 1 と S \_\_ 2 の N O R をとったものが、サンプリングパルス S M P \_\_ 1 として出力されるため、シフトレジスタの動作上、問題ない。第 3 段以降の第 1 のクロックインバータ C K I N V 1 に、新たに、p チャネル型 T F T 1 1 0 1 を設けることによって、漏れ電流を防ぎ、シフトレジスタを正常に動作させることができる。

40

【 0 1 4 8 】

本実施の形態は、実施の形態 1 ~ 実施の形態 4 と自由に組み合わせて実施することが可能である。

【 0 1 4 9 】

( 第 6 の実施の形態 )

本発明のシフトレジスタ及びその駆動方法は、表示装置の駆動回路に用いることができる。

【 0 1 5 0 】

例えば、エレクトロルミネッセンス ( E L ) 素子を用いた E L 表示装置や、液晶素子を用いた液晶表示装置等の駆動回路に、本発明のシフトレジスタ及びその駆動方法を用いるこ

50

とができる。これにより、消費電力が少なく、また、小型化可能で、信頼性の高い表示装置が提供される。

【0151】

なおEL素子とは、一对の電極（陽極と陰極）間にEL層を挟んだ構成の素子で、一对の電極間に電圧を印加することによって発光する素子を示すものとする。なお、EL層は、有機化合物によって形成されていてもよいし、無機物によって構成されていてもよいし、有機化合物と無機物の混合物によって形成されていてもよい。ここで、EL層が有機化合物を主成分として形成される素子を特にOLED（Organic Light Emitting Diode）と呼ぶことにする。OLEDを用いた表示装置をOLED表示装置と呼ぶ。

【0152】

OLEDのEL層を有機化合物層と呼ぶことにする。有機化合物層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て有機化合物層に含まれる。そして、上記構造でなる有機化合物層に一对の電極（陽極と陰極）から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。

【0153】

なお、有機化合物層は、明確な積層構造を有している必要は無い。各層を構成する物質が混合した構造を有していてもよい。

【0154】

また本明細書中において、OLEDとは、1重項励起子からの発光（蛍光）と、3重項励起子からの発光（燐光）の一方または両方を用いるものを示すものとする。

【0155】

図13に、表示装置の構成の例を示すブロック図を示す。図13において、表示装置700は、ソース信号線駆動回路701、ゲート信号線駆動回路702、画素部703によって構成されている。ソース信号線駆動回路701は、シフトレジスタ704、第1のラッチ回路705、第2のラッチ回路706によって構成されている。また、ゲート信号線駆動回路702は、シフトレジスタ707によって構成されている。

【0156】

画素部703には、ソース信号線駆動回路701からの信号が入力される複数のソース信号線が列方向に配置され、ゲート信号線駆動回路702からの信号が入力される複数のゲート信号線が行方向に配置されている。これらのソース信号線及びゲート信号線の交点毎に、画素が配置されている。

【0157】

表示装置がOLED表示装置では、画素はそれぞれOLEDを有し、表示装置が液晶表示装置では液晶素子を有する。

【0158】

ゲート信号線駆動回路702は、シフトレジスタ707からの信号によって、ゲート信号線に順に信号を出力し、画素部703が有する画素行を選択する。ソース信号線駆動回路701は、シフトレジスタ704からの信号によって、第1のラッチ回路705が順にビデオ信号を保持し、第1のラッチ回路705において保持されたビデオ信号は、第2のラッチ回路706に転送されて、ソース信号線に入力される。こうして、1行の画素に信号を入力する。これを全ての画素行について繰り返し、1つの画像が表示される。

【0159】

例えば、OLED表示装置の画素の構成としては、ゲート信号線の信号によって、画素にソース信号線の信号を入力するかどうかを選択するスイッチとして働く、スイッチング用TFT及び、スイッチング用TFTがオンの状態となり、ソース信号線から入力された信

10

20

30

40

50

号に応じて、画素のＯＬＥＤを流れる電流を制御するＯＬＥＤ駆動用ＴＦＴを配置する構成の画素を用いることができる。

【０１６０】

なお、画素の構成としては公知のものを自由に用いることができる。

【０１６１】

本発明のシフトレジスタ及びその駆動方法は、ソース信号線駆動回路７０１が有するシフトレジスタ７０４及び、ゲート信号線駆動回路７０２が有するシフトレジスタ７０７に用いることができる。

【０１６２】

本実施の形態は、本発明の実施の形態１～実施の形態５と自由に組み合わせて実施することが可能である。

10

【０１６３】

（第７の実施の形態）

本実施の形態では、本発明のシフトレジスタを実際に作製した際の上面図を示す。図１５において、図１におけるシフトレジスタの第３段以降のある１段に相当する部分の上面図を示す。ここで、第 $k$ （ $k$ は３以上の自然数）段 $SR\_k$ の上面図を示す。

【０１６４】

第１のクロックインバータ $CKINV1\_k$ 、第２のクロックインバータ $CKINV2\_k$ 及びインバータ $INV\_k$ が配置されている。なお、図１において示した部分と同じ部分は、同じ符号を用いて示す。

20

【０１６５】

第１のクロックインバータ $CKINV1\_k$ を構成する $p$ チャネル型ＴＦＴ $501a\_k$ 及び $501b\_k$ を、図中 $pchTFT\_501a\_k$ 、 $501b\_k$ で示す。また、第１のクロックインバータ $CKINV1\_k$ を構成する $n$ チャネル型ＴＦＴ $501c\_k$ 、 $501d\_k$ 及び漏れ電流対策として配置したＴＦＴ $101\_k$ を、図中 $nchTFT\_501c\_k$ 、 $501b\_k$ 、 $101\_k$ で示す。

【０１６６】

$CK$ 、 $CKB$ は、それぞれクロックパルス及びクロックパルスの極性が反転した反転クロックパルスが入力される配線である。また、 $Vdd$ は、高電源電位が入力される電源線であり、 $Vss$ は、低電源電位が入力される電源線である。

30

【０１６７】

図中、 $A$ 、 $B$ で示した配線は、前段（第 $k-1$ 段）の $A'$ 、 $B'$ にそれぞれ接続される。但し、前後の段（第 $k-1$ 段及び第 $k+1$ 段）の回路では、ＴＦＴ $501d$ のゲート電極に信号を入力する配線 $CKin1$ が配線 $CKB$ に接続され、ＴＦＴ $501a$ のゲート電極に信号を入力する配線 $CKin2$ が配線 $CK$ に接続されている。

【０１６８】

第 $k$ 段の第１のクロックインバータ $CKINV1\_k$ に追加した、 $n$ チャネル型ＴＦＴ $101\_k$ のゲート電極には、前々段（第 $k-2$ 段）の第１のクロックインバータ $CKINV1\_k-2$ の出力に相当する、 $SB\_k-2$ で示す信号が入力されている。（なお、出力される信号と同じ符号をもって、その信号が出力される端子や配線を示すこととする）。図１５中 $SB\_k-2$ は、第 $k-2$ 段の第１のクロックインバータの出力端子及び第 $k-2$ 段の第２のクロックインバータの出力端子に相当する。

40

【０１６９】

図１６に、シフトレジスタの３段分の構成を示す上面図を示す。なお、図１５と同じ部分は同じ符号を用いて示し説明は省略する。

【０１７０】

図１６において、シフトレジスタの第 $k$ 段～第 $k+2$ 段、 $SR\_k \sim SR\_k+2$ を示す。第 $k+2$ 段 $SR\_k+2$ の第１のクロックインバータ $CKINV1\_k+2$ の $n$ チャネル型ＴＦＴ $101\_k+2$ のゲート電極に入力される信号は、第 $k$ 段 $SR\_k$ の第１のクロックインバータ $CKINV1\_k$ の出力端子から出力される信号 $SB\_k$ である。

50

図 15 中  $S B\_k$  は、第  $k$  段の第 1 のクロックインバータの出力端子及び第  $k$  段の第 2 のクロックインバータの出力端子に相当する。

【0171】

図 15 及び図 16 において示した構成のシフトレジスタでは、電源電圧より小さな振幅電圧を有するパルス信号（クロックパルス、反転クロックパルス及びスタートパルス）を入力しても、 $n$ チャネル型 T F T 101 によって、漏れ電流による出力電位の変動を抑えることができる。

【0172】

本実施の形態は、実施の形態 1 ~ 実施の形態 6 と自由に組み合わせて実施することが可能である。

10

【0173】

（第 8 の実施の形態）

本実施の形態では、本発明のシフトレジスタを実際に作製した際の断面図を示す。

【0174】

ここでは、図 15 の  $a \sim a'$  の部分の断面図を図 17 に示す。なお、図 15 と同じ部分は同じ符号を用いて示し、説明は省略する。

【0175】

絶縁表面を有する基板 800 上に、 $p$ チャネル型 T F T（図中、 $p c h T F T$ と表記）501  $a\_k$ 、501  $b\_k$ 、 $n$ チャネル型 T F T（図中、 $n c h T F T$ と表記）501  $c\_k$ 、501  $d\_k$ 、101  $\_k$  が形成されている。なお、801 はゲート絶縁膜、802 は層間絶縁膜である。

20

【0176】

$p$ チャネル型 T F T 501  $a\_k$  は活性層中に、ソース領域として機能する不純物領域 881 及び 885、チャネル領域として機能する 891 及び 894 を有する。なお、不純物領域 882 及び 884 はドレイン領域として機能する。なお、不純物領域 885 は、配線 810 によって、電源線  $V d d$  と電氣的に接続されている。 $p$ チャネル型 T F T 501  $a\_k$  は、活性層と重ならない部分で電氣的に接続されたゲート電極 803 と 806 を有するダブルゲート型の T F T である。ゲート電極 803 は、配線  $C K i n 2$  によって配線  $C K B$  と接続されている。

【0177】

$p$ チャネル型 T F T 501  $b\_k$  は活性層中に、ソース領域として機能する不純物領域 882 及び 884、ドレイン領域として機能する不純物領域 883、チャネル領域として機能する 892 及び 893 を有する。 $p$ チャネル型 T F T 501  $b\_k$  は、活性層と重ならない部分で電氣的に接続されたゲート電極 804 と 805 を有するダブルゲート型の T F T である。ゲート電極 804 は、端子  $S\_k 1$  と電氣的に接続されている。また、ドレイン領域として機能する不純物領域 883 は、端子  $S B\_k$  に接続されている。

30

【0178】

$p$ チャネル型 T F T 501  $a\_k$  のドレイン領域と  $p$ チャネル型 T F T 501  $b\_k$  のソース領域とは、活性層によって直接接続されている。

【0179】

$n$ チャネル型 T F T 501  $c\_k$  は活性層中に、ドレイン領域として機能する不純物領域 886、ソース領域として機能する不純物領域 887、チャネル領域として機能する 895 を有する。なお、ドレイン領域として機能する不純物領域 886 は、配線 811 によって、端子  $S B\_k$  と接続されている。ゲート電極 807 は、端子  $S\_k 1$  と接続されている。

40

【0180】

$n$ チャネル型 T F T 501  $d\_k$  は活性層中に、ドレイン領域として機能する不純物領域 887、ソース領域として機能する不純物領域 888、チャネル領域として機能する 896 を有する。ゲート電極 808 は、配線  $C K i n 1$  によって配線  $C K$  と接続されている。

【0181】

50

nチャンネル型TFT101\_\_kは活性層中に、ドレイン領域として機能する不純物領域888、ソース領域として機能する不純物領域889、チャンネル領域として機能する897を有する。ゲート電極809は、端子SB\_\_k-2と接続されている。ソース領域として機能する不純物領域889は、電源線Vssと電氣的に接続されている。

【0182】

nチャンネル型TFT501c\_\_kのソース領域とnチャンネル型TFT501d\_\_kのドレイン領域は、活性層によって直接接続されている。また、nチャンネル型TFT501d\_\_kのソース領域とnチャンネル型TFT101\_\_kのドレイン領域は、活性層によって直接接続されている。

【0183】

以上が、本発明のシフトレジスタを実際に作製した際の断面図についての説明であった。本発明のシフトレジスタでは、電源電圧より小さな振幅電圧を有するパルス信号（クロックパルス、反転クロックパルス及びスタートパルス）を入力しても、nチャンネル型TFT101によって、漏れ電流による出力電位の変動を抑えることができる。

【0184】

本実施の形態は、実施の形態1～実施の形態7と自由に組み合わせて実施することが可能である。

【0185】

（第9の実施の形態）

本実施の形態では、本発明のシフトレジスタ用いた駆動回路を有する表示装置を利用した電子機器について図11を用いて説明する。

【0186】

図11（A）に本発明の表示装置を用いた携帯情報端末の模式図を示す。携帯情報端末は、本体2701a、操作スイッチ2701b、電源スイッチ2701c、アンテナ2701d、表示部2701e、外部入力ポート2701fによって構成されている。本発明の表示装置は、表示部2701eに用いることができる。

【0187】

図11（B）に本発明の表示装置を用いたパーソナルコンピュータの模式図を示す。パーソナルコンピュータは、本体2702a、筐体2702b、表示部2702c、操作スイッチ2702d、電源スイッチ2702e、外部入力ポート2702fによって構成されている。本発明の表示装置は、表示部2702cに用いることができる。

【0188】

図11（C）に本発明の表示装置を用いた画像再生装置の模式図を示す。画像再生装置は、本体2703a、筐体2703b、記録媒体2703c、表示部2703d、音声出力部2703e、操作スイッチ2703fによって構成されている。本発明の表示装置は、表示部2703dに用いることができる。

【0189】

図11（D）に本発明の表示装置を用いたテレビの模式図を示す。テレビは、本体2704a、筐体2704b、表示部2704c、操作スイッチ2704dによって構成されている。本発明の表示装置は、表示部2704cに用いることができる。

【0190】

図11（E）に本発明の表示装置を用いたヘッドマウントディスプレイの模式図を示す。ヘッドマウントディスプレイは、本体2705a、モニター部2705b、頭部固定バンド2705c、表示部2705d、光学系2705eによって構成されている。本発明の表示装置は、表示部2705dに用いることができる。

【0191】

図11（F）に本発明の表示装置を用いたビデオカメラの模式図を示す。ビデオカメラは、本体2706a、筐体2706b、接続部2706c、受像部2706d、接眼部2706e、バッテリー2706f、音声入力部2706g、表示部2706hによって構成されている。本発明の表示装置は、表示部2706hに用いることができる。

10

20

30

40

50

## 【 0 1 9 2 】

本発明は、上記応用電子機器に限定されず、様々な電子機器に応用することができる。

## 【 0 1 9 3 】

本実施の形態は、実施の形態 1 ~ 実施の形態 8 と自由に組み合わせて実施することが可能である。

## 【 0 1 9 4 】

( 第 1 0 の実施の形態 )

本実施の形態では、同一基板上に従来型及び本発明のシフトレジスタの各々を搭載したパネルを作製し、動作させたときの測定結果について述べる。より詳しくは、入力する信号電圧を 0 ~ 3 V として、電源電圧の振幅を増加していき、何 V まで正常に動作するのかを測定した結果について述べる。なおこのときの周波数は 5 MHz とした。

10

## 【 0 1 9 5 】

従来型のシフトレジスタは、電源電圧が - 1 . 5 V ~ 5 . 5 V の範囲において正常に動作し、その振幅は 7 . 0 V であった。一方、本発明のシフトレジスタでは、電源電圧が - 5 . 0 ~ 7 . 5 V の範囲において正常に動作し、その振幅は 1 2 . 5 V であった。

## 【 0 1 9 6 】

以上の結果より、本発明のシフトレジスタを用いると、従来型のシフトレジスタよりも電源電圧にマージンが生じるため、TFT の特性バラツキの影響を抑制することができる。さらに、シフトレジスタから他の回路に対して正確に信号を供給することができる。

## 【 0 1 9 7 】

20

( 第 1 1 の実施の形態 )

本発明のシフトレジスタについて、上面から撮影した写真を図 2 7 に示す。具体的な仕様としては、入力信号の振幅電圧は 3 . 0 V 、電源電圧は 8 . 0 V とした。

## 【 0 1 9 8 】

また、本発明のシフトレジスタを周波数 5 MHz で動作させたときの波形を図 2 8 に示す。図 2 8 において、上から順にスタートパルス、クロック信号、シフトレジスタが出力する信号の波形を示す。なお、シフトレジスタが出力する信号において、1 段目の波形が半パルス分大きくなっているが、これは 2 段目の N A N D をとるためであるので、特に問題はない。

## 【 0 1 9 9 】

30

## 【 発明の効果 】

シフトレジスタの電源電圧より小さな振幅電圧を有する、クロックパルス、スタートパルスシフトレジスタに入力する。こうして、低消費電力・高周波数で動作し、電源線のノイズ、レイアウト面積の増大等の問題を解決するシフトレジスタの駆動方法が提供される。

## 【 0 2 0 0 】

また上記駆動方法を用いる場合に、第 2 のクロックインバータを構成する T F T のゲート幅を、従来と比較して大きく設定することで漏れ電流を低減する。

## 【 0 2 0 1 】

さらに、第 1 のクロックインバータに、新たに T F T を追加する。この追加した T F T のソース・ドレイン間を介して、電源電位を第 1 のクロックインバータの出力端子に出力する構成とする。追加した T F T のゲート電極には、シフトレジスタの電源電圧程度の振幅電圧を有する信号が入力される。漏れ電流が問題となる場合に、追加した T F T をオフする構成とする。これによって、第 1 のクロックインバータを流れる電流 ( 漏れ電流 ) を遮断する。

40

## 【 0 2 0 2 】

上記構成によって、シフトレジスタにおいて高周波数・低電源電圧動作、また、小型化を実現することができる。

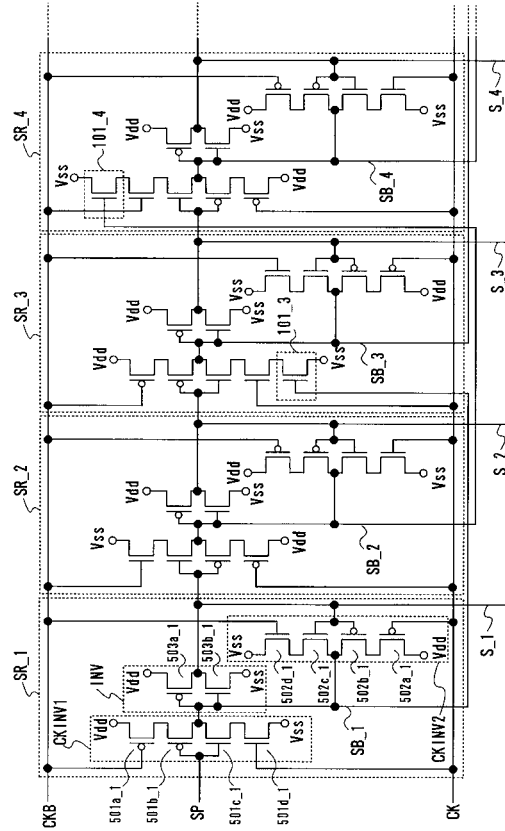
## 【 0 2 0 3 】

## 【 図面の簡単な説明 】

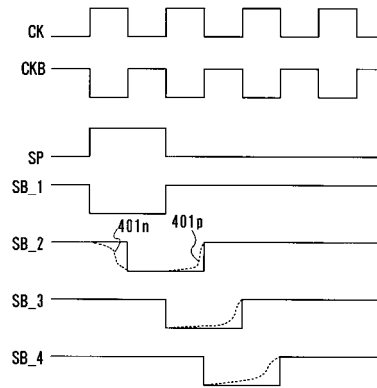
50

- 【図 1】 本発明のシフトレジスタの構成を示す回路図。
- 【図 2】 本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。
- 【図 3】 本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。
- 【図 4】 シフトレジスタの構成を示す図。
- 【図 5】 シフトレジスタの構成を示す図。
- 【図 6】 従来のシフトレジスタの駆動方法を示すタイミングチャートを示す図。
- 【図 7】 理想的なシフトレジスタの駆動方法を示すタイミングチャートを示す図。
- 【図 8】 本発明のシフトレジスタの構成を示す回路図。
- 【図 9】 本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。
- 【図 10】 シフトレジスタの構成を示す回路図。 10
- 【図 11】 本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。
- 【図 12】 本発明のシフトレジスタの構成を示す回路図。
- 【図 13】 本発明のシフトレジスタを用いた駆動回路を有する表示装置のブロック図。
- 。 【図 14】 本発明のシフトレジスタを用いた駆動回路を有する表示装置を応用した電子機器を示す図。
- 【図 15】 本発明のシフトレジスタの作製例を示す上面図。
- 【図 16】 本発明のシフトレジスタの作製例を示す上面図。
- 【図 17】 本発明のシフトレジスタの作製例を示す断面図。
- 【図 18】 本発明のシフトレジスタの構成を示す回路図。 20
- 【図 19】 本発明のシフトレジスタの構成を示す回路図。
- 【図 20】 本発明のシフトレジスタの駆動方法を示すタイミングチャートを示す図。
- 【図 21】 本発明のシフトレジスタの構成を示す回路図。
- 【図 22】 本発明のシフトレジスタの構成を示す回路図。
- 【図 23】 本発明のシフトレジスタの構成を示す回路図。
- 【図 24】 本発明のシフトレジスタの構成を示す回路図。
- 【図 25】 本発明のシフトレジスタの構成を示す回路図。
- 【図 26】 T F T のゲート幅を示す図。
- 【図 27】 本発明のシフトレジスタの上面写真。
- 【図 28】 本発明のシフトレジスタを周波数 5 MHz で動作させたときの波形を示す図 30
- 。

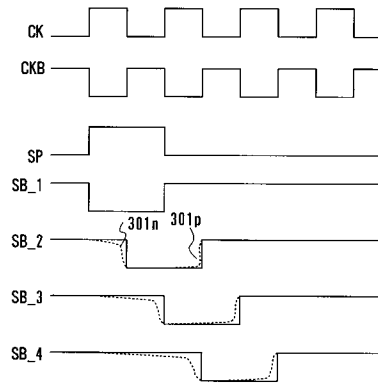
【図 1】



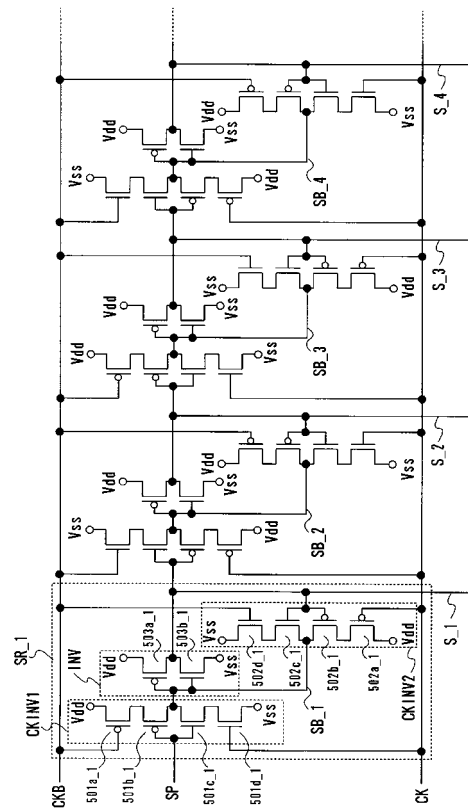
【図 2】



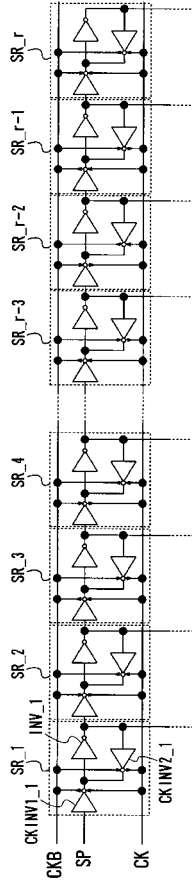
【図 3】



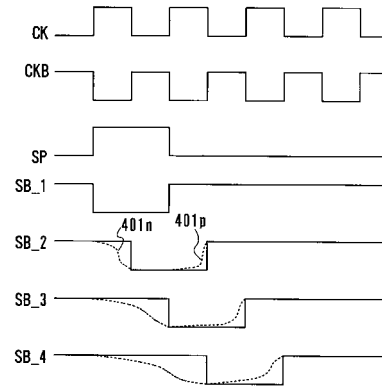
【図 4】



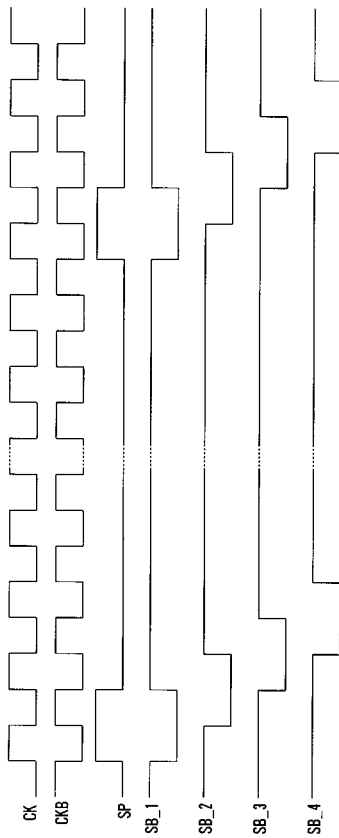
【 図 5 】



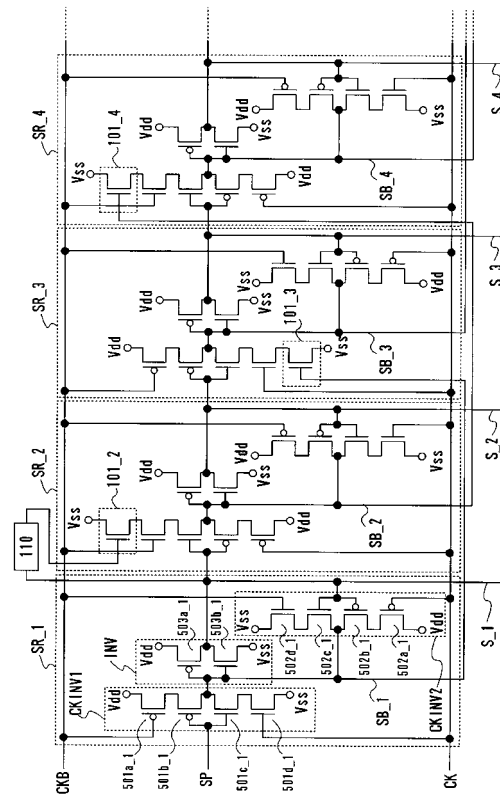
【 図 6 】



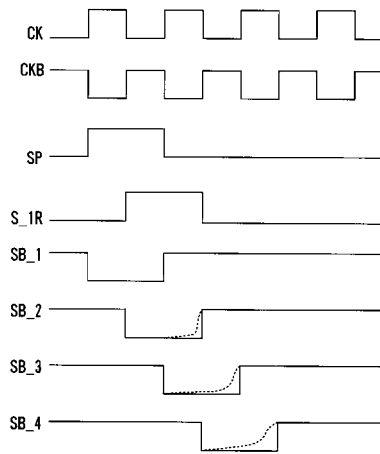
【 図 7 】



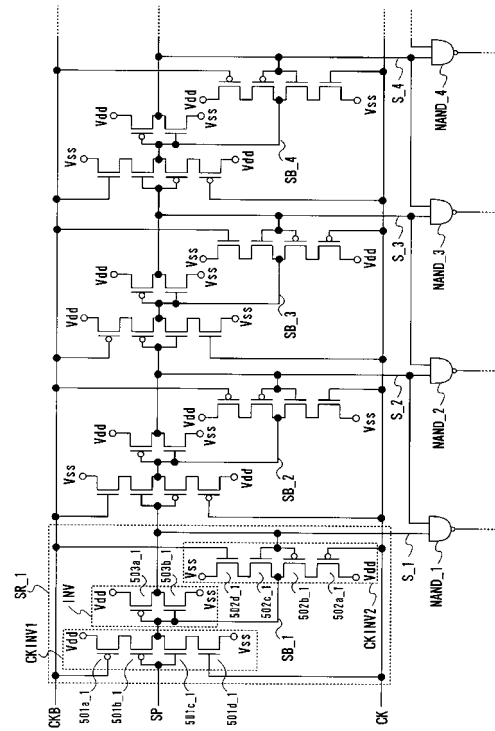
【 図 8 】



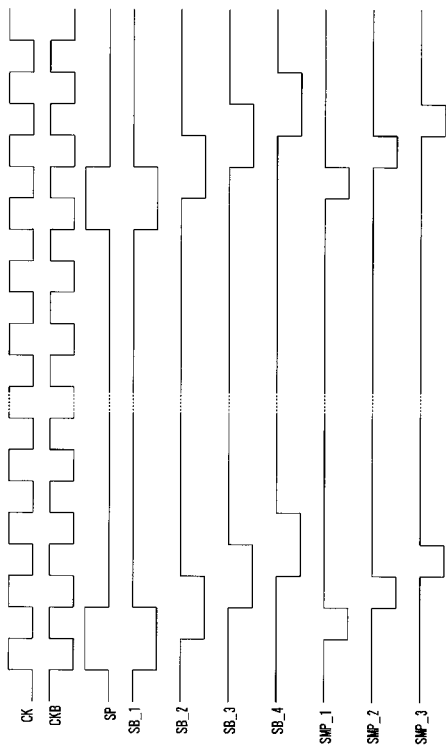
【図 9】



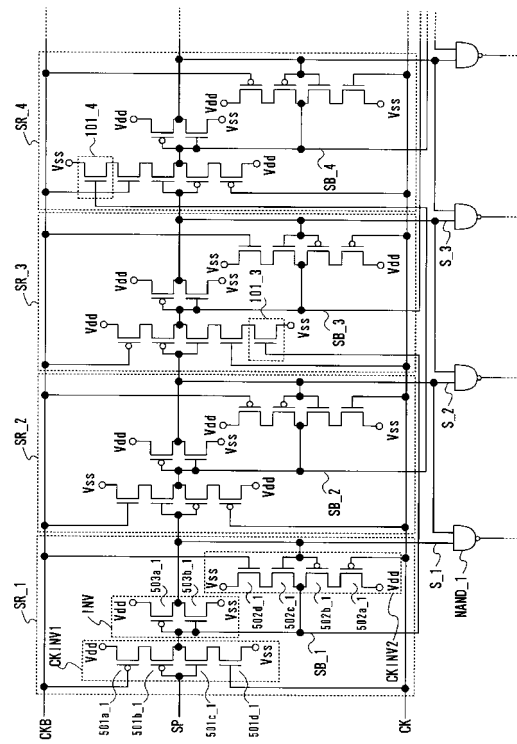
【図 10】



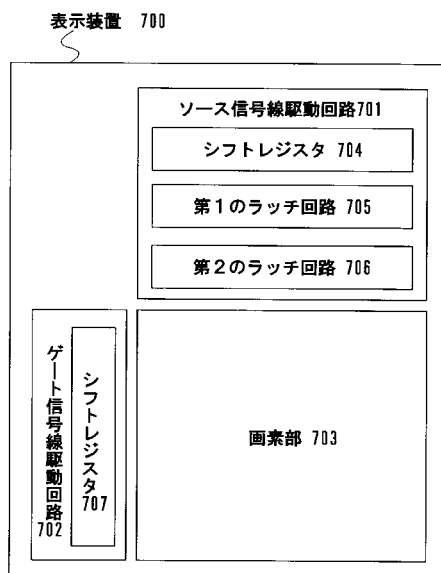
【図 11】



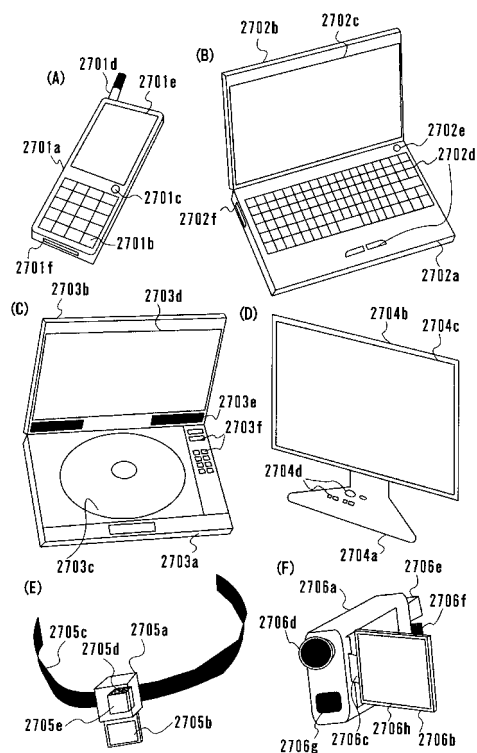
【図 12】



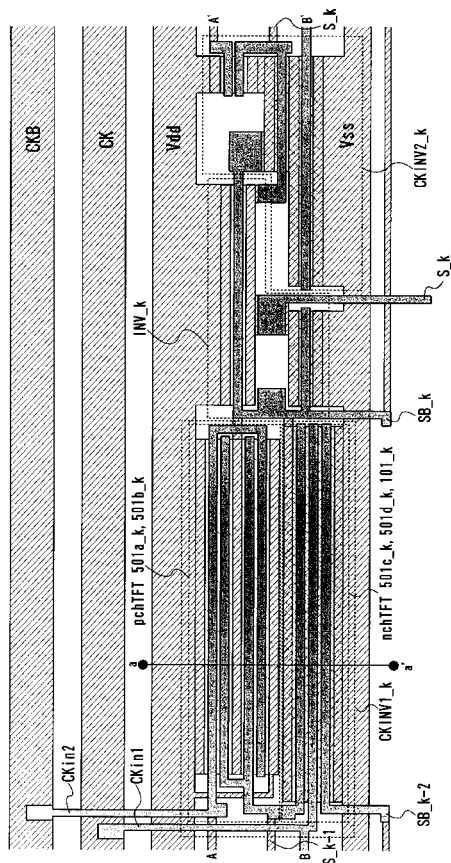
【 図 1 3 】



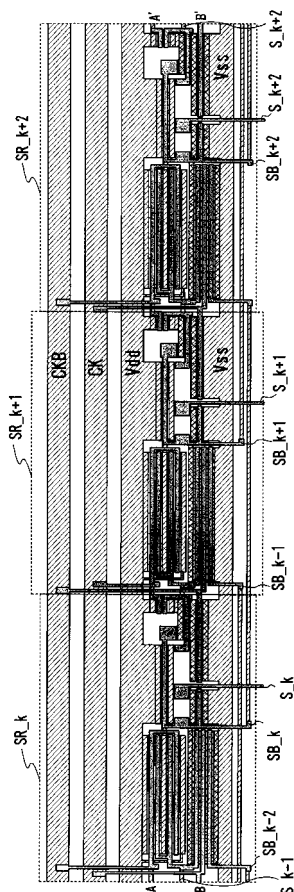
【 図 1 4 】



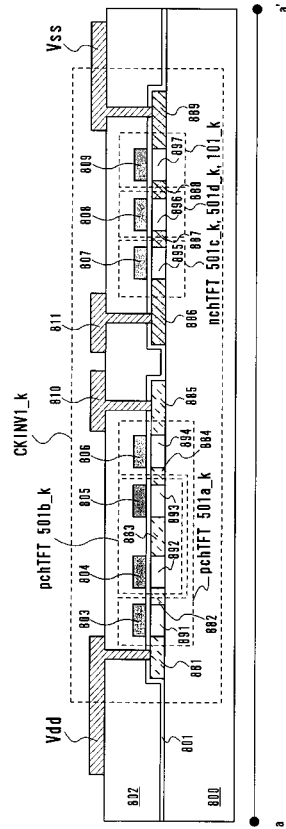
【 図 1 5 】



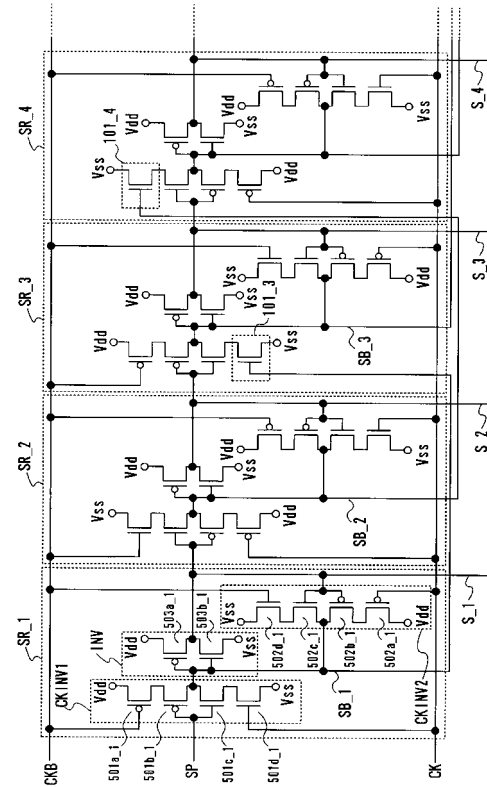
【 図 1 6 】



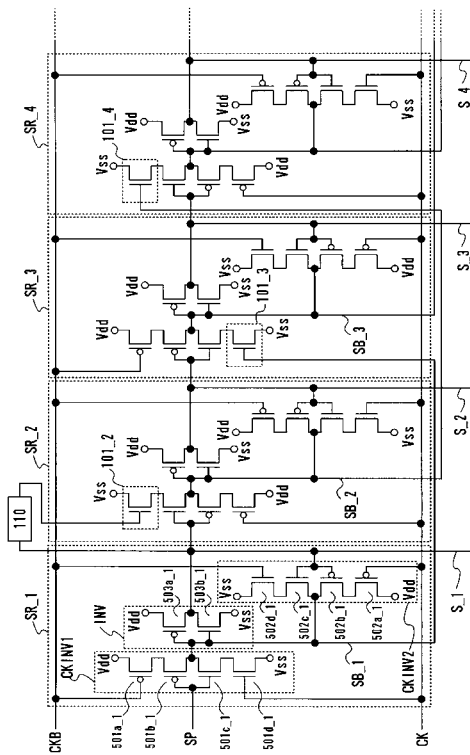
【図 17】



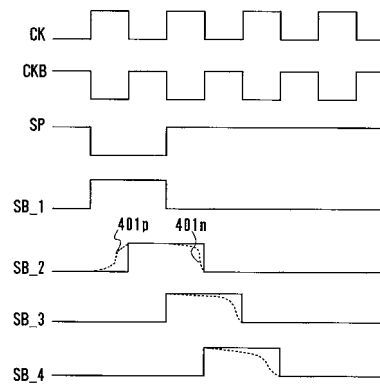
【図 18】



【図 19】

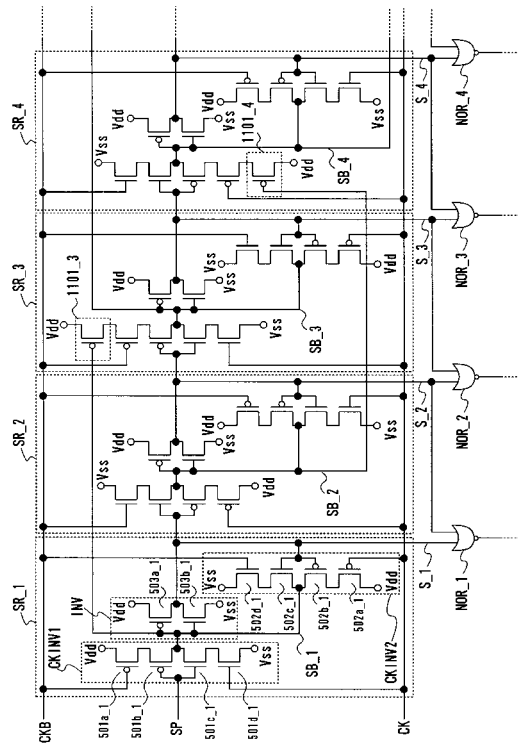


【図 20】

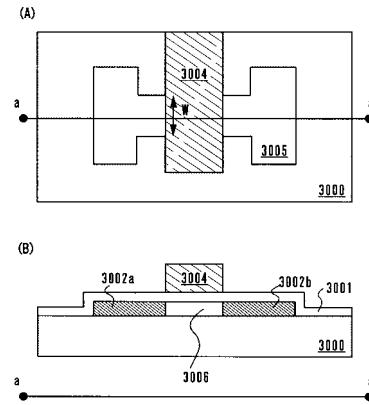




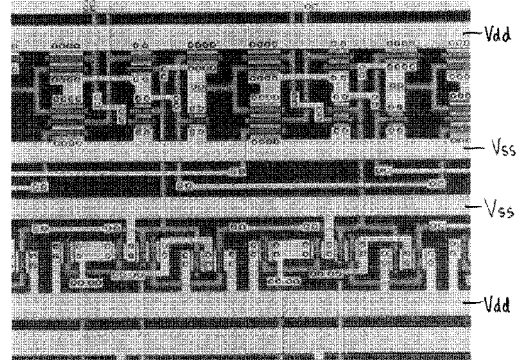
【図 25】



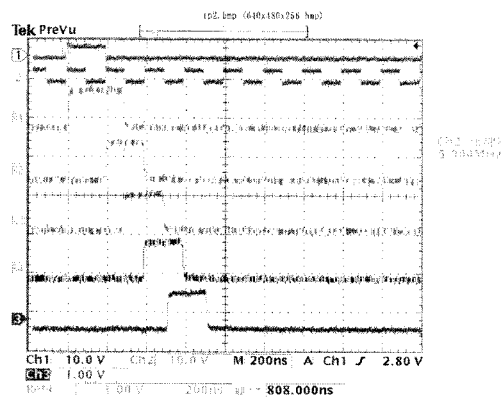
【図 26】



【図 27】



【図 28】



---

フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 7 0 E

G 0 9 G 3/36

(58)調査した分野(Int.Cl. , D B 名)

G11C 19/00

G11C 19/28

G02F 1/133

G09G 3/20

G09G 3/36