

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 2005 年 5 月 16 日 60/594, 884 （主張優先權）
2. 美國 2006 年 5 月 15 日 11/383, 403 （主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

一般而言，本發明係有關於積體電路封裝系統；更詳而言之，本發明係有關一種用於具有堆疊式封裝件之積體電路封裝系統之系統。

(交叉參考之相關申請文件)

本申請案主張於 2005 年 5 月 16 日提出申請之序號第 60/594,884 號美國暫時申請案的優先權。

本申請案所包含之標的係相關於 Shim 等人所同時申請之美國專利申請案第 11/383,407 號，其發明名稱為「Offset Integrated Circuit Package-On-Package Stacking System」。該相關申請案被讓渡給 STATS ChipPAC Ltd. 公司。

【先前技術】

為了在積體電路與其他電路之間提供介面，常將積體電路安設於導線架或基材上。每個積體電路係具有接合墊，該等接合墊利用極細的金或鋁線而個別地連接至導線架的導腳墊(lead finger pads)。之後，該等組零件藉由個別地將其封入模製之塑膠或陶瓷主體中而予以封裝，以產生積體電路封裝件。

積體電路封裝技術已歷經在單一電路板或基材上所設置之積體電路數目的增加。新型的封裝設計於尺寸因數(form factors)(例如積體電路之物理尺寸和形狀)方面係更為小型化，並且係提供整體積體電路密度之顯著增加。

然而，積體電路密度係持續地被可於基板上設置個別積體電路之「真實容積(real estate)」所限制。更大尺寸因數之系統(例如，PC、電腦伺服器、以及儲存伺服器)在相同或更小的「真實容積」中係需要更多的積體電路。尤其是，對於可攜式個人電子產品(例如行動電話、數位照相機、音樂撥放器、PDA、以及定位用(location-based)裝置)的需求，已更進一步地驅動對於積體電路密度之需求。

所增加的積體電路密度，已導致可於其中封裝多於一個之積體電路之多晶片封裝件之發展。各封裝件係提供機械支撐予個別積體電路以及一或多層互連線，該互連線使該積體電路能電性連接至周圍電路。現存的多晶片封裝件(一般亦稱為多晶片模組)通常由上面直接接置有一組分離的積體電路元件之PCB基材所組成。已發現此等多晶片封裝件可增加積體電路密度和小型化程度、改善效能、以及降低成本，其皆為電腦工業之主要目標。

多晶片封裝件無論是垂直式的或是水平式的配置，亦可能呈現一些問題，因為在可以測試該積體電路及積體電路連接之前，多晶片封裝件通常必須預先組裝。因此，當將積體電路安設並連接在多晶片模組中時，個別之積體電路和連接係無法個別地接受測試，而且在組裝至較大的電路之前係無法識別已知良品晶片(known-good-die,

“KGD”)。因此，習知的多晶片封裝件係導致組裝製程良率問題。未識別KGD之製造程序則因此較不具可靠性而更易有組裝的缺陷。

再者，在典型多晶片封裝件中的垂直堆疊式積體電路，可能呈現比以水平方式配置之積體電路封裝件更多的問題，而使製造程序更加複雜化。其係更難以測試和藉以決定個別積體電路之實際故障模式。此外，該基材和積體電路常常在組裝或測試的過程中受到破壞，而使得製造程序複雜化並增加成本。垂直堆疊式積體電路的問題可能比其利益更大。

因此，仍需要有一種改善封裝的方法、系統、以及設計。鑒於消費性電子產品的尺寸縮減以及對於有限空間中之更複雜功能的需求，對這些問題的解答係日益關鍵。鑒於商業競爭壓力始終在增強、消費者期待之提昇、以及在市場中有意義的產品區隔之機會減少，對這些問題的解答係日益關鍵。此外，始終在增加的關於節省成本、改善效率、以及符合競爭壓力等的需求，對解答這些問題的關鍵必要性又添加甚至更多的緊迫性。

一直以來都在尋找對這些問題的解決方案，但是先前的開發結果並未教導或建議任何的解決方案，而因此對這些問題的解決方案長久以來係困惑著本領域之技術人士。

【發明內容】

本發明係提供一種偏位積體電路封裝層疊堆疊系統，包括提供基底基材；於該基底基材上形成接觸墊；於該基底基材上安設第一積體電路；於該第一積體電路周圍形成基底封裝件主體；提供偏位基材；於該偏位基材上安設第二積體電路；以及將該偏位基材連接至該接觸墊，包括將

該偏位基材放置於該基底封裝件主體上。

本發明之特定實施例具有附加於或是替代上述者的其他實施形態。經由配合參考所附圖式而閱讀下面的詳細敘述，對本領域之技術人士而言，該等實施形態將變得明確。

【實施方式】

下列實施例係以足夠詳細之方式敘述，以使本領域之技術人士能製作並使用本發明。須知，根據本文之揭示，將明白其他實施例，且可以進行該製程或機械的改變且仍未脫離本發明之範圍。

於下列敘述中，係給予許多特定的細節以提供對本發明之完整了解。然而，很明顯地，本發明可以在沒有這些特定細節下施行。為避免難以理解本發明，一些已知的電路、系統配置、以及製程步驟並未詳細揭示。

同樣地，顯示裝置之實施例的圖式為半概略的以及非按比例，且特別是，有些尺寸係用於清楚呈現並且係於繪示之圖中以非常誇張的方式顯示。此外，多個實施例所揭示與敘述之具有一些共通的特徵處，為了清楚以及易於其描述、說明、及理解，各別相同和相似的特徵一般將以相似的元件符號描述。

本文中所使用的詞語“水平(horizontal)”係定義為與封裝件基材的平面或表面平行的平面，不論其方位為何。詞語“垂直(vertical)”係指與前述所定義之「水平」垂直的方向。例如“之上(above)”、“之下(below)”、“底部(bottom)”、“頂部(top)”、“側(side)”(例如

於側壁(sidewall)中)、“高於(higher)”、“低於(lower)”、“上方(upper)”、“覆蓋在…上方(over)”、“下方(under)”等詞語，係相對於該水平平面而定義的。詞語“在…上(on)”係代表在元件之間有直接的接觸。本文中所使用的術語“處理(processing)”係於形成所述結構時所須之包含壓印、鍛造、圖案化、曝光、顯影、蝕刻、清洗、及/或移除材料或雷射修整(laser trimming)。

現在參考第 1 圖，其中顯示本發明實施例中之偏位積體電路封裝層疊堆疊系統 100 之截面圖。偏位積體電路封裝層疊堆疊系統 100 之截面圖繪示具有基底基材 104 之基底封裝件 102(例如，球格陣列封裝件，ball grid array package)，該基底基材係具有基底頂表面 106 和基底底表面 108。第一積體電路 110 係以黏著劑 112 而安設在該基底頂表面 106 上，該黏著劑例如晶片附著材料。該第一積體電路 110 係經由電性互連件 114 而連接至該基底頂表面 106，該電性互連件例如鐸線、鐸錫凸塊、鐸錫柱腳(solder columns)、或柱栓凸塊(stud bumps)。基底封裝件主體 116 係在該第一積體電路 110、該電性互連件 114、及部份之該基底頂表面 106 的周圍射出成形(injection molded)，該基底封裝件主體係例如模封化合物。系統互連件 118 係附接至該基底底表面 108，用以附接至下一階段(next level)之系統(未圖示)，該系統互連件例如錫球、鐸錫柱腳插入件(solder column interposers)、或柱栓凸塊。接觸墊 119 之陣列係分佈在圍繞該基底封裝件主體 116 的區域中。

該偏位封裝件 120 延伸超出該基底封裝件主體 116。

現在參考第 3 圖，其中顯示本發明實施例中之偏位積體電路封裝層疊堆疊系統 100 之組合封裝件 300 之俯視圖。該組合封裝件 300 之俯視圖係繪示設置在該基底頂表面 106 上之該基底封裝件主體 116、該被動元件 204、以及該偏位封裝件 120。截面線 4—4 係示出於第 4 圖中之截面圖之位置。

現在參考第 4 圖，其中顯示沿著第 3 圖中之截面線 4—4 的該偏位積體電路封裝層疊堆疊系統 100 之截面圖。該偏位積體電路封裝層疊堆疊系統 100 之截面圖係繪示該基底封裝件 102，在該基底封裝件上係設置有該偏位封裝件 120。該偏位基材 122 之該底表面 126 係位於該基底封裝件主體 116 上。該基底封裝件主體 116 在回焊(reflow)製程中支撐該偏位封裝件 120，以避免該系統互連件 118 倒塌。

現在參考第 5 圖，其中顯示本發明另一實施例中之偏位積體電路封裝層疊堆疊系統 500 之截面圖。該偏位積體電路封裝層疊堆疊系統 500 之截面圖係繪示該基底封裝件 102 透過該系統互連件 118 而電性連接於偏位封裝件 120。間隙填料黏著劑(gap filler adhesive)502 係塗敷於該基底封裝件主體 116 與該偏位基材 122 之該底表面 126 之間，該間隙填料黏著劑例如晶片附接材料或環氧樹脂。塗敷該間隙填料黏著劑 502 係提供額外的機械穩定性予該封裝件結構。

間的接觸區域。該基底模封蓋件 804 之邊角(corner)將由該偏位封裝件 120 覆蓋，該偏位封裝件將在該基底模封蓋件 804 上。該主動元件 808 係承載於該偏位封裝件 120 下方，且不會與該偏位基材 122(第 1 圖)之該底表面 126(第 1 圖)接觸。

現在參考第 9 圖，其中顯示本發明仍又一實施例中之偏位積體電路封裝層疊堆疊系統 100 之基底封裝件 900 之俯視圖。該基底封裝件 900 之俯視圖係繪示基底基材頂部 902，該基底基材頂部具有基底模封蓋件 904、系統接觸墊 906 之陣列、第 8 圖之主動元件 808(例如，小型外觀之積體電路)、被動元件 204、以及偏位封裝件虛線輪廓 910，該虛線輪廓代表將由第 1 圖之該偏位封裝件 120 額外覆蓋之區域。該偏位封裝件 120 將停留在該基底模封蓋件 904 上，並使偏位封裝件對齊該基底模封蓋件之邊緣(edge)。該主動元件 808 可為電性連接至該基底封裝件 900 內之電路、該系統接觸墊之陣列、或其組合的主動小外形積體電路元件。

現在參考第 10 圖，其中顯示用以製造本發明實施例中之偏位積體電路封裝層疊堆疊系統 100 之偏位積體電路封裝層疊堆疊系統 1000 之流程圖。該系統 1000 包括提供基底基材(方塊 1002)；於該基底基材上形成接觸墊(方塊 1004)；於該基底基材上安置第一積體電路(方塊 1006)；於該第一積體電路周圍形成基底封裝件主體(方塊 1008)；提供偏位基材(方塊 1010)；於該偏位基材上安置

第二積體電路(方塊 1012);以及將該偏位基材連接至該接觸墊,包括將該偏位基材放置於該基底封裝件主體上(方塊 1014)。

更詳細地,用以製造本發明實施例中之偏位積體電路封裝層疊堆疊系統之系統係以下列步驟進行:

1. 提供具有系統互連件之基底基材(第 1 圖);
2. 於該基底基材上形成接觸墊(第 1 圖);
3. 於該基底基材上安置第一積體電路,包括將該第一積體電路連接至該接觸墊(第 1 圖);
4. 於該第一積體電路周圍形成基底封裝件主體,包括射出模封化合物(第 1 圖);
5. 提供偏位基材,包括提供該系統互連件(第 1 圖);
6. 於該偏位基材上安置第二積體電路,包括形成偏位封裝件主體覆蓋在該第二積體電路之上方(第 1 圖);以及
7. 將該偏位基材連接至該接觸墊,包括將該偏位基材放置於該基底封裝件主體上(第 1 圖)。

已發現本發明因此具有許多實施形態。

在極需要空間的消費性電子裝置中,已發現該偏位積體電路封裝層疊堆疊系統可於有限的空間中增加更多的功能。

本發明之一主要面向為本發明係具有靈活性,在不額外增加封裝件之尺寸的情況下,可於該基底基材上添加額外的元件。

本發明之另一重要面向係有價值地支持與提供降低成

本、簡化系統、以及增加效能等之歷史性趨勢。

本發明之這些及其他有價值面向因此使該技術之狀態更進一步推進至至少下一個階段(next level)。

因此，已發現本發明之該偏位積體電路封裝層疊堆疊系統，提供重要的及迄今為止未知且未得的解決方案、實用的、以及具功能性的實施形態，用於增加在消費性電子產品(具有縮小的可用空間)中之積體電路密度。所獲得之製程及配置係直接的、有成本效益的、不複雜的、多用途的、且有效的，可藉由採用已知的技術來施行，且因此快速地適用於有效率地及有經濟效益地製造偏位積體電路封裝層疊堆疊系統，與習知製造程序和技術完全相容。

雖然以特定之最佳模式敘述本發明，須知本領域技術人士經由前述說明將明白許多選擇物、修飾物和變化物。因此，係意指包含落於所附申請專利範圍內的所有此等選擇物、修飾物和變化物。本文中所提出或顯示於所附圖式中之所有內容係以例示性且非限制性的意思來解讀。

【圖式簡單說明】

第 1 圖為本發明一實施例中之偏位積體電路封裝層疊堆疊系統之截面圖；

第 2 圖為本發明一實施例中之偏位積體電路封裝層疊堆疊系統之基底封裝件之俯視圖；

第 3 圖為本發明一實施例中之偏位積體電路封裝層疊堆疊系統之組合封裝件之俯視圖；

第 4 圖為沿著第 3 圖中之截面線 4--4 的偏位積體電路

封裝層疊堆疊系統之截面圖；

第 5 圖為本發明另一實施例中之偏位積體電路封裝層疊堆疊系統之截面圖；

第 6 圖為本發明另一實施例中之偏位積體電路封裝層疊堆疊系統之基底封裝件之俯視圖；

第 7 圖為本發明再一實施例中之偏位積體電路封裝層疊堆疊系統之基底封裝件之俯視圖；

第 8 圖為本發明又一實施例中之偏位積體電路封裝層疊堆疊系統之基底封裝件之俯視圖；

第 9 圖為本發明仍又一實施例中之偏位積體電路封裝層疊堆疊系統之基底封裝件之俯視圖；

第 10 圖為用以製造本發明一實施例中之偏位積體電路封裝層疊堆疊系統之偏位積體電路封裝層疊堆疊系統的流程圖。

【主要元件符號說明】

100、500	系統
102	基底封裝件
104	基底基材
106	基底頂表面
108	基底底表面
110	第一積體電路
112	黏著劑
114	電性互連件
116	基底封裝件主體

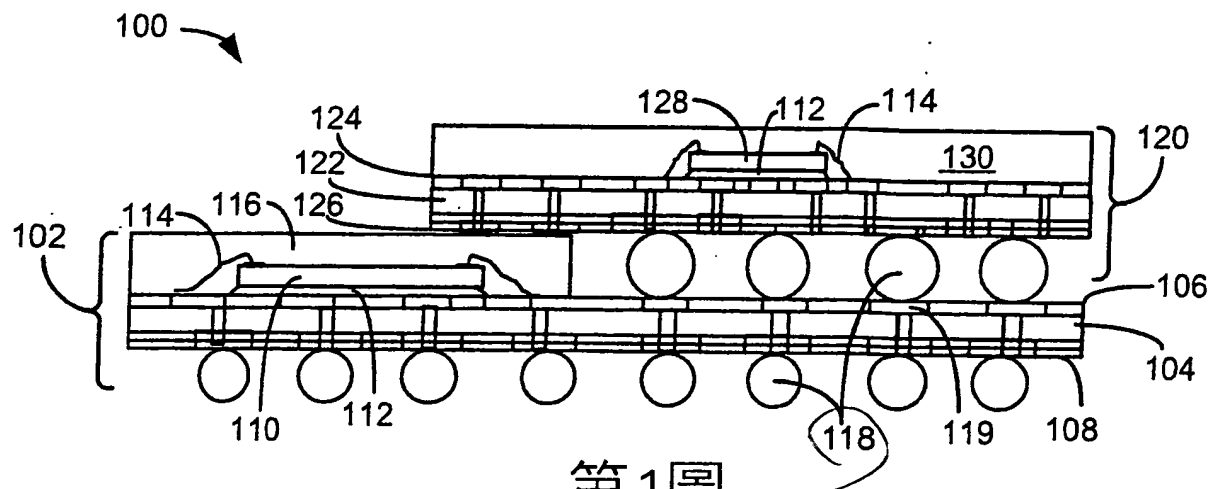
118	系統互連件
119	接觸墊
120	偏位封裝件
122	偏位基材
124	頂表面
126	底表面
128	第二積體電路
130	偏位封裝件主體
204	被動元件
300	組合封裝件
502	間隙填料黏著劑
600、700、800、900	基底封裝件
602、702、802、902	基底基材頂部
604、704、804、904	基底模封蓋件
606、706、806、906	接觸件或接觸墊
206、608、708、810、910	虛線輪廓
808	主動元件
812	重疊區域
1000	系統
1002、1004、1006、1008、1010、1012、1014	方塊

五、中文發明摘要：

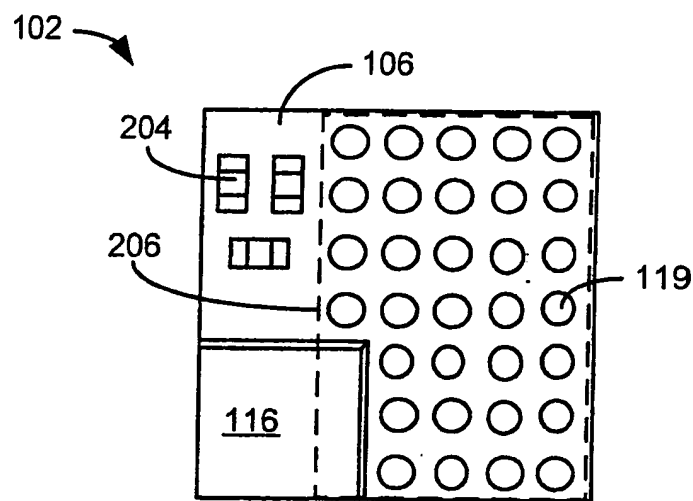
本發明係提供一種偏位積體電路封裝層疊堆疊系統(offset integrated circuit package-on-package stacking system)及其製造方法，其中用於製造偏位積體電路封裝層疊堆疊系統之方法包括設置基底基材；於該基底基材上形成接觸墊；於該基底基材上安設第一積體電路；於該第一積體電路周圍形成基底封裝件主體；設置偏位基材；於該偏位基材上安設第二積體電路；以及，將該偏位基材連接至該接觸墊，包括將該偏位基材放置於該基底封裝件主體上。

六、英文發明摘要：

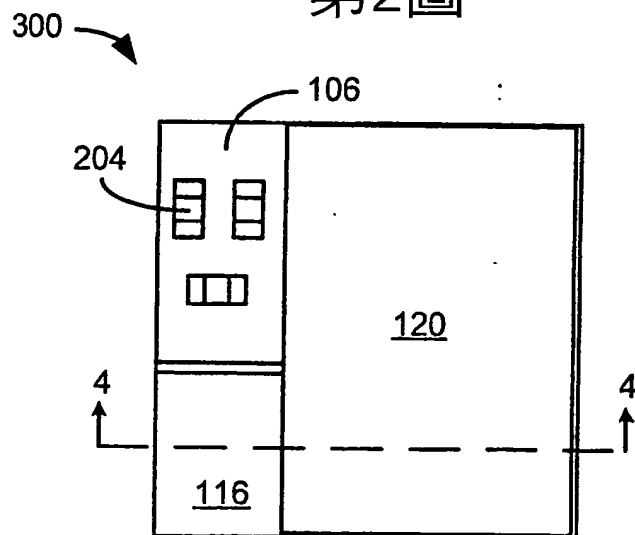
An offset integrated circuit package-on-package stacking system and method for fabricating the same, in which the method is provided including providing a base substrate, forming a contact pad on the base substrate, mounting a first integrated circuit on the base substrate, forming a base package body around the first integrated circuit, providing an offset substrate, mounting a second integrated circuit on the offset substrate, and coupling the offset substrate to the contact pad, including placing the offset substrate on the base package body.



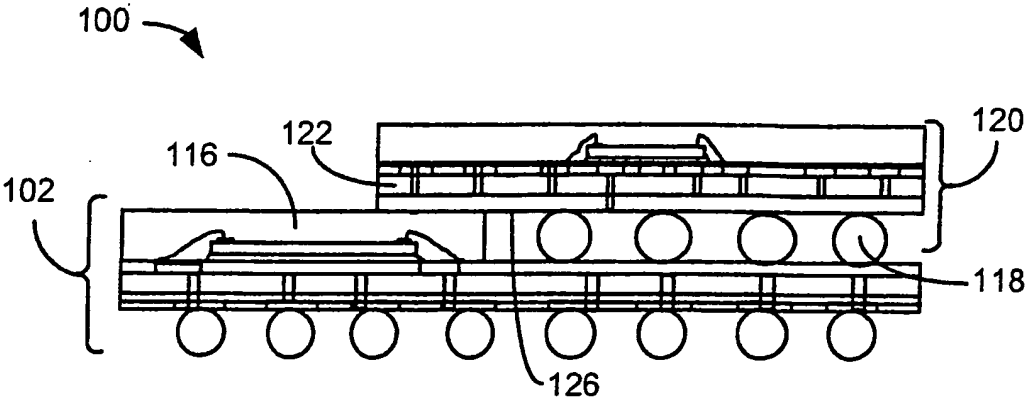
第1圖



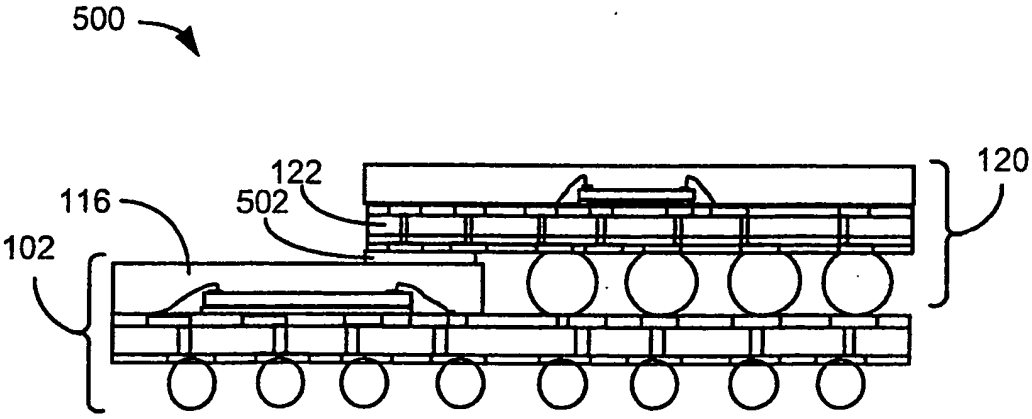
第2圖



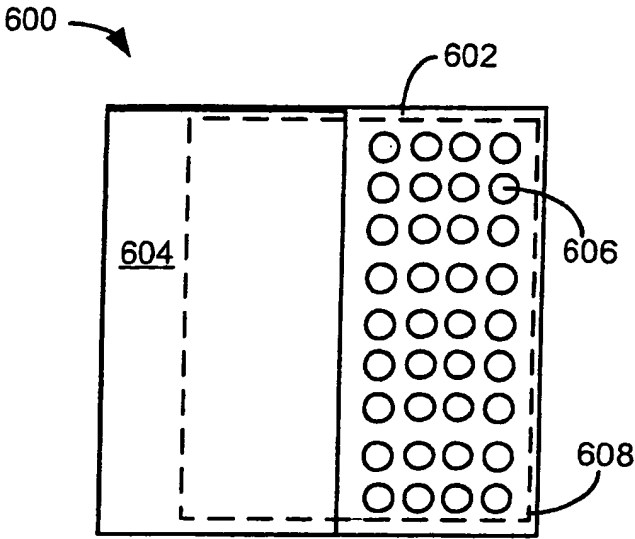
第3圖



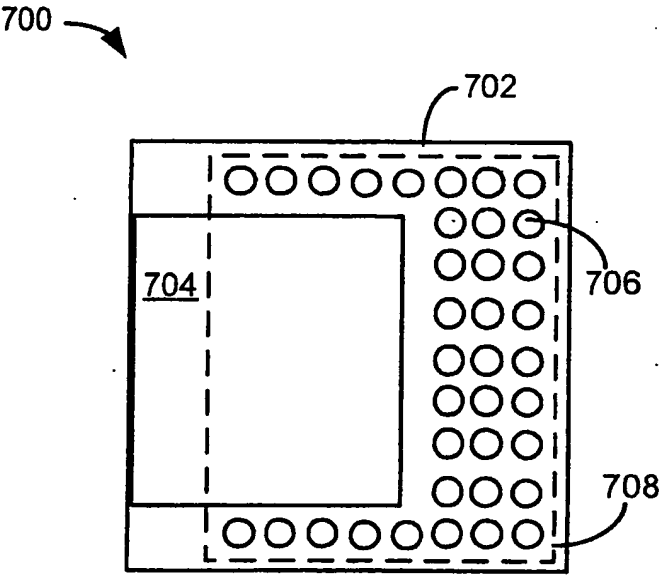
第4圖



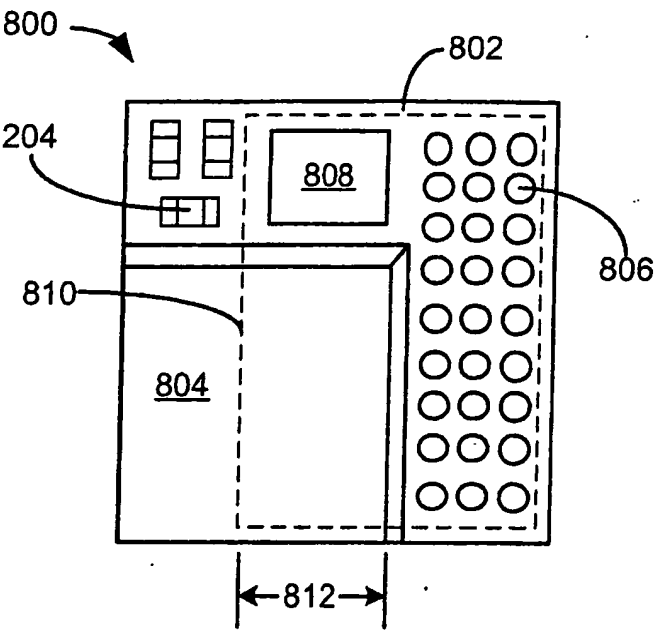
第5圖



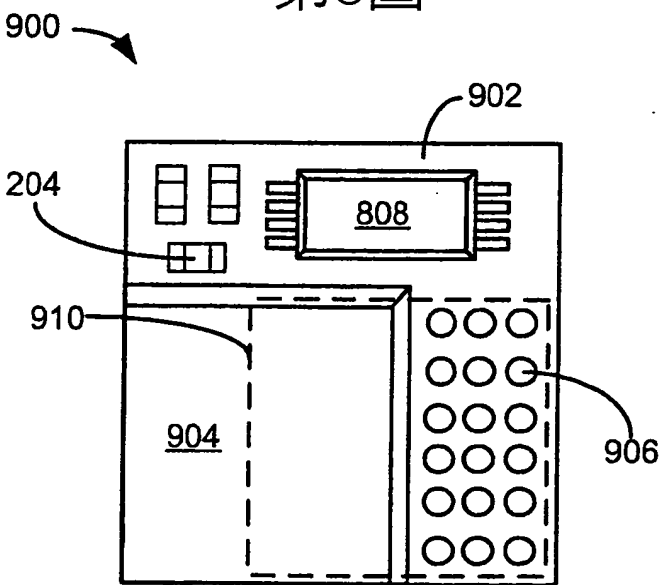
第6圖



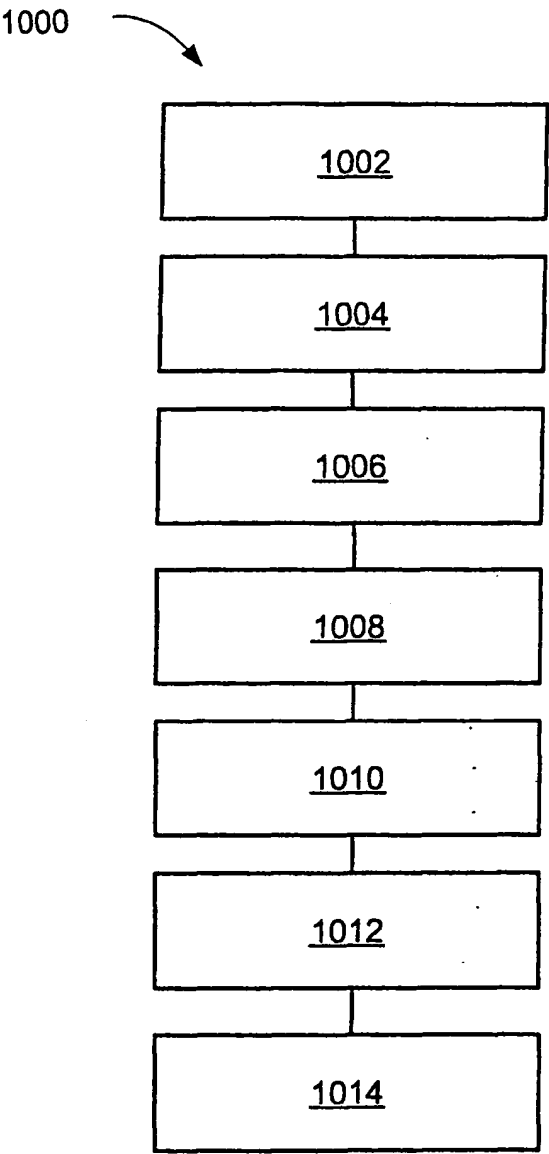
第7圖



第8圖



第9圖



第10圖

七、指定代表圖：

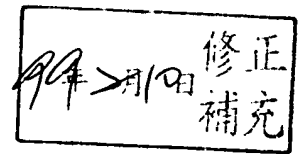
(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	系 統	102	基 底 封 裝 件
104	基 底 基 材	106	基 底 頂 表 面
108	基 底 底 表 面	110	第 一 積 體 電 路
112	黏 著 劑	114	電 性 互 連 件
116	基 底 封 裝 件 主 體	118	系 統 互 連 件
119	接 觸 墊	120	偏 位 封 裝 件
122	偏 位 基 材	124	頂 表 面
126	底 表 面	128	第 二 積 體 電 路
130	偏 位 封 裝 件 主 體		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95117221

※申請日期：95.5.16

※IPC 分類：H01L 23/31

公告本

一、發明名稱：(中文/英文)

偏位積體電路封裝層疊堆疊系統及其製造方法

OFFSET INTEGRATED CIRCUIT PACKAGE-ON-PACKAGE STACKING SYSTEM
AND METHOD FOR FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

史特斯晶片封裝公司

STATS ChipPAC Ltd.

代表人：(中文/英文)

住居所或營業所地址：(中文/英文) 傑爾 史考特 / JEWLER, SCOTT

新加坡 768442 · 怡山街 23-5 號

5 Yishun Street 23, Singapore, 768442

國 籍：(中文/英文) 新加坡 / Singapore

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 沈一權 / SHIM, IL KWON

2. 韓丙濬 / HAN, BYUNG JOON

3. 鄒勝源 / CHOW, SENG GUAN

國 籍：(中文/英文)

1. 2. 大韓民國 / REPUBLIC OF KOREA

3. 馬來西亞 / MALAYSIA

具有偏位基材 122 之偏位封裝件 120 係安設在該基底封裝件 102 上之偏位位置(offset position)，而該偏位基材具有頂表面 124 和底表面 126。該偏位封裝件 120 具有第二積體電路 128，該第二積體電路係以該黏著劑 112 而安設在該頂表面 124 上。該第二積體電路 128 係經由該電性互連件 114 而連接至該頂表面 124。偏位封裝件主體 130 係經射出成形以覆蓋在該第二積體電路 128、該頂表面 124、及該電性互連件 114 之上方，該偏位封裝件主體例如模封化合物。該系統互連件 118 係附接至該偏位基材 122 之該底表面 126。該偏位封裝件 120 係安設在該基底封裝件 102 上，以使該偏位基材 122 之該底表面 126 承載在該基底封裝件主體 116 及該系統互連件 118 上。此配置縮小了在印刷電路板(未圖示)上所需要的空間，而同時橫越該偏位積體電路封裝層疊堆疊系統 100 的一部分維持有矮的側面輪廓(low profile)。

現在參考第 2 圖，其中顯示本發明實施例中之偏位積體電路封裝層疊堆疊系統 100 之基底封裝件 102 之俯視圖。第 2 圖之該基底封裝件 102 之俯視圖係繪示第 1 圖之該基底封裝件主體 116 與被動元件 204，該基底封裝件主體係位在具有該接觸墊 119(第 1 圖)之陣列的該基底頂表面 106(第 1 圖)上。虛線輪廓(outline)206 係代表將由第 1 圖之該偏位封裝件 120 覆蓋的區域。虛線輪廓 206 僅覆蓋該基底封裝件主體 116 之部分，並使在俯視圖中所特別定義之第 1 圖之基底基材的部分暴露。將該接觸墊 119 之該陣列取間隔以對齊該偏位封裝件 120(第 1 圖)之該系統互連件 118(第 1 圖)。該接觸墊 119 之非對稱式陣列允許

現在參考第 6 圖，其中顯示本發明另一實施例中之偏位積體電路封裝層疊堆疊系統 100 之基底封裝件 600 之俯視圖。該基底封裝件 600 之俯視圖係繪示基底基材頂部 602，該基底基材頂部具有基底模封蓋件(base mold cap)604、系統接觸墊(system contact)606 之陣列、以及虛線輪廓 608，該虛線輪廓代表將由第 1 圖之該偏位封裝件 120 額外覆蓋之區域。

現在參考第 7 圖，其中顯示本發明再一實施例中之偏位積體電路封裝層疊堆疊系統 100 之基底封裝件 700 之俯視圖。該基底封裝件 700 之俯視圖係繪示基底基材頂部 702，該基底基材頂部具有基底模封蓋件 704、接觸墊 706 之陣列，該接觸墊係部份地分佈在該基底模封蓋件 704 的周圍。虛線輪廓 708 代表將由第 1 圖之該偏位封裝件 120 額外覆蓋之區域(若有附加該偏位封裝件時)。該接觸墊 706 之該陣列係在該基底封裝件 700 與該偏位封裝件 120 之間提供電性介面。

現在參考第 8 圖，其中顯示本發明又一實施例中之偏位積體電路封裝層疊堆疊系統 100 之基底封裝件 800 之俯視圖。該基底封裝件 800 之俯視圖係繪示基底基材頂部 802，該基底基材頂部具有基底模封蓋件 804、系統接觸墊 806 之陣列、主動元件 808(例如，覆晶式積體電路)、被動元件 204、以及偏位封裝件虛線輪廓 810，該虛線輪廓代表將由第 1 圖之該偏位封裝件 120 額外覆蓋之區域。重疊區域 812 代表在該基底模封蓋件 804 與該偏位封裝件 120 之

十、申請專利範圍：

修正
補充

1. 一種用於製造偏位積體電路封裝層疊堆疊系統之方法，包括：
 - 設置基底基材；
 - 於該基底基材上形成接觸墊；
 - 於該基底基材上安設第一積體電路；
 - 於該第一積體電路周圍形成基底封裝件主體；
 - 設置偏位基材；
 - 於該偏位基材上安設第二積體電路；
 - 提供複數個系統連接件；以及
 - 經由該複數個系統連接件將該偏位基材連接至該接觸墊並支撐該偏位基材，包含將該偏位基材僅放置於該基底封裝件主體之部分上以使該基底基材的頂部之部分暴露。
2. 如申請專利範圍第 1 項之方法，復包括在該基底基材上安設被動元件、主動元件、或其組合。
3. 如申請專利範圍第 1 項之方法，復包括以該偏位封裝件位於一基底模封蓋件之邊角上之方式在該基底基材上安設偏位封裝件，其中，該基底模封蓋件係安設在該基底基材的該頂部上。
4. 如申請專利範圍第 1 項之方法，復包括在該基底封裝件主體與該偏位基材之間設置間隙填料黏著劑。
5. 如申請專利範圍第 1 項之方法，復包括以該偏位封裝件對齊一基底模封蓋件之一個邊緣之方式在該基底基材上安設偏位封裝件，其中，該基底模封蓋件係安設

在該基底基材的該頂部上。

6. 一種偏位積體電路封裝層疊堆疊系統，包括：

基底基材；

接觸墊，形成於該基底基材上；

第一積體電路，安設於該基底基材上；

基底封裝件主體，模封於該第一積體電路周圍；

偏位基材；

第二積體電路，安設於該偏位基材上；

複數個系統連接件；以及

經由該複數個系統連接件支撐並連接至該接觸墊之該偏位基材，包括將該偏位基材僅放置於該基底封裝件主體之部分上以使該基底基材的頂部之部分暴露。

7. 如申請專利範圍第 6 項之系統，復包括安設在該基底基材上之被動元件、主動元件、或其組合。

8. 如申請專利範圍第 6 項之系統，復包括安設在該基底基材上之偏位封裝件，其中該偏位封裝件位於一基底模封蓋件之邊角上，其中，該基底模封蓋件係安設在該基底基材的該頂部上。

9. 如申請專利範圍第 6 項之系統，復包括位於該基底封裝件主體與該偏位基材之間的間隙填料黏著劑。

10. 如申請專利範圍第 6 項之系統，復包括安設在該基底基材上之偏位封裝件，其中該偏位封裝件係對齊一基底模封蓋件之一個邊緣，其中，該基底模封蓋件係安設在該基底基材的該頂部上。