



(19) 中華民國智慧財產局

(12) 新型說明書公告本

(11) 證書號數：TW M395949U1

(45) 公告日：中華民國 100 (2011) 年 01 月 01 日

(21) 申請案號：099206323

(22) 申請日：中華民國 99 (2010) 年 04 月 09 日

(51) Int. Cl. : **H01R24/00 (2006.01)**

(30) 優先權：2010/01/11 美國

61/294,095

(71) 申請人：威盛電子股份有限公司(中華民國) VIA TECHNOLOGIES, INC. (TW)

臺北縣新店市中正路 535 號 8 樓

(72) 創作人：李勝源 LEE, SHENG YUAN (TW)

(74) 代理人：詹銘文；蕭錫清

申請專利範圍項數：16 項 圖式數：14 共 28 頁

(54) 名稱

電子組裝及其應用

ELECTRIC ASSEMBLY AND APPLICATION THEREOF

(57) 摘要

一種電子組裝包括一線路板以及多個接腳。線路板包括一疊合層以及多個接墊。疊合層具有一表面。接墊包括一對差動訊號接墊，且這對差動訊號接墊配置於疊合層的表面。接腳分別銲接至線路板。接腳包括一對第一差動訊號接腳以及一對第二差動訊號接腳。

An electronic assembly including a wiring board and a plurality of leads is provided. The wiring board includes a laminated layer and a plurality of pads. The laminated layer has a surface. The pads include a pair of differential signal pads, and the differential signal pads are disposed on the surface of the laminated layer. The leads are soldered onto the wiring board. The leads include a pair of first differential signal leads and a pair of second differential signal leads.

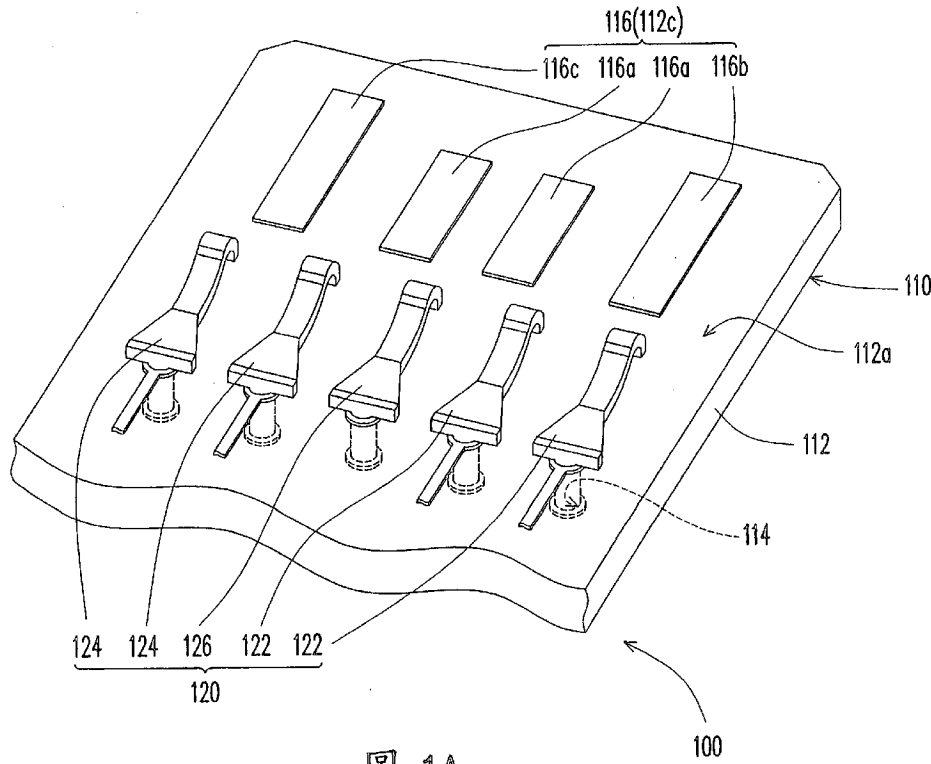


圖 1A

- 100 . . . 電子組裝
- 110 . . . 線路板
- 112 . . . 疊合層
- 112a . . . 表面
- 112c . . . 圖案化金屬層
- 114 . . . 貫孔
- 116 . . . 接墊
- 116a . . . 差動訊號接墊
- 116b . . . 接地接墊
- 116c . . . 電源接墊
- 120 . . . 接腳
- 122 . . . 第一差動訊號接腳
- 124 . . . 第二差動訊號接腳
- 126 . . . 接地接腳

五、新型說明：

【新型所屬之技術領域】

本創作是有關於一種電子組裝及其應用，且特別是有關於一種適用於通用序列匯流排（Universal Serial Bus, USB）架構的電子組裝及其應用。

【先前技術】

通用序列匯流排 3.0（USB 3.0）是一種從 USB 2.0 所發展出來的訊號傳輸規格，其傳輸速率可達到 5G bps，而傳統 USB 2.0 的傳輸速率則僅有 480M bps。目前 USB 3.0 電連接器已確定可相容於 USB 2.0 電連接器，意即 USB 3.0 採用了與 USB 2.0 相同的電連接器結構，並增加了數根用來提供 USB 3.0 功能的接腳。因此，在基於 USB 2.0 的電連接器結構下，需要提出 USB 3.0 電連接器結構，以符合需求。

【新型內容】

本創作提供一種電子組裝及其應用，其結構較為精簡，且可節省電子組裝的製造成本。

本創作提供一種電子組裝，其包括一線路板以及多個接腳。線路板具有一疊合層以及多個接墊。疊合層具有一表面。接墊包括一對差動訊號接墊，且這對差動訊號接墊配置於疊合層的表面。接腳分別銲接至線路板。接腳包括一對第一差動訊號接腳以及一對第二差動訊號接腳。

本創作更提供一種儲存裝置，其包括一線路板、多個接腳、一控制晶片以及一儲存晶片。線路板包括一疊合層以及多個接墊。疊合層具有一表面。接墊包括一對差動訊號接墊，且這對差動訊號接墊配置於疊合層的表面。接腳分別銲接至線路板。接腳包括一對第一差動訊號接腳以及一對第二差動訊號接腳。控制晶片安裝至線路板的疊合層。儲存晶片安裝至線路板的疊合層。

基於上述，由於本創作之電子組裝及其應用是藉由線路板之最接近疊合層之表面的圖案化金屬層直接形成多個接墊，因此本創作之電子組裝的結構較為精簡，可節省電子組裝的製造成本。

為讓本創作之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

本創作所提出的電子組裝可適用於 USB 3.0 架構。在本創作應用於 USB 3.0 架構中，相較習知之 USB 2.0 以及 USB 3.0 適用的線路板而言，本創作是藉由最接近線路板表面的圖案化金屬層直接形成多個接墊，這些接墊例如是支援 USB 1.0 架構或 USB 2.0 架構的接墊。此外，本創作於線路板上也包括多個接腳，其例如是五根支援 USB 3.0 架構的接腳，其中四根接腳用於一傳送差動訊號對 (transmitting differential signal pair) 及一接收差動訊號對 (receiving differential signal pair)，而第五根接腳則用於

接地功能。簡言之，本創作之電子組裝是將支援不同架構之接墊與接腳進行整合以精簡於同一個線路板上。以下將利用多個不同之實施例來分別且詳細說明電子組裝的設計。

圖 1A 為本創作之一實施例之一種電子組裝的示意圖。圖 1B 為圖 1A 之電子組裝的局部剖面示意圖。圖 1C 為本創作所適用之插座連接器的示意圖。圖 1D 為圖 1C 之插座連接器的局部剖面示意圖。請先同時參考圖 1A 與圖 1C，在本實施例中，電子組裝 100 適用於連接至一插座連接器 10，此插座連接器 10 例如是支援 USB 3.0 架構之插座連接器 10。此處所述之電子組裝 100 與插座連接器 10 相連接的部分可視為一插頭端 (Plug)，而插座連接器 10 可視為一插座端 (Receptacle)。

詳細來說，請先參考圖 1C 與圖 1D，本實施例所述之可應用於 USB 3.0 架構之插座連接器 10 包括一接腳列 20 及另一與接腳列 20 相並排的接腳列 30。接腳列 20 包括一對差動訊號接腳 22、另一對差動訊號接腳 24 及一位於這兩對差動訊號接腳 22 及 24 之間的接地接腳 26。

在本實施例中，這對差動訊號接腳 22 例如為 USB 3.0 架構中的一對接收差動訊號接腳端 R_x^+ 及 R_x^- ，其係接收來自插頭端的傳送差動訊號接腳端 T_x^+ 及 T_x^- 的訊號；而另一對差動訊號接腳 24 例如為 USB 3.0 架構中的一對傳送差動訊號接腳端 T_x^+ 及 T_x^- ，其係傳送訊號至插頭端的接收差動訊號接腳端 R_x^+ 及 R_x^- 。接腳列 30 包括一接地接腳 32、一

電源接腳 34 及一對位於接地接腳 32 及電源接腳 34 之間的差動訊號接腳 36。此外，這對差動訊號接腳 36 例如為可支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號接腳端 D^+ 及 D^- 。

請參考圖 1A 與圖 1B，本實施例之電子組裝 100 包括一線路板 110 以及多個接腳 120。線路板 110 具有一疊合層 112、多個貫孔 114 以及多個接墊 116。在本實施例中，疊合層 112 具有一表面 112a，且此疊合層 112 例如是由多個介電層 112b 以及多個與介電層交互疊合的圖案化金屬層 112c 所構成，其中這些圖案化金屬層 112c 可透過導孔 (via) 112d 而彼此電性連接。這些貫孔 114 貫穿疊合層 112。這些接墊 116 包括一對差動訊號接墊 116a、一接地接墊 116b 以及一電源接墊 116c。這對差動訊號接墊 116a、接地接墊 116b 與電源接墊 116c 皆配置於疊合層 112 的表面 112a 上，且這對差動訊號接墊 116a 位於接地接墊 116b 與電源接墊 116c 之間。值得一提的是，本實施例之這些接墊 116 是由最接近疊合層 112 之表面 112a 的一圖案化金屬層 112c 所形成。

這些接腳 120 分別銲接至線路板 110 的這些貫孔 114 中，其中這些接腳 120 包括一對第一差動訊號接腳 122、一對第二差動訊號接腳 124 以及一接地接腳 126。這對第一差動訊號接腳 122 與這對第二差動訊號接腳 124 在疊合層 112 之表面 112a 的正投影與這對差動訊號接墊 116a 於疊合層 112 之表面 112a 上的正投影不重疊。也就是說，這

對第一差動訊號接腳 122、這對第二差動訊號接腳 124 以及這對差動訊號接墊 116a 呈交錯排列。此外，接地接腳 126 位於這對第一差動訊號接腳 122 與這對第二差動訊號接腳 124 之間。

在本實施例中，這對差動訊號接墊 116a 例如為支援 USB 1.0 架構或 USB 2.0 架構的一對傳送/接收差動訊號端 D^+ 及 D^- 。一般來說，傳送/接收差動訊號端 (D^+ 及 D^-) 為一半雙功傳輸模式，亦即訊號的傳送或接收只能擇一進行。意即，當進行資料傳送時，就無法進行資料接收，而當進行資料接收時，就無法進行資料傳送。

此外，這對第一差動訊號接腳 122 例如為 USB 3.0 架構中的一對傳送差動訊號端 T_x^+ 及 T_x^- ，而這對第二差動訊號接腳 124 為 USB 3.0 架構中的一對接收差動訊號端 R_x^+ 及 R_x^- 。在 USB 3.0 架構中，傳送差動訊號端 (T_x^+ 及 T_x^-) 與接收差動訊號端 (R_x^+ 及 R_x^-) 為一全雙功傳輸模式，亦即訊號的傳送或接收可以直接進行。在此必須說明的是，這對第一差動訊號接腳 122 以及這對第二差動訊號接腳 124 所支援的傳輸速度高於這對差動訊號接墊 116a 所支援的傳輸速度。

在本實施例中，這些接腳 120 的一端形狀例如是一倒勾狀 (reversed hook shape)，但本創作並不以此為限。於其他實施例中，這些接腳 120 的一端形狀亦可是一突出狀 (protrudent shape)。然而，本創作並不限定這些接腳 120 的形態，雖然此處所提及的這些接腳 120 為個別獨立之構

件，且分別銲接至線路板 110 的這些貫孔 114 中。

請參考圖 1E 之實施例中，亦可透過一絕緣殼體 150 將這些接腳 120 的局部封裝於絕緣殼體 150 中。也就是說，可先將個別獨立的這些接腳 120 透過絕緣殼體 150 而結合成一體的結構。之後，再將此一體的結構銲接至線路板 110 上，以助於縮短銲接前定位這些接腳 120 的時間。

此外，於另一未繪示的實例中，線路板 110 亦可不具有這些貫孔 114，而這些接腳 120 是以表面安裝(surface mount)的方式銲接至線路板 110 上。另外，於又一未繪示的實例中，線路板 110 亦可僅具有部份這些貫孔 114，而部份這些接腳 120 銲接至線路板 110 的這些貫孔 114 中，而剩下的其他接腳 120 則以表面安裝的方式銲接至線路板 110 上。因此，此處所述之這些接腳 120 的形態僅為舉例說明之用，而非限定本創作所欲涵蓋之樣態。

圖 2A 為圖 1C 之插座連接器插接至圖 1A 之電子組裝的示意圖。圖 2B 為圖 1C 之插座連接器插接至圖 1A 之電子組裝的局部剖面示意圖。請同時參考圖 2A 與圖 2B，當插座連接器 10 連接至電子組裝 100 時，接腳列 20 的這對差動訊號接腳 22 分別直接接觸這些接腳 120 的這對第一差動訊號接腳 122，而這對差動訊號接腳 24 分別直接接觸這些接腳 120 的這對第二差動訊號接腳 124，且接地接腳 26 直接接觸接地接腳 126。接腳列 30 的接地接腳 32 直接接觸接地接墊 116b，電源接腳 34 直接接觸電源接墊 116c，而這對差動訊號接腳 36 分別直接接觸這對差動訊號接墊

116a。由於插座連接器 10 可直接接觸由線路板 110 所構成的這些接墊 116，因此可維持高速訊號通道的品質。

簡言之，由於本實施例之電子組裝 100 是將可支援 USB 架構(例如：USB 1.0 或 USB 2.0 架構)的這些接墊 116 設置於線路板 110 之疊合層 112 的表面 112a 上，而將支援另一 USB 架構(例如：USB 3.0 架構)之這些接腳 120 分別銲接至線路板 110 的這些貫孔 114 中。如此一來，支援不同架構之這些接墊 116 與這些接腳 120 可進行整合以精簡於同一個線路板 110 上，並且這些接腳 120 所支援的傳輸速度高於這些接墊 116 所支援的傳輸速度。

此外，藉由線路板 110 之最接近疊合層 112 之表面 112a 的圖案化金屬層 112c 直接形成多個可支援 USB 架構的接墊 116，因此除了可同時支援具有不同架構之插座連接器 10 外，本實施例之電子組裝 100 的結構也較為精簡，製作上也較為簡便，而可節省電子組裝 100 的製造成本。

在一實施例中，本實施例之電子組裝 100 可應用於一種儲存裝置，特別是一種薄型、卡片式的儲存裝置(例如：薄型記憶卡)。由於本創作利用線路板 110 之最接近疊合層 112 之表面 112a 的圖案化金屬層 112c 直接形成多個可支援 USB 架構的接墊 116，因此整個電子組裝 100 的體積較小且較輕薄，而方便使用者隨身攜帶。使用者可以透過電子組裝 100 的插頭端(Plug)連接至另一電子裝置的插座端(Receptacle)，而可隨時進行資料存取。此外，這對差動訊號接墊 116a、這對第一差動訊號接腳 122、這對第二差動

訊號接腳 124 係分別與控制晶片電性連接，以作為訊號傳遞之用。以下將利用多個不同之實施例來分別說明儲存裝置 100a~100g 的結構設計。

下述實施例沿用前述實施例的元件標號與部分內容，其中採用相同的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參照前述實施例，於下述實施例中不再重複贅述。

圖 3A 為本創作之一實施例之儲存裝置的方塊示意圖。請參考圖 3A，本實施例的儲存裝置 100a 與前述實施例之電子組裝 100 相似，其主要的差異在於：本實施例之儲存裝置 100a 更包括一安裝至線路板 110 的控制晶片 130a 以及一安裝至線路板 110 的儲存晶片 140a，其中控制晶片 130a 與儲存晶片 140a 彼此電性連接，以作為訊號傳遞之用。詳細來說，在本實施例中，控制晶片 130a 例如是用來控制儲存晶片 140a 的存取的晶片，其中儲存晶片 140a 的類型例如是反及閘快閃記憶體 (NAND Flash)，但非限定於此。

圖 3B 至圖 3G 為本創作之多個實施例之儲存裝置的剖面示意圖。請先參考圖 3B，在本實施例中，儲存晶片 140b 例如是堆疊於控制晶片 130b 上，而控制晶片 130b 透過線路板 110 之疊合層 112 中的這些圖案化金屬層 (未繪示) 而電性連接至這些接腳 120 (圖 3B 中僅示意地繪示一個第一差動訊號接腳 122) 與這些接墊 116 (圖 3B 中僅示意地繪示一個接地接墊 116b)。在此必須說明的是，於其他未

繪示的實施例中，控制晶片 130b 亦可透過導孔（未繪示）以及這些圖案化金屬層而電性連接至這些接腳 120 與這些接墊 116。

值得一提的是，本創作並不限定控制晶片 130b 與儲存晶片 140b 的位置。舉例而言，於其他實施例中，請參考圖 3C，控制晶片 130c 與儲存晶片 140c 亦可個別獨立地內埋於線路板 110 內。

請參考圖 3D，控制晶片 130d 與儲存晶片 140d 亦可個別獨立地配置於線路板 110 之疊合層 112 的表面 112a 上。

請參考圖 3E，儲存晶片 140e 堆疊於控制晶片 130e 上，且儲存晶片 140e 與控制晶片 130e 內埋於線路板 110 內。

請參考圖 3F，控制晶片 130f 配置於線路板 110 之疊合層 112 的表面 112a 上，而儲存晶片 140f 內埋於線路板 110 內。

請參考圖 3G，儲存晶片 140g 配置於線路板 110 之疊合層 112 的表面 112a 上，而控制晶片 130g 內埋於線路板 110 內。

此處所述之這些控制晶片 130a~130g 與這些儲存晶片 140a~140g 的位置僅為舉例說明之用，而非限定本創作所欲涵蓋之樣態。

綜上所述，由於本創作之電子組裝及其應用是藉由線路板之表面的圖案化金屬層直接形成多個支援 USB 架構

(例如：USB 1.0 或 USB 2.0 架構)的接墊，並且焊接上多個支援另一 USB 架構(例如：USB 3.0 架構)的接腳，因此除了可同時支援具有不同 USB 架構之插座連接器外，本創作之電子組裝的結構也較為精簡，可節省電子組裝的製造成本。此外，插座連接器的部分接腳可直接接觸本創作之電子組裝由線路板所構成的多個接墊，因此可維持高速訊號通道的品質。

雖然本創作已以實施例揭露如上，然其並非用以限定本創作，任何所屬技術領域中具有通常知識者，在不脫離本創作之精神和範圍內，當可作些許之更動與潤飾，故本創作之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 為本創作之一實施例之一種電子組裝的示意圖。

圖 1B 為圖 1A 之電子組裝的局部剖面示意圖。

圖 1C 為本創作所適用之插座連接器的示意圖。

圖 1D 為圖 1C 之插座連接器的局部剖面示意圖。

圖 1E 為圖 1A 之接腳封裝於絕緣殼體內的示意圖。

圖 2A 為圖 1C 之插座連接器插接至圖 1A 之電子組裝的示意圖。

圖 2B 為圖 1C 之插座連接器插接至圖 1A 之電子組裝的局部剖面示意圖。

圖 3A 為本創作之一實施例之儲存裝置的方塊示意

圖。

圖 3B 至圖 3G 為本創作之多個實施例之儲存裝置的剖面示意圖。

【主要元件符號說明】

- 10：插座連接器
- 20：接腳列
- 22：差動訊號接腳
- 24：差動訊號接腳
- 26：接地接腳
- 30：接腳列
- 32：接地接腳
- 34：電源接腳
- 36：差動訊號接腳
- 100：電子組裝
- 100a~100g：儲存裝置
- 110：線路板
- 112：疊合層
- 112a：表面
- 112b：介電層
- 112c：圖案化金屬層
- 112d：導孔
- 114：貫孔
- 116：接墊

- 116a：差動訊號接墊
- 116b：接地接墊
- 116c：電源接墊
- 120：接腳
- 122：第一差動訊號接腳
- 124：第二差動訊號接腳
- 126：接地接腳
- 130a~130g：控制晶片
- 140a~140g：儲存晶片
- 150：絕緣殼體

新型專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99206323

※申請日：99.4.09

※IPC分類：H01R 24/00 (2006.01)

一、新型名稱：

電子組裝及其應用 / ELECTRIC ASSEMBLY AND APPLICATION THEREOF

二、中文新型摘要：

一種電子組裝包括一線路板以及多個接腳。線路板包括一疊合層以及多個接墊。疊合層具有一表面。接墊包括一對差動訊號接墊，且這對差動訊號接墊配置於疊合層的表面。接腳分別銲接至線路板。接腳包括一對第一差動訊號接腳以及一對第二差動訊號接腳。

三、英文新型摘要：

An electronic assembly including a wiring board and a plurality of leads is provided. The wiring board includes a laminated layer and a plurality of pads. The laminated layer has a surface. The pads include a pair of differential signal pads, and the differential signal pads are disposed on the surface of the laminated layer. The leads are soldered onto the wiring board. The leads include a pair of first

differential signal leads and a pair of second differential signal leads.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1A

(二) 本代表圖之元件符號簡單說明：

100：電子組裝

110：線路板

112：疊合層

112a：表面

112c：圖案化金屬層

114：貫孔

116：接墊

116a：差動訊號接墊

116b：接地接墊

116c：電源接墊

120：接腳

122：第一差動訊號接腳

124：第二差動訊號接腳

126：接地接腳

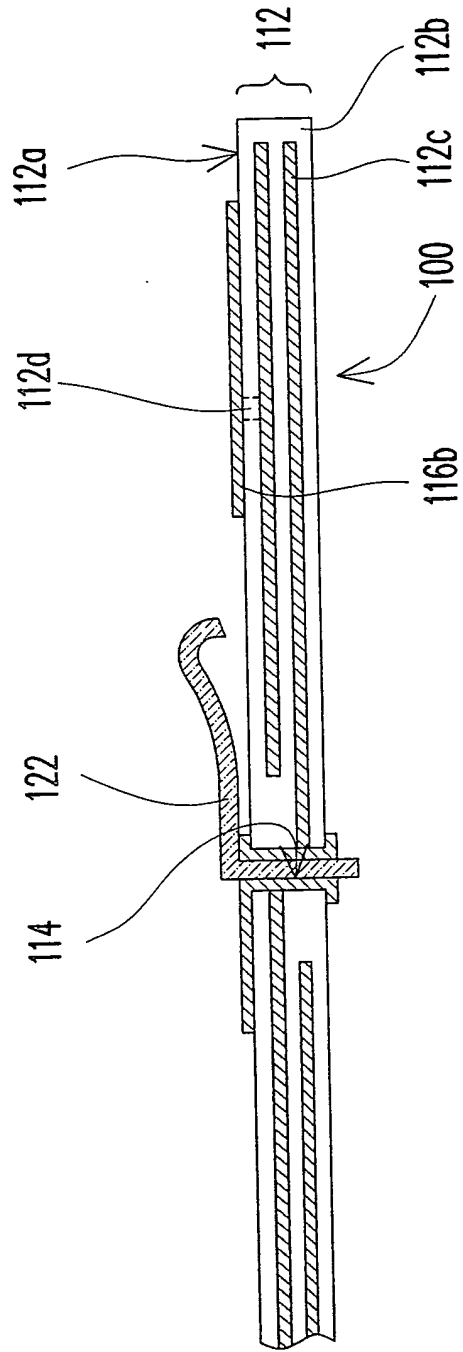


圖 1B

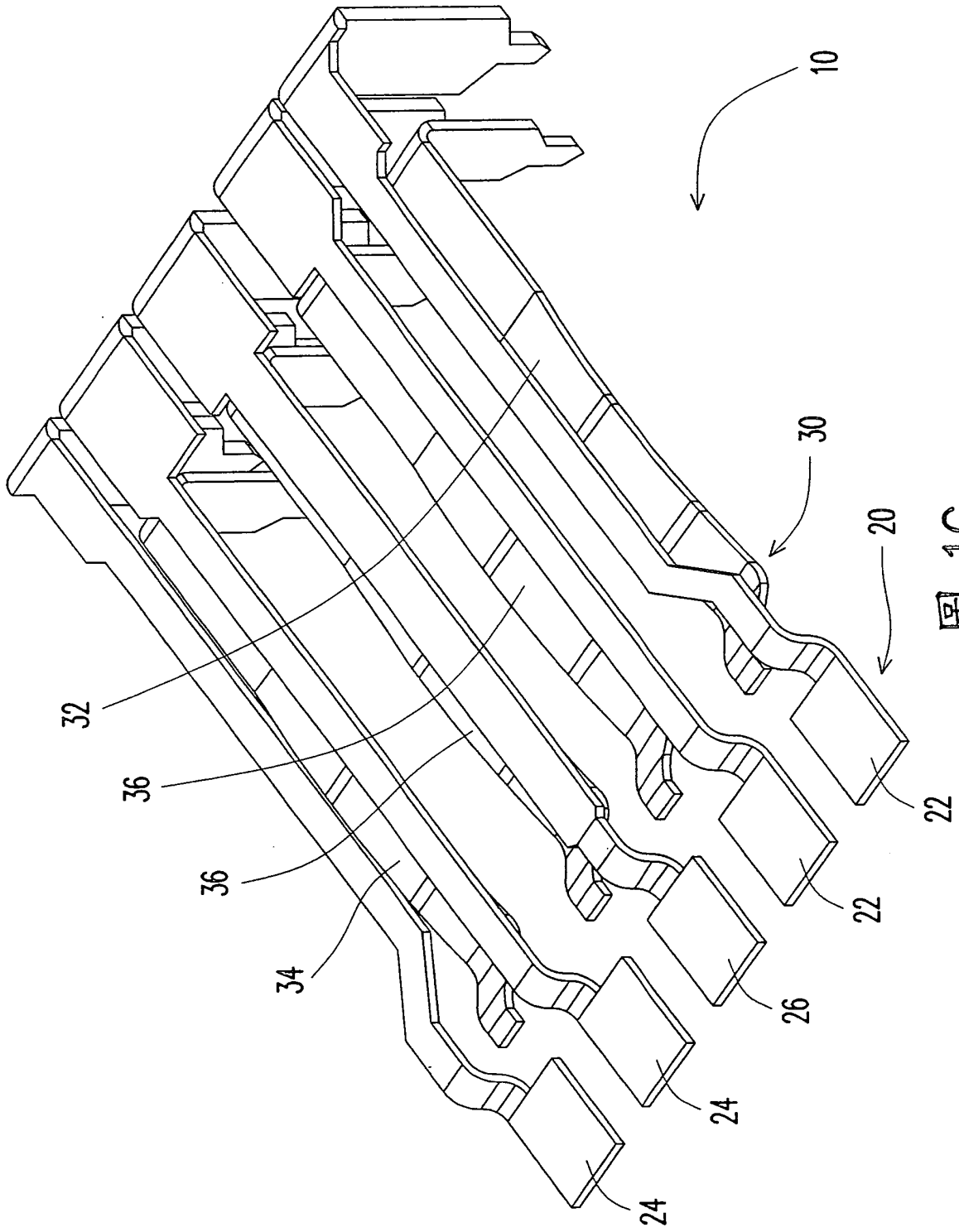


圖 1C

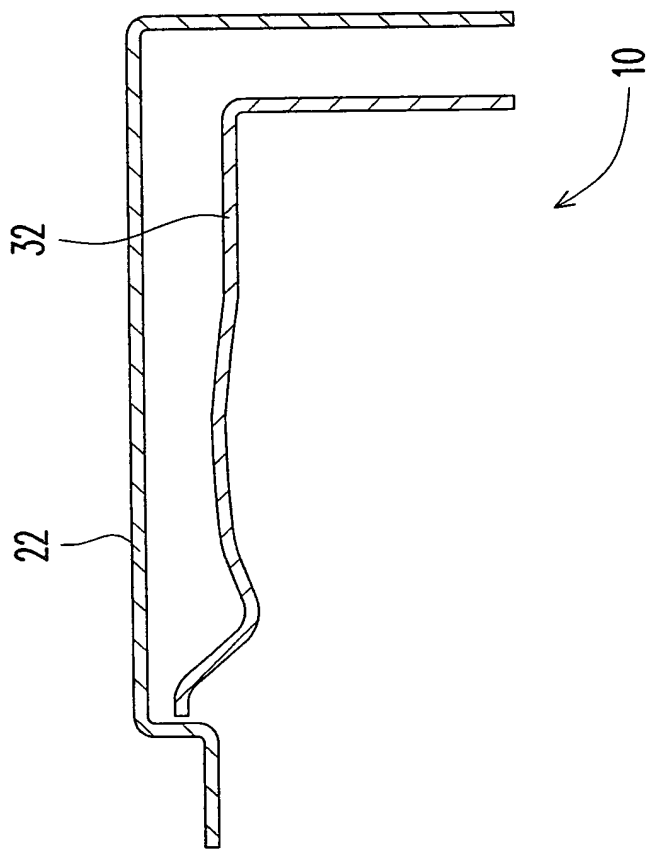


圖 1D

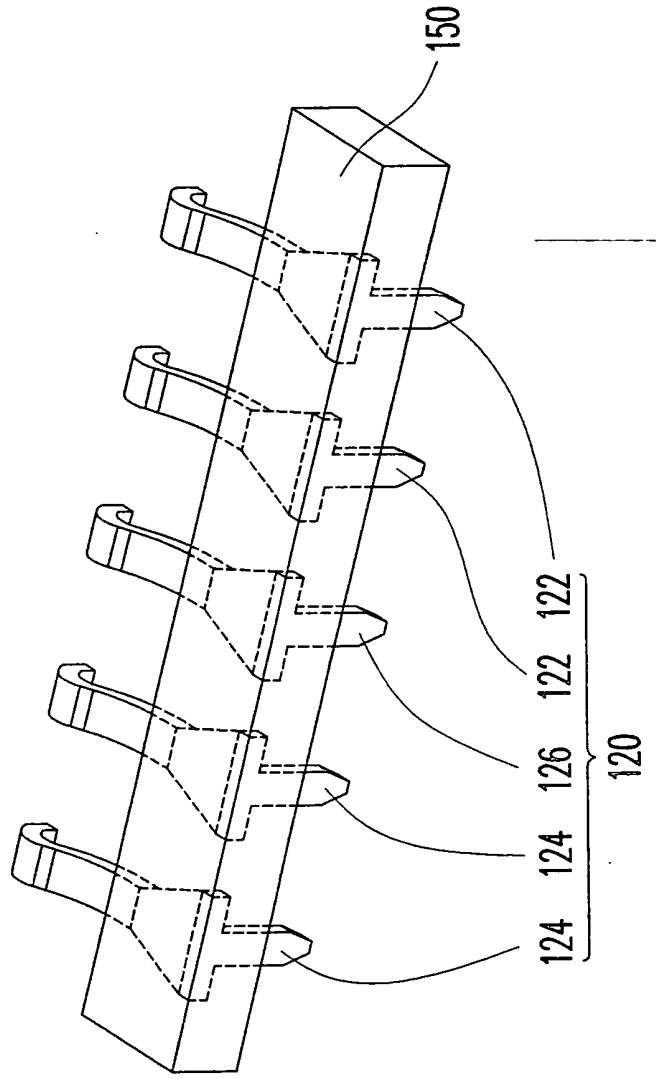


圖 1E

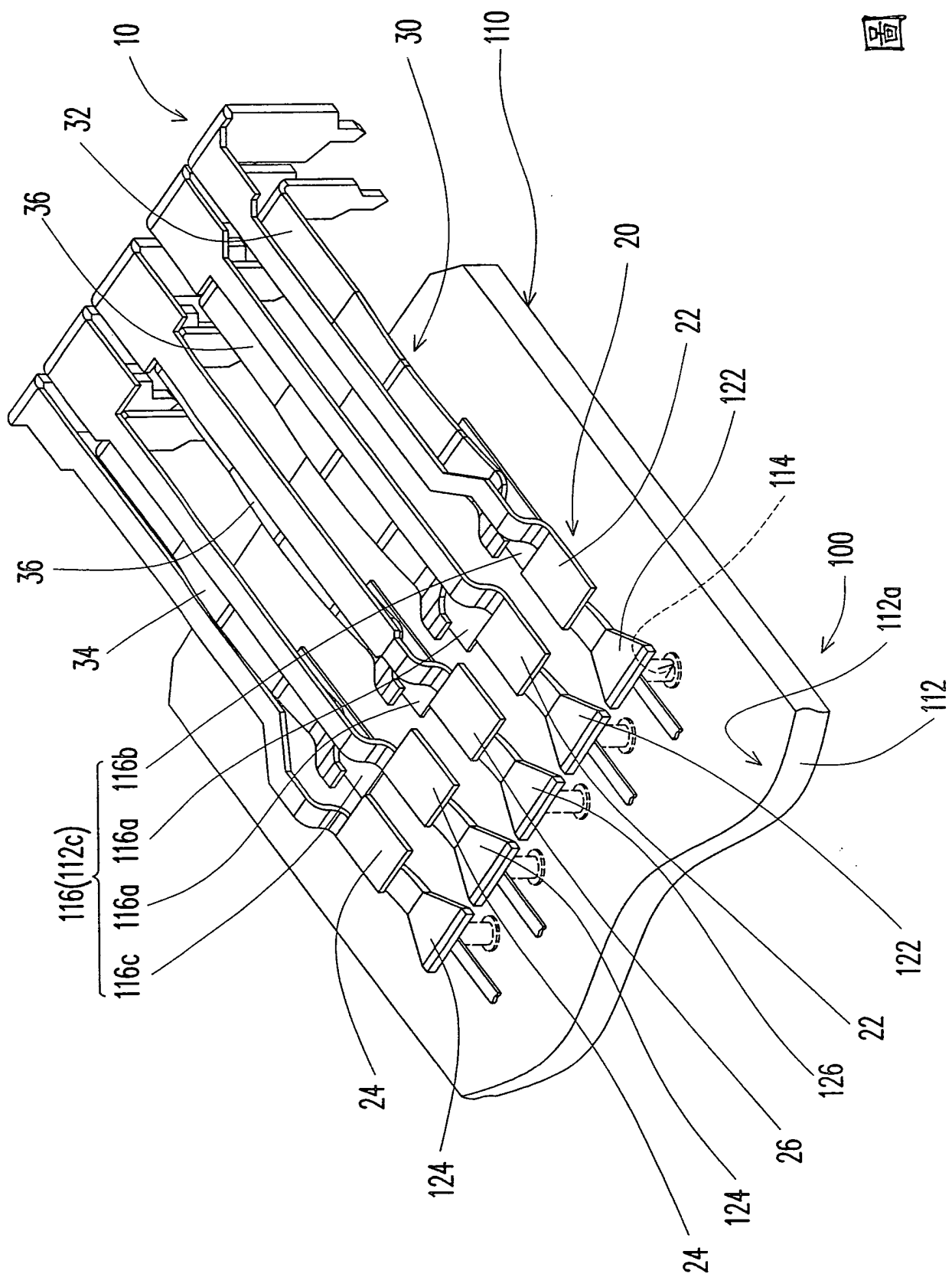


圖 2A

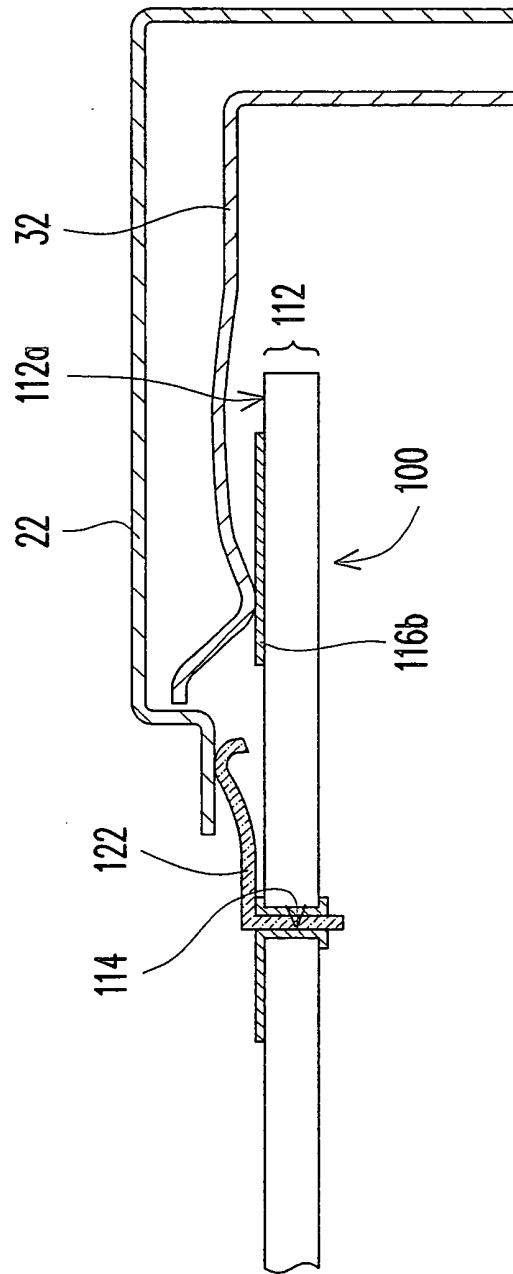


圖 2B

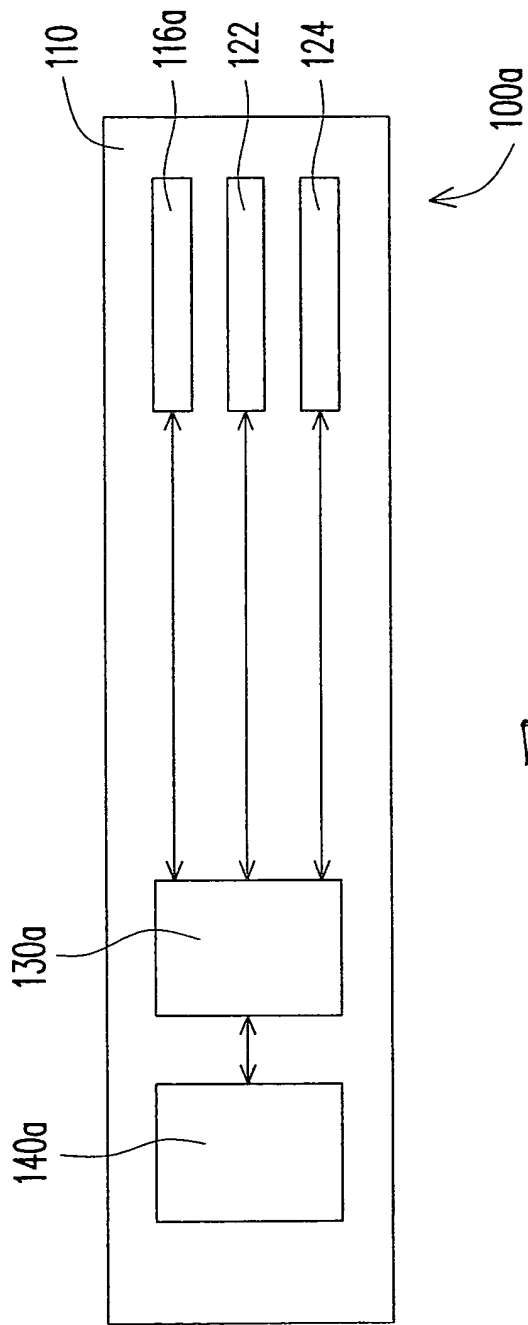


圖 3A

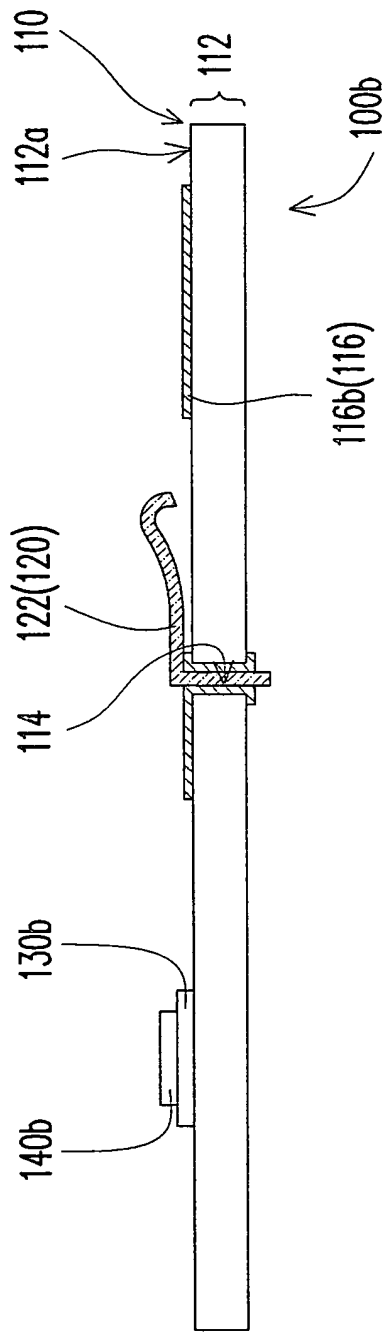


圖 3B

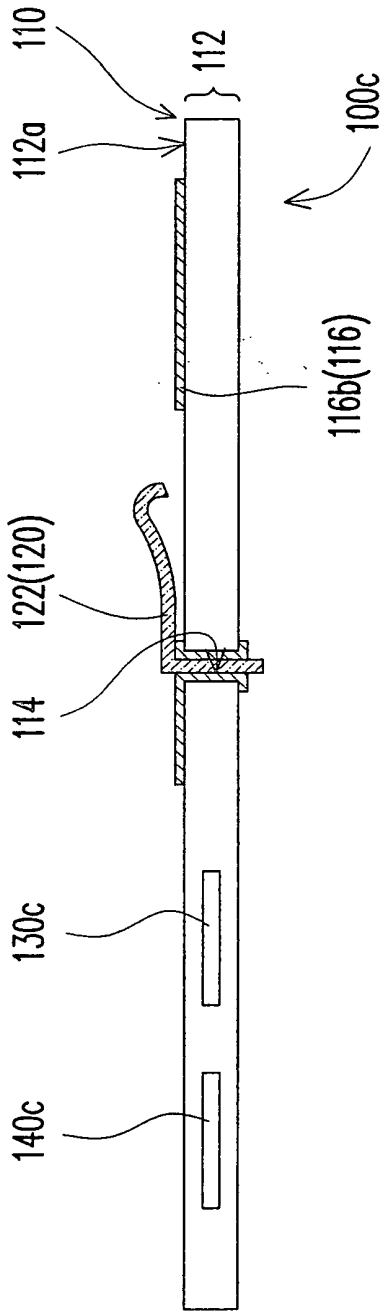


圖 3C

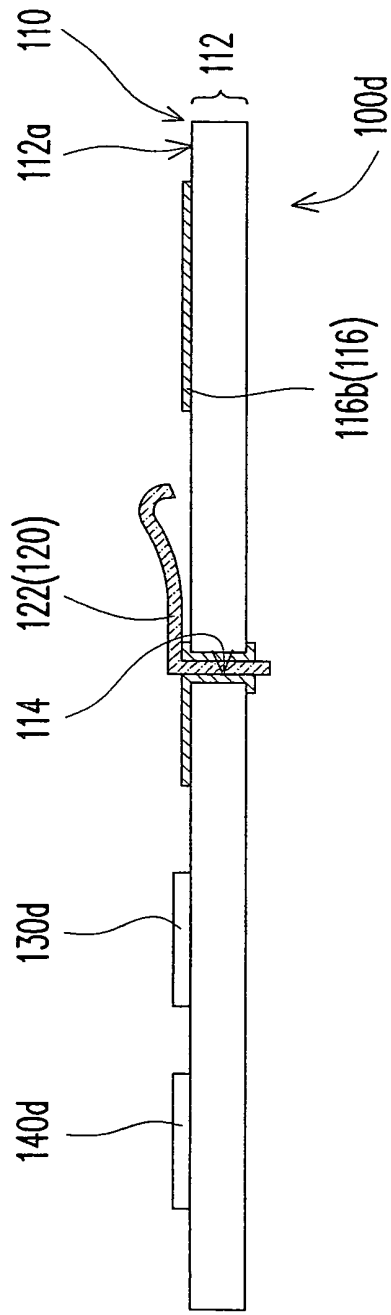


圖 3D

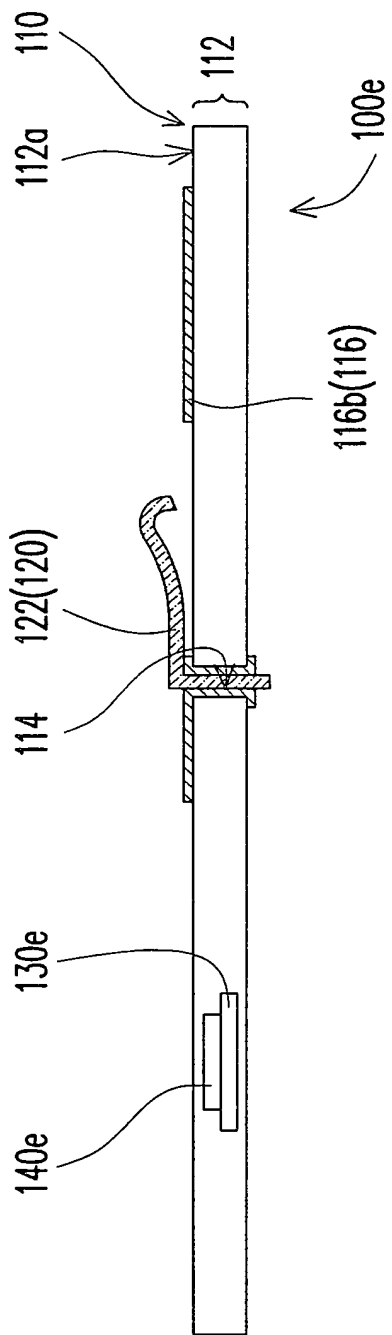


圖 3E

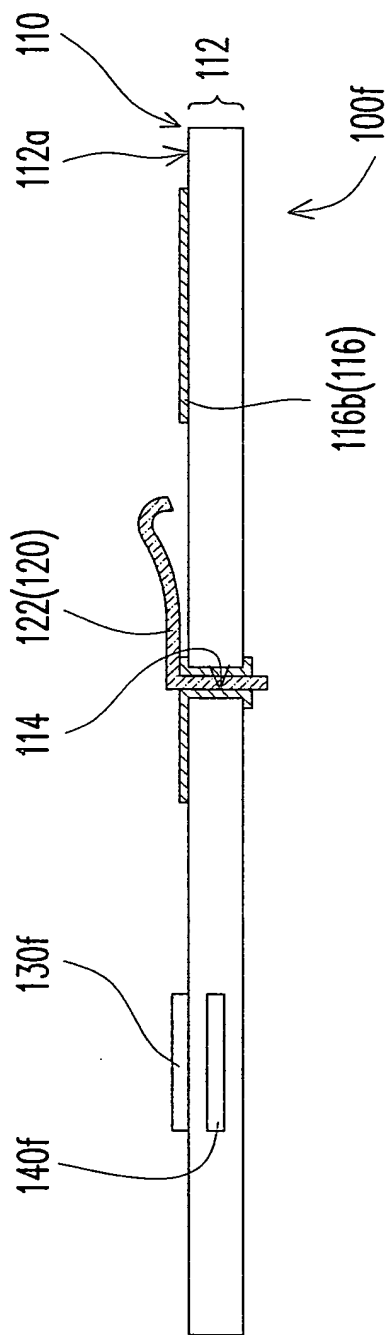


圖 3F

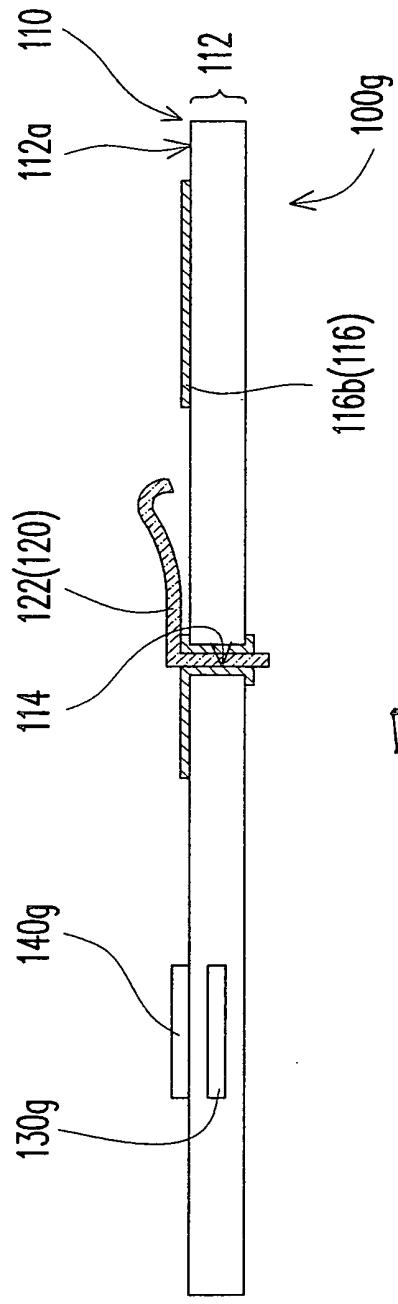


圖 3G

differential signal leads and a pair of second differential signal leads.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1A

(二) 本代表圖之元件符號簡單說明：

100：電子組裝

110：線路板

112：疊合層

112a：表面

112c：圖案化金屬層

114：貫孔

116：接墊

116a：差動訊號接墊

116b：接地接墊

116c：電源接墊

120：接腳

122：第一差動訊號接腳

124：第二差動訊號接腳

126：接地接腳

六、申請專利範圍：

1. 一種電子組裝，包括：

一線路板，包括一疊合層以及多個接墊，其中該疊合層具有一表面，而該些接墊包括一對差動訊號接墊，且該對差動訊號接墊配置於該疊合層的該表面上；以及

多個接腳，銲接至該線路板，其中該些接腳包括一對第一差動訊號接腳以及一對第二差動訊號接腳。

2. 如申請專利範圍第 1 項所述之電子組裝，其中該對第一差動訊號接腳以及該對第二差動訊號接腳所支援的傳輸速度高於該對差動訊號接墊所支援的傳輸速度。

3. 如申請專利範圍第 1 項所述之電子組裝，其中該疊合層包括至少一圖案化金屬層，其中最接近該表面的圖案化金屬層形成該些接墊。

4. 如申請專利範圍第 1 項所述之電子組裝，其中該線路板具有多個貫孔，貫穿該疊合層，且該些接腳分別銲接至該些貫孔中。

5. 如申請專利範圍第 1 項所述之電子組裝，其中該些接墊更包括一接地接墊與一電源接墊，配置於該疊合層的該表面上，且分別位於該對差動訊號接墊的側邊；該些接腳更包括一接地接腳，位於該對第一差動訊號接腳與該對第二差動訊號接腳之間。

6. 如申請專利範圍第 1 項所述之電子組裝，其中該對差動訊號接墊為一對傳送/接收差動訊號端 (D^+ 及 D^-)；該對第一差動訊號接腳為一對傳送差動訊號端 (T_x^+ 及 T_x^-)；該對

第二差動訊號接腳為一對接收差動訊號端 (R_x^+ 及 R_x^-)。

7. 如申請專利範圍第 1 項所述之電子組裝，更包括一絕緣殼體，其中該些接腳的局部封裝於該絕緣殼體中。

8. 一種儲存裝置，包括：

一線路板，包括一疊合層以及多個接墊，其中該疊合層具有一表面，而該些接墊包括一對差動訊號接墊，且該對差動訊號接墊配置於該疊合層的該表面上；

多個接腳，銲接至該線路板，其中該些接腳包括一對第一差動訊號接腳以及一對第二差動訊號接腳；

一控制晶片，安裝至該線路板的該疊合層；以及

一儲存晶片，安裝至該線路板的該疊合層。

9. 如申請專利範圍第 8 項所述之儲存裝置，其中該控制晶片位於該疊合層的該表面上或內埋於該疊合層中。

10. 如申請專利範圍第 8 項所述之儲存裝置，其中該儲存晶片位於該疊合層的該表面上或內埋於該疊合層中。

11. 如申請專利範圍第 8 項所述之儲存裝置，其中該對第一差動訊號接腳以及該對第二差動訊號接腳所支援的傳輸速度高於該對差動訊號接墊所支援的傳輸速度。

12. 如申請專利範圍第 8 項所述之儲存裝置，其中該疊合層包括至少一圖案化金屬層，其中最接近該表面的圖案化金屬層形成該些接墊。

13. 如申請專利範圍第 8 項所述之儲存裝置，其中該線路板具有多個貫孔，貫穿該疊合層，且該些接腳分別銲接至該些貫孔中。

99-8-20
年 月 日修正
補充

14. 如申請專利範圍第 8 項所述之儲存裝置，其中該些接墊更包括一接地接墊與一電源接墊，配置於該疊合層的該表面上，且分別位於該對差動訊號接墊的側邊；該些接腳更包括一接地接腳，位於該對第一差動訊號接腳與該對第二差動訊號接腳之間。

15. 如申請專利範圍第 8 項所述之儲存裝置，其中該對差動訊號接墊為一對傳送/接收差動訊號端 (D^+ 及 D^-)；該對第一差動訊號接腳為一對傳送差動訊號端 (T_x^+ 及 T_x^-)；該對第二差動訊號接腳為一對接收差動訊號端 (R_x^+ 及 R_x^-)。

16. 如申請專利範圍第 8 項所述之儲存裝置，更包括一絕緣殼體，其中該些接腳的局部封裝於該絕緣殼體中。

七、圖式：

第 20 修正
年 月 日
補充

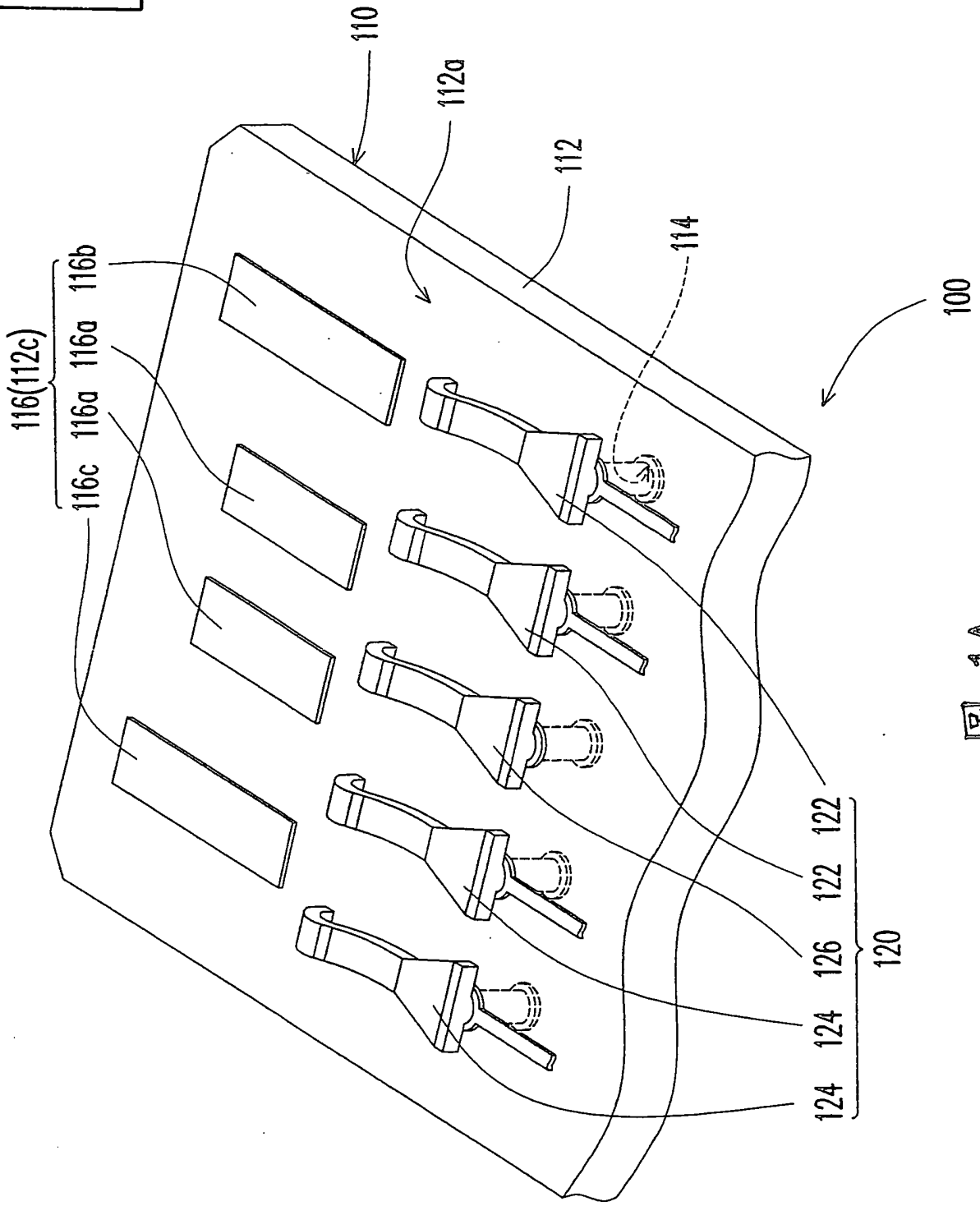


圖 1A