

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 11/405

H01L 27/108



[12] 发明专利申请公开说明书

[21] 申请号 200410061559.1

[43] 公开日 2005 年 8 月 31 日

[11] 公开号 CN 1661723A

[22] 申请日 2004. 12. 30

[21] 申请号 200410061559.1

[30] 优先权

[32] 2004. 2. 24 [33] JP [31] 047508/2004

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 布赖恩·阿特伍德 渡部隆夫

[74] 专利代理机构 永新专利商标代理有限公司

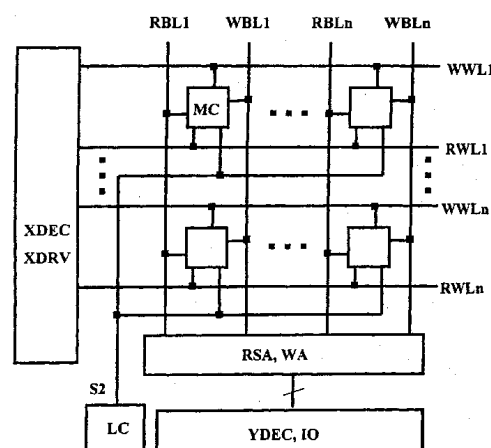
代理人 胡建新

权利要求书 4 页 说明书 20 页 附图 16 页

[54] 发明名称 半导体集成电路

[57] 摘要

本发明提供一种提供了一种使用了漏电电流小的 3 晶体管型动态单元的半导体集成电路。以降低待机时伴随通过 3 晶体管型动态单元中的存储晶体管的漏电电流的功率。在与电源端子之间设置连接构成存储器阵列的多个 3 晶体管型动态单元内的存储晶体管的源电极的开关。在动作时使上述开关导通, 待机时使上述开关为非导通状态, 由此截断待机时的漏电电流。



ISSN 1008-4274

1. 一种半导体集成电路，其特征在于，包括存储器单元和开关元件，

所述存储器单元由将电荷存储到栅极电容中的存储晶体管、用于将电荷从写入位线写入到上述存储晶体管的栅电极中的写入晶体管、及用于控制读出位线与存储晶体管的漏极的导通的选择晶体管构成，

所述开关元件设置在上述存储晶体管的源电极与电源之间。

2. 如权利要求 1 所述的半导体集成电路，其特征在于，还包括多根沿第 1 方向延伸的写入字线、多根沿上述第 1 方向延伸的读出字线、多根沿与第 1 方向交叉的第 2 方向延伸的读出位线、及多根沿上述第 2 方向延伸的写入位线；

上述存储器单元为多个，上述多个存储器单元的上述写入晶体管的栅极与上述多根写入字线相连，上述写入晶体管的源、漏极中的一极与上述多根写入位线相连，上述选择晶体管的栅极与多根读出字线相连，上述选择晶体管的源、漏极中的一极与上述多根读出位线相连，上述写入晶体管的源、漏极中的另一极分别与上述存储晶体管的栅电极相连，上述存储晶体管的漏极分别与上述选择晶体管的源、漏极中的另一极相连。

3. 如权利要求 2 所述的半导体集成电路，其特征在于，上述写入晶体管的沟道区域用膜厚 5nm 左右以下的膜形成，并以经由绝缘膜包围上述写入晶体管的栅电极的方式形成。

4. 如权利要求 3 所述的半导体集成电路，其特征在于，上述写入晶体管的源、漏极路径形成在与形成了上述存储晶体管的源、漏极路径的方向相垂直的方向。

5. 如权利要求 3 所述的半导体集成电路，其特征在于，上述开关元件在电源电位与上述存储晶体管的源电极之间具备 N 沟道型 MOS 晶体管，该 N 沟道型 MOS 晶体管具有源、漏极路径，将上述存储晶体管的源电极控制为：在第 1 状态下为浮置状态，在第 2 状态下电位

为电源电位。

6. 如权利要求 2 所述的半导体集成电路, 其特征在于, 上述开关元件设定为连接上述多根写入位线与多根写入字线的多个存储器单元共用。

7. 一种半导体集成电路, 包括存储器单元, 该存储器单元由将电荷存储到栅极电容中的存储晶体管、用于将电荷从写入位线写入到上述存储晶体管的栅电极中的写入晶体管、及用于控制读出位线与存储晶体管的漏极的导通的选择晶体管构成, 其特征在于, 所述半导体集成电路具有在上述半导体集成电路处于动作状态时或处于待机状态时, 使上述存储晶体管的源电极的电位变化的第 1 电路。

8. 如权利要求 7 所述的半导体集成电路, 其特征在于, 还包括多根沿第 1 方向延伸的写入字线、多根沿上述第 1 方向延伸的读出字线、多根沿与第 1 方向交叉的第 2 方向延伸的读出位线、及多根沿上述第 2 方向延伸的写入位线;

上述存储器单元为多个, 上述多个存储器单元的上述写入晶体管的栅极与上述多根写入字线相连, 上述写入晶体管的源、漏极中的一极与上述多根写入位线相连, 上述选择晶体管的栅极与多根读出字线相连, 上述选择晶体管的源、漏极中的一极与上述多根读出位线相连, 上述写入晶体管的源、漏极中的另一极分别与上述存储晶体管的栅电极相连, 上述存储晶体管的漏极分别与上述选择晶体管的源、漏极中的另一极相连。

9. 如权利要求 8 所述的半导体集成电路, 其特征在于, 上述写入晶体管的沟道区域用膜厚 5nm 左右以下的膜形成, 并以经由绝缘膜包围上述写入晶体管的栅电极的方式形成。

10. 如权利要求 9 所述的半导体集成电路, 其特征在于, 上述写入晶体管的源、漏极路径形成在与形成了上述存储晶体管的源、漏极路径的方向相垂直的方向。

11. 如权利要求 8 所述的半导体集成电路, 其特征在于, 上述第 1 电路在电源电位与上述存储晶体管的源电极之间具备具有源、漏极路

径的 N 沟道型 MOS 晶体管，将上述存储晶体管的源电极控制为：在第 1 状态下为浮置状态，在第 2 状态下电位为电源电位。

12. 如权利要求 11 所述的半导体集成电路，其特征在于，上述电路设定为连接上述多根写入位线与多根写入字线的多个存储器单元共用。

13. 一种半导体集成电路，包括存储器单元，该存储器单元由将电荷存储到栅极电容中的存储晶体管、用于将电荷从写入位线写入到上述存储晶体管的栅电极中的写入晶体管、及用于控制读出位线与存储晶体管的漏极的导通的选择晶体管构成，其特征在于，

所述半导体集成电路包括用来使读出位线成为所希望的电位的预充电晶体管；

上述预充电晶体管的漏极或源电极与读出位线相连，在上述半导体集成电路处于动作状态时和处于待机状态时，使另一端的源电极或漏电极的电位变化。

14. 如权利要求 13 所述的半导体集成电路，其特征在于，还包括多根沿第 1 方向延伸的写入字线、多根沿上述第 1 方向延伸的读出字线、多根沿与第 1 方向交叉的第 2 方向延伸的读出位线、多根沿上述第 2 方向延伸的写入位线、选择上述多根读出字线和上述多个写入字线的 X 解码器、及选择上述多个读出位线和上述多个写入位线的 Y 解码器；

上述存储器单元为多个，上述多个存储器单元的上述写入晶体管的栅极与上述多根写入字线相连，上述写入晶体管的源、漏极中的一极与上述多根写入位线相连，上述选择晶体管的栅极与多根读出字线相连，上述选择晶体管的源、漏极中的一极与上述多根读出位线相连，上述写入晶体管的源、漏极中的另一极分别与上述存储晶体管的栅电极相连，上述存储晶体管的漏极分别与上述选择晶体管的源、漏极中的另一极相连。

15. 如权利要求 14 所述的半导体集成电路，其特征在于，上述写入晶体管的沟道区域用膜厚 5nm 左右以下的膜形成，并以经由绝缘膜

包围上述写入晶体管的栅电极的方式形成。

16. 如权利要求 15 所述的半导体集成电路，其特征在于，上述写入晶体管的源、漏极路径形成在与形成了上述存储晶体管的源、漏极路径的方向相垂直的方向。

半导体集成电路

技术领域

本发明涉及一种半导体集成电路，特别涉及一种使用了漏电流小的3晶体管型动态单元的半导体集成电路。

背景技术

3晶体管型动态单元及使用了它的半导体集成电路早已为人所知。与使用6个晶体管的静态单元（以下称为“6T单元”）相比，由于元件数量少，因此集成化程度高；与单个晶体管型动态单元（1T单元）不同，由于具有读出时的增益，因此能够高速动作，这是其优点。

作为与3晶体管单元（以下称“3T单元”）有关的文献例，有专利文献1。该发明的目的在于通过将3T单元读出时存储Tr的源极电位从0伏变为负电位来实现读出时的高速化。

有关通过在沟道中使用极薄的半导体来利用膜厚方向的量子力学上的封闭效果以降低漏电流的晶体管公开在专利文献2中。

上述以往的例子中虽然考虑了读出时的高速化，但没有考虑待机时的功率消耗。

3T单元考虑了利用作为其特性的高集成化或高速度性。因此，在降低功率消耗上没有下工夫，不适于在例如便携式设备等要求功率消耗低，特别是待机功率低的领域使用。

在读出动作时，3T单元的选择晶体管处于导通状态，流过依存于存储晶体管为导通状态或截止状态而不同的电流，读出位线中的电位出现变化。通过检测这种情况进行读出动作。待机时，由于所有单元的选择晶体管都截止，因此不管存储晶体管的状态如何，从读出位线流到存储晶体管的源电极中的电流几乎都被截断。

但是，由于选择晶体管为MOS晶体管，因此即使在截止状态下依

然存在微小的漏电电流。如果存储器的容量达到数兆比特，则即使 1 个单元的漏电电流很小，但合计的电流值也变得很大。

[专利文献 1] 日本专利特开 2000-11642 号公报

[专利文献 2] USP6576943

发明内容

本发明要解决的问题就是降低 3T 单元中待机时流过的漏电电流。

技术方案

如果简单地说明本申请所公开的发明中具有代表性的概要，则如下所述。

连接多个 3 晶体管存储器单元中的存储晶体管的源电极，在上述源电极与电源之间设置开关装置。动作时导通上述开关装置，将存储晶体管的源电极电压偏置到所希望的电压值。而在待机时，通过断开上述开关装置，截断流过存储器单元的漏电流通路。

而且，用沟道区域的膜厚为 5nm 左右以下的膜形成晶体管，使用这样的晶体管作为 3 晶体管存储器单元的写入晶体管。

发明效果

本发明为包含用 3 晶体管存储器单元构成的存储器的半导体集成电路，能够大幅度地降低其待机状态的功率消耗。

附图的简要说明

图 1 表示本发明的半导体集成电路的存储器部分的基本结构的实施例的图

图 2 表示图 1 的实施例中的存储器 MC 的等价电路的实施例

图 3 表示漏电电流截断电路 LC 的第一实施例的图

图 4 表示图 3 的实施例的时间图的实施例的图

- 图 5 表示漏电电流截断电路 LC 的第二实施例的图
- 图 6 表示图 5 的实施例的时间图的实施例的图
- 图 7 表示读出位线的预充电电路的实施例的图
- 图 8 表示图 7 的实施例的时间图的实施例的图
- 图 9 表示用来改善 3T 单元的保持特性的写入晶体管的剖视图的实施例
- 图 10 使源电极 S2 的配线与位线相平行的实施例
- 图 11 表示图 3 的实施例的详细动作的时间图的实施例
- 图 12 表示图 5 的实施例的详细动作的时间图的实施例
- 图 13 表示图 7 的实施例的详细动作的时间图的实施例
- 图 14 表示用多个空单元高精度地产生读出时的参照电压的方法的原理的实施例
- 图 15 将图 14 的原理用于开位线的布局的实施例
- 图 16 将图 14 的原理用于折叠位线的布局的实施例
- 图 17 表示仅驱动局部位线来进行刷新的存储器阵列的结构实施例
- 图 18 表示图 17 的动作的时间图的实施例

实施本发明的最佳形态

下面用附图说明本发明的实施例。

图 1 为表示用 3T 单元 MC 构成的本发明的存储器的基本结构的图。
3T 单元 MC 的电路结构表示在图 2 中。

如图 2 所示, 本单元 MC 由选择晶体管 MR1、存储晶体管 MR2、写入晶体管 MW 这 3 个晶体管构成。存储器单元的写入晶体管 MW 的栅极与写入字线 WWL 相连, 写入晶体管 MW 的源、漏极中的一极与写入位线 WBL 相连, 选择晶体管 MR1 的栅极与读出字线 RWL 相连, 选择晶体管 MR1 的源、漏极中的一极与读出位线 RBL 相连, 写入晶体管 MW 的源、漏极中的另一极与存储晶体管 MR2 的栅电极相连, 存储晶体管 MR2 的漏极与选择晶体管 MR1 的源、漏极中的另一极相

连。存储器单元中使用的晶体管都是 N 沟道型晶体管。图 1 仅表示存储器阵列的结构和存储器阵列附近的周边电路。省略了刷新控制电路和控制脉冲产生电路等。另外，虽然这里表示的是存储器的结构，但无论是作为单个存储器动作的半导体集成电路还是存储器以外的搭载了微处理器或逻辑电路等的半导体集成电路，都能使用本发明。

在图 1 中，3T 单元 MC 配置成二维，其上连接着读出字线 RWL、写入字线 WWL、读出位线 RBL 和写入位线 WBL。并且，连接多根写入位线和多根写入字线的多个存储器单元的存储晶体管 MR2 的源电极 S2 用共同的配线与漏电电流截断电路 LC 相连。

写入、读出字线由 X 解码器 XDEC 和 X 驱动器 XDRV 选择控制，向第 1 方向延伸。读出位线和写入位线沿与第 1 方向交叉的第 2 方向延伸。并且，将写入位线驱动到与写入信号相对应的电位的写入放大器 WA 和检测并放大读出位线中读出的信号的读出放大器 SA 由 Y 解码器及输入输出电路 IO 控制。本实施例的读出写入动作与普通的存储器的控制相同，因此省略其说明，仅叙述漏电电流的截断。

在图 1 的实施例中，源电极 S2 连接到漏电电流截断电路中。因此，在例如动作时使漏电电流截断电路变成低阻抗状态，将 S2 的电位固定到接地电位，在待机时使 LC 变化到高阻抗状态，使 S2 为漂移状态，通过这样能够有效地截断所有的存储器单元的漏电电流。另外，从图 2 可知，即使存储晶体管 MR2 的源电极 S2 处于漂移状态，存储信息也能够原样地保持在栅极电容中。

图 3 中表示漏电电流截断电路 LC 的具体的实施例。图 3 为使用 N 沟道型 MOS 晶体管 MSW 作为漏电电流截断电路 LC 的实施例。3T 单元的源电极 S2 与晶体管 MSW 的漏极相连，MSW 的源电位与接地电源相连。由此，通过切换 MSW 的栅电极 GSW 的电位，能够控制漏电电流截断电路 LC 的阻抗。图 4 为表示了图 3 的实施例中栅电极 GSW 的电位控制方法的实施例。当图 1 的存储器处于动作状态 ACT 时，使 GSW 为高电位，当处于待机状态 ST 时，将 GSW 驱动到低电位。由此，在动作状态下由于 S2 处于接地电位，因此能够进行 3T 单元的读

出动作,在待机状态下由于 S2 处于漂移状态,因此能够有效地截断 3T 单元的源电极 S2 中流过的漏电电流。晶体管 MSW 的大小根据在读出时同时选择的 3T 单元的数量,按能够获得读出所需要的足够的电流来决定。如果采用图 3、4 中所示的实施例,能够用由 MOS 晶体管构成的简单的开关有效地截断 3T 单元的漏电电流。另外,由于 3T 单元为动态单元,因此即使在待机时也需要刷新动作。3T 单元的刷新是通过从元件中临时读出信息并再次写入而进行的。因此,即使在待机时,当进行刷新动作时,也使上述漏电电流截断电路 LC 处于低阻抗的状态来进行刷新。因此虽然在刷新期间流过了漏电电流,但由于时间很短,因此不会降低待机电流的削减效果。并且,虽然以上仅在待机时截断漏电电流,但也可以根据需要在写入动作时截断。此时,能够降低存储器处于动作状态时的功率消耗。

图 5 为漏电电流截断电路 LC 的别的实施例,图 6 为表示其动作的实施例。在图 4 的实施例中通过使源电极 S2 成为漂移状态来截断漏电电流,但在图 5 的实施例中通过使其为固定电位来截断漏电电流。具体为,如图 6 的实施例所示的那样,通过在动作时使栅电极 GSW 为高电位,使 N 沟道型晶体管 MSW1 处于导通状态、P 沟道型晶体管 MSW2 处于截止状态,将 S2 保持在接地电位。或者,通过在待机状态时使 GSW 为低电位,使 MSW1 为截止状态,MSW2 为导通状态,将 S2 的电位保持在与读出位线的预充电电压相等的电位 VBP。S2 中流过的漏电电流的主要成分为亚阈值电流,该亚阈值电流从预充电到高电位的读出位线 RBL 流过存储晶体管 MR2 的栅极电压为高电位状态的单元。因此,如果将源电极 S2 保持在与读出位线 RBL 的预充电电压相同的电压的话,则能够截断漏电电流。以上说明的图 5 的实施例虽然构成漏电电流截断电路 LC 的晶体管的数量增加,但由于将 S2 控制在固定电位,因此与漂移状态时相比,在担心 S2 的电位因受耦合等影响变动而增加漏电电流时有效。

以上的实施例中说明了通过控制存储晶体管 MR2 的源电极 S2 来截断漏电电流的实施例。接着用图 7 和 8 说明通过控制读出位线的预

充电电路来削减漏电电流的实施例。图 7 为读出位线的预充电电路的实施例，预充电用的 P 沟道晶体管 MPR 与连接了多个存储器单元 MC 的读出位线 RBL 相连。当使栅电极 GPR 为低电位时，晶体管 MPR 导通，读出位线被预充电到电极 SPR 的电位。图 8 (a)、(b) 为说明图 7 的电路的动作的时间图的实施例。图 8 (a) 为通过组合作为源电极 S2 的控制的实施例的图 3、4 的实施例来提高漏电电流的截断效果的实施例，图 8 (b) 为不使用源极侧的电流开关在预充电电路一侧截断漏电电流的实施例。

首先，说明图 8 (a) 的实施例。在动作 ACT 时，除在读出动作 READ 时从存储器单元中读出信号的期间外，使 MPR 的栅电极 GPR 为低电位，使晶体管 MPR 导通。由此，读出位线 RBL 被预充电到与 MPR 的源极电位 SPR 相同的高电位。而在待机时，使 MPR 的栅电极 GPR 为高电位，断开 MPR。而且，由于并用图 3、4 的实施例，因此待机时源电极 S2 中设置的晶体管 MSW 也断开。其结果，漏电电流被截断。如果采用本实施例，由于源电极 S2 一侧和预充电电路一侧的晶体管同时断开，因此与断开单个晶体管时相比能够提高漏电电流的截断效果。

下面说明图 8 (b) 的动作。根据存储器的布置或结构或者能够利用的配线的数量，S2 的配线有时困难。并且，根据存储器布置的阵列等，可以认为源电极 S2 中设置的开关晶体管及其控制电路的面积、功率的损耗有可能成为问题。在这样的情况下，本实施例是有效的。如图 8 (b) 所示那样，在动作 ACT 时，除读出动作 READ 时从单元读出信号的期间以外，使 MPR 的栅电极 GPR 为低电位，接通晶体管 MPR。并且，在待机时也同样使 GPR 为低电位，接通晶体管 MPR。由此，读出位线 RBL 被预充电。动作 ACT 时 SPR 的电位变为高电位 VBP，读出位线 RBL 被预充电到高电位 VBP。而在待机时由于 SPR 的电位被控制到接地电位 GND，因此读出位线被放电到与晶体管 MPR 的阈值电压的绝对值相近的电位，然后，以 MPR 的漏电电流或流向接地的源电极 S2 的漏电电流慢慢地接近接地电位，漏电电流被截断。这样地，

如果采用本实施例，即使存储晶体管 MR2 的源电极 S2 中不设置开关晶体管，待机时也不会恒定地从读出位线 RBL 中流出的漏电电流。另外，虽然在图 8 (b) 中在待机时使预充电电路中的电极 SPR 的电位为接地电位，但由于电极 SPR 的配线电容大等理由，依情况不同，有时存在驱动 SPR 的电位的电路的消耗的问题。在这样的情况下，使 SPR 的电位无论是在动作时还是在待机时同样保持为高电位、同时使待机时预充电用的晶体管 MPR 的栅电极 GPR 的电位为高电位的方法是有效的。如果这样，由于待机时晶体管 MPR 截止，因此电极 SPR 几乎不流出电流。待机时读出字线 RWL 为低电位，存储器单元的晶体管 MR1 也截止。因此，即使 SPR 为高电位，流向 S2 的漏电电流也被截断。该方法由于也不需要电极 SPR 的驱动电路，因此具有面积或功率的消耗小的优点。另外，由于能够容易地从上述说明中明白该方法的动作，因此省略时间图。如上所述，通过在位线预充电电路一侧想办法能够截断漏电电流。另外，在上述图 8 (a)、图 8 (b) 的实施例中由于在待机时的刷新动作时进行读出动作，因此需要将读出位线 RBL 预充电到所需的电位等。并且，虽然由于读出放大器等的结构有可能产生新的漏电电流的路径，但不用说，在这样的情况下通过设置用来适当截断漏电电流的开关，在待机时使其为截止状态，或者在待机时控制成为漏电电流的原因的电极的电位，与上述同样能够截断漏电电流。

以上叙述了截断 3T 单元的漏电电流的方法。如果采用这些实施例，能够大幅度地削减待机时的消耗电流，能够将使用了 3T 单元的存储器活用到迄今为止不能使用的低功率的领域中。

但是，如上所述，3T 单元为动态元件的一种，必须要有刷新动作。因此，待机时的功率消耗除单元的漏电电流外，还消耗伴随刷新的电流。3T 单元由于保持信息的存储晶体管 MR2 的栅极电容小，因此一般来说保持特性差的情况多。因此需要频繁地进行刷新，有时不能忽略其功率的消耗。此时，为了减少从存储电容的漏电电流，可以使用能够忽略栅极电流的材料作为存储晶体管 MR2 的绝缘膜或者使存储晶

晶体管 MR2 的绝缘膜足够厚。例如，利用 4.5nm 左右以上的氧化膜是有效的。此时，如果使晶体管 MR1、MR2 为共同的绝缘膜厚度，则能够减小面积或制造过程的消耗。而且，为了降低从写入晶体管流出的漏电电流，使用图 9 (a)、图 9 (b) 所示那样的沟道的膜厚在 5nm 以下的非常薄的多晶硅 TFT 晶体管是有效的。

图 9 (a) 所示的实施例将晶体管 MW 呈平面地形成在半导体基板 SUB 内形成的元件分离区域 IS0 的上面。在本实施例中，CH 为用厚度在 5nm 左右以下的薄膜多晶硅形成的沟道，如后面将要叙述的那样，由此能够将漏电电流减小到非常小以提高保持特性。OX 为绝缘膜，WWL 为作为写入字线的晶体管 MW 的栅电极，WBL 为作为写入位线的源电极，SN 为存储电极，相当于晶体管 MW 的漏极。在本实施例中，晶体管 MW 与普通的晶体管一样呈平面地形成在基板上。因此，晶体管 MW 形成的地方与没有形成的地方没有太大的台阶。因此具有用来连接晶体管 MW 与普通的晶体管的配线、传导等过程变得容易的优点。

图 9 (b) 所示的为适用于改善了保持特性、同时高集成度地实现 3T 单元的实施例，在上述平面型的结构造成面积增加的问题时特别有效。本实施例为在 3T 单元的存储晶体管 MR2 的栅电极上开的孔的内部形成竖起型结构的晶体管 MW 的实施例。CH 为晶体管 MW 的沟道部，由具有厚度在 5nm 左右以下的厚度的多晶硅等的薄膜等形成。晶体管 MW 的栅电极为圆筒状，其周围包围有氧化膜 OX 和沟道部 CH。WBL 为相当于写入位线的部分。晶体管 MW 的源、漏极区域中的一极 (SN) 为晶体管 MW2 的栅电极，控制通过栅极绝缘膜 (OX) 在半导体基板 (SUB) 内形成的半导体区域 (S2、D2) 之间流过的电流。

无论在图 9 (a)、图 9 (b) 中的任何一种状态，当相当于栅电极的 WWL 的电位到达高电位时，沟道部 CH 导通，当为低电位时，变成非导通状态。由于沟道 CH 的厚度在 5nm 左右以下，非常薄，因此可以使截止时的漏电电流与普通的晶体管相比小非常多。普通的晶体管在断开时的漏电电流为 10^{-10} 到 10^{-12} 安培左右，而本实施例的沟道厚

度在 5nm 左右以下的薄膜晶体管由于膜厚方向的量子力学的封闭效果，因此可以使漏电流小到 10^{-19} 左右的程度。有关具有这种结构的薄膜沟道的场效应型晶体管，例如有以半导体元件及半导体集成电路为主题的发明记录在专利文献 2 中。如果采用本实施例，由于晶体管 MW 中的漏电流非常小，因此能够长时间地保持保存在存储节点 SN 中的信息。由于能够存储在相当于 SN 的栅电极中的电荷量大约为 10^{-15}C （库仑）级，因此如果假设 MW 的漏电流为 10^{-19} ，则到漏电掉 10% 的电荷的时间大约为 1000 秒。如果考虑晶体管 MW 的漏电流的不均等或高温时的动作，则设计上的保证值有时必须要设定为更小，虽然考虑到这些情况，但无论如何都可希望带来足够的降低待机电流的效果。因此，通过与上述 3T 单元中的降低漏电流的实施例并用，能够实现包含待机电流非常小的存储器的半导体集成电路。

下面叙述，变型以上叙述过的实施例的实施例或实施例的详细动作，以及对于使用了图 2 那样的存储器单元的存储器有效，并通过与以上叙述的实施例相组合来提高实施例的效果的实施例。

图 10 为与位线相平行地配置了存储晶体管的源电极 S2 的配线的实施例。在图 1 的实施例中用与读出字线平行的配线将 S2 延长到阵列之外与漏电流截断电路相连接，但在本实施例中，不仅使其为与读出位线相平行的配线，而且从每根读出位线中设置的漏电流截断电路 LC-1 连接到 LC-n。一般情况下，在访问存储器阵列时仅选择 1 根读出字线。因此，在本实施例这样的结构中，漏电流截断电路 LCi（i 从 1 到 n）只要能供给 1 个存储器单元的读出电流就可以。因此能够缩小构成 LCi 的开关电路的规模。因此，能够根据情况缩小包括控制 LCi 的周边电路的存储器整个电路的面积。虽然在图 1 的实施例中也可以将漏电流截断电路分开配置到每条字线上，但本实施例还具有以下效果：在图 2 的 3 晶体管单元中即使选择读出字线使晶体管 MR1 导通，也不会破坏存储在 MR2 的栅电极中的信息。即，可以进行非破坏读出。因此，本实施例可以仅活用选择的读出字线上的存储器单元中的，与想要读出信息的单元相连接的漏电流截断电路。只要利用

解码器就能够容易地实现这种控制。其结果，如果采用本实施例，读出时的漏电电流也可以控制在必要的最小限度。

下面用图 11、图 12 和图 13 说明图 3、图 5 和图 7 所示的与漏电电流截断有关的实施例的动作。原理性的动作已用图 4、图 6 和图 8 说明过，这里与存储器的动作状态相对应地说明。在图 11、图 12 和图 13 中，将存储器的动作模式表示为 Active（动作状态）、Stanby（待机状态）和 Refresh（刷新状态）。虽然表示了图 3、图 5 和图 7 的基本动作的图 4、图 6 和图 8 同时还说明了写入动作，但这里为了简单而仅表示了读出动作。另外，图 13（a）、图 13（b）分别为与图 8（a）、图 8（b）相对应的实施例。虽然在这里刷新是在待机状态时进行的，但当然也可以根据需要在动作状态时进行。在图 11、图 12 和图 13 中，RFCLK 表示用来伴随刷新动作而进行读出、写入的刷新控制时钟。虽然在图 3 的存储器单元的刷新过程中需要再次写入读出的信息，但为了简单，图 13（a）、图 13（b）仅表示读出位线的波形。另外，在图 3 的存储器单元中，由于读出用与写入用的位线是分离的，因此能够高速地进行刷新动作。并且，虽然这里将信号的电平假定为 0 伏到 1 伏，但当然并不局限于此。并且，虽然表示的是在漂移状态下 S2 的电位为 0.3 伏，但这也仅是一个例子，根据电路结构或常数的不同，当然也不局限于 0.3 伏。

首先，用图 11 说明图 3 的动作。在存储器处于动作状态时和刷新过程中，栅电极 GSW 的电位为 1 伏，图 3 的晶体管 MSW 导通，因此存储晶体管的源电极 S2 为 0 伏。其结果存储器单元可以进行读出动作。另外，在刷新状态下，通过输入刷新控制时钟 RFCLK，从存储器单元中读出信息，再反过来写入，由此进行 3 晶体管的刷新。而在待机状态下，GSW 为 0 伏，图 3 的晶体管 MSW 截止。其结果，存储晶体管的源电极 S2 处于漂移状态，截断通过在存储晶体管中流动的漏电电流。其结果能够降低待机时的电流消耗。

接着用图 12 与存储器的状态相对应说明图 5 的动作。在动作状态和刷新动作状态下，使栅电极 GSW 为 1 伏，由此使晶体管 MSW1 处

于导通状态, MSW2 处于截止状态。由此, 与图 11 的实施例同样将 S2 保持在接地电位。而在待机时通过使 GSW 为低电位, 使 MSW1 处于截止状态, MSW2 处于导通状态, 将 S2 的电位保持在与读出位线的预充电电压相等的电位 VBP。如图 5 的说明中叙述过的那样, S2 中流过的漏电电流的主要成分为从预充电到高电位的读出位线 RBL 流经存储晶体管 MR2 的栅极电压处于高电位状态的单元的亚阈值电流。因此, 如果将源电极 S2 保持在与读出位线 RBL 的预充电电压相同的电压的话, 则能够截断漏电电流。

图 11 的实施例与图 12 相比较, 在从待机状态移行到动作状态时, 由于 S2 的电位变动小, 因此有时在速度上有利。而在使 S2 为漂移状态时, 由于同一芯片上的逻辑电路动作时的干扰信号使 S2 的电位变动, 有时会产生不能预测的漏电电流。在存在这种可能的情况下, 使用使 S2 为固定电位的图 5 及图 12 的实施例就可以。

最后用图 13 与存储器的状态相对应说明图 7 的动作。先前已表示了图 8 (a) 和图 8 (b) 的 2 个实施例作为图 7 的实施例的动作方法。这里将与图 8 (a) 相对应的实施例表示在图 13 (a) 中, 将与图 8 (b) 相对应的实施例表示在图 13 (b) 中。在图 13 (a) 的实施例中, 将图 7 的晶体管 MPR 的源电极 SPR 的电位设定为高电位 (这里为 1 伏)。在动作 Active 时的读出动作或刷新动作 Refresh 中的读出动作中, 在读出读出位线中的存储器单元的信息时, MPR 的栅电极 GPR 的电位当然为 1 伏, 但除此以外在待机 Standby 时也使其为 1 伏。由此, 待机时预充电用的晶体管 MPR 为截止状态。并且, 在待机状态下, 源电极 S2 中设置的图 3 的晶体管 MSW 的栅电极 GSW 为 0 伏, MSW 截止。由此, 如图 8 (a) 中说明过的那样, 漏电电流被有效地截断。在待机时, 由于读出位线和源电极 S2 同时处于漂移状态, 因此如图 13 (a) 所示那样两者的电位逐渐接近 (图中以 0.3 伏为例)。这样, 如果采用本实施例, 由于并用源电极 S2 一侧和预充电电路一侧的晶体管来截断漏电电流, 因此能够有效地降低待机电流。

另外, 在每次读出动作时, 读出位线的电位依据存储器单元中存

储的信息从预充电电位开始变动。如果存储器单元的存储节点的电位为高电位则降低，如果是低电位则不降低。图 13 (a)、图 13 (b) 表示每次读出时降低的例子。并且，虽然这里假设读出位线 RBL 降低时的电位为 0.7 伏，但这仅是一个例子，毫无疑问，根据读出放大器等的设计，并不局限于此。

在图 13 (b) 的实施例，当存储器为动作状态或为刷新状态时，将图 7 的晶体管 MPR 的源电极 SPR 的电位设定为 1 伏，在待机状态时设定为 0 伏。由此，由于晶体管 MPR 的栅电极 GPR 为 0 伏，因此设定的读出位线 RBL 的预充电电位在动作状态、刷新状态下为 1 伏，为高电位。而在待机状态下，由于如果栅电极 GPR 为 0 伏则源电极电位 SPR 为 0 伏，因此读出位线的电位降低，一直降低到 p 沟道晶体管 MPR 的阈值电压的绝对值 V_{tp} ，然后慢慢降低到 0 伏。这样，如果读出位线 RBL 的电位近似为 0 伏，则从读出位线 RBL 流向存储器单元的存储晶体管的源电极的漏电电流被截断。这样，如果采用本实施例，由于在预充电电路一侧想办法能够截断漏电电流，因此，适用于存储器单元的存储晶体管的源电位的配线无论在什么情况下都困难的情况。另外，除以上叙述的以外，如附随在图 8 的说明中叙述过的那样，虽然 SPR 的电位保持在高电位，但待机时使预充电用的晶体管 MPR 截止从而不进行预充电的方法也有效，或者可以在 MPR 的源电极中再设置开关，用该开关来截断漏电电流等进行各种变型。由于只要以此前的实施例作为参考就容易理解其结构，因此省略其说明。

以上以待机状态下漏电电流的截断方法为中心说明了实施例。下面叙述读出动作所必需的参照电压的产生方法的实施例。本发明主要以 3 晶体管单元为前提，这种元件由于读出位线为 1 根，因此在用一般的差动型读出放大器进行读出动作时，必须要有产生参照电压的电路。为了使读出时读出放大器不产生误动作，参照电压必须为选择的单元的内容为 0 时读出位线中出现的信号电压与内容为 1 时的信号电压之间的电压。由于差动型读出放大器通常能够检测到数十毫伏到数百毫伏的信号，因此产生参照电压的电路必须在抑制产生的电压的不

均等上下工夫。下面用图 14 到图 17 叙述适用于高精度地产生参照电压的实施例。

图 14 为表示产生参照电压的电路的原理的实施例。用该图说明动作的原理，用图 15 到图 16 具体地表示存储器阵列所使用的方法。另外，虽然这里叙述的参照电压的产生方法当然可以使用此前叙述的用来截断漏电电流的实施例或适当组合在写入晶体管中使用沟道薄的晶体管的实施例等，但即使单独地与 3 晶体管型存储器单元等组合使用，作为高精度地产生参照电压的方法也是有效的。

在图 14 (a) 中，DMC-H 和 DMC-L 为产生 1 信号的空单元和产生 0 信号的空单元。这些空单元的布置以及构成空单元的晶体管 MR1、MR2 和 MW 的尺寸长度尽可能与存储器单元中的相同。并且这样设计：使与读出位线 RBL1、RBL2 以及与图中没有示出的读出放大器相连接的读出位线上连接的存储器单元 MC 的数量相等，使与读出放大器相连的位线的电容相等。DWWL 为空写入字线。RBL1、RBL2 为读出位线。读出位线 RBL1、RBL2 上分别连接有多个存储器单元和差动型读出放大器等，但图 14 中省略了。

下面用图 14 (b) 说明动作。首先，使空写入字线 DWWL 上升，来进行空单元的刷新、D-REF。如图 14 (a) 可知，当使空写入字线 DWWL 上升时，空单元内的写入晶体管 MW 处于导通状态，向 1 信号产生空单元 MC-H 中写入高电压 VDH，向 0 信号产生空单元 DMC-L 中写入低电位 VDL。由于空单元具有与存储器单元相同的常数，因此用与存储器单元相同的周期进行刷新。下面说明产生参照信号的空单元的读出动作 D-READ。如图 14 (b) 所示那样，使哑控制信号 DCTL 上升到高电位。结果，晶体管 MD1、MD2 变成导通状态，读出位线 RBL1、RBL2 被短路，与从保持在高电位的晶体管 MPR 的源电极 SPR 流出的电流同电位。这里，在 SPR 的电位，即预充电电位为高电位的情况下，虽然晶体管 MD1、MD2 也有可能没有完全导通，但此时只要使 DCTL 的电位上升到比 SPR 高的电位或者使用 P 沟道型晶体管就可以。使用 P 沟道型晶体管时信号 DCTL 的电位关系当然倒过来。接

着,使预充电读出位线的晶体管 MPR 的栅电极 GPR 成为高电位,使晶体管 MPR 处于截止状态,使空读出字线 DRWL 上升到高电位。结果,被短路的读出位线 RBL1、RBL2 同时被从 2 个空单元 DMC-H、DMC-L 流出的读出电流驱动。像以上叙述的那样,这些空单元采用与存储器单元 MC 相同的尺寸常数和排列形状。因此,产生 1 信号的空单元 DMC-H 的读出电流大致与从存储了“1”的存储器单元 MC 中流出的电流相等,产生“0”信号的空单元 DMC-L 的读出电流大致与从存储了“0”的存储器单元中流出的电流相等。而且,如上所述,由于读出位线 RBL1、RBL2 的电容设计成与图中没有示出的读出放大器中的一极输入相连的读出位线的相同,因此读出位线 RBL1、RBL2 中产生的电位即参照电位为读出 1 时的读出位线电位 SIG1 与读出 0 时的读出位线电位 SIG0 中间的电位。本实施例由于使用与存储器单元 MC 相同的尺寸常数和相同的排列形状的单位作为空单元,因此即使因晶体管的制造过程的差异使使用本实施例的芯片上的存储器单元 MC 的特性不同,由于空单元的读出信号也同样不同,所以能够期待非常稳定的读出动作。

图 15 为根据上述实施例的原理构成存储器单元阵列的实施例。MC 为此前的实施例说明过的 3 晶体管型存储器单元。另外,为了避免使图繁杂,省略了写入字线和写入位线、写入晶体管的源电极 S2 的配线、漏电电流截断电路 LC、解码器、输入输出电路、读出位线的预充电用电路等,如果参照此前说明过的实施例,这些能够简单地构成。另外,空单元理所当然地能够使用与存储器单元一样的截断漏电电流的方法。在图 15 中,夹着读出用读出放大器 RSA1、RSA2、……、RSAn 地在图面的上面和下面布置构成阵列。为了区分上面的阵列和下面的阵列,除存储器单元 MC 以外添加字母 a 和 b。另外,DMC-La、DMC-Lb 为图 14 的实施例中说明过的产生 0 信号的空单元,DMC-Ha、DMC-Hb 为图 14 的实施例中说明过的产生 1 信号的空单元。如图所示,这些空单元中的产生 0 信号的空单元和产生 1 信号的空单元互相交错地并排配置在相邻的位线上。即,在每个存储器阵列中分别有 $n/2$ 个 (n 为读

出位线的根数)产生 0 信号的空单元和 $n/2$ 个产生 1 信号的空单元。

下面说明本实施例中的读出动作。

在本实施例中,当选择相对于读出放大器在图面上位于上侧的存储器单元时,位于图面的下侧的空单元 DMC-Lb、DMC-Hb 动作,产生参照电压;当选择在图面上位于下侧的存储器单元时,位于图面的上侧的空单元 DMC-La、DMC-Ha 动作,产生参照电压。作为例子,就选择与读出字线 RWL-a1 相连的存储器单元 MC 时的情况进行说明。基本的动作以图 14 (b) 所示的顺序进行。首先,当读出位线的预充电用晶体管 MPR (图 15 中没有表示)处于导通状态时,使哑控制信号 DCTL-b 上升,将读出位线 RBL-b1、……、RBL-bn 短路。接着,使图中没有示出的预充电用的晶体管 MPR 处于截止状态后选择读出字线 RWL-a1 和空读出字线 DRWL-b,上升到高电位。结果,图的上侧的存储器单元阵列的读出位线 RBL-a1、……、RBL-an 分别根据各自的读出位线上连接的存储器单元中存储的信息而产生电位变化。当存储器单元的信号为 1 时,电位变化为图 14 (b) 的 SIG1,为 0 时电位变化为 SIG0。而位于下侧的存储器单元阵列用 $n/2$ 个产生 1 信号的空单元 DMC-Hb 和 $n/2$ 个产生 0 信号的空单元 DMC-Lb 驱动被短路的读出位线而产生参照电压。由于产生 1 信号的空单元 DMC-Hb 和产生 0 信号的空单元 DMC-Lb 的数量相等,因此参照电压为从存储了 1 的存储器单元 MC 中读出的信号(读出位线的电位变化)与从存储了 0 的存储器单元 MC 中读出的信号之间的电位。结果,向各读出用读出放大器中输入从上面的存储器单元阵列中读出的存储器单元的信号和下面的存储器单元阵列输出的参照电压,并放大,其电位差被放大,通过图中没有示出的输入输出电路读出到外部。在读出动作周期的最后,使读出字线 RWL-a1 和空读出字线 DRWL-b 的电位下降到低电位,在预充电读出位线后使哑控制信号 DCTL-b 的电位下降到低电位。本实施例分别使用 $n/2$ 个空单元产生参照电压。这里, n 为读出位线的数量,在通常的设计中为数十根到数千根左右。因此能够缩小各空单元的不均匀的影响,能够期待更稳定的读出动作。如果使空单元的电流的不

均匀为高斯分布,则能够期待该不均匀与空单元数的平方根($\sqrt{n/2}$)成反比下降。另外,虽然在以上的叙述中使产生 0 信号的空单元与产生 1 信号的空单元的数量相等,但根据存储器单元的保持特性有时也希望获得 0 信号 SIG0 或 1 信号 SIG1 中的某一个的读出余量。在这样的情况下,可以根据需要通过改变产生 1 信号的空单元和产生 0 信号的空单元的数量调整参照电位的值。由于此时 n 也很大,因此具有能够微小地调整这样的优点。虽然图 15 的实施例为所谓单交点型结构的例子,但由于读出动作时读出字线和空读出字线同时上升,因此输入到读出放大器中的 2 根读出位线中产生同相并且几乎相同大小的干扰信号。因此,具有能够避免读出时的干扰信号产生的不利影响的优点。但是,根据情况的不同,有时还希望使干扰信号的影响更小或在布局的情况下希望是所谓的双交点的结构。这时采用图 16 的实施例所示的结构就可以。在该图中,输入到读出放大器的左侧的读出位线或与其连接的空单元等添加字母 c 表示,输入到读出放大器的右侧的读出位线或与其连接的空单元等添加字母 d 表示。如同从图 15 的说明中能够容易地类推那样,当选择与输入到读出放大器的左侧的读出位线相连接的存储器单元时,驱动与输入到读出放大器的右侧的读出位线相连接的空单元的空字线和哑控制信号 DCTLd;反之,当选择与输入到读出放大器的右侧的读出位线相连接的存储器单元时,驱动与输入到读出放大器的左侧的读出位线相连接的空单元的空字线和哑控制信号 DCTLc。本实施例的优点在于,读出字线和空读出字线与所有的读出位线交叉。因此,随着读出字线和空读出字线中的电位变化在读出位线中产生的干扰信号大小相同。像先前叙述过的那样,虽然在先前的单交点的实施例中也可以使输入到读出放大器中的读出位线中的干扰信号大致相等,但在构成读出位线的配线的阻抗大等的情况下,由于从读出放大器到选择的读出字线的距离与从读出放大器到空读出字线的距离之差,干扰信号的大小有时也会产生微小的差别。在这种情况下会成为问题的时候,本实施例是有效的。

图 17 为适用于削减伴随刷新的功率的实施例。前面已经介绍过通

过截断存储器单元的源极中流过的漏电电流来削减待机时的电流的实施例。由于 3 晶体管为动态单元，因此必须刷新。因此如果能够在削减源极电流的同时再削减伴随刷新的功率，则能够实现待机功率非常低的存储器。如图 9、图 10 的实施例中说明过的那样，通过在写入晶体管中使用沟道薄的晶体管能够改善保持时间。本实施例为为了再削减刷新功率而使用的方法。本实施例通过分割位线来削减伴随刷新的充放电电流。但是，3 晶体管单元与单晶体管单元不同，为了刷新必须要有读出动作和写入动作。因此，像后面叙述的那样，必须要在读出电路上下工夫。

在图 17 中， $LBLK_{i-j}$ （角标 i 、 j 分别为从 1 到 q 、从 1 到 m 的整数）为局部模块，内部包括局部读出位线 $LRBL_{i-j}$ 和局部写入位线 $LWBL_{i-j}$ 以及与它们相连的 p 个存储器单元 MC 、局部读出放大器 LSA 或用来预充电局部位线的 MOS 晶体管 MPR 、 MPW 等。上述局部模块 $LBLK_{i-j}$ 配置成二维形状，用全局读出位线 $GRBL_1$ 、……、 $GRBL_m$ ，全局写入位线 $GWBL_1$ 、……、 $GWBL_m$ 以及读出字线 $RWLi-j$ 、写入字线 $WWLi-j$ （角标 i 、 j 分别从 1 到 q 、从 1 到 p 的整数）等像图示那样地连接。 $LCTL$ 为局部控制电路。像后面将要叙述的那样，该电路为用来根据读出、写入以及刷新的各个动作控制数据流的电路。另外，上述局部读出放大器 LSA 用输入输出为相反关系的反相器构成，当电源端子 C_j （角标 j 为从 1 到 q 的整数）的电位为高电位时被激活。并且，为了不使图面复杂，省略了表示源电极 S_2 等的连接配线以及表示上述预充电用的 MOS 晶体管的栅电极的连接线。位于全局位线一端的 $MRSA$ 、 MWA 分别为主读出读出放大器和主写入放大器，为用来将全局读出位线上的读出信号输出到存储器阵列的外面的电路和将写入数据输出给全局写入位线的电路。另外，本图省略了解码器或共同的输入输出线。下面用图 18 以局部控制电路 $LCTL$ 的动作为中心说明本实施例的动作。图 18 表示了读出 Read、写入 Write、刷新 Refresh 各动作中的主要部分的动作波形。另外，与上述的实施例一样，横轴表示时间的推移，纵轴表示电位的变化。这里，以局部模块 $LBLK_{j-k}$

（角标 k 为从 1 到 m 的整数）中与第 i 个读出、写入字线相连的存储器单元的动作为例进行叙述。根据存储器阵列的性质并列选择相同字线形状的单元。另外，虽然实际动作时电位的变化并不是像本图那样为矩形，电位的上升、下降需要有一定的时间，具有一定的角度，但这里为了使理解容易用矩形表示。而且电位的变化也仅表示为高电位（High）和低电位（Low）的不同。虽然没有表示具体的电压电平，但例如，施加到 nMOS 晶体管的栅极上的电压当然要根据需要将其高电位电平设定为源极电位的最大值加上阈值电压的电压以上的值，分别使其最合适。

首先从读出动作 Read 开始说明。如果像图 18 所示那样使端子 GPR_j 为高电位，使预充电用 pMOS 晶体管 MPR 截止，使读出字线 RWL_{j-i} 为高电位，则局部读出位线 LRBL_{j-k}（角标 k 为从 1 到 m 的整数）中从存储器 MC 中读出信号。如果选择的存储器 MC 的存储节点的电位为高电位，则局部位线的电位降低；如果存储节点的电位为低电位，则保持预充电电位的高电位不动。图中将前者的例子表示为“1”，将后者的例子表示为“0”。接着，通过使端子 C_j 和 R_j 的电位为高电位，激活局部读出放大器 LSA，使晶体管 MRa 导通。其结果，被局部读出放大器 LSA 反相后的信号被传递给晶体管 MRb 的栅极。当局部读出位线的电位为低电位时，局部读出放大器的输出为高电位，晶体管 MRb 导通。结果全局读出位线 GRBL_k（角标 k 为从 1 到 m 的整数）的电位为低电位。反之，当局部位线的电位为高电位时，局部读出放大器的输出为低电位，晶体管 MRb 截止。此时，全局读出位线 GRBL_k（角标 k 为从 1 到 m 的整数）的电位保持在预充电电位（高电位）不变（图 17 中省略了全局读出位线的预充电电路）。这样产生的全局位线的电位变化由主读出读出放大器 MRSA 检测并放大，读出到存储器阵列外。

下面就写入动作 Write 进行说明。使端子 GPW_j 为高电位，使预充电用 pMOS 晶体管 MPW 截止，使写入字线 WWL_{j-i} 及端子 W_j 的电位为高电位。结果，存储器单元的写入晶体管（图 17 中省略）和晶体管 MWb 导通，全局写入位线 GWBL_{j-k}（角标 k 为从 1 到 m 的整数）中

由写入放大器 WA 设定的电位传递给局部写入位线 LWBLj-k (角标 k 为从 1 到 m 的整数) 写入到存储器单元中。

最后, 就刷新动作进行说明。刷新动作通过以下过程达到: 用局部读出放大器反相局部读出位线中读出的信息, 通过局部写入位线写回存储器 MC 中。首先, 使端子 GPRj 为高电位, 使预充电用的 pMOS 晶体管 MPR 截止, 如果使读出字线 RWLj-i 为高电位, 则从存储器 MC 中将信号读出到局部读出位线 LRBLj-k (角标 k 为从 1 到 m 的整数)。此时, 与上述读出动作不同, 端子 Rj 的电位保持在低电位不动。在这种状态下, 局部读出放大器 LSA 的输入电压设定为与存储在存储器单元中的信息相对应的电压。然后进入写回到存储器单元中的动作。使端子 GPRj 保持在高电位, 使预充电用的晶体管 MPR 截止, 在这种状态下使端子 GPWj 的电位为高电位, 使局部写入位线用的预充电晶体管 MPW 截止, 使端子 Cj、Fj 及写入位线 WWLj-i 的电位为高电位。结果, 局部读出放大器被激活, 局部读出位线 LRBLj-k (角标 k 为从 1 到 m 的整数) 的电位通过晶体管 MWa 被反相, 传递给局部写入位线 LWBLj-k (角标 k 为从 1 到 m 的整数), 写入到存储器 MC 中。对于所有的存储器单元, 在保持时间内进行这样的动作就可以。另外, 图 15、图 16 的实施例使用了差动型读出放大器和空单元。同样的电路当然也可以用于图 17 的实施例中的局部读出放大器, 但图 17 的实施例中不是使用差动型而是使用有 1 个输入。此时, 如果读出位线的电位比反相器电路的逻辑阈值低, 则输出会变化, 因此不必使用空单元。并且, 由于能够获得大的局部读出放大器的输出, 因此刷新时可以用局部读出放大器直接驱动局部写入位线。因此, 具有能够缩小局部读出放大器所占有的面积的优点。在像图 17 那样分割位线的情况下, 由于面积增加有时会成为问题, 因此在这样的情况下希望有这样的局部读出放大器。另外, 上述逻辑阈值通过改变构成反相器的晶体管的常数或阈值而能够容易地改变。例如, 在上述实施例中由于将局部位线预充电到高电位, 因此如果将逻辑阈值设定得高的话, 在速度上有利。

像以上说明过的那样, 如果采用图 17、图 18 所示的实施例, 在分

割了位线的存储器单元阵列中能够进行读出、写入和刷新动作。由于存储器的电流消耗能够削减到驱动的位线的容量小的程度，因此如果采用本实施例能够实现电流消耗低的存储器。特别是，由于仅驱动局部位线就能进行刷新动作，因此对于削减待机电流有效。虽然本实施例即使单独用于使用了 3 晶体管型的存储器单元等中也当然能够获得削减刷新时的电流消耗的效果，但通过与此前叙述过的用于削减漏电流的实施例相组合，能够大幅度地削减待机电流。

例如，在图 9 (a)、图 (b) 中叙述了为了提高存储器单元的保持性而在写入晶体管中使用薄膜沟道的晶体管的实施例。如果与这些实施例相组合，由于降低进行刷新的频度，因此与图 17、图 18 的实施例产生的削减刷新时驱动的位线的容量的效果相配合，能够将刷新产生的电流消耗降低到非常小的程度。如果与图 1 到图 8 的附图说明过的削减 3 晶体管单元的源电极与读出位线之间流过的漏电流的实施例相组合，由于削减了除刷新以外的待机电流的成分，因此能够实现待机电流小的存储器。当然，上述提高保持性的实施例、用于防止读出位线与源电极之间的漏电流的实施例以及图 17、图 18 的实施例这 3 个实施例当然可以同时组合。此时，能够实现待机功率极小的存储器。

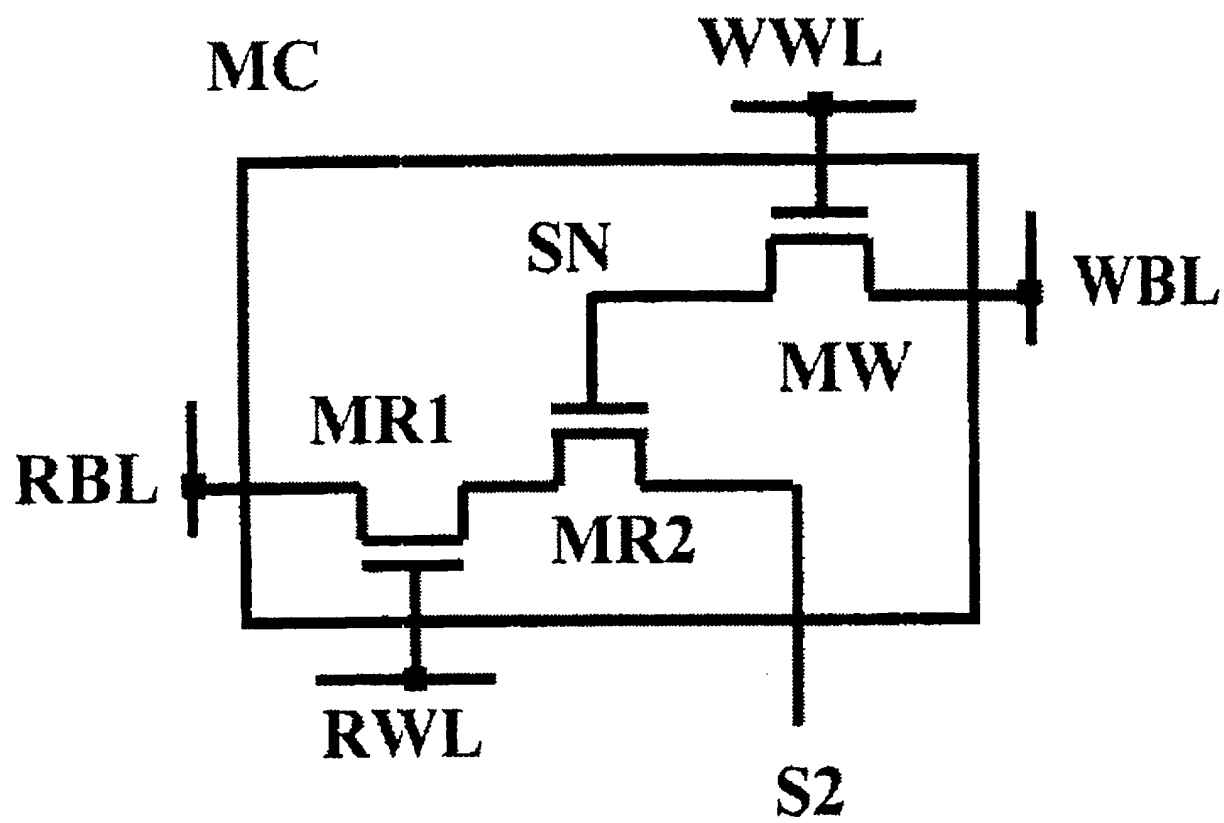


图2

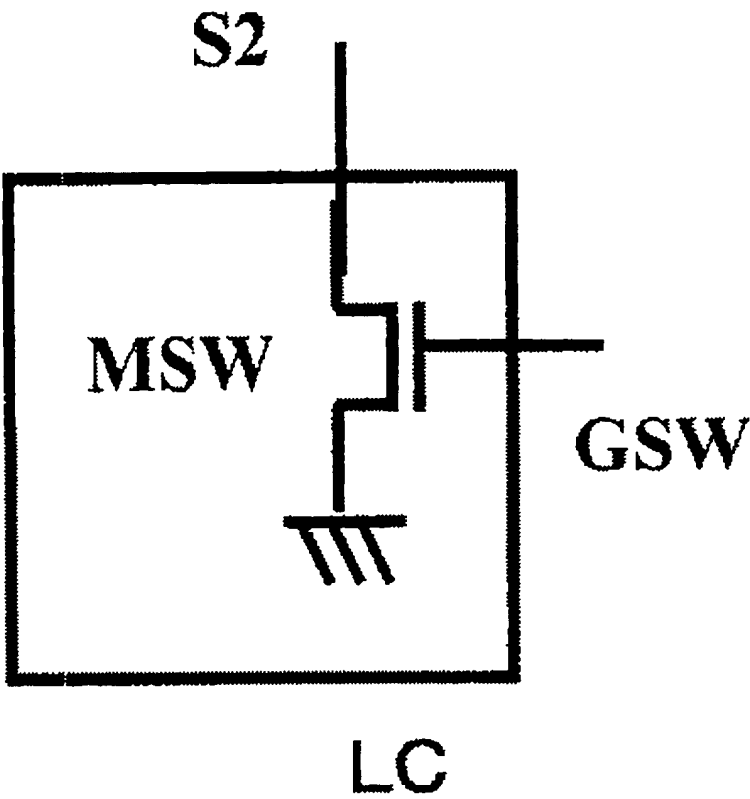


图3

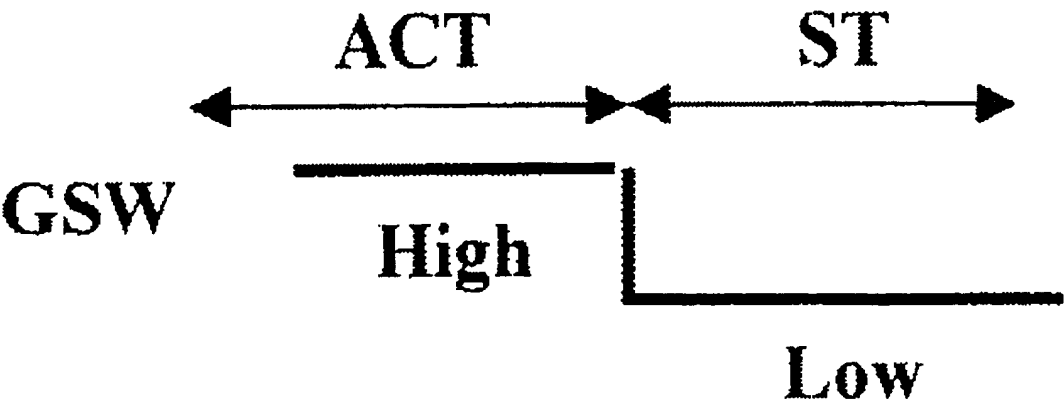


图4

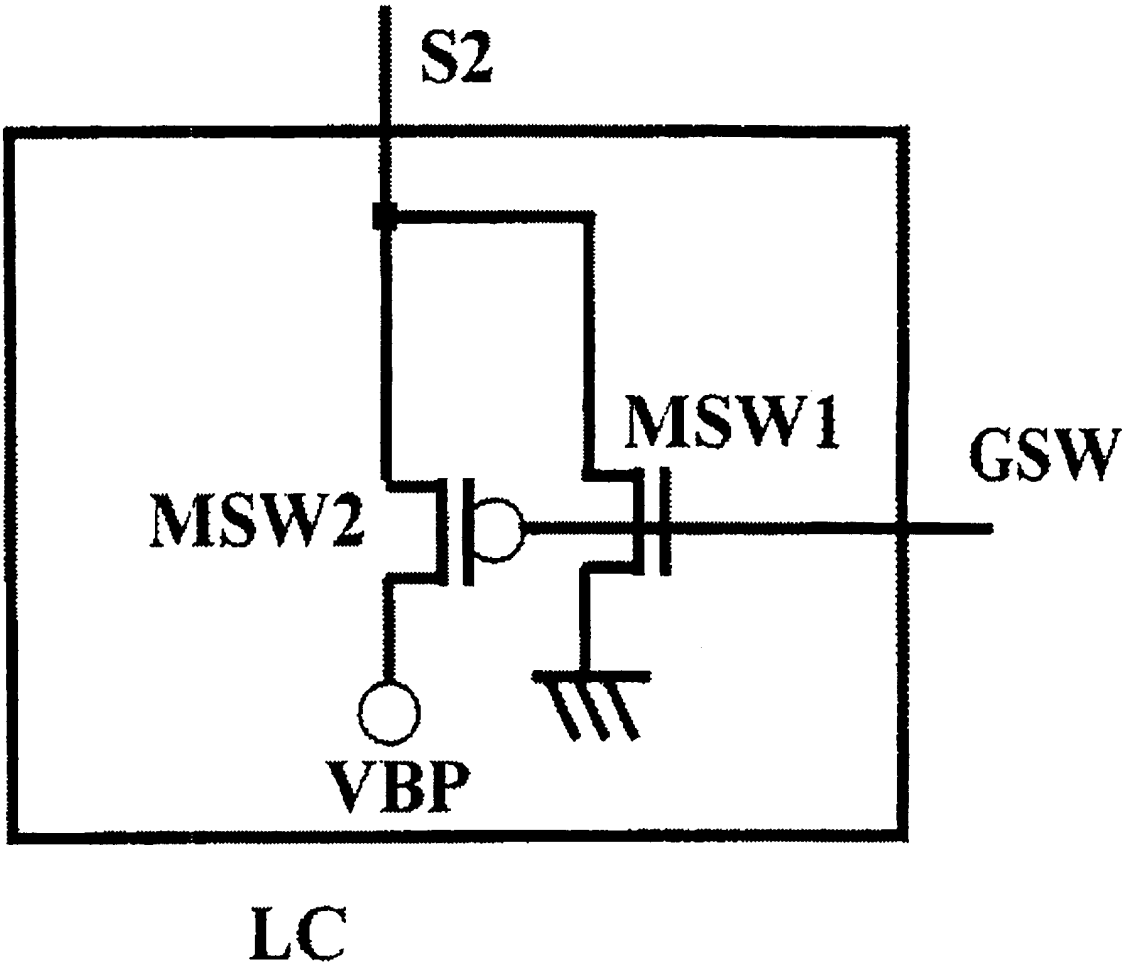


图5

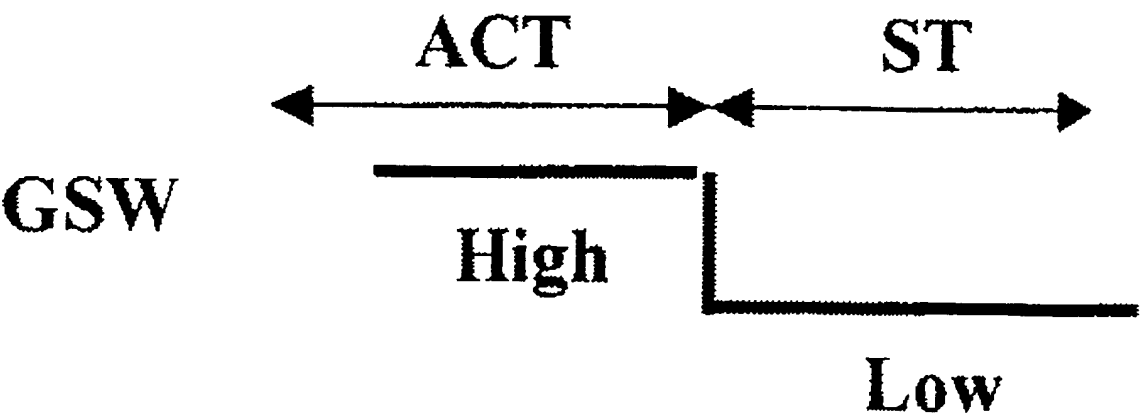


图6

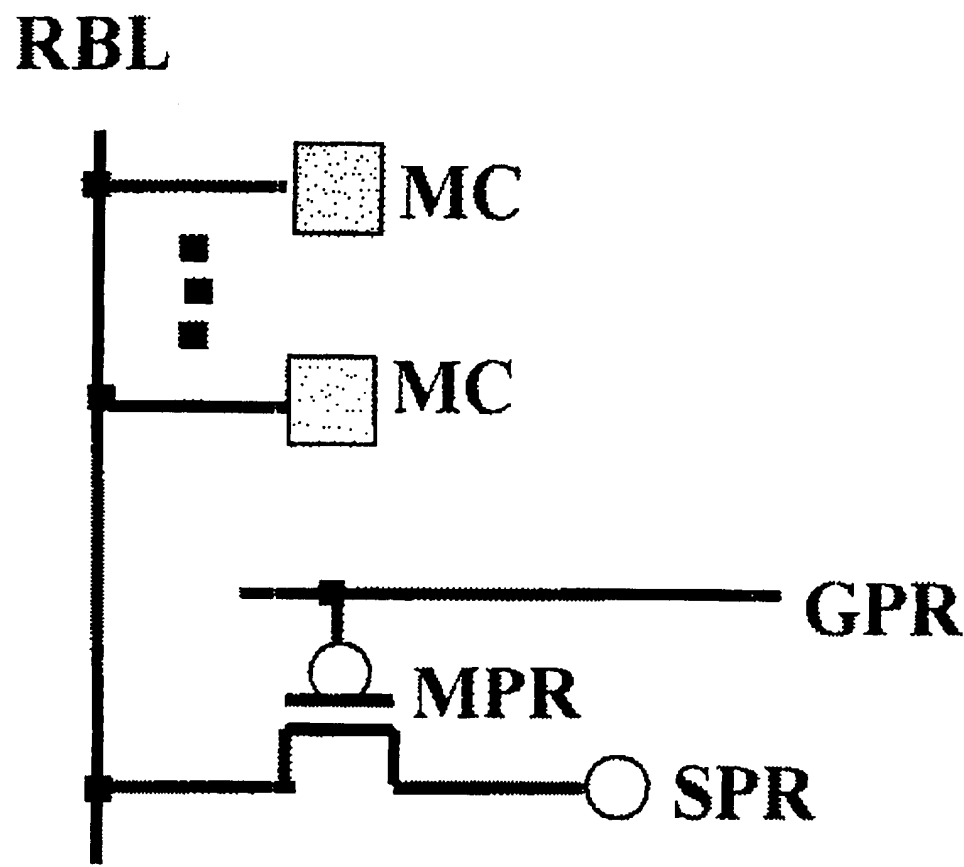


图7

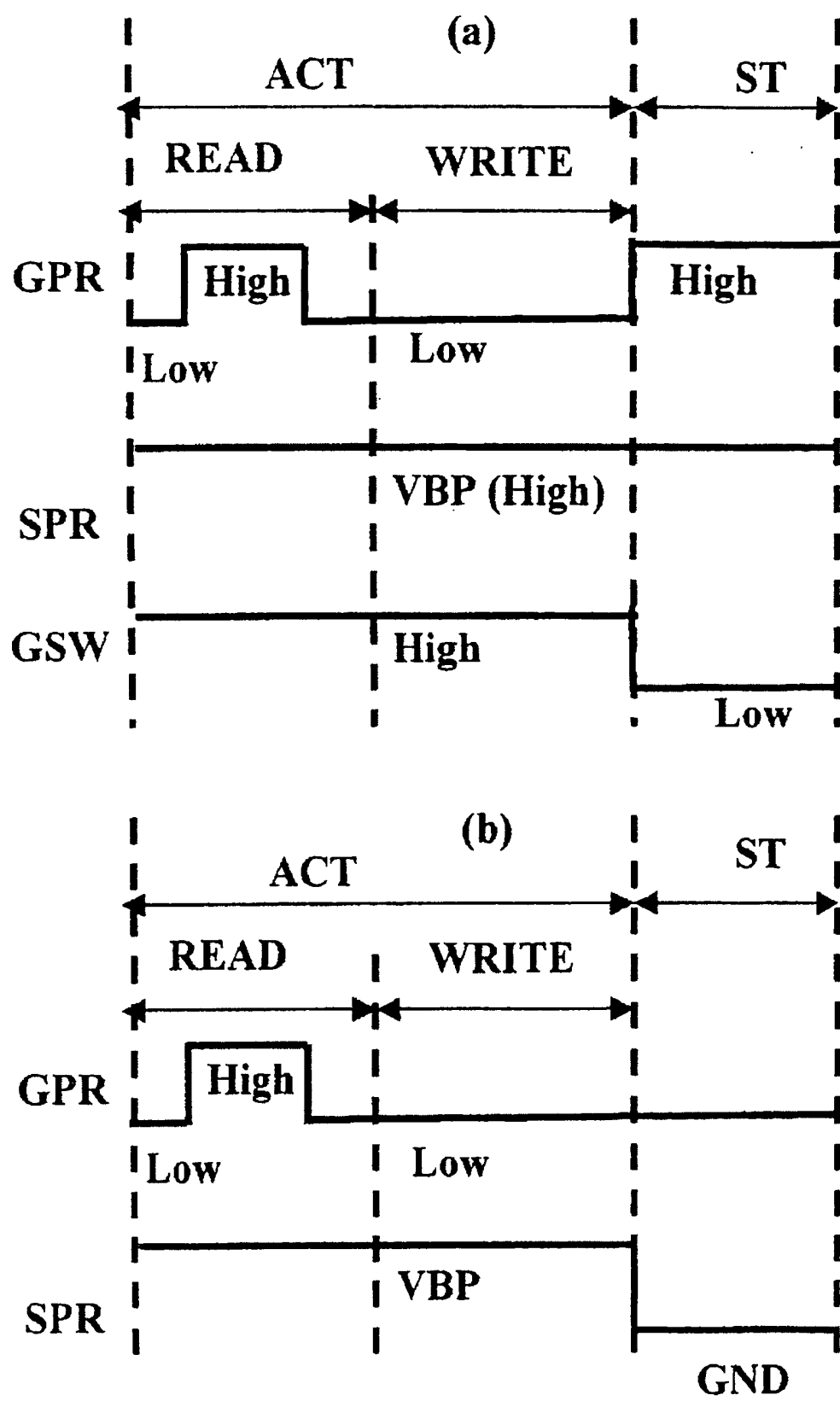


图8

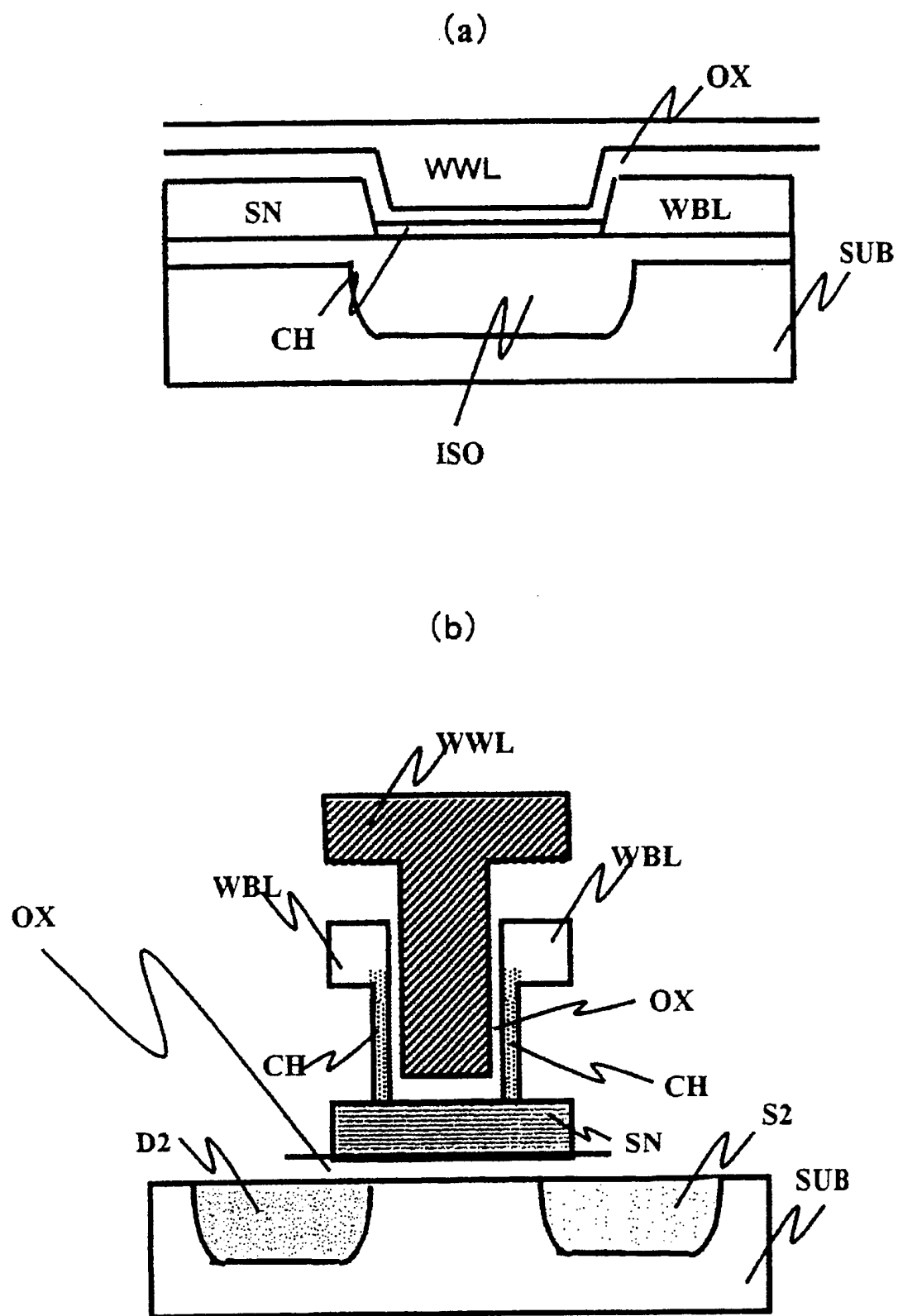


图9

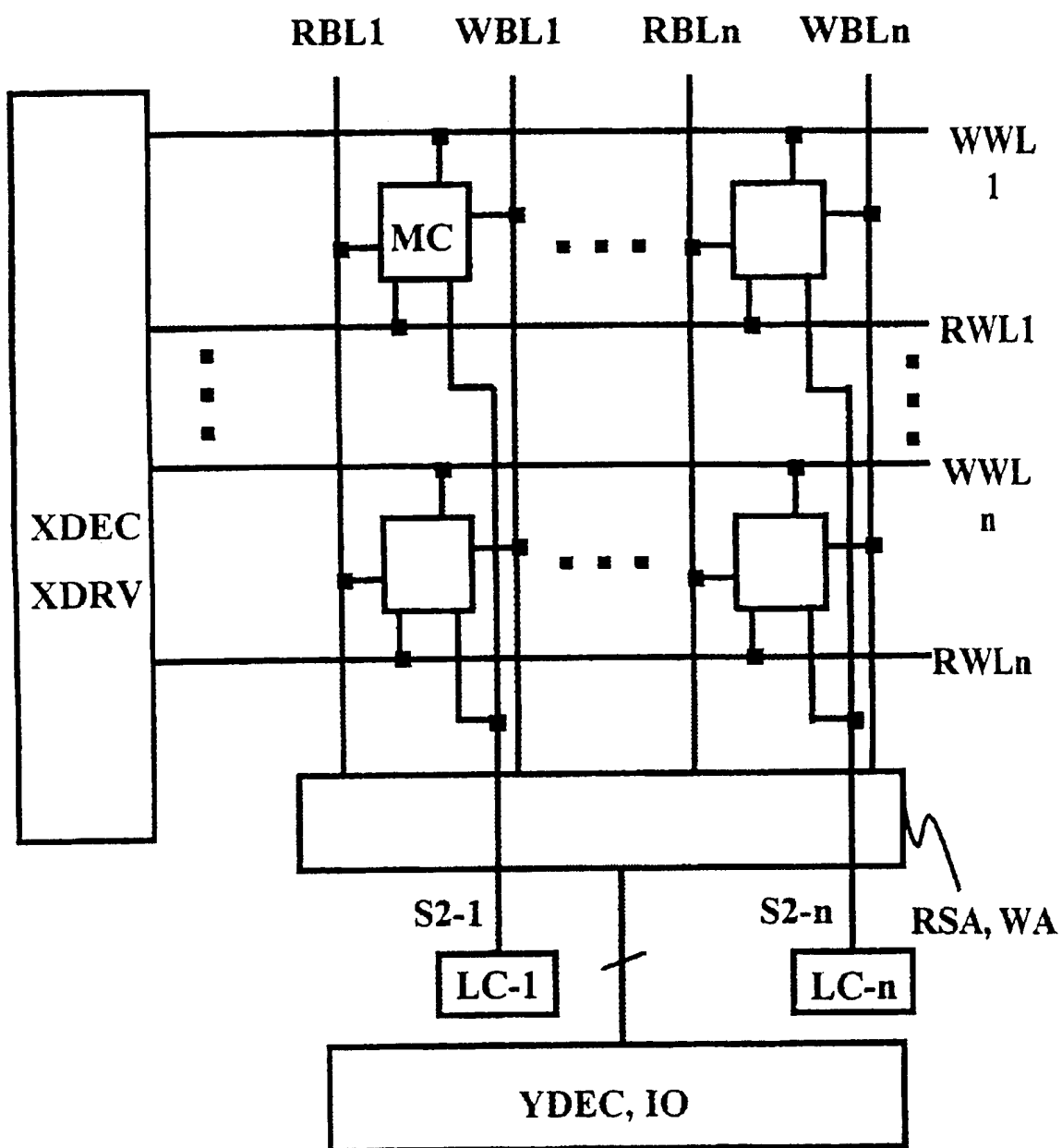


图10

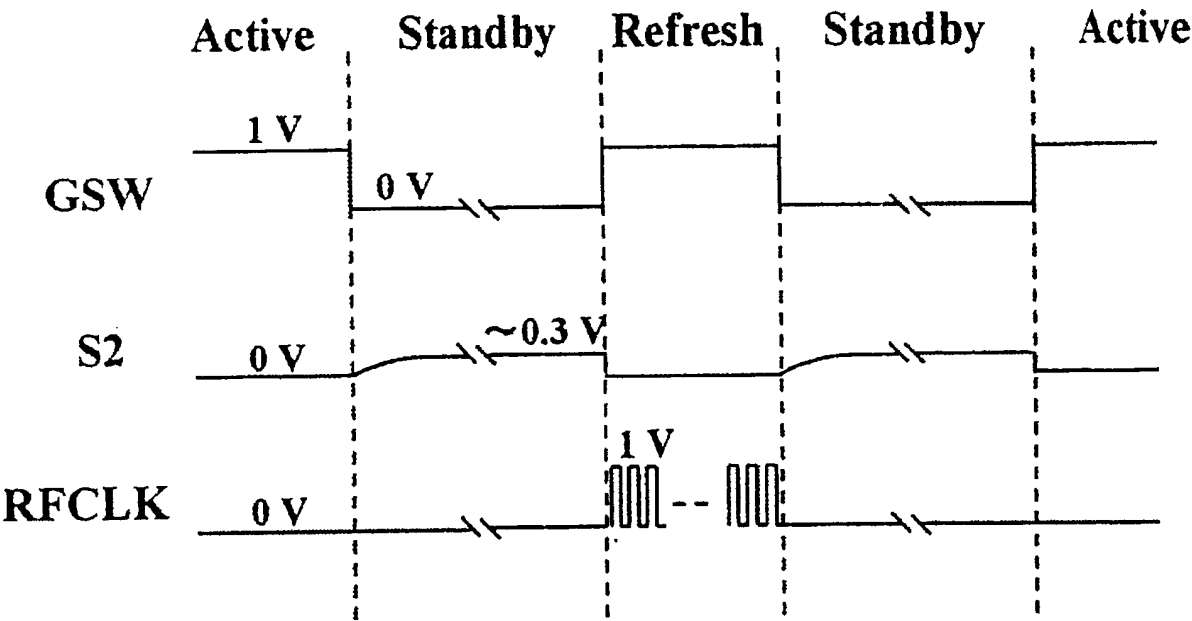


图 11

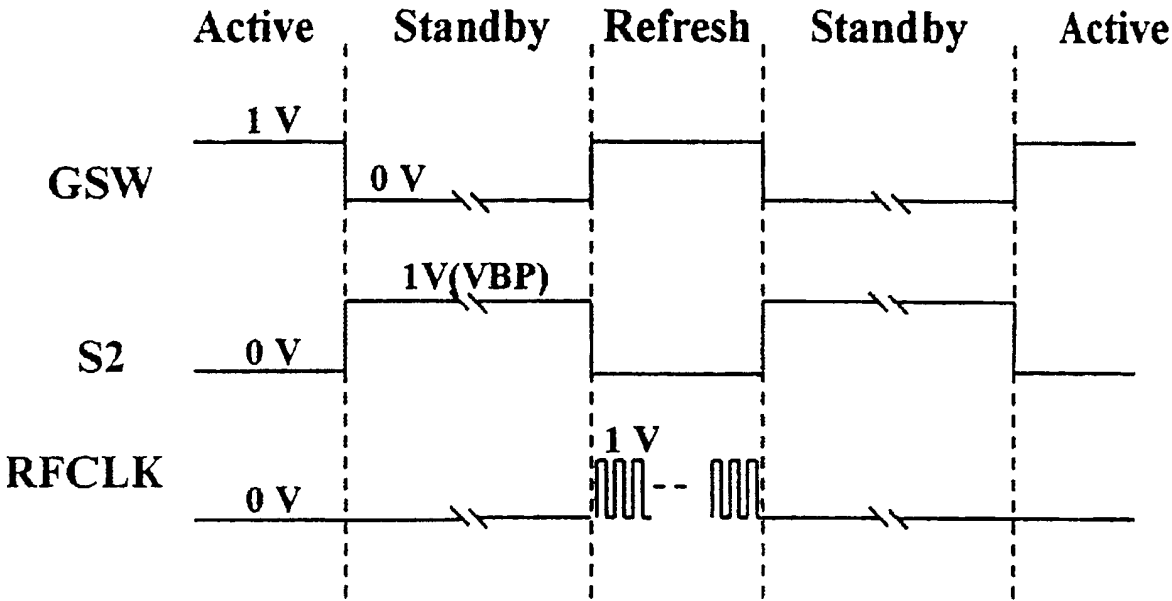


图12

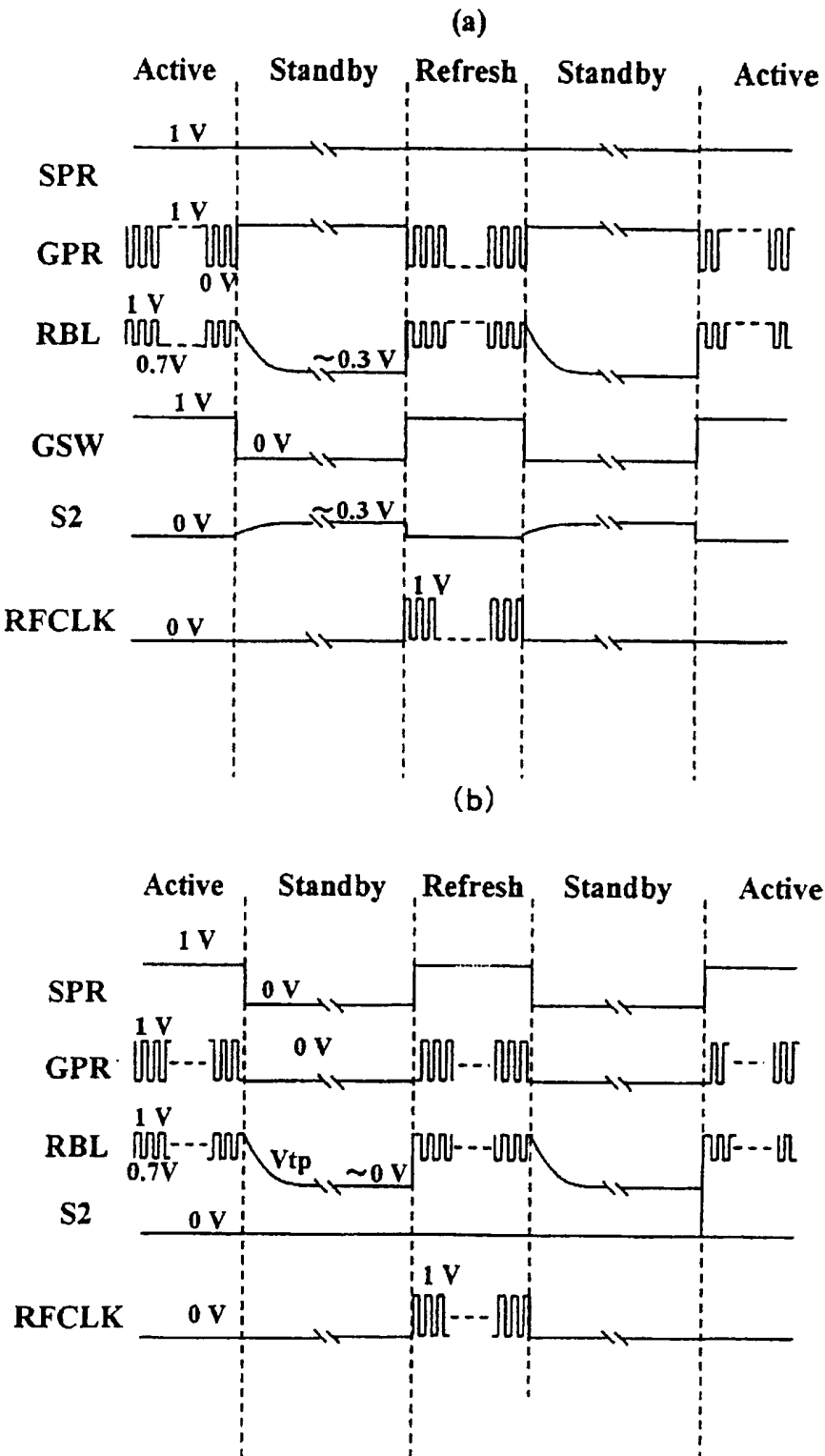


图13

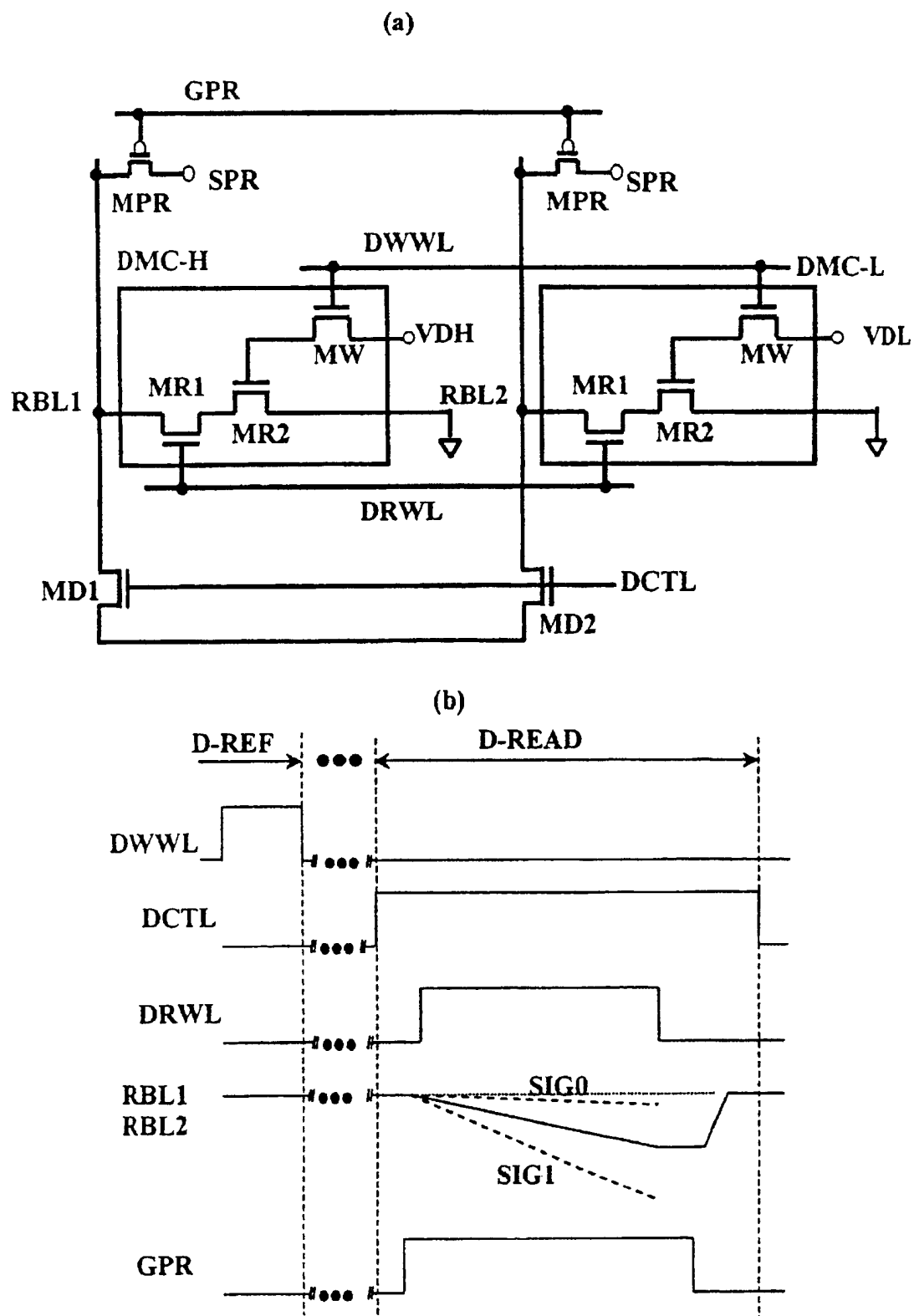


图14

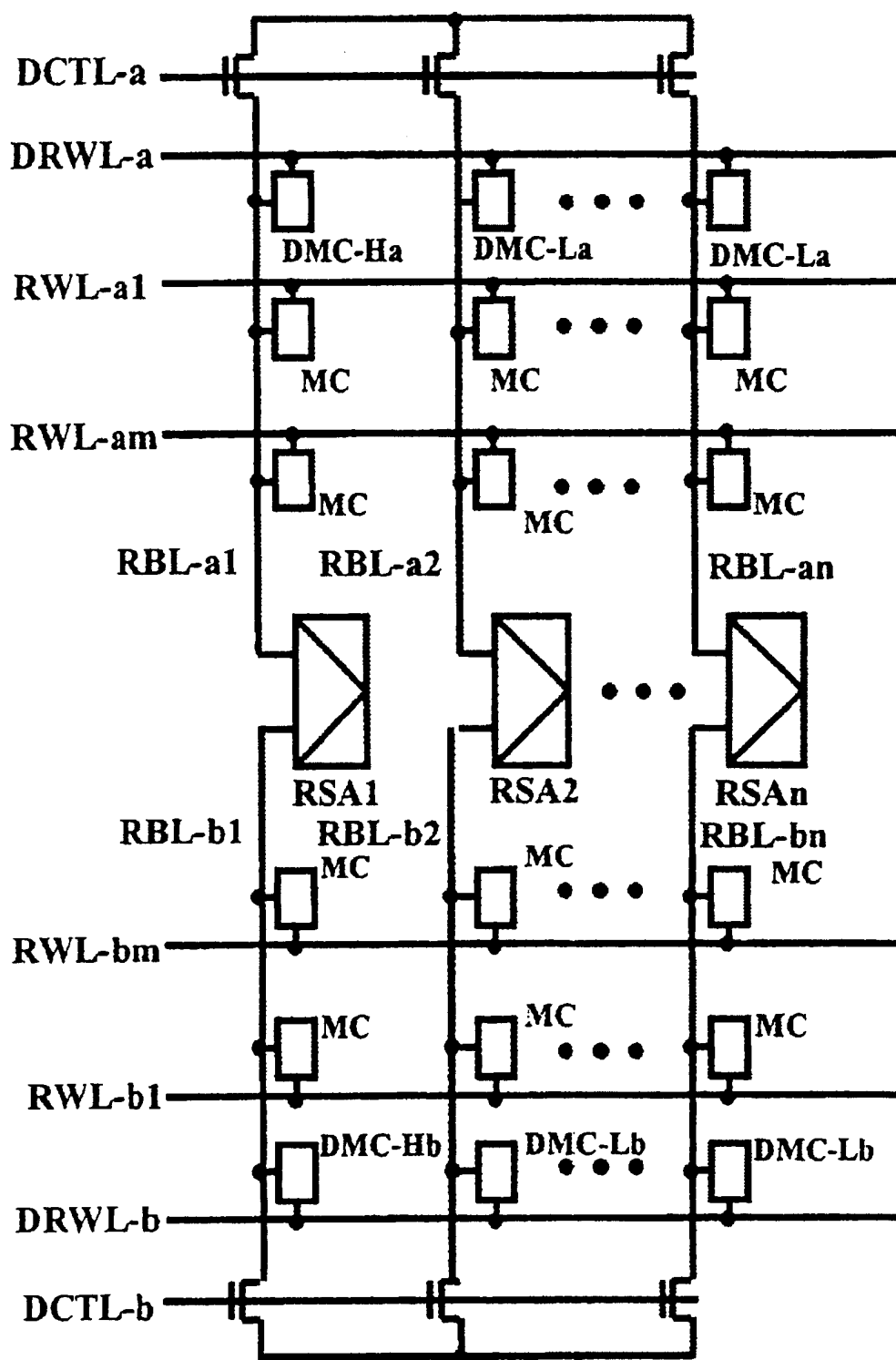


图15

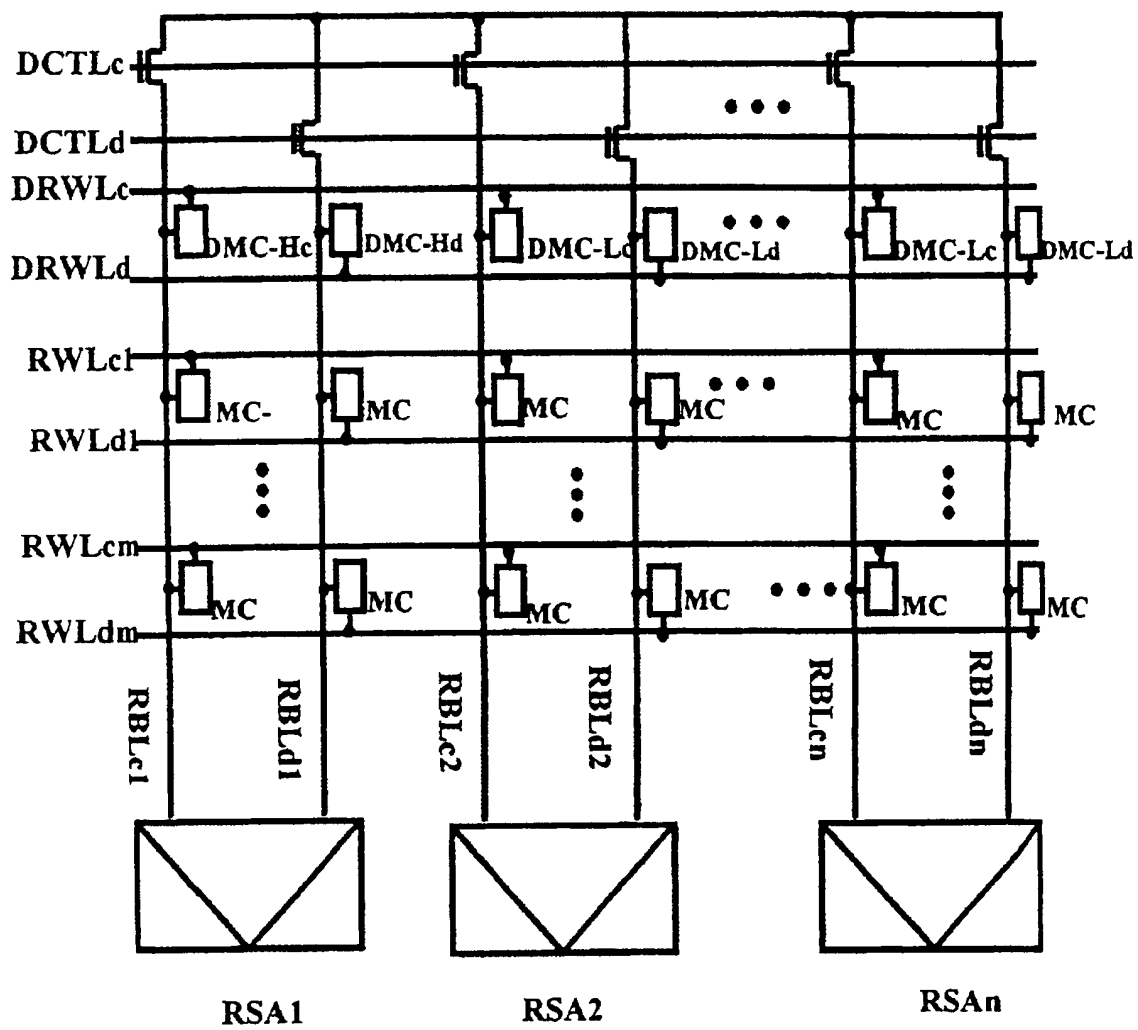


图 16

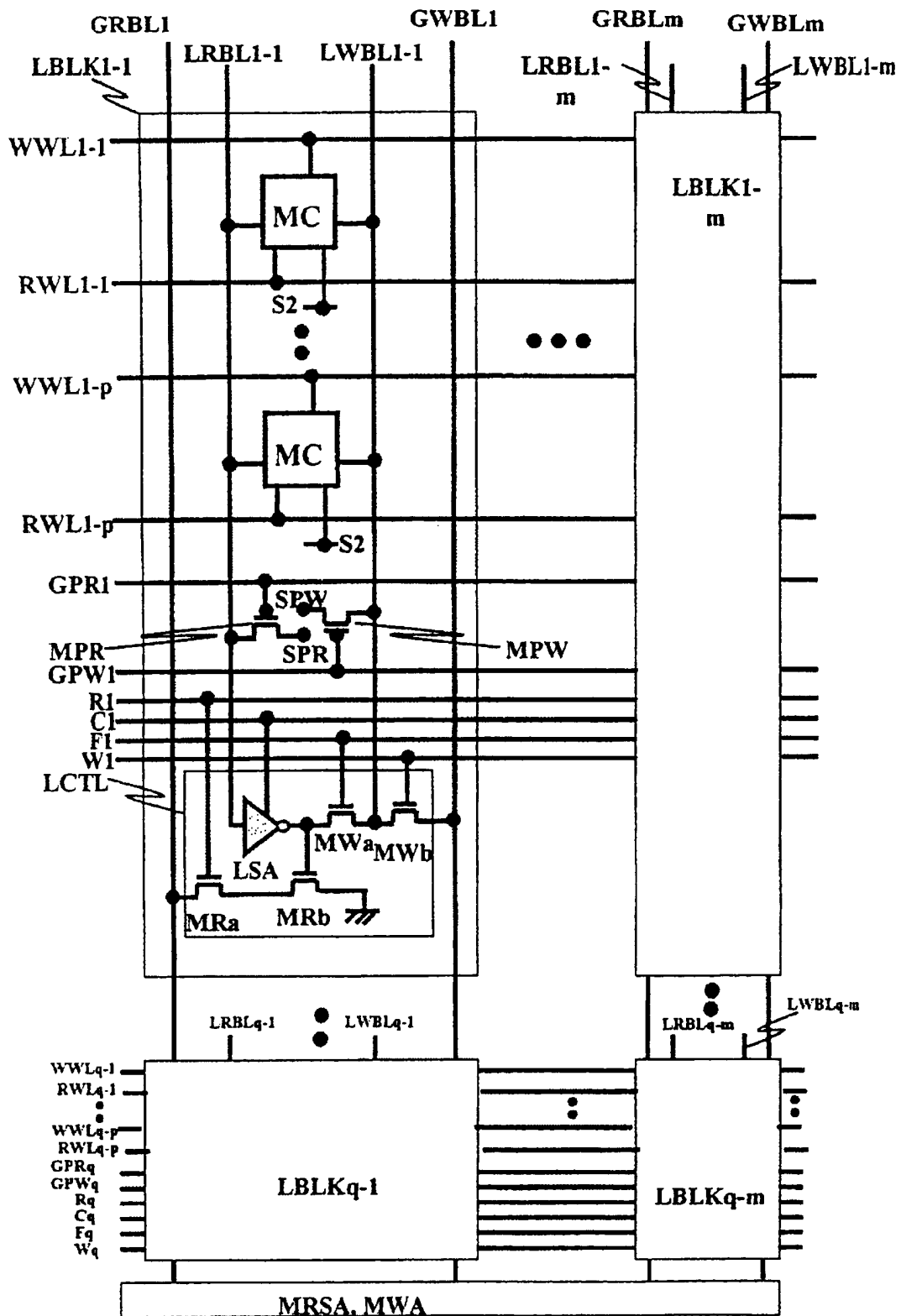


图17

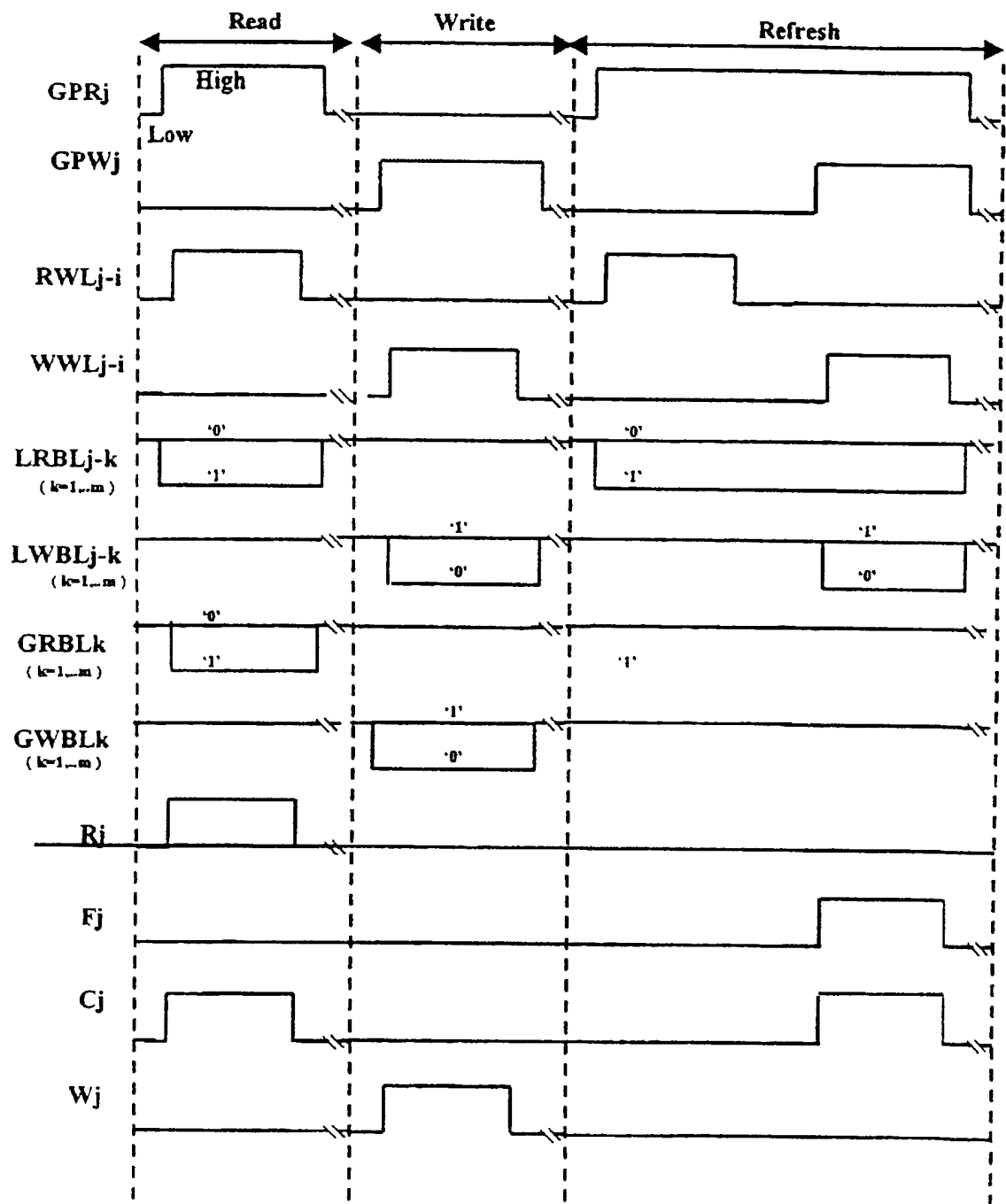


图18