



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209738

(11)

(B1)

(51) Int. Cl.³

G 06 F 13/00

/22/ Přihlášeno 24 01 80
/21/ /PV 505-80/

(40) Zveřejněno 31 03 81

(45) Vydáno 15 07 82

(75)

Autor vynálezu

KUBÍN PAVEL ing., LOUTOCKÝ DUŠAN ing. a JEHŇATA KAREL ing., PRAHA

(54) Zapojení vyrovnávací paměti

1

2

Vynález se týká zapojení vyrovnávací paměti používané v datových cestách řídicích obvodů rychlých periferních zařízení počítače.

Dosud známá zapojení vyrovnávací paměti používají buď soustavy posuvných registrů doplněné složitými logickými obvody řídicími výměnu informace mezi jednotlivými stupni takovéto vyrovnávací paměti, nebo soustavy registrů s ovládanými vstupy a výstupy adresovanými řídicími signály odvozenými z adresovacích posuvných registrů. V tomto druhém případě je nutné provádět porovnání vstupní a výstupní adresy vyrovnávací paměti reprezentované aktivovaným stavem příslušných stupňů adresovacích posuvných registrů. Tyto porovnávací obvody jsou poměrně složité a vzhledem k velkému počtu zpracovávaných signálů při vyšších kapacitách vyrovnávací paměti nejsou vhodné pro použití logických obvodů vyšší integrace.

Všechny tyto nedostatky jsou odstraněny zapojením vyrovnávací paměti podle vynálezu, jehož podstata spočívá v tom, že první skupina vstupních datových vodičů je připojena na první skupinu vstupů vstupního multiplexoru, druhá skupina vstupních datových vodičů je připojena na druhou skupinu vstupů vstupního multiplexoru, dále první skupina výstupů vstupního multiplexoru je propojena třetí skupinou vodičů pro přenos vstupních dat s první skupinou vstupů bloku matice přímo adresovatelné paměti, dále čtvrtá skupina výstupních datových vodičů je připojena na první skupinu výstupů bloku matice přímo adresovatelné paměti, dále pátá

skupina výstupních datových vodičů je připojena na druhou skupinu výstupů bloku matice přímo adresovatelné paměti, dále šestá skupina vstupních vodičů pro vkládání počáteční adresy vkládané informace je připojena na první skupinu vstupů adresního čítače vkládané informace, dále sedmá skupina výstupních vodičů hlášení o obsazení vyrovnávací paměti je připojena na první skupinu výstupů aritmetického obvodu porovnání adres, dále osmá skupina vstupních vodičů pro vkládání počáteční adresy vybírané informace je připojena na první skupinu vstupů adresního čítače vybírané informace, dále první samostatný výstup generátoru vkládacího pulsu je připojen prvním samostatným vodičem pro přenos zápisového pulsu na první samostatný vstup bloku matice přímo adresovatelné paměti, dále druhý samostatný výstup generátoru vkládacího pulsu je připojen druhým samostatným vodičem pro přenos zápisového pulsu na druhý samostatný vstup bloku matice přímo adresovatelné paměti, dále první samostatný výstup adresního čítače vkládané informace je připojen třetím samostatným vodičem pro přenos řádu vkládací adresy na první samostatný vstup aritmetického obvodu porovnání adres a na třetí samostatný vstup bloku matice přímo adresovatelné paměti, dále druhý samostatný výstup adresního čítače vkládané informace je připojen čtvrtým samostatným vodičem pro přenos řádu vkládací adresy na druhý samostatný vstup aritmetického obvodu porovnání adres a na čtvrtý samostatný vstup bloku matice přímo adresovatelné paměti, dále třetí samostatný výstup adresního čítače

vkládané informace je připojen pátým samostatným vodičem pro přenos řádu vkládací adresy na první samostatný vstup generátoru vkládacího pulsu a na třetí samostatný vstup aritmetického obvodu porovnání adres, dále čtvrtý samostatný výstup adresního čítače vkládané informace je připojen šestým samostatným vodičem pro přenos řádu vkládací adresy na druhý samostatný vstup generátoru vkládacího pulsu a na čtvrtý samostatný vstup aritmetického obvodu porovnání adres, dále sedmý samostatný vodič pro přenos vstupního signálu o šířce vkládané informace je připojen na třetí samostatný vstup generátoru vkládacího pulsu, dále osmý samostatný vodič pro přenos vstupního vkládacího signálu je připojen na čtvrtý samostatný vstup generátoru vkládacího pulsu a na pátý samostatný vstup aritmetického obvodu porovnání adres, dále třetí samostatný výstup generátoru vkládacího pulsu je připojen devátým samostatným vodičem pro přenos signálu pro vyvolávání změny vkládací adresy na první samostatný vstup adresního čítače vkládané informace, dále desátý samostatný vodič pro přenos vstupního signálu pro vkládání počáteční adresy vkládané informace je připojen na druhý samostatný vstup adresního čítače vkládané informace, dále jedenáctý samostatný vodič pro přenos vstupního signálu pro vkládání počáteční adresy vybírané informace je připojen na první samostatný vstup adresního čítače vybírané informace, dále první samostatný výstup adresního čítače vybírané informace je připojen dvanáctým samostatným vodičem pro přenos řádu vybírací adresy na šestý samostatný vstup aritmetického obvodu porovnání adres a na pátý samostatný vstup bloku matice přímo adresovatelné paměti, dále druhý samostatný výstup adresního čítače vybírané informace je připojen třináctým samostatným vodičem pro přenos řádu vybírací adresy na sedmý samostatný vstup aritmetického obvodu porovnání adres a na šestý samostatný vstup bloku matice přímo adresovatelné paměti, dále třetí samostatný výstup adresního čítače vybírané informace je připojen čtrnáctým samostatným vodičem pro přenos řádu vybírací adresy na osmý samostatný vstup aritmetického obvodu porovnání adres a na první samostatný vstup generátoru vybíracího pulsu, dále čtvrtý samostatný výstup adresního čítače vybírané informace je připojen patnáctým samostatným vodičem pro přenos řádu vybírací adresy na devátý samostatný vstup aritmetického obvodu porovnání adres a na druhý samostatný vstup generátoru vybíracího pulsu, dále první samostatný výstup generátoru vybíracího pulsu je připojen šestnáctým samostatným vodičem pro přenos čtecího pulsu na sedmý samostatný vstup bloku matice přímo adresovatelné paměti, dále druhý samostatný výstup generátoru vybíracího pulsu je připojen sedmáctým samostatným vodičem čtecího pulsu na osmý samostatný vstup bloku matice přímo adresovatelné paměti, dále osmnáctý samostatný vodič pro přenos vstupního signálu o šířce vybírané informace je připojen na třetí samostatný vstup generátoru vybíracího pulsu, dále devatenáctý samostatný vodič pro přenos vstupního vybíracího pulsu je připojen na čtvrtý samostatný vstup generátoru vybíracího pulsu a na desátý samostatný vstup aritmetického obvodu porovnání adres, dále třetí samostatný výstup generátoru vybíracího pulsu je připojen dvacátým samostatným vodičem pro přenos signálu pro vyvolávání změny vybírací adresy na druhý samostatný vstup adresního čítače vybírané informace, dále dvacátý první

samostatný vodič přepínání vstupního multiplexoru je připojen na první samostatný vstup vstupního multiplexoru, dále čtvrtý samostatný výstup generátoru vkládacího pulsu je připojen dvacátým druhým samostatným vodičem pro přenos zápisového pulsu na devátý samostatný vstup bloku matice přímo adresovatelné paměti, dále devátý samostatný výstup generátoru vkládacího pulsu je připojen dvacátým třetím samostatným vodičem pro přenos zápisového pulsu na desátý samostatný vstup bloku matice přímo adresovatelné paměti, dále čtvrtý samostatný výstup generátoru vybíracího pulsu je připojen dvacátým čtvrtým samostatným vodičem pro přenos čtecího pulsu na jedenáctý samostatný vstup bloku matice přímo adresovatelné paměti, dále pátý samostatný výstup generátoru vybíracího pulsu je připojen dvacátým pátým samostatným vodičem pro přenos čtecího pulsu na dvanáctý samostatný vstup bloku matice přímo adresovatelné paměti.

Vynález přináší hlavně výhody v tom, že nárůst kapacity vyrovnávací paměti není prováděn stejným nárůstem objemu adresovacích a vyhodnocovacích obvodů. Tím, že při realizaci jsou použity univerzální binární čítače a binární aritmetické obvody, lze použít dostupných prvků střední integrace. Použití binární adresace vyrovnávací paměti a vyhodnocování aritmetickým zpracováním vkládací a vybírací adresy podstatně zjednodušuje vyhodnocení stavu obsazení paměťových míst vyrovnávací paměti. Výhodou tohoto zapojení je rovněž možnost jednoduchého přepínání šířky toku vstupních a výstupních dat nezávisle na sobě a bez potřeby složitých doplňkových obvodů.

Na připojeném výkrese je schematicky znázorněno blokové schéma vyrovnávací paměti podle vynálezu.

Vyrovnávací paměť sestává z bloku matice přímo adresovatelné paměti 1 s binární adresací paměťových míst, z vstupního multiplexoru 2 pro přepínání šířky toku vstupních dat, z adresního čítače 3 vkládané informace pamatujícího adresu paměťového místa, do něhož bude vložena následující jednotka informace, z adresního čítače 4 vybírané informace pamatujícího adresu paměťového místa, z něhož se vybírá informace, přičemž oba tyto čítače jsou zapojeny jako binární čítače, v nichž změna adresy je provedena čtením, z aritmetického obvodu 5 porovnání adres, který aritmeticky porovnává hodnoty obou adresních čítačů a generuje signály odpovídající stavu zaplnění paměti, z generátoru 6 vkládacího pulsu, jenž v závislosti na některých řádech adresy vkládané informace generuje zápisové pulsy do vybraných prvků paměťové matice a z generátoru 7 vybíracího pulsu, jenž v závislosti na některých řádech adresy vybírané informace a na informaci o šířce toku vybíraných dat generuje signály otevírající výstupní dekodéry jednotlivých paměťových prvků. Blok matice přímo adresovatelné paměti 1, vstupní multiplexor 2, adresní čítač 3 vkládané informace, adresní čítač 4 vybírané informace, aritmetický obvod 5 porovnání adres, generátor 6 vkládacího pulsu a generátor 7 vybíracího pulsu jsou navzájem propojeny tak, že první skupina vstupních datových vodičů 0200 až 0215 je připojena na první skupinu vstupů 2200 až 2215 vstupního multiplexoru 2, dále druhá skupina vstupních datových vodičů 0220 až 0227 je připojena na druhou skupinu vstupů 2220 až 2227 vstupního multiplexoru 2, dále první skupina výstupů 2230 až 2245 vstupního multiplexoru 2 je propojena třetí skupinou vodičů 0230 až 0245 pro přenos vstupních dat s první skupinou vstupů 1230 až 1245 bloku matice přímo adresovatelné paměti.

1. dále čtvrtá skupina výstupních datových vodičů 0100 až 0115 je připojena na první skupinu výstupů 1100 až 1115 bloku matice přímo adresovatelné paměti 1, dále pátá skupina výstupních datových vodičů 0120 až 0127 je připojena na druhou skupinu výstupů 1120 až 1127 bloku matice přímo adresovatelné paměti 1, dále šestá skupina výstupních vodičů 0300 až 0303 pro vkládání počáteční adresy vkládané informace je připojena na první skupinu výstupů 3300 až 3303 adresního čítače 3 vkládané informace, dále sedmá skupina výstupních vodičů 0500 až 050N hlášení o obsazení vyrovnávací paměti je připojena na první skupinu výstupů 5500 až 550N aritmetického obvodu 5 porovnání adres, dále osmá skupina vstupních vodičů 0400 až 0403 je připojena na první skupinu výstupů 4400 až 4403 adresního čítače 4 vybírané informace, dále první samostatný výstup 601 generátoru 6 vkládacího pulsu je připojen prvním samostatným vodičem 001 pro přenos zápisového pulsu na první samostatný vstup 101 bloku matice přímo adresovatelné paměti 1, dále druhý samostatný výstup 602 generátoru 6 vkládacího pulsu je připojen druhým samostatným vodičem 002 pro přenos zápisového pulsu na druhý samostatný vstup 102 bloku matice přímo adresovatelné paměti 1, dále první samostatný výstup 303 adresního čítače 3 vkládané informace je připojen třetím samostatným vodičem 003 pro přenos řádu vkládací adresy na první samostatný vstup 503 aritmetického obvodu 5 porovnání adres a na třetí samostatný vstup 103 bloku matice přímo adresovatelné paměti 1, dále druhý samostatný výstup 304 adresního čítače 3 vkládané informace je připojen čtvrtým samostatným vodičem 004 pro přenos řádu vkládací adresy na druhý samostatný vstup 504 aritmetického obvodu 5 porovnání adres a na čtvrtý samostatný vstup 104 bloku matice přímo adresovatelné paměti 1, dále třetí samostatný výstup 305 adresního čítače 3 vkládané informace je připojen pátým samostatným vodičem 005 pro přenos řádu vkládací adresy na první samostatný vstup 605 generátoru 6 vkládacího pulsu a na třetí samostatný vstup 505 aritmetického obvodu 5 porovnání adres, dále čtvrtý samostatný výstup 306 adresního čítače 3 vkládané informace je připojen šestým samostatným vodičem 006 pro přenos řádu vkládací adresy na druhý samostatný vstup 606 generátoru 6 vkládacího pulsu a na čtvrtý samostatný vstup 506 aritmetického obvodu 5 porovnání adres, dále sedmý samostatný vodič 007 pro přenos vstupního signálu o šířce vkládané informace je připojen na třetí samostatný vstup 607 generátoru 6 vkládacího pulsu, dále osmý samostatný vodič 008 pro přenos vstupního vkládacího signálu je připojen na čtvrtý samostatný vstup 608 generátoru 6 vkládacího pulsu a na pátý samostatný vstup 508 aritmetického obvodu 5 porovnání adres, dále třetí samostatný výstup 609 generátoru 6 vkládacího pulsu je připojen devátým samostatným vodičem 009 pro přenos signálu vyvolávajícího změnu vkládací adresy na první samostatný vstup 309 adresního čítače 3 vkládané informace, dále desátý samostatný vodič 010 pro přenos vstupního signálu vkládacího počáteční adresy vkládané informace je připojen na druhý samostatný vstup 310 adresního čítače 3 vkládané informace, dále jedenáctý samostatný vodič 011 pro přenos vstupního signálu vkládacího počáteční adresy vybírané informace je připojen na první samostatný vstup 411 adresního čítače 4 vybírané informace, dále první samostatný výstup 412 adresního čítače 4 vybírané informace

je připojen dvanáctým samostatným vodičem 012 pro přenos řádu vybírací adresy na šestý samostatný vstup 512 aritmetického obvodu 5 porovnání adres a na pátý samostatný vstup 112 bloku matice přímo adresovatelné paměti 1, dále druhý samostatný výstup 413 adresního čítače 4 vybírané informace je připojen třináctým samostatným vodičem 013 pro přenos řádu vybírací adresy na sedmý samostatný vstup 513 aritmetického obvodu 5 porovnání adres a na šestý samostatný vstup 113 bloku přímo adresovatelné paměti 1, dále třetí samostatný výstup 414 adresního čítače 4 vybírané informace je připojen čtrnáctým samostatným vodičem 014 pro přenos řádu vybírací adresy na osmý samostatný vstup 514 aritmetického obvodu 5 porovnání adres a na první samostatný vstup 714 generátoru 7 vybíracího pulsu, dále čtvrtý samostatný výstup 415 adresního čítače 4 vybírané informace je připojen patnáctým samostatným vodičem 015 pro přenos řádu vybírací adresy na devátý samostatný vstup 515 aritmetického obvodu 5 porovnání adres a na druhý samostatný vstup 715 generátoru 7 vybíracího pulsu, dále první samostatný výstup 716 generátoru 7 vybíracího pulsu je připojen šestnáctým samostatným vodičem 016 pro přenos čtecího pulsu na sedmý samostatný vstup 116 bloku matice přímo adresovatelné paměti 1, dále druhý samostatný výstup 717 generátoru 7 vybíracího pulsu je připojen sedmáctým samostatným vodičem 017 čtecího pulsu na osmý samostatný vstup 117 bloku matice přímo adresovatelné paměti 1, dále osmnáctý samostatný vodič 018 pro přenos vstupního signálu o šířce vybírané informace je připojen na třetí samostatný vstup 718 generátoru 7 vybíracího pulsu, dále devatenáctý samostatný vodič 019 pro přenos vstupního vybíracího signálu je připojen na čtvrtý samostatný vstup 719 generátoru 7 vybíracího pulsu a na desátý vstup 519 aritmetického obvodu 5 porovnání adres, dále třetí samostatný výstup 720 generátoru 7 vybíracího pulsu je připojen dvacátým samostatným vodičem 020 pro přenos signálu vyvolávajícího změnu vybírací adresy na druhý samostatný vstup 420 adresního čítače 4 vybírané informace, dále dvacátý první samostatný vodič 021 pro přepínání vstupního multiplexoru 2 je připojen na první samostatný vstup 221 vstupního multiplexoru 2, dále čtvrtý samostatný výstup 622 generátoru 6 vkládacího pulsu je připojen dvacátým druhým samostatným vodičem 022 pro přenos zápisového pulsu na devátý samostatný vstup 122 bloku matice přímo adresovatelné paměti 1, dále pátý samostatný výstup 623 generátoru 6 vkládacího pulsu je připojen dvacátým třetím samostatným vodičem 023 pro přenos zápisového pulsu na desátý samostatný vstup 123 bloku matice přímo adresovatelné paměti 1, dále čtvrtý samostatný výstup 724 generátoru 7 vybíracího pulsu je připojen dvacátým čtvrtým samostatným vodičem 024 pro přenos čtecího pulsu na jedenáctý samostatný vstup 124 bloku matice přímo adresovatelné paměti 1, dále pátý samostatný výstup 725 generátoru 7 vybíracího pulsu je připojen dvacátým pátým samostatným vodičem 025 pro přenos čtecího pulsu na dvanáctý samostatný vstup 125 bloku matice přímo adresovatelné paměti 1.

Zapísovaná informace je přes vstupní multiplexor 2 přepínaná podle šířky zapisované informace přiváděna na vstup bloku matice přímo adresovatelné paměti 1. Do adresního čítače 3 vkládané informace je nahrána počáteční adresa vkládání a s příchodem pulsu vkládacího do paměti jsou generovány generátorem 6 podle šířky vklá-

dané informace pulsy zápisu do paměti a provedena čtení adresního čítače 3 vkládané informace. Adresní čítač 4 vybírané informace určuje, který stupeň bloku matice přímo adresovatelné paměti 1 je připojen na výstupní vedení vyrovnávací paměti. S příchodem pulsu oznamujícího odebrání informace jsou generátorem 7 čtecího pulsu podle šířky odebrané informace provedeny změny

PŘEDMĚT VYNÁLEZU

Zapojení vyrovnávací paměti, vyznačené tím, že první skupina vstupních datových vodičů /0200 až 0215/ je připojena na první skupinu vstupů /2200 až 2215/ vstupního multiplexoru /2/, dále druhá skupina vstupních datových vodičů /0220 až 0227/ je připojena na druhou skupinu vstupů /2220 až 2227/ vstupního multiplexoru /2/, dále první skupina výstupů /2230 až 2245/ vstupního multiplexoru /2/ je propojena třetí skupinou vodičů /0230 až 0245/ pro přenos vstupních dat s první skupinou vstupů /1230 až 1245/ bloku matice přímo adresovatelné paměti /1/, dále čtvrtá skupina výstupních datových vodičů /0100 až 0115/ je připojena na první skupinu výstupů /1100 až 1115/ bloku matice přímo adresovatelné paměti /1/, dále pátá skupina výstupních datových vodičů /0120 až 0127/ je připojena na druhou skupinu výstupů /1120 až 1127/ bloku matice přímo adresovatelné paměti /1/, dále šestá skupina vstupních vodičů /0300 až 0303/ pro vkládání počáteční adresy vkládané informace je připojena na první skupinu vstupů /3300 až 3303/ adresního čítače /3/ vkládané informace, dále sedmá skupina výstupních vodičů /0500 až 050N/ hlášení o obsazení vyrovnávací paměti je připojena na první skupinu výstupů /5500 až 550N/ aritmetického obvodu /5/ porovnání adres, dále osmá skupina vstupních vodičů /0400 až 0403/ pro vkládání počáteční adresy vybírané informace je připojena na první skupinu vstupů adresního čítače /4/ vybírané informace, dále první samostatný výstup /601/ generátoru /6/ vkládacího pulsu je připojen prvním samostatným vodičem /001/ pro přenos zápisového pulsu na první samostatný vstup /101/ bloku matice přímo adresovatelné paměti /1/, dále druhý samostatný výstup /602/ generátoru /6/ vkládacího pulsu je připojen druhým samostatným vodičem /002/ pro přenos zápisového pulsu na druhý samostatný vstup /102/ bloku matice přímo adresovatelné paměti /1/, dále první samostatný výstup /303/ adresního čítače /3/ vkládané informace je připojen třetím samostatným vodičem /003/ pro přenos řádu vkládací adresy na první samostatný vstup /503/ aritmetického obvodu /5/ porovnání adres a na třetí samostatný vstup /103/ bloku matice přímo adresovatelné paměti /1/, dále druhý samostatný výstup /7304/ adresního čítače /3/ vkládané informace je připojen čtvrtým samostatným vodičem /004/ pro přenos řádu vkládací adresy na druhý samostatný vstup /504/ aritmetického obvodu /5/ porovnání adres a na čtvrtý samostatný vstup /104/ bloku matice přímo adresovatelné paměti /1/, dále třetí samostatný výstup /305/ adresního čítače /3/ vkládané informace je připojen pátým samostatným vodičem /005/ pro přenos řádu vkládací adresy na první samostatný vstup /605/ generátoru /6/ vkládacího pulsu a na třetí samostatný vstup /505/ aritmetického obvodu /5/ porovnání adres, dále čtvrtý samostatný výstup /306/ adresního čítače /3/ vkládané informace je připojen šestým samostatným vodičem /006/ pro přenos řádu vkládací adresy na druhý samostatný vstup /606/ gene-

obsahu adresního čítače 4 vybírané informace. Nahrání počátečního obsahu adresního čítače 4 vybírané informace umožňuje vynechat pomocné údaje na počátku dat. Aritmetický obvod 5 porovnání adres generuje hlášení o stavu zaplnění paměti 1.

Vyrovnávací paměť podle vynálezu je použita v řídicím modulu diskových pamětí počítače a odvozených modelů.

rátoru /6/ vkládacího pulsu a na čtvrtý samostatný vstup /506/ aritmetického obvodu /5/ porovnání adres, dále sedmý samostatný vodič /007/ pro přenos vstupního signálu o šířce vkládané informace je připojen na třetí samostatný vstup /607/ generátoru /6/ vkládacího pulsu, dále osmý samostatný vodič /008/ pro přenos vstupního vkládacího signálu je připojen na čtvrtý samostatný vstup /608/ generátoru /6/ vkládacího pulsu a na pátý samostatný vstup /508/ aritmetického obvodu /5/ porovnání adres, dále třetí samostatný výstup /609/ generátoru /6/ vkládacího pulsu je připojen devátým samostatným vodičem /009/ pro přenos signálu pro vyvolávání změny vkládací adresy na první samostatný vstup /309/ adresního čítače /3/ vkládané informace, dále desátý samostatný vodič /010/ pro přenos vstupního signálu pro vkládání počáteční adresy vkládané informace je připojen na druhý samostatný vstup /310/ adresního čítače /3/ vkládané informace, dále jedenáctý samostatný vodič /011/ pro přenos vstupního signálu pro vkládání počáteční adresy vybírané informace je připojen na první samostatný vstup /411/ adresního čítače /4/ vybírané informace, dále první samostatný výstup /412/ adresního čítače /4/ vybírané informace je připojen dvanáctým samostatným vodičem /012/ pro přenos řádu vybírací adresy na šestý samostatný vstup /512/ aritmetického obvodu /5/ porovnání adres a na pátý samostatný vstup /112/ bloku matice přímo adresovatelné paměti /1/, dále druhý samostatný výstup /413/ adresního čítače /4/ vybírané informace je připojen třináctým samostatným vodičem /013/ pro přenos řádu vybírací adresy na sedmý samostatný vstup /513/ aritmetického obvodu /5/ porovnání adres a na šestý samostatný vstup /113/ bloku matice přímo adresovatelné paměti /1/, dále třetí samostatný výstup /414/ adresního čítače /4/ vybírané informace je připojen čtrnáctým samostatným vodičem /014/ pro přenos řádu vybírací adresy na osmý samostatný vstup /514/ aritmetického obvodu /5/ porovnání adres a na první samostatný vstup /714/ generátoru /7/ vybíracího pulsu, dále čtvrtý samostatný výstup /415/ adresního čítače /4/ vybírané informace je připojen patnáctým samostatným vodičem /015/ pro přenos řádu vybírací adresy na devátý samostatný vstup /515/ aritmetického obvodu /5/ porovnání adres a na druhý samostatný vstup /715/ generátoru /7/ vybíracího pulsu, dále první samostatný výstup /716/ generátoru /7/ vybíracího pulsu je připojen šestnáctým samostatným vodičem /016/ pro přenos čtecího pulsu na sedmý samostatný vstup /116/ bloku matice přímo adresovatelné paměti /1/, dále druhý samostatný výstup /717/ generátoru /7/ vybíracího pulsu je připojen sedmnáctým samostatným vodičem /017/ čtecího pulsu na osmý samostatný vstup /117/ bloku matice přímo adresovatelné paměti /1/, dále osmnáctý samostatný vodič /018/ pro přenos vstupního signálu o šířce vybírané informace je připojen na třetí samostatný vstup /718/ generátoru /7/ vybíracího pulsu, dále devatenáctý samostatný

vodič /019/ pro přenos vstupního vybíracího signálu je připojen na čtvrtý samostatný vstup /719/ generátoru /7/ vybíracího pulsu a na desátý samostatný vstup /519/ aritmetického obvodu /5/ porovnání adres, dále třetí samostatný výstup /720/ generátoru /7/ vybíracího pulsu je připojen dvacátým samostatným vodičem /020/ pro přenos signálu pro vyvolávání změny vybírací adresy na druhý samostatný vstup /420/ adresního čítače /4/ vybírané informace, dále dvacátý první samostatný vodič /021/ pro přepínání vstupního multiplexoru /2/ je připojen na první samostatný vstup /221/ vstupního multiplexoru /2/, dále čtvrtý samostatný výstup /622/ generátoru /6/ vkládacího pulsu je připojen dvacátým druhým samostatným vodičem /022/ pro přenos zápisového pulsu na devátý samostatný vstup /122/

bloku matice přímo adresovatelné paměti /1/, dále devátý samostatný výstup /623/ generátoru /6/ vkládacího pulsu je připojen dvacátým třetím samostatným vodičem /023/ pro přenos zápisového pulsu na desátý samostatný vstup /123/ bloku matice přímo adresovatelné paměti /1/, dále čtvrtý samostatný výstup /724/ generátoru /7/ vybíracího pulsu je připojen dvacátým čtvrtým samostatným vodičem /024/ pro přenos čtecího pulsu na jedenáctý samostatný vstup /124/ bloku matice přímo adresovatelné paměti /1/, dále pátý samostatný výstup /725/ generátoru /7/ vybíracího pulsu je připojen dvacátým pátým samostatným vodičem /025/ pro přenos čtecího pulsu na dvanáctý samostatný vstup /125/ bloku matice přímo adresovatelné paměti /1/.

1 výkres

