

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年6月8日(2017.6.8)

【公表番号】特表2016-517680(P2016-517680A)

【公表日】平成28年6月16日(2016.6.16)

【年通号数】公開・登録公報2016-036

【出願番号】特願2016-504323(P2016-504323)

【国際特許分類】

H 04 L 7/00 (2006.01)

H 04 L 29/00 (2006.01)

H 04 L 12/891 (2013.01)

H 04 L 12/953 (2013.01)

【F I】

H 04 L 7/00 500

H 04 L 13/00 S

H 04 L 12/891

H 04 L 12/953

【誤訳訂正書】

【提出日】平成29年4月19日(2017.4.19)

【誤訳訂正1】

【訂正対象書類名】明細書

【訂正対象項目名】0039

【訂正方法】変更

【訂正の内容】

【0039】

式(1)：補正済みタイムスタンプ = タイムスタンプ + / - レーンのフィルレベル + / - 基準フィルレベル

一実施形態においては、補正論理モジュール118は、計算に一貫性が得られ得るように、すべての値を共通の単位に変換してもよい。たとえば、レーンのフィルレベルおよび基準フィルレベルは、ビット数であってもよい。補正論理モジュール118は、クロックサイクル毎の既知のビット数およびクロックサイクルの周波数に基づいて、フィルレベルおよび基準レベルのビット数をクロックサイクルまたはナノ秒の単位に変換してもよい。たとえば、回路100が66ビット/クロックサイクルを読み出し、回路100が1ナノ秒当たり2.1クロックサイクルを有する場合、クロックサイクルまたはナノ秒のいずれかの点から補正済みタイムスタンプが計算され得る。