公告本

| | |
|---|---|
| 申請日期 | 88 年 3 月 16 日 |
| 案號 | 88104042 |
| 類別 | G11C 11/34 |

A4
C4

418394

（以上各欄由本局填註）

# 發明 新型 專利說明書

| | | |
|---|---|---|
| 一、發明 新型 名稱 | 中文 | 可程式邏輯應用之非揮發性記憶體元件 |
| | 英文 | Non-volatile memory element for programmable logic applications |
| 二、發明 創作 人 | 姓名 | (1) 傑佛瑞・布德 Bude, Jeffrey Devin<br>(2) 康弘義 Cong, Hong-Ih Louis<br>(3) 馬柯・馬斯楚帕司奎 Mastrapasqua, Marco |
| | 國籍 | (1) 美國 (2) 美國 (3) 義大利 |
| | 住、居所 | (1) 美國新澤西州新普羅維登斯沃克路十五號<br>15 Walker Drive, New Providence, NJ 07974, U.S.A.<br>(2) 美國新澤西州伯克萊高地高地圓環八十一號<br>81 Highland Circle, Berkeley Heights, NJ 07922, U.S.A.<br>(3) 美國新澤西州安娜戴爾宏汀希爾路七號<br>7 Hunting Hill Road, Annandale, NJ 08801, U. S. A. |
| 三、申請人 | 姓名（名稱） | (1) 魯森工業技術股份有限公司<br>Lucent Technologies Inc. |
| | 國籍 | (1) 美國 |
| | 住、居所（事務所） | (1) 美國新澤西州莫瑞山丘莫頓路六〇〇號<br>600 Mountain Avenue, Murray Hill, NJ 07974 -0636, USA |
| | 代表人姓名 | (1) 麥克・格林 Greene, Michael R. |

經濟部智慧財產局員工消費合作社印製



裝 訂 線

（由本局填寫）

| | |
|---|---|
| 承辦人代碼： | A6<br>B6 |
| 大　　類： | |
| ＩＰＣ分類： | |

本案已向：

| 國（地區） | 申請專利，申請日期： | 案號： | ，□有　□無主張優先權 |
|---|---|---|---|
| 美國 | 1998 年 4 月 30 日 | 09/069,768 | ☑有主張優先權 |

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明（1）

發明領域：

本發明係相關於非揮發性記憶體元件；特別是，相關於可程式邏輯應用之非揮發性記憶體元件。

習知技藝之描述：

習知場可程式閘陣列（FPGA）包含邏輯元件佔列以及可程式邏輯。每個可程式連結係作爲選擇性地連接邏輯元件。於是，藉由對於可程式連結予以程式化，不同之邏輯功能可被建立。

一般而言，在FPGA中之可程式連結包含藉由動映SRAM記憶體格而予以程式化爲開或關狀態之開關電晶體。根據該程式化後之狀態，該開關電晶體將介於邏輯元件間之電子連結予以連結或切斷。例如將邏輯〝1〞儲存在SRAM記憶體格中造成對應開關電晶體導通，而電子連結已連接至該開關電晶體中之邏輯元件。但是，一旦架構之後，該SRAM記憶體格需外固定之電力供應至經程式之狀態。

美國專利號第5，633，518揭示一種FPGA之非揮發性可程式連結。此專利之非揮發性可程式連結緊閉地將非揮發性電晶體元件之開關電晶體緊閉積體以減少FPGA之面積，但是實質上，使得設計以及晶片佈局變得複雜。在此設計中，該開關電晶體以及記憶體元件共用浮閘。但是，在操作時，該開關電晶體可將載子射入至浮閘，而改變該可程式邏輯之程式化狀態。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（2）

發明之簡單敘述：

根據本發明之非揮發性元件包含一以序列方式而連結在第一以及第二資料線之間的第一以及第二非揮發性電晶體。介於第一以及第二非揮發性電晶體之間的接點形成一輸出點。該非揮發性電晶體元件進一步地包含一連結介於參考線以及介於第一以及第二非揮發性電晶體之間接點之存取電晶體。在可程式邏輯應用中，例如一場可程式閘陣列，非揮發性電晶體元件之陣列控制相關開關元件之狀態，每個非揮發性元件選擇性地連結在可程式邏輯應用中之邏輯元件。根據加至非揮發性記憶體元件之電壓，該非揮發性記憶體元件被選擇性地抹除、程式化、操作、監視以及啓動。

圖形簡要敘述：

本發明將從以下所述之詳細描述以及只作爲展示用之附圖而更易於瞭解；其中參考號係表示在各圖中之對應部份，而其中：

圖一展示根據本發明實施例之非揮發性記憶體元件或格；

圖二展示應用在圖一非揮發性記憶體元件作爲表示電壓之表；

圖三展示圖一記憶體格之非揮發性電晶體之電流電壓（I－V）特性；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

圖四係展示圖一之N－MOS電晶體之I－V特性圖。

圖五展示如圖一包括非揮發性記憶體元件之FPGA應用之活性記憶體陣列架構；

圖六至八係展示應用在根據本發明而在抹除模式之選擇以及非選擇記憶體格之電壓；

圖九至十一係展示應用在根據本發明而在程式化模式下之選擇以及非選擇記憶體格之電壓；

圖十二以及十三係展示應用至本發明之操作模式下之記憶體格之電壓；

圖十四至十六係展示應用在本發明在讀回模式下之選擇以及非選擇記憶體格之電壓；

圖十七係展示應用至根據本發明在電力起始模式下初始之記憶體格之電壓；

圖十八至二十係展示應用至本發明在電力開啓模式下之選擇以及非選擇記憶體模式下之電壓；以及

圖二十一係展示本發明另一實施例之非揮發性記憶體元件或格。

元件符號對照表：

10　第一非揮發性電晶體

12　第二非揮發性電晶體

14　程式資料低線　　16　程式資料高線

18　控制電壓線　　20　存取電晶體

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（４）

２２　參考電壓線　　２４　位址線

２６　基底偏線　　３０　可程式邏輯

１１０　Ｎ型非揮發性電晶體

１１２　Ｐ型非揮發性電晶體

較佳實施例之詳細描述：

以下詳細描述係相關於非記憶體原耐或記憶體格；特別是，相關於可程式應用之非記憶體元件。圖一係展示本發明之非記憶體元件或格。如圖一，該非記憶體元件包括ｎ型１第一以及第二非揮發性暫存器１０以及１２，而以串列方式連接在介於程式資料低線１４以及程式資料高線１６之間。對於該非揮發性電晶體，可使用ＳＩＭＯＳ（堆疊閘射出ＭＯＳ）電晶體，ＦＬＯＴＯＸ（浮閘薄氧化物）電晶體，ＴＰＦＧ（織物多浮閘）電晶體（即，在浮閘以及控制閘間予以通道程式化之電晶體）等。爲了展示的目的，該上述實施例之非揮發性電晶體係爲ＳＩＭＯＳ型。該程式資料低線１４提供程式資料低電壓ＰＤＬ，且該程式資料高線１６供應程式資料高電壓ＰＤＨ。該介於第一非揮發性電晶體１０以及第二非揮發性電晶體１２之間之皆點係作爲記憶體元件之輸出點Ｑ之用。該第一以及第二非揮發性電晶體１０及１２之控制閘係連接至控制電壓線１８。該控制電壓線１８供應一控制電壓Ｖｃｇ。

該非揮發性記憶體元件進一步地包含一連接在輸出點Ｑ以及參考電壓線２２之間連結之存取電晶體２０。該存

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

取電晶體係爲N－MOS電晶體，且該參考電壓線22提共一參考電壓DN。該N－MOS 20之閘係連接至位址線24，該位址線供應一位址電壓位址。在較佳實施例中，形成第一以及第二非揮發性電晶體10以及12之基底部份係連接至基底偏線26中。該基底偏線26供應一基底偏電壓$V_{TW}$。

展示在圖一之記憶體格具有許多操作模式。該些操作模式包括一抹除模式、程式化程式、操作模式、讀回模式、以及電力起始模式。圖二係展示供應至操作模式下之程式資料低線14，程式資料高線16，控制電壓線18，參考電壓線22，位址線24，以及基底偏線26之電壓表。對於熟知此技藝者，將瞭解圖二所示電壓僅係電壓之例子集，且根據本發明之記憶體格之操作並不限制於圖二所示的電壓。相對的，所選擇的電壓將根據所選用之記憶體之硬體限制，半導體處理技術以及類型而變化。進一步地，除了N型非揮發性電晶體以及n型存取電晶體之外，p型非揮發性電晶體以及p型存取電晶體可以所選用電壓而做相關的改變。在圖二所示每個操作模式內之操作將在以下詳述。

圖三係展示第一以及第二非揮發性電晶體10以及12之I－V特性圖，而圖四係展示N－MOS電晶體20之I－V特性圖。

現存之FPGA應用之記憶體格架構係展示在圖五所示。如所示，根據本發明之相鄰記憶體格具有其N－

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（６）

ＭＯＳ電晶體２０，而共享共同連接至該參考電壓線２２。如圖五進一步地所示，記憶體格之每個列係連接至相同的程式資料低線１４，程式資料高線１６，以及參考電壓線２２，記憶體格之行分享相同之控制電壓以及位址線１８以及２４所有記憶體格，如圖五所示，分享相同基底偏線２６。每個記憶體格之輸出點Ｑ係連接至位於ＦＰＧＡ中之可程式邏輯３０；更確切地說，連接至可程式邏輯３０內之開關電晶體。且，根據開關電晶體之型態，反向器可連接至輸出點Ｑ。

抹除操作模式，將參考圖六至圖八而解釋。圖六展示如圖五所示選擇作爲抹除之記憶體格陣列中之記憶體格。亦顯示，零電壓應用至程式資料低線１４，程式資料高線１６，以及基底偏線２６，四伏特以及六伏特係分別加在參考電壓線２２以及位址線２４，而負六伏特係加至控制電壓線１８。

該加至位址線２４之六伏特將造成Ｎ－ＭＯＳ電晶體２０啓動，而將位在參考電壓線２２之四伏特加至介於第一以及第二非揮發性電晶體１０以及１２間之接點上（即，輸出點Ｑ）。介於第一以及第二非揮發性電晶體１０以及１２間之控制閘電壓（其係加至控制電壓線１８之負六伏特）以及介於第一以及第二非揮發性電晶體１０以及１２間之接點兩者之間的大電位差造成電子從第一以及第二非揮發性電晶體１０以及１２之浮閘而由通道至介於第一以及第二非揮發性電晶體１０以及１２間之接點。於是

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（７）

，展示在圖六之第一以及第二非揮發性電晶體１０以及１２具有非常低且可能是負的之起始值。

一般而言，負的起始值在例如是程式化模式時，經證明會有問題。對於根據本發明使用記憶體元件之ＦＰＧＡ應用，且將在以下更詳細地描述，然而，藉由使用起始第二電子射出（ＣＨＩＳＥＬ）機制之通道之適當負的起始電壓（$V_{th}$＞－２Ｖ）在程式化模式被容忍。

圖七展示與圖六之記憶體格相同列之記憶體格之未選擇記憶體格。該展示在圖七之記憶體格保持未選擇，儘管其接收到與圖六所示之記憶體格相同之程式資料低壓，程式資料高電壓，參考以及基底偏電壓，因爲圖七所示之記憶體格接收不同之控制以及位址電壓。特別是，４．５伏特係加至控制電壓線１８，且零伏特係加至位址線２４。該Ｎ－ＭＯＳ電晶體２０未啓動，且可供應該位在參考電壓線２２之四伏特至輸出點Ｑ，且在第一以及第二非揮發性電晶體１０以及１２間之控制閘以及該第一以及第二非揮發性電晶體１０以及１２之接點間之大電位差並不存在。因此，電子並未在每個第一以及第二非揮發性電晶體１０以及１２中之浮閘而由通道通過。

圖八展示與圖六之記憶體格相同行之記憶體格之未選擇記憶體格。該展示在圖八之記憶體格保持未選擇，儘管其接收到與圖六所示之記憶體格相同之控制電壓以及位址電壓，因爲圖八所示之記憶體格在參考電壓線２２接收不同之參考電壓。特別是，該參考電壓現允許浮動，且儘管

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（8）

該Ｎ－ＭＯＳ電晶體２０啓動，該介於第一以及第二非揮發性電晶體１２間之接點將浮動。因此，在第一以及第二非揮發性電晶體１０以及１２間之控制閘以及介於該第一以及第二非揮發性電晶體１０以及１２之接點間之大電位差並不存在，而並未發生電子從未在每個第一以及第二非揮發性電晶體１０以及１２之浮閘中而通過通道。

接著，該程式模式將參考圖九至十一而描述。在抹除之後，只有第一以及第二非揮發性電晶體１０以及１２之一被程式化或寫入至高的正起始值。圖九展示選擇作爲程式化之記憶體格。如圖九所示，三伏特係加至位址線２４，七伏特被加至控制電壓線１８，負三伏特被加至基底偏線２６，且零伏特被加至參考電壓線２２。根據第一以及第二非揮發性電晶體１０以及１２中哪一個被程式化，程式資料高以及低線１６以及１４中之一個接受零伏特之電壓，另一個接受四伏特之電壓。爲了討論方便，對第二非揮發性電晶體１２寫入一個高的正起始值。接著，將零伏特將至程式資料高線１６，而將四伏特將至程式資料低線１４。

如前所述，在較佳實施例中，本發明之非揮發性電晶體係使用揭示在Ｂｕｄｅ等之美國專利第５，６５９，５０４號之ＣＨＩＳＥＬ機制而程式化，其將在此處參考其實體。於是，該第一以及第二非揮發性電晶體１０以及１２可具有該美國專利第５，６５９，５０４號所示任何實施例之結構。進一步地

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（9）

，應注意該美國專利第5，659，504號係描述使用頭字語爲CISEI之程式化技術。

該加至位址線24之三伏特造成該N－MOS電晶體20啓動，而供應位在參考電壓線22中之零伏特製位在第一以及第二非揮發性電晶體10以及12之間的接點上。因此，電位差係存在於橫跨於該第二非揮發性電晶體12中，而不是在第一非揮發性電晶體10，此橫跨該第二非揮發性電晶體12經結合介於第二非揮發性電晶體12之基底（負三伏特）以及第二非揮發性電晶體12之控制閘（七伏特）間之電位差，根據該CHISEL機制，將該使電子射入至第二非揮發性電晶體12之浮閘。

並不需要使用CHISEL機制以對第一以及第二非揮發性電晶體10以及12中之一而程式化。而是，可使用如載子熱通道（CHE）射入機制或 Fowler-Nordheim 機制等之習知或顯而亦知之射入機制，其該非揮發性電晶體之基底以及源極電子係相同電位。藉由CHISEL機制，其中一負電壓以相關於源極電子而加至該基底，而有許多優點存在。該優點包括較高之射入效率，其導致以較低之程式化電壓，以及儘管在抹除後該非揮發性電晶體具有負的起始值，而在程式化時，可消去選擇一非揮發性電晶體之能力。

對於該第一非揮發性電晶體10程式之技術係與對於該第二非揮發性電晶體12予以程式化之技術一樣，除了四伏特加至程式資料高線16而零伏特係加至程式資料低

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 10 ）

線１４。接著，將討論該第一非揮發性電晶體１０程式化。

圖十展示與圖九所示之所選擇記憶體個相同列之去除所選擇記憶體格。該加至圖十之記憶體格之電壓之不同在於零電壓被加至控制電壓線１８以及位址線２４而只有零伏特被加至位址線２４，該Ｎ－ＭＯＳ電晶體２０並未啓動。且，在以零伏特加至控制電壓線１８而負三伏特加至基底偏線２６之下，該第一以及第二非揮發性電晶體１０以及１２係打開。此甚至當被抹除之後，而該第一以及第二非揮發性電晶體１０以及１２具有適當負的起始電壓亦成立，因位在基底偏線２６之負三伏特將起始電壓移位至零伏特以上。藉由將該第一以及第二非揮發性電晶體１０以及１２開路，橫跨於該第一以及第二非揮發性電晶體１０以及１２兩者之一的電位差不必須存在。進一步地藉由將零伏特加至控制電壓線１８，介於該第一以及第二非揮發性電晶體１０以及１２之基底以及這些電晶體之控制閘之間的顯著電位差並不存在。因此，電子未射入至該第一以及第二非揮發性電晶體１０以及１２中之一的浮閘中。

圖十一展示與圖九所示之所選擇記憶體格相同行之去除選擇之記憶體格。該加至圖十一之記憶體格之電壓之不同在於零伏特係加至程式資料高線１６及程式資料低線１４兩者中。接著，跨於該第一以及第二非揮發性電晶體１０以及１２兩者之一的電位差並不存在。因此，並未發

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

生將電子射入至該第一以及第二非揮發性電晶體１０以及１２之浮閘中。

現在參考圖十二以及十三而描述本發明之記憶體格之操作魔術。根據使用在ＦＰＧＡ之開關電晶體之類型，加至開關電晶體中之低或高電壓兩者之一傲成該開關電晶體導通。爲了討論方便，假設高電壓造成開關電晶體導通。於是，圖十二展示將記憶體格程式化以關閉對應開關電晶體，而圖十三展示經程式化之記憶體格以啓動該對應之開關電晶體。

如圖十二以及十三所示，在操作模式下，將零伏特加至程式資料高線１６，基底偏線２６，以及位址線２４，該參考電壓線２２被允許浮動，而４．５伏特以及三伏特被個別加至控制電壓線１８以及程式資料低線１４。因爲零伏特被加至位址線２４，該Ｎ－ＭＯＳ　２０被截止，而並不影響在輸出點Ｑ之所出現的電壓。

在圖十二所示之記憶體格中，該第一非揮發性電晶體１０係在抹除狀態，而該第二非揮發性電晶體１２經程式化，而在寫入狀態。結果，該第一非揮發性電晶體１０具有很低而可能是負的起始值，而該第二非揮發性電晶體１２具有一很高之正起始值。該加至控制電壓線１８之４．５伏特係足夠以啓動該第一非揮發性電晶體１０，但是不夠啓動該第二非揮發性電晶體１２。因此，只有該第一非揮發性電晶體１０被導通，而位在程式資料高線１６之零伏特被加至輸出點Ｑ。此造成對應開關電晶體被截止

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

圖十三展示第一非揮發性電晶體１０在寫入狀態而該第二非揮發性電晶體１２係在抹除狀態之記憶體格。於是，該第二非揮發性電晶體１２被啓動，但是該第一非揮發性電晶體１０被截止。該第二非揮發性電晶體１２對程式資料低線１４施以三伏特之電壓而導通至輸出點Ｑ。此造成該對應開關電晶體啓動。

現在參考圖十四至十六而解釋該回讀操作模式。在此操作模式下，使用者可檢查經程式化記憶體格之狀態。圖十四展示在回讀模式下所選擇之記憶體格。如所示，零伏特被加至程式資料高線１６以及基底偏線２６。三伏特被加至程式資料低線，而四伏特以及４．５伏特被個別加至位址線２４以及控制電壓線１８。在讀回模式下，該參考電壓線２２係作爲輸出線以監視該記憶體格之程式化狀態。

加至位址線２４之四伏特造成Ｎ－ＭＯＳ電晶體２２啓動。且，加至控制電壓線１８之４．５伏特造成處於抹除狀態之第一以及第二非揮發性電晶體１０以及１２之一導通。根據第一以及第二非揮發性電晶體１０以及１２中誰處於抹除狀態，使得出現在程式資料高線１６之零電壓或者出現在程式資料低線１４之三伏特出現在輸出點Ｑ中。此壓經由Ｎ－ＭＯＳ電晶體２０而轉移至參考電壓線２２，而記憶體格之程式化狀態可藉由盛視位在參考電壓線２２之電壓而決定。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13）

圖十五展示與圖十四之所選擇之記憶體格相同列之去除選擇之記憶體格。該加至圖十五之記憶體格之電壓與加至圖十四之記憶體格之不同在於零伏特被加至位址線２４。於是，該Ｎ－ＭＯＳ電晶體２０不被啓動，而將位在輸出點Ｑ之電壓導通至參考電壓線２２，而此去除選擇之記憶體格並不影響選擇作爲監視之參考電壓線２２。

圖十六展示與圖十四所示之所選擇記憶體格相同行之去除選擇記憶體格。該加至圖十六所示之記憶體格之電壓係相同於加至圖十四所示之記憶體格之電壓。圖十六所示之記憶體格與圖十四所示之記憶體格之唯一不同在於出現在圖十六所示之記憶體格之參考電壓線２２並不被選擇以作爲監視。

接著，將參考圖十七至二十而解釋啓動狀態模式。如圖十七所示，藉由將零伏特加至位在記憶體格之每個電壓線，使得所有程式化開關在晶片被啓動之後，而初初始化截止。接著，該晶片架構被帶回至控制方式。一次只有少數記憶體格被啓啓動以避免可能之電力陡降，其陡降之成因係因爲過量之大電流流經程式化開關。圖十八展示選擇作爲啓動之記憶體格。如所示，在操作模式下加至記憶體格之相同電壓被加至圖十八所示之記憶體格。

圖十九展示與圖十八所示記憶體格相同列之去除選擇記憶體格。該加至圖十九所示之記憶體格之電壓與加至圖十八所示之記憶體格之電壓之不同在於零伏特被加至控制電壓線１８。於是，圖十九之記憶體格之第一以及第二非

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

揮發性電晶體１０以及１２不完全導通。

圖二十展示與圖十八所示記憶體格相同列之去除選擇記憶體格。該加至圖二十所示之記憶體格之電壓與加至圖十八所示之記憶體格之電壓之不同在於零伏特被加至程式資料低線１４。於是，儘管第一以及第二非揮發性電晶體１０以及１２兩者之一可能被啓動，但是零伏特將出現在輸出點Ｑ中。

圖二十一展示本發明之記憶體格之另一個實施例。如所示，本實施例之記憶體格與圖一所示之記憶體格係相同的，除了第一以及第二非揮發性電晶體１０以及１２可被ｎ型非揮發性電晶體１１０以及ｐ型非揮發性電晶體１１２所個別取代。此外，該ｎ型非揮發性電晶體１１０以及ｐ型非揮發性電晶體１１２共用浮閘。因爲其他圖二十一所示之記憶體格係相同於圖一所示者，因此不在此重複描述。

進一步地，圖二十一之記憶體格以相同於圖一所示之記憶體格之方式而操作。因此，除了圖二十一之記憶體格之一些多出的優點之外，圖二十一所示之記憶體格之操作模式下之描述將不在此重複。

因爲該ｎ型非揮發性電晶體１１０以及ｐ型非揮發性電晶體１１２共用浮閘，因此，該ｎ型非揮發性電晶體１１０以及ｐ型非揮發性電晶體１１２中只有一個可被抹除且／或程式化。例如，抹除該ｎ型非揮發性電晶體１１０，使得ｎ型非揮發性電晶體１１０在抹除狀態，而

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

p型非揮發性電晶體在寫入狀態，因爲這些非揮發性電晶體係爲不同型態，且共用一浮閘。相同地，程式化該n型非揮發性電晶體１１０，使得該n型非揮發性電晶體１１０在寫入狀態，而該p型非揮發性電晶體在抹除狀態。接著，只有該n型非揮發性電晶體１１０以及p型非揮發性電晶體１１２中只有一個可被啓動在操作狀態。

不似揭示在美國專利第５，６３３，５１８之可程式連接，使用本發明之可程式邏輯應用之可程式連結沒有緊密與對應開關電晶體相積體之記憶體格。結果，晶片之設計以及佈局整體而言並不複雜。相反的，根據本發明之非揮發性記憶體元件可輕易地取代現在使用在ＦＰＧＡ以及其他可程式邏輯應用之ＳＲＡＭ記憶體格。

以上係本發明之描述，可輕易以許多種方式而改變。此種變動應該不爲認定離開本發明之精神以及範圍，且所有此種修改應屬於係在以下申請專利範圍之範圍內。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　可程式邏輯應用之非揮發性記憶體元件）

一種積體電路，包含至少一具有以串接而連結在介於該第一以及第二資料線之間的第一以及第二非揮發性電晶體之一個非揮發性電晶體元件。介於該第一以及第二非揮發性電晶體之接點形成一輸出點。該非揮發性記憶體元件進一步地包含連結在介於參考電壓線以及介於該第一以及第二非揮發性電晶體之間接點間之存取電晶體。在可程式邏輯應用中，例如像是場可程式閘陣列，該非揮發性記憶體元件控制開關元件之狀態，該狀態選擇性地連結位在可程式邏輯應用中之邏輯元件。根據加至該非揮發性記憶體元件之電壓，該非揮發性記憶體元件被選擇性地抹除、程式號、操作、監視以及啓動。

英文發明摘要（發明之名稱：　）

NON-VOLATILE MEMORY ELEMENT FOR PROGRAMMABLE LOGIC APPLICATIONS

Abstract:

An integrated circuit includes at least one non-volatile memory element having first and second non-volatile transistors connected in series between first and second data lines. A junction between the first and second non-volatile transistors forms an output node. The non-volatile memory element further includes an access transistor connected between a reference voltage line and the junction between the first and second non-volatile transistors. In a programmable logic application, for example a field programmable gate array, the non-volatile memory element controls the state of a switching element, which selectively connects logic elements in the programmable logic application. Based on the voltages applied to the non-volatile memory element, the non-volatile memory element is selectively erased, programmed, operated, monitored and powered-up.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種包含非揮發性記憶體元件之積體電路，包含：

第一以及第二非揮發性電晶體，以序列方式連結在第一以及第二資料線之間，介於該第一以及第二非揮發性電晶體之接點而形成輸出點；以及

一存取電晶體，連結在參考電壓線以及介於該第一以及第二非揮發性電晶體之接點之間。

2．如申請專利範圍第1項所述之積體電路，其中該每個該第一以及第二非揮發性電晶體具有連接至控制電壓線之控制閘。

3．如申請專利範圍第1項所述之積體電路，其中該存取電壓具有連結至位址線之閘。

4．如申請專利範圍第1項所述之積體電路，其中該第一以及第二非揮發性電晶體經由起始次電子射出之通道而可程式化。

5．如申請專利範圍第4項所述之積體電路，進一步地包含：

基底偏線，連結至基底之部分，該部份係形成該第一以及第二非揮發性電晶體。

6．如申請專利範圍第1項所述之積體電路，進一步地包含：

基底偏線，連結至基底之部分，該部份係形成該第一以及第二非揮發性電晶體；而其中

該每個該第一以及第二非揮發性電晶體具有連結至控

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

制電壓線之控制閘。

7．如申請專利範圍第1項所述之積體電路，其中該第一非揮發性電晶體係爲n型非揮發性電晶體，而該第二非揮發性電晶體係爲p型非揮發性電晶體，而該n型非揮發性電晶體以及該p型非揮發性電晶體共用一浮閘。

8．一種設定一記憶體格之狀態的方法，而該記憶體格包含以串接方式而連結在第一以及第二資料線之間的第一以及第二非揮發性電晶體，介於該第一以及第二非揮發性電晶體之間的接點而形成輸出點，以及連結至控制電壓線之該第一以及第二非揮發性電晶體之控制閘，該記憶體格進一步地包含連結在介於參考電壓線以及介於該第一以及第二非揮發性電晶體之間接點間之存取電晶體，該方法包括：

加入一正電壓至介於該第一以及第二非揮發性電晶體之間的該接點；以及

加入一負電壓控制該控制電壓線。

9．如申請專利範圍第8項之方法，其中該加入一正電壓之步驟包括：

加入該正電壓制該參考電壓線；以及

啓動該存取電晶體。

10．如申請專利範圍第8項之方法，其中該第一以及第二非揮發性電晶體係爲型非揮發性電晶體，而該加入一正電壓步驟以及該加入一負電壓之步驟係將該第一以及第二非揮發性電晶體置於一抹除狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

11．一種設定一記憶體格之狀態的方法，而該記憶體格包含以串接方式而連結在第一以及第二資料線之間的第一以及第二非揮發性電晶體，介於該第一以及第二非揮發性電晶體之間的接點而形成輸出點，以及連結至控制電壓線之該第一以及第二非揮發性電晶體之控制閘，該記憶體格進一步地包含連結在介於參考電壓線以及介於該第一以及第二非揮發性電晶體之間接點間之存取電晶體，該記憶體格亦包含一連接至形成該第一以及第二非揮發性電晶體之基底部份之基底偏線；該方法包含：

創造橫跨於該第一以及第二非揮發性電晶體兩者之一的電位差；

加入一正電壓至該控制電壓線；以及

加入一負電壓制該基底偏線。

12．如申請專利範圍第11項之方法，其中該創造方法包含：

加入一第一電壓制該參考電壓線；

啓動該存取電晶體，

加入一不同於該第一壓之第二電壓至該第一以及第二資料線之一；以及

加入該第一電壓至該不具有該第二電壓加入之該第一以及第二資料線之一。

13．如申請專利範圍第12項之方法，其中該第二電壓係大於該第一電壓。

14．如申請專利範圍第12項之方法，其中

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

該第一以及第二非揮發性電晶體係爲n型非揮發性電晶體；而

該加入一第二電壓之步驟係將第二電壓加入至該第一資料線以寫入至該第一非揮發性電晶體，且加入該第二電壓至該第二資料線以寫入該第二非揮發性電晶體。

15．如申請專利範圍第14項之方法，其中當該加入第二電壓步驟寫入該第一非揮發性電晶體時，該第一非揮發性電晶體之起始值增加，而當該加入一第二電壓步驟寫入該第二非揮發性電晶體時，該第二非揮發性電晶體之起始值增加。

16．一種操作一記憶體格的方法，而該記憶體格包含以串接方式而連結在第一以及第二資料線之間的第一以及第二非揮發性電晶體，介於該第一以及第二非揮發性電晶體之間的接點而形成輸出點，以及連結至控制電壓線之該第一以及第二非揮發性電晶體之控制閘，該記憶體格進一步地包含連結在介於參考電壓線以及介於該第一以及第二非揮發性電晶體之間接點間之存取電晶體，該方法包括：

加入一第一電壓至該控制電壓線，該壓足夠啓一非揮發性電晶體以在抹除狀態，而不足夠啓動一非揮發性電晶體在寫入狀態；

加入一第二電壓至該第一資料線；以及

加入一不同於第二電壓之第三電壓之該第二資料線。

17．如申請專利範圍第16項之方法，其中該第一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

以及第二非揮發性電晶體係爲n型非揮發性電晶體，而該第三電壓係大於該第二電壓。

18．如申請專利範圍第16項之方法，進一步地包含：

截止該存取電晶體。

19．一種監視一記憶體格之程式化狀態的方法，而該記憶體格包含以串接方式而連結在第一以及第二資料線之間的第一以及第二非揮發性電晶體，介於該第一以及第二非揮發性電晶體之間的接點而形成輸出點，以及連結至控制電壓線之該第一以及第二非揮發性電晶體之控制閘，該記憶體格進一步地包含連結在介於參考電壓線以及介於該第一以及第二非揮發性電晶體之間接點間之存取電晶體，該方法包括：

加入一第一電壓至該控制電壓線，該電壓足夠啓動一非揮發性電晶體以在抹除狀態，而不足夠啓動一非揮發性電晶體在寫入狀態；

加入一第二電壓至該第一資料線；以及

加入一不同於第二電壓之第三電壓之該第二資料線；以及

啓動該存取電晶體。

20．一種啓動記憶體格之陣列的方法，該記憶體格之陣列包含位址線以及控制線之行以及第一以及第二資料線以及參考電壓線之列，每個記憶體格包含以串接方式而連結在第一以及第二資料線之間的第一以及第二非揮發性

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

電晶體，介於該第一以及第二非揮發性電晶體之間的接點而形成輸出點，以及連結至控制電壓線之該第一以及第二非揮發性電晶體之控制閘，該記憶體格進一步地包含連結在介於參考電壓線以及介於該第一以及第二非揮發性電晶體之間接點間之存取電晶體，該方法包括：

開始加入一相同於該第一以及第二資料線，該控制電壓線，以及介於每個記憶體格之該第一以及第二非揮發性電晶體間接點之電壓；以及

選擇性地加入一第一電壓至位在該記憶體格之陣列中之至少一行記憶體格之控制電壓線，該第一電壓足夠啓動一非揮發性電晶體以在抹除狀態，而不足夠啓動一非揮發性電晶體在寫入狀態；

選擇性地對於位在該記憶體格之該陣列中至少列記憶體格，而創造介於該第一以及第二資料線之電壓差。

２１．如申請專利範圍第２０項之方法，進一步地包含：

截止該位在每個記憶體格中之存取電晶體。

２２．如申請專利範圍第２０項之方法，進一步地包含：

增加該第一電壓加入之控制電壓線之數目；以及

增加電壓差被創造在其間的該第一以及第二資料線的數目。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

圖 1

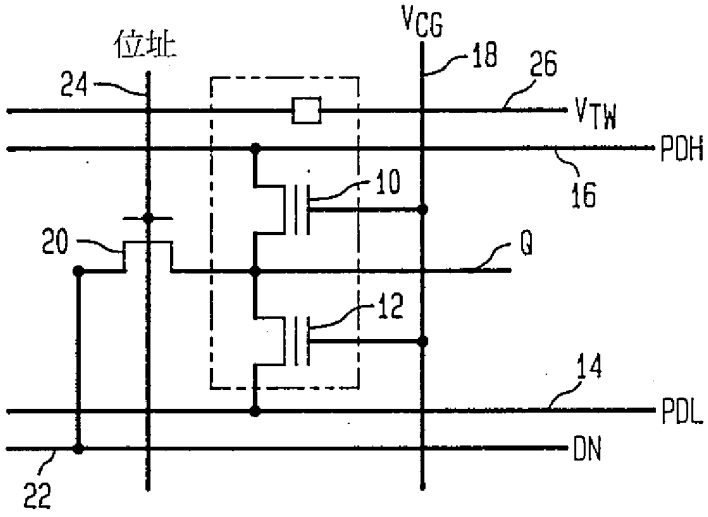



圖 2

| | 抹除 | 程式化 | 操作 | 讀回 | 啓動 |
|---|---|---|---|---|---|
| $V_{CG}$ | -6 | 7 | 4.5 | 4.5 | 0 |
| 位址 | 6 | 3 | 0 | 4 | 0 |
| DN | 4 | 0 | 浮動 | S.A. | 0 |
| PDL | 0 | 4/0 | 3 | 3 | 0 |
| PDH | 0 | 0/4 | 0 | 0 | 0 |
| $V_{TW}$ | 0 | -3 | 0 | 0 | 0 |

圖 3

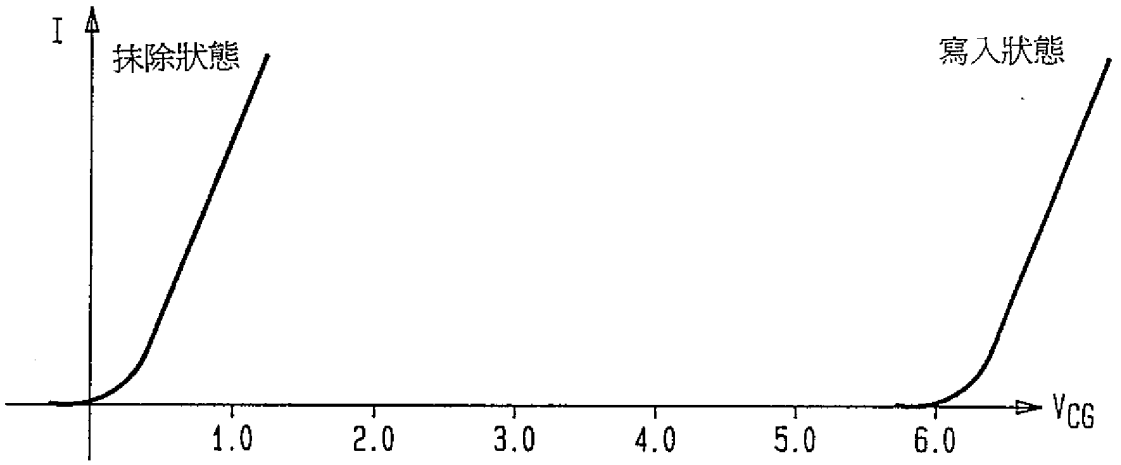



圖 4

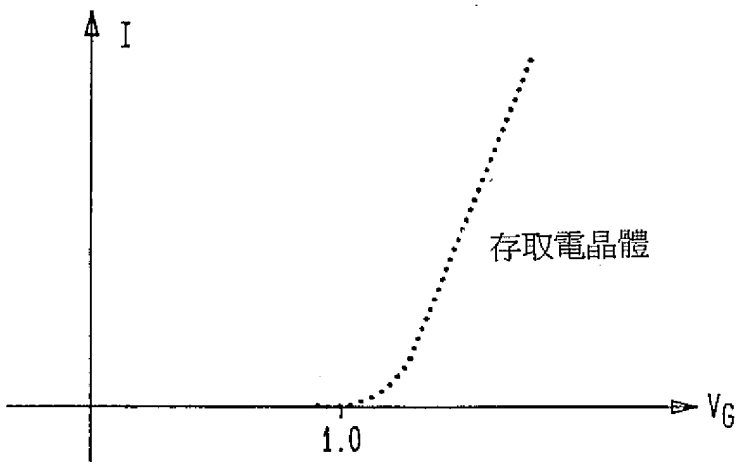


圖 5

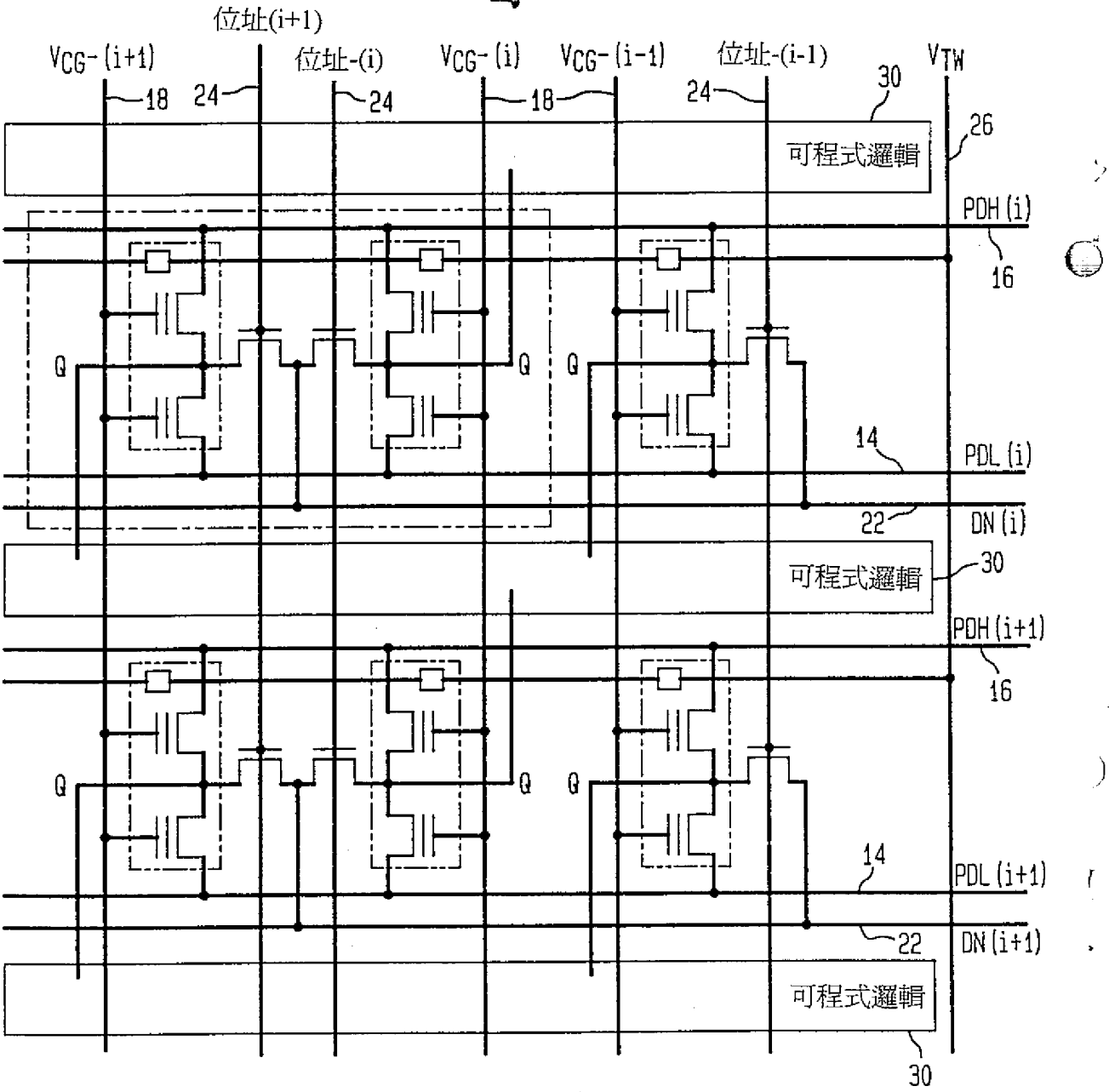

位址(i+1)
VCG-(i+1)
位址-(i)
VCG-(i)
VCG-(i-1)
位址-(i-1)
VTW
18
24
24
18
24
30
可程式邏輯
26
PDH(i)
16
Q
Q
Q
14
PDL(i)
22
DN(i)
可程式邏輯
30
PDH(i+1)
16
Q
Q
Q
14
PDL(i+1)
22
DN(i+1)
可程式邏輯
30

圖 6

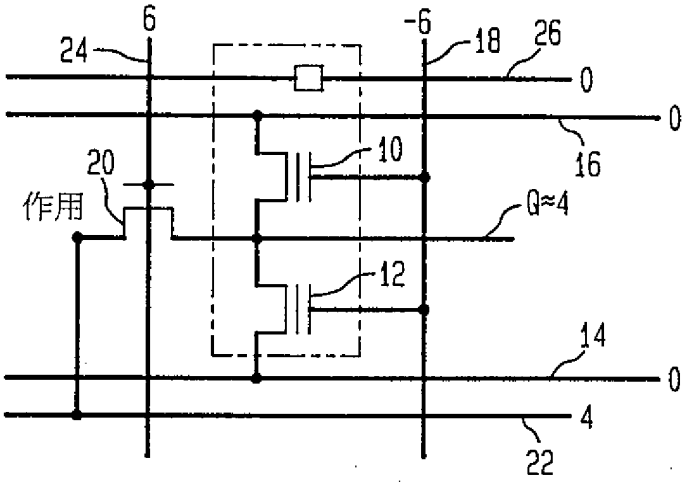

6
-6
24
18
26
0
0
16
10
20
作用
Q≈4
12
14
0
4
22

圖 7

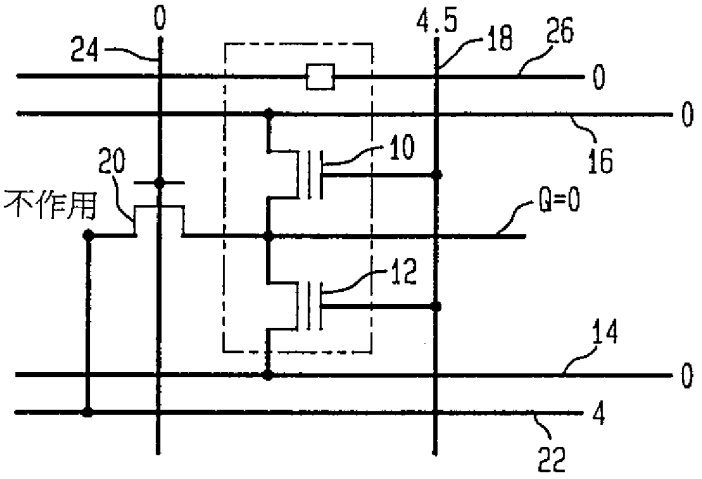

0
4.5
24
18
26
0
0
16
10
20
不作用
Q=0
12
14
0
4
22

圖 8

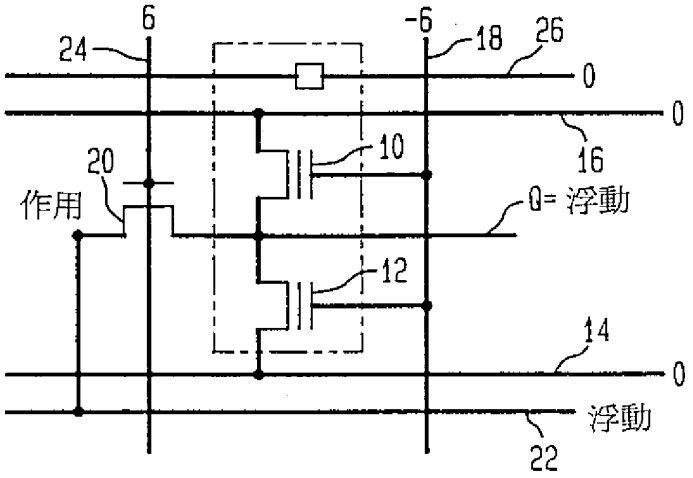

6
-6
24
18
26
0
0
16
10
20
作用
Q= 浮動
12
14
0
浮動
22

圖 9

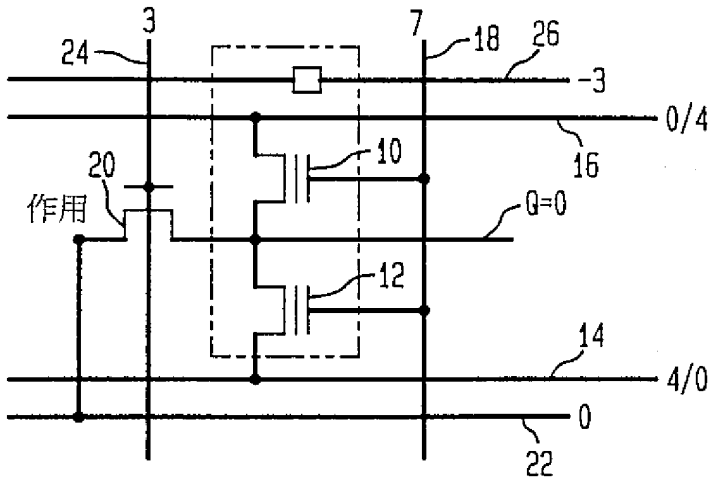

3
7
24
18
26
-3
0/4
16
10
20
作用
Q=0
12
14
4/0
0
22

圖 10

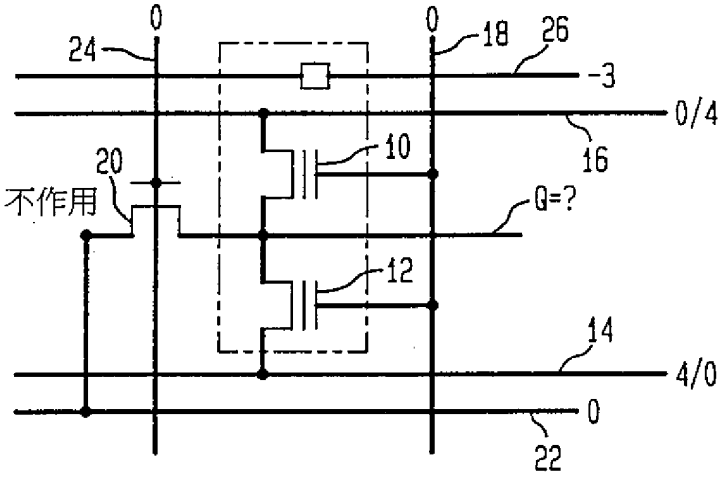

0
0
24
18
26
-3
0/4
16
10
20
不作用
Q=?
12
14
4/0
0
22

圖 11

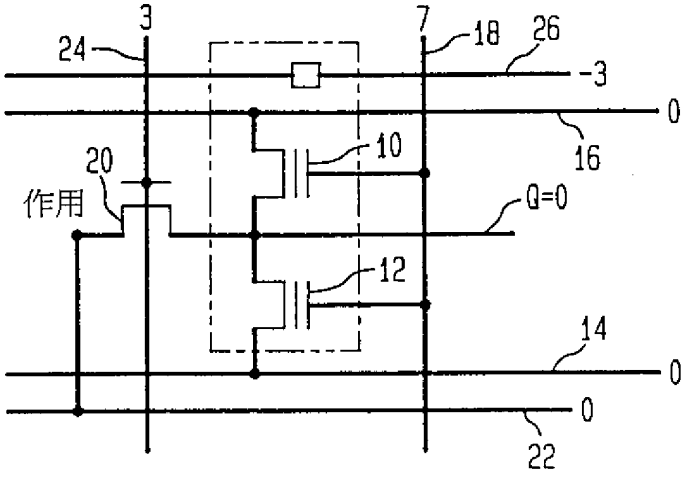

3
7
24
18
26
-3
0
16
10
20
作用
Q=0
12
14
0
0
22

圖 12

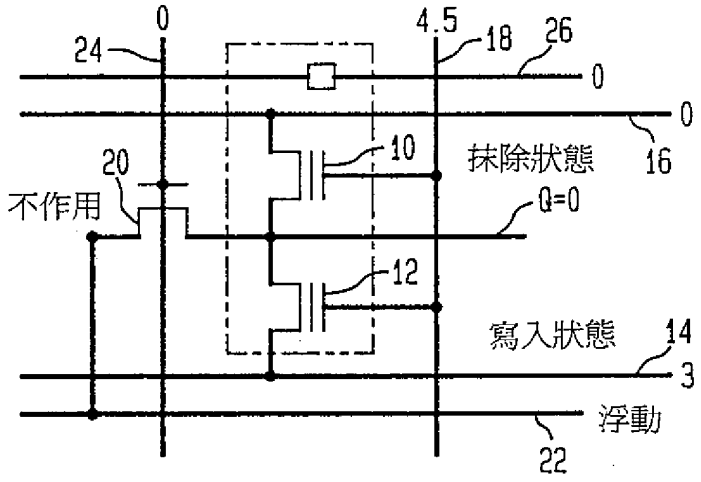

0
4.5
24
18
26
0
0
16
10
抹除狀態
20
不作用
Q=0
12
寫入狀態
14
3
浮動
22

圖 13

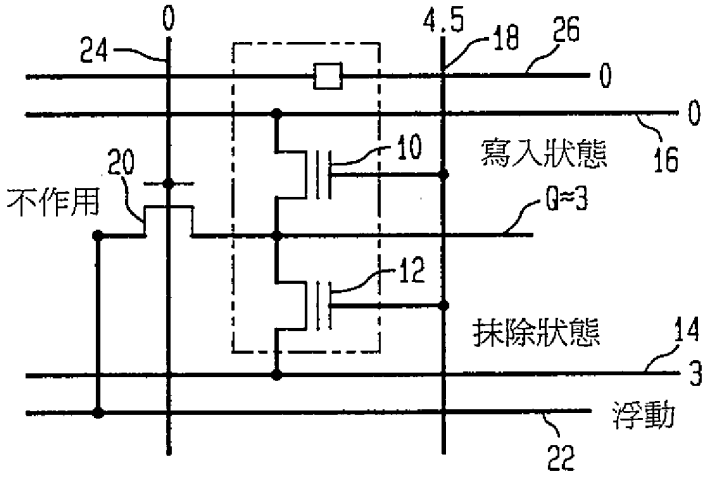

0
4.5
24
18
26
0
0
16
10
寫入狀態
20
不作用
Q≈3
12
抹除狀態
14
3
浮動
22

圖 14

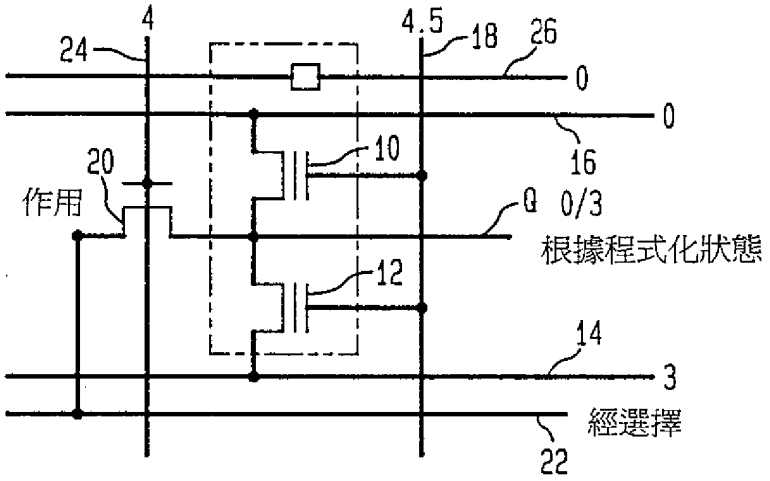

4
4.5
18
26
24
0
0
16
10
20
作用
Q 0/3
根據程式化狀態
12
14
3
經選擇
22

圖 15

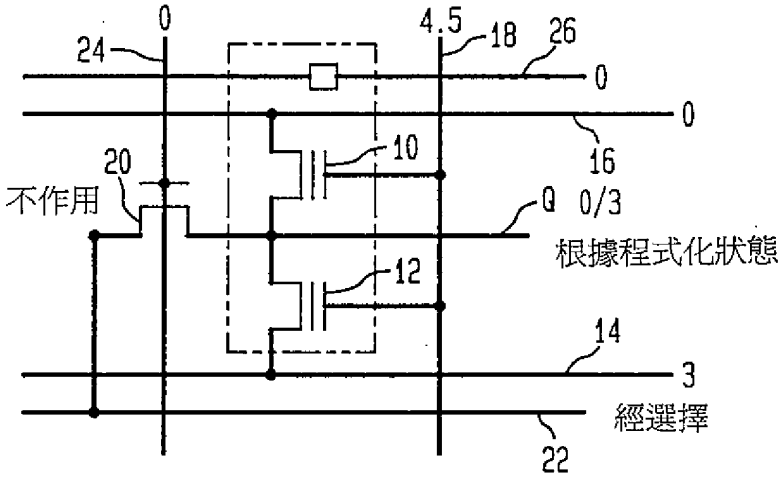

0
4.5
18
26
24
0
0
16
10
20
不作用
Q 0/3
根據程式化狀態
12
14
3
經選擇
22

圖 16

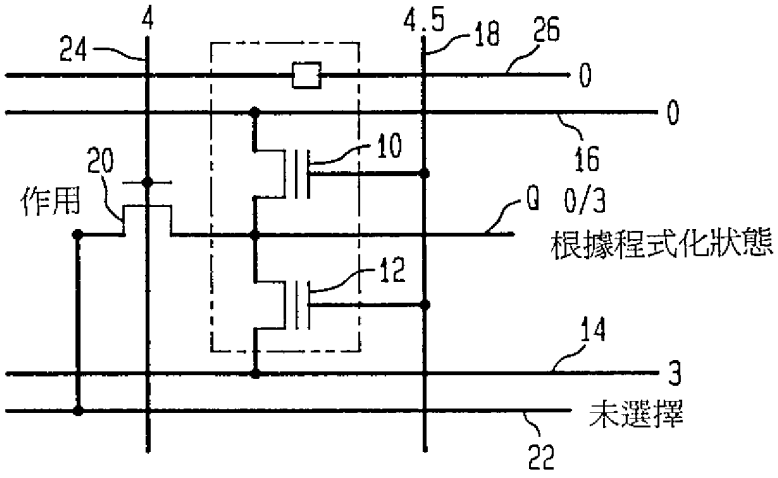

4
4.5
18
26
24
0
0
16
10
20
作用
Q 0/3
根據程式化狀態
12
14
3
未選擇
22

圖 17

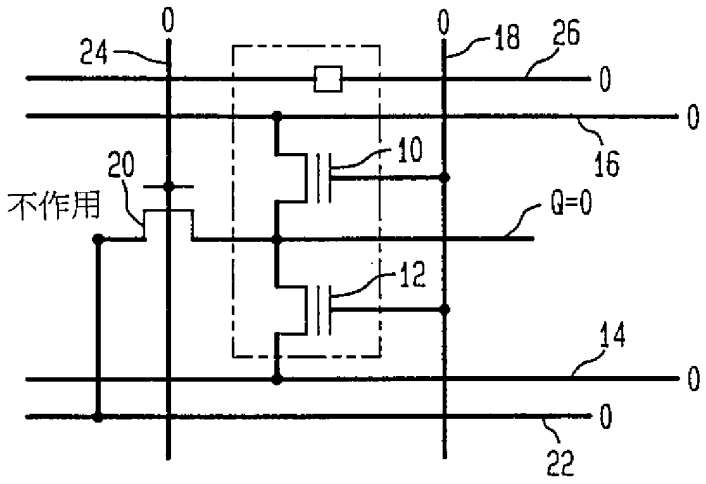

0
0
24
18
26
0
0
16
10
20
不作用
Q=0
12
14
0
0
22

圖 18

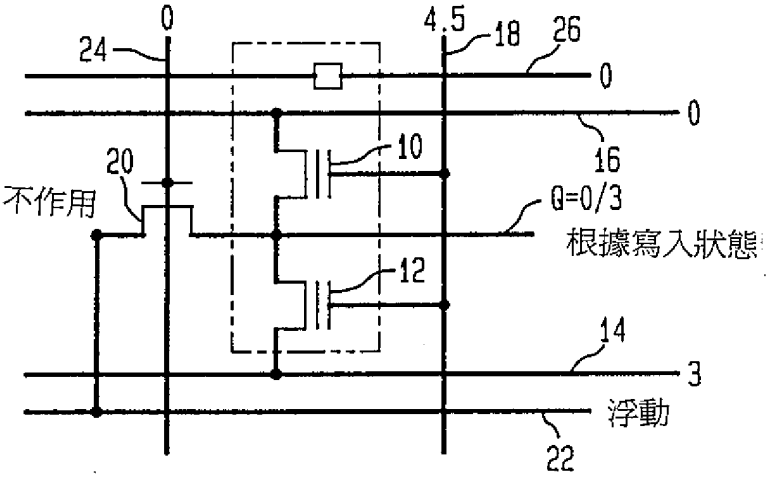

0
4.5
24
18
26
0
0
16
10
20
不作用
Q=0/3
根據寫入狀態
12
14
3
浮動
22

圖 19

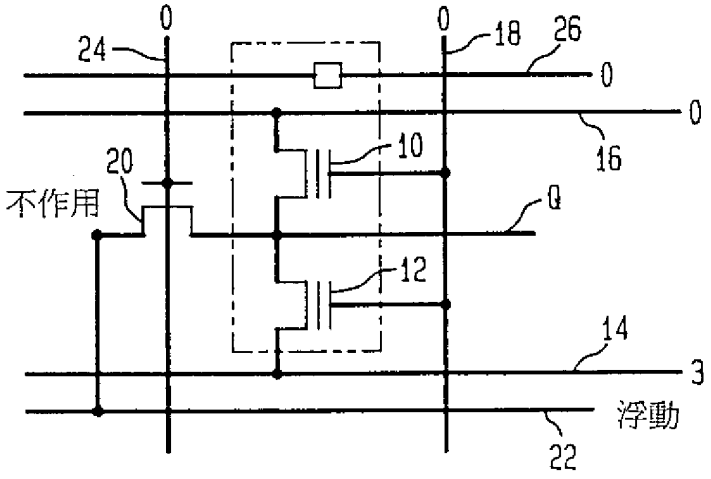

0
0
24
18
26
0
0
16
10
20
不作用
Q
12
14
3
浮動
22

圖 20

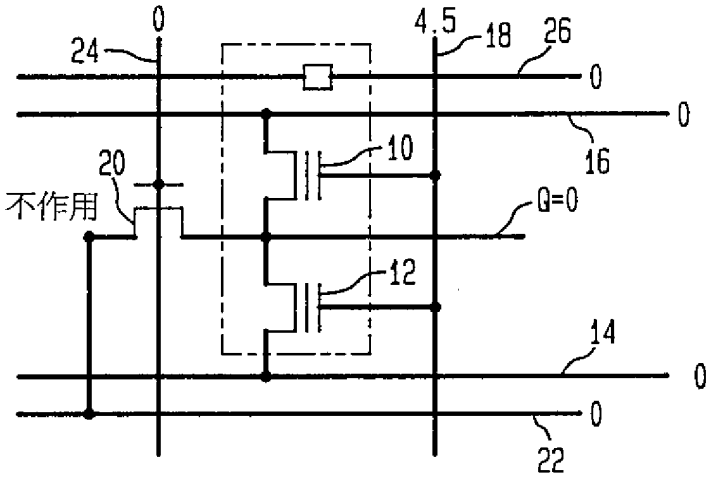
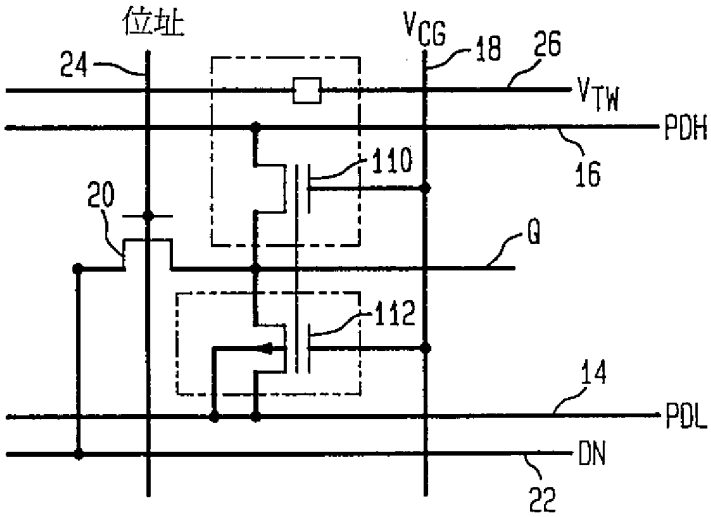

0
4.5
24
18
26
0
0
16
10
20
不作用
Q=0
12
14
0
0
22

圖 21


位址
$V_{CG}$
24
18
26
$V_{TW}$
PDH
16
110
20
Q
112
14
PDL
DN
22