

申請日期: 87 10 30	案號: 89122765
類別: G06F 9/38	

(以上各欄由本局填註)

公告本

發明專利說明書

475149

一、 發明名稱	中文	第二重定序緩衝器微處理器
	英文	SECONDARY REORDER BUFFER MICROPROCESSOR
二、 發明人	姓名 (中文)	1. 詹姆士 艾倫 卡爾
	姓名 (英文)	1. JAMES ALLAN KAHLE
	國籍	1. 美國
	住、居所	1. 美國德州奧斯汀市托塔卡路5312號
三、 申請人	姓名 (名稱) (中文)	1. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州阿蒙市新果園路
	代表人 姓名 (中文)	1. 傑拉德 羅森賽
	代表人 姓名 (英文)	1. GERALD ROSENTHAL



本案已向

國(地區)申請專利

美國 US

申請日期

2000/02/17 09/506, 527

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



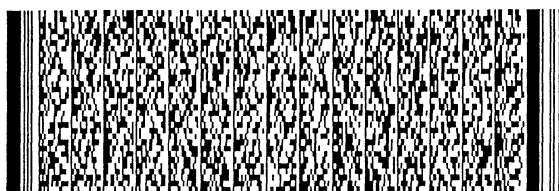
五、發明說明 (1)

背 景1. 發明領域

本發明大致係關於微處理器之領域，尤其有關一種微處理器，其中利用一第二重定序緩衝器，供具有多重目標之指令用。

2. 相關技藝歷史

微處理器中使用重定序緩衝器賦能失序執行非常著名。例如見Hennesy & Patterson，電腦架構的一定量途徑，第309-317頁(1996年Morgan Kaufmann第2版)。該重定序緩衝器用以儲存執行指令的結果，直到一指令最後交付為止。許多超大型處理器允許於一單一週期中發出多重指令。為達到最大效能，於發出一指令之週期中，應出現每一發出指令的更名暫存器配置。通常，發出指令影響微處理器中一單一暫存器之內容，因此僅要求一單一更名暫存器項目。然而其他情況下，一指令(此處稱為一複雜指令)可能影響二或更多內容。如果欲達到最佳效能，於發出週期中應同時出現此等複雜指令的更名暫存器。遺憾的是，傳統微處理器中所使用之更名緩衝器受限於一單一週期中能夠執行的配置數。如果指令之一為一複雜指令，則限制某一單一週期中所出現的更名配置數目將使發出單元複雜化，而且可能導致該發出單元於一特殊週期中無法發出最大數目的指令，其中該單一週期中存在要求多重配置之指令。因此，期待可實行一種微處理器，能夠於每一週期中發出最大數目的指令，不需考慮該等指令包含簡單指令，



五、發明說明 (2)

複雜指令，抑或兩者的組合。

發明概述

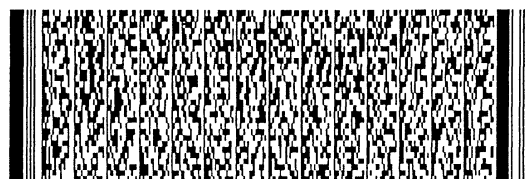
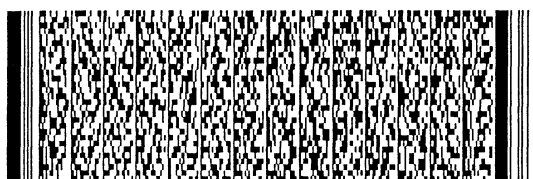
以上所識別之問題將藉由一種方法，處理器，及資料處理系統大篇幅加以闡述，其中促成於每一週期中最多指令發出，不需考慮是否出現要求多重更名暫存器之複雜指令。該方法包括於一第一重定序緩衝器中配置一第一更名暫存器，用以儲存一第一暫存器中受該複雜指令影響之內容。然後於一第二重定序緩衝器中配置一第二更名暫存器，用以儲存一第二暫存器中受該複雜指令影響之內容。於一具體實施例中，該第一重定序緩衝器支援每週期中最大配置數目，其使用第二重定序緩衝器配置第二暫存器，以防止複雜指令於第一重定序緩衝器中要求多重配置槽。該方法可進一步包括發出一第二指令，其與該第二重定序緩衝器中所配置的一暫存器相依。於一具體實施例中，將重定序緩衝器資訊與該第二指令相結合，其中該重定序緩衝器資訊用以指示該第二指令與第二重定序緩衝器中所配置的一暫存器相依，因而於後續發出第二指令時，得以使用該重定序緩衝器資訊限制發出單元僅檢查該第二重定序緩衝器，以維持相依性。

圖示簡述

本發明之其他目標與優點於閱讀以下詳述並且參照附圖後將可更加清楚，其中：

圖1係一資料處理系統的一方塊圖；

圖2係一處理器之方塊圖，其中該處理器適合使用該資



五、發明說明 (3)

料處理系統；

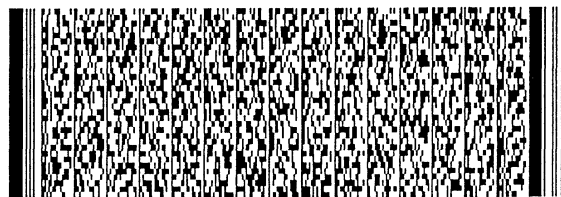
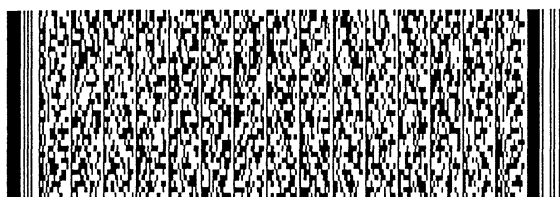
圖3係一重定序緩衝器的一方塊圖，其中包括一主要重定序緩衝器以及根據本發明一具體實施例的一第二重定序緩衝器；以及

圖4係一流程圖，說明本發明一具體實施例之作業。

雖然本發明允許各種修正及替代形式，但藉由圖示之例子，將展示特定的具體實施例，並且加以詳述。然而應了解：此處所表達之圖示與詳述不希望將本發明限制於所揭露的特定具體實施例，相對地，本發明涵蓋落於附加之申請專利範圍所定義的精神及範圍內之所有修正，等價，及替代形式。

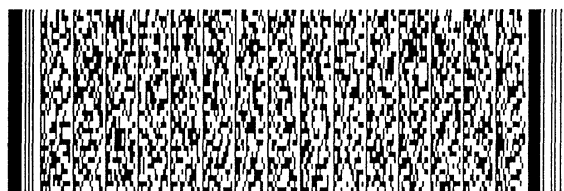
本發明較佳具體實施例詳述

現在參照圖1，說明根據本發明一資料處理系統100的一具體實施例。系統100具有一或更多處理單元(處理器)101a，101b，101c等等(統稱或總稱為處理器101)。於一具體實施例中，每一處理器101可包含一精簡指令集(RISC)微處理器。有關精簡指令集(RISC)處理器之額外資訊大致可於C語言中取得。May et al. Ed.，PowerPC架構：新精簡指令集(RISC)處理器家族規格(Morgan Kaufmann，1994年第2版)。處理器101透過系統匯流排113，耦合至系統記憶體250以及各種其他組件。唯讀記憶體(ROM)102耦合至系統匯流排113，且包括一基本輸入/輸出系統(BIOS)，用以控制系統100之某些基本功能。圖1進一步說明耦合至系統匯流排113的一輸入/輸出(I/O)配接



五、發明說明 (4)

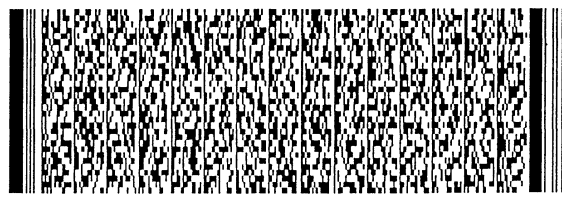
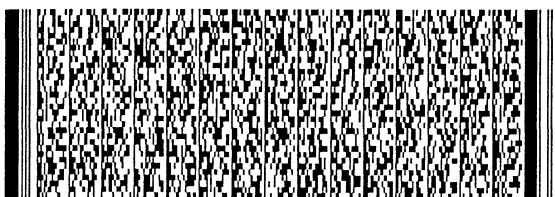
器107和一網路配接器106。輸入/輸出(I/O)配接器107可為一小型電腦系統界面(SCSI)配接器，用以與一硬碟103以及/或者磁帶儲存驅動105進行通訊。此處輸入/輸出(I/O)配接器107，硬碟103，及磁帶儲存驅動105統稱為大量儲存器104。一網路配接器106以一外面之網路與匯流排113互連，賦能資料處理系統100與其他這類系統進行通訊。顯示器監視器136藉由顯示器配接器112連接至系統匯流排113，顯示器配接器112可包括一圖形配接器，用以改良圖形密集應用程式的效能；以及一視訊控制器。於一具體實施例中，配接器107，106，和112可透過一中間匯流排橋接(未顯示)，連接至一或更多輸入/輸出(I/O)匯流排，而該等輸入/輸出(I/O)匯流排連接至系統匯流排113。適合用以連接像是硬碟控制器，網路配接器，和圖形配接器等周邊裝置之輸入/輸出(I/O)匯流排包括周邊組件界面(PCI)匯流排，其係根據取自周邊組件界面(PCI)特定同業群，Hillsboro OR之周邊組件界面(PCI)區域匯流排規格2.2版，，此處藉由參考予以合併。所示之額外輸入/輸出(I/O)裝置透過使用者界面配接器108和顯示器配接器112，連接至系統匯流排113。一鍵盤109，滑鼠110，和喇叭111全部透過使用者界面配接器108，與匯流排113互連，該使用者界面配接器108例如可包括一超級輸入/輸出(I/O)晶片，其中將多重裝置配接器整合於一單一積體電路中。至於有關這類晶片之額外資訊，讀者請參考取自www.national.com國家半導體公司(1998年11月)之



五、發明說明 (5)

PC87338/PC97338 ACPI 1.0 及PC98/99 遵循超級輸入/輸出(I/O)資料表。因此，如圖1中所配置，系統100包括處理裝置，其為處理器101之形式；儲存裝置，包括系統記憶體250和大量儲存器104；輸入裝置，像是鍵盤109和滑鼠110；以及輸出裝置，包括喇叭111和顯示器136。於一具體實施例中，系統記憶體250和部分大量儲存器104共同儲存一作業系統，像是取自IBM公司的AIX作業系統，用以協調圖1中所示各種組件之功能。有關AIX作業系統之額外細節取自www.ibm.com IBM公司：AIX 4.3版技術參考手冊：基底作業系統與延伸，第1版和第2版(訂購號碼SC23-4159和SC23-4160；AIX 4.3版系統使用者指南：通訊與網路(訂購號碼SC23-4122；以及AIX 4.3版系統使用者指南：作業系統與裝置(訂購號碼SC23-4121)，此處藉由參考予以合併。

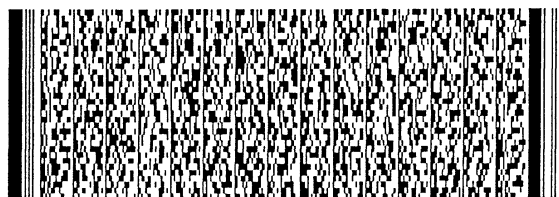
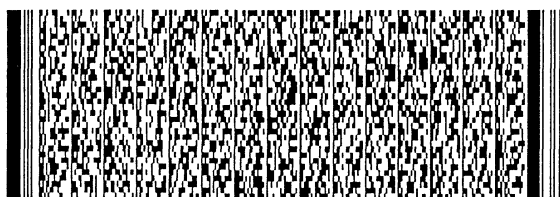
現在轉至圖2，其中呈現一簡化的方塊圖，為適合用於系統100之處理器101的一具體實施例。於所說明之具體實施例中，處理器101包含配置於一單石半導體基座的一積體電路超純量微處理器。處理器101包括各種執行單元，暫存器，緩衝器，記憶體，及其他功能單元，以下將更詳細討論。如圖2中所說明，處理器101透過匯流排界面單元(BIU)212及處理器匯流排213耦合至系統匯流排113，其中處理器匯流排213類似系統匯流排113，包括位址，資料和控制匯流排。匯流排界面單元(BIU)212控制處理器101與耦合至系統匯流排113之其他裝置間的資訊傳輸，其中該



五、發明說明 (6)

等其他裝置像是系統記憶體250和大量儲存器104。顯然，處理器101可包括耦合至系統匯流排113之其他裝置，由於以下說明不需了解該等裝置，為求簡化，將予以省略。

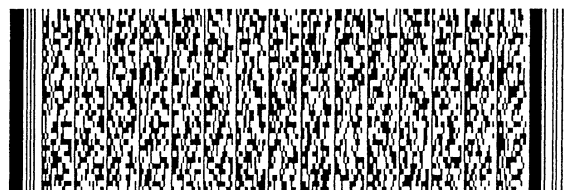
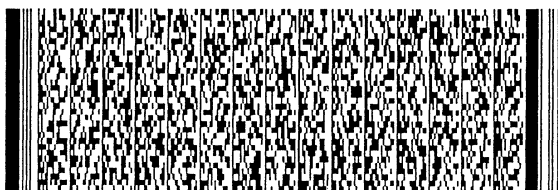
匯流排界面單元(BIU)212連接至處理器101內之指令快取與記憶體管理單元214以及資料快取與記憶體管理單元216。指令快取記憶體214和資料快取記憶體216內之該等高速快取記憶體賦能處理器101於存取前面從系統記憶體250所傳輸的一資料或指令子集時，達到相對較快之存取時間，進而改良資料處理系統100的作業速度。分別儲存於資料快取記憶體216與指令快取記憶體214內之資料和指令藉由位址標籤加以識別及存取，該等位址標籤各包含具有選定數目之系統記憶體實體位址位元(通常為高階位元)，其中駐留資料或指令。於每一時脈週期期間，順序提取單元217從指令快取記憶體214檢索指令，供執行用。於一具體實施例中，如果順序提取單元217從指令快取記憶體214檢索一分支指令，則將該分支指令轉送至分支處理單元(BPU)218，供執行用。順序提取單元217將非分支指令轉送至一指令佇列219，其中由處理器101之其他功能單元將待決執行之指令暫時加以儲存。一調度單元220負責從佇列219檢索儲存之指令，並將指令轉送至一發出單元(ISU)221。調度單元220部分根據所接收來自一完成單元240之指令完成資訊，而排定將指令調至發出單元221的調度。發出單元(ISU)221包括一或更多發出佇列222a，222b，222c等等(統稱或總稱為發出佇列222)。可能的



五、發明說明 (7)

話，發出單元(ISU)221藉由在每一週期中將新指令發出至執行單元，而完全負責維護載入之管線。於一具體實施例中，指令從發出單元(ISU)221失序發出。

於說明之具體實施例中，處理器101之執行電路除了分支處理單元(BPU)218外，尚包括用以執行順序指令的多重功能單元，其中含定點單元(FXU)223，載入/儲存單元(LSU)228，和浮點單元(FPU)230。通常執行單元223，228和230各於每一處理器週期期間，以一管線操作方式執行特殊類型的一或更多指令。例如，定點單元(FXU)223利用所接收來自特定多用途暫存器(GPR)232之來源作業，執行像是加法，減法，且，或，互斥或等定點數學與邏輯作業。於執行一定點指令後，定點單元(FXU)223將該指令之資料結果輸出至多用途暫存器(GPR)緩衝器232，該多用途暫存器(GPR)緩衝器232提供結果匯流排262上所接收結果的儲存空間。通常浮點單元(FPU)230對所接收來自浮點暫存器(FPR)236之運算元執行像是浮點乘法和除法等單倍與雙倍精度浮點算術與邏輯作業。浮點單元(FPU)230將來自執行浮點指令之結果資料輸出至選定的浮點暫存器(FPR)236，其中該浮點暫存器(FPR)236儲存結果資料。載入/儲存單元(LSU)228一如其名，通常執行浮點與定點載入指令，從資料快取記憶體216，一較低階快取記憶體(未說明)，或系統記憶體250將資料載入選定的多用途暫存器(GPR)緩衝器232或浮點暫存器(FPR)236；或者/以及執行浮點與定點儲存指令，將資料從一選定的多用途暫存器



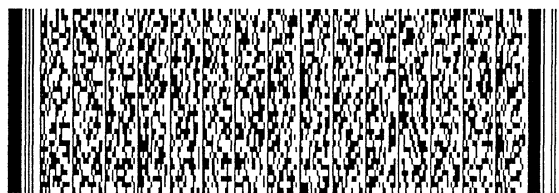
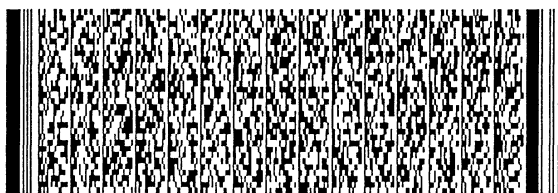
五、發明說明 (8)

(GPR)緩衝器232或浮點暫存器(FPR)236儲存至資料快取記憶體216，最後至系統記憶體250。

於一較佳具體實施例中，處理器101藉由執行失序指令，進一步改良其超純量架構效能。因此，只要遵循資料相依性，指令可藉由定點單元(FXU)223，載入/儲存單元(LSU)228，及浮點單元(FPU)230，以不同於該等指令其原始程式次序的次序加以執行。如前面所指示，指令係藉由定點單元(FXU)223，載入/儲存單元(LSU)228，及浮點單元(FPU)230，各依照管線級順序加以處理。於一具體實施例中，處理器101包括五個相異的管線級，亦即，提取，解碼/調度，執行，結束，及完成。

於提取級期間，提取單元217從指令快取記憶體214檢索一或更多非分支指令，並將提取之指令儲存於指令佇列219內。相對地，順序提取單元217將來自指令流之任何分支指令轉送至分支處理單元(BPU)218，供執行用。分支處理單元(BPU)218包括一分支預測機構，於一具體實施例中，該分支預測機構包括像是一分支歷史表的一動態預測機構，賦能分支處理單元(BPU)218藉由預測是否採用該分支，以推測式執行無法解決的條件分支指令。

於解碼/調度級期間，調度單元220和發出單元(ISU)221通常以程式次序，將來自發出佇列222的一或更多指令加以解碼，並發至執行單元223，228，和230。發出單元(ISU)221可配置多用途暫存器(GPR)233或浮點暫存器(FPR)237內的一或更多更名緩衝器，於將一指令之結果交

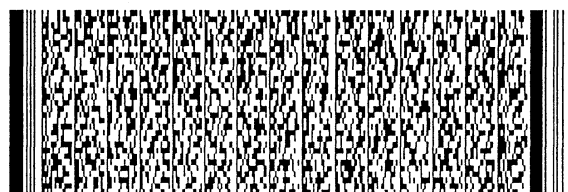
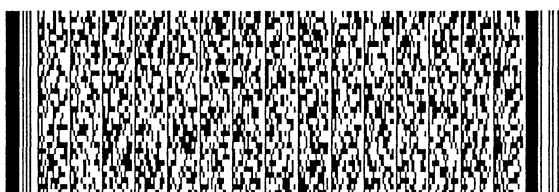


五、發明說明 (9)

付多用途暫存器(GPR)232或浮點暫存器(FPR)237之前，用以暫時儲存該指令結果。此外，當完成一追蹤何指令已完成之方法時，可將該指令(或者代表該指令之指令識別字或標籤)儲存於完成單元240的多重槽完成緩衝器(完成表)內。

於執行級期間，當所指示之作業的運算元及執行資源可用時，執行單元223，228，和230伺機執行從調度單元(ISU)220所發出的指令。於一具體實施例中，執行單元223，228，和230各俱備一保留站，用以儲存調度至該執行單元之指令，直到運算元或執行資源可用為止。於一指令執行終止後，如果有資料結果，則取決於指令類型，執行單元223，228，和230將該資料結果儲存於多用途暫存器(GPR)或浮點暫存器(FPR)內。於說明之具體實施例中，執行單元223，228，和230通知完成單元240指令執行已經結束。最後，以出自完成單元240之完成表的程式次序完成指令。由定點單元(FXU)223和浮點單元(FPU)230所執行之指令於將指令之資料結果分別從多用途暫存器(GPR)更名緩衝器233和浮點暫存器(FPR)更名緩衝器237傳輸至多用途暫存器(GPR)232和浮點暫存器(FPR)236後完成。

較佳者，處理器101支援失序推測指令之執行。於一預測分支方向上或者可能造成一中斷條件之指令後的指令將為推測性。於一分支預測錯誤或一中斷事件中，硬體從管線中自動清除不希望之指令，並且廢除不希望之結果，呈現精確異常以及沿著適當分支路徑而下順序執行之指令的

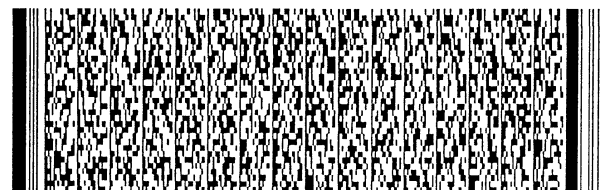
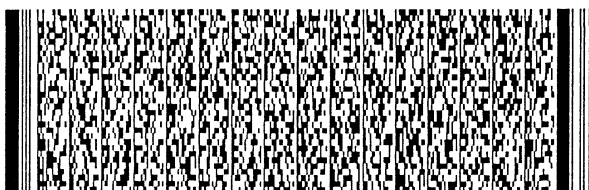


五、發明說明 (10)

結果。於一時脈週期中，不正確之推測結果從所有單元選擇性清除，而指令發出可回復隨後的時脈週期。處理器101可包括多重載入單元及一單一儲存單元。然而，熟知此項技藝人士應明白：處理器101可包含像是一單一載入/儲存單元等其他組態。

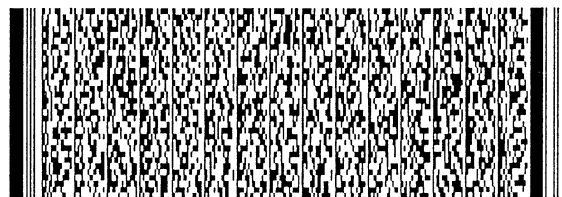
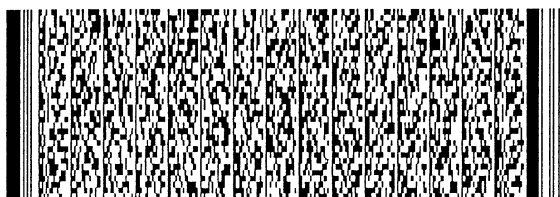
當發出一指令時，發出單元(ISU)221以能夠輕易決定任二指令間之相對年齡的方式標示指令。於一具體實施例中，順序指令係以整數值標示(ITAG)。除了提供一機構用以決定發出次序以及所發出之指令的相對年齡外，整數值標示(ITAG)更提供其對應指令的一速記表示法。每一指令之整數值標示(ITAG)值相關於其所駐留的佇列項目及管線級。使用整數值標示(ITAG)輔助(響應一處理器所產生之清除指令的)一指令清除機構，其中執行相關於清除指令之整數值標示(ITAG)與相關於一特殊佇列項目或功能單元級之整數值標示(ITAG)間的一數量比較，而且如果該指令如同或新於該清除指令，則該項目將無效。該清除指令之所有其餘部分(及所有後續指令)從該機器"清除"，而且將提取單元重新導引至從"清除"指令的位址開始提取。

本發明一具體實施例考慮一種處置指令發出及暫存器更名之方法，其中暫存器更名用於要求多重更名項目的指令。於像是PowerPC®指令集之許多指令集中，大多數指令僅更新一單一暫存器的內容。(有關PowerPC®指令集之詳細資訊，可於取自Motorola公司PowerPC 620精簡指令集(RISC)微處理器使用者手冊(訂購號碼MPC620UM/AD)中取



五、發明說明 (11)

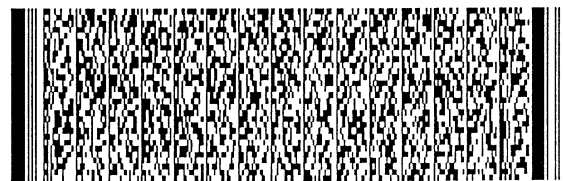
得，此處藉由參照而併入)。因此，這類指令僅要求一單一更名暫存器項目，用以暫時儲存指令結果，直到該結果交付多用途暫存器(GPR)232為止。於超純量機器中，其中使用多重平行執行單元，而且每週期可發出多重指令，一指令與配置供其結果用之更名暫存器間的一對一對應將發出與更名配置處理加以簡化。如果一處理器每週期例如可發出四個指令，則暫存器更名控制邏輯將予以設計，使每週期配置最多四個更名暫存器。然而，如果該指令集同時包括要求配置多重更名暫存器的一或更多指令，則該發出/更名機構將變得更複雜。例如於PowerPC®指令集中，某些指令影響兩暫存器(即，最後暫存器)的內容。為了本揭露之目的，影響多重暫存器其內容的指令稱為複雜指令。如果處理器完全支援失序執行，則於發出一複雜指令之週期中，必須於每一結果暫存器配置一更名暫存器。傳統上，複雜指令要求之多重更名暫存器用以防止在發出該複雜指令的週期中發出其他指令。而且必需有發出邏輯，用以決定於一給定週期期間，要求配置之更名暫存器總數是否超過一特定最大值。例如，如果一處理器每週期可發出四個"簡單"指令(亦即，僅影響一單一暫存器其內容的指令)(並於該週期中配置四個更名暫存器)，而且該處理器發出單元發出一複雜指令，則將必需有發出單元，使相同週期中之所有發出指令避開其他三個發出槽。換言之，處理器將必須防止三個更名發出槽之一發出一指令，而且必須進一步確保其餘兩發出槽不會發出其本身的複雜指令。



五、發明說明 (12)

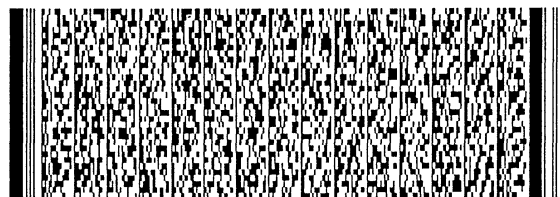
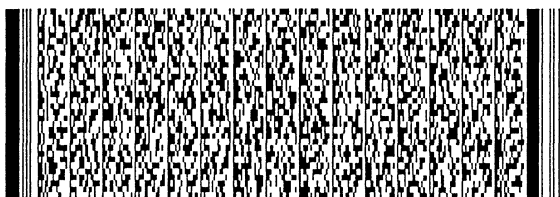
因此，於一多重發出超純量微處理器中出現複雜指令將增加發出邏輯之複雜度，而且由於其防止一單一週期中發出最大指令數，所以負面影響效能。

現在轉至圖3，說明根據本發明一具體實施例的一重定序緩衝器300。根據本發明之重定序緩衝器300包括一主要重定序緩衝器302以及一第二重定序緩衝器303。主要重定序緩衝器302包含主要更名多用途暫存器(GPR)304，第二重定序緩衝器303包含第二更名多用途暫存器(GPR)306。主要更名多用途暫存器(GPR)304與第二更名多用途暫存器(GPR)306之組合包含圖2中參考數字233所表示的更名多用途暫存器(GPR)。(雖然所述之重定序緩衝器300具體實施例指更名多用途暫存器(GPR)233，但重定序緩衝器300可包括更名浮點暫存器(FPR)237，用以取代或加至更名多用途暫存器(GPR)233)。於較佳具體實施例中，簡單指令之所有更名暫存器均配置於主要重定序緩衝器302中。此外，主要重定序緩衝器302同時用以配置與相關於每一複雜指令的一主要暫存器其一主要更名暫存器304。另一方面，當發出一簡單指令時，並未使用第二重定序緩衝器303，而是用以配置一複雜指令的一第二暫存器其一第二更名暫存器306。以使用PowerPC指令集為例，如果發出一簡單載入指令LOAD，RT，RA，RB，而且當所發出之指令保留指令結果直到該指令最後交付時(亦即，當將該結果寫入多用途暫存器(GPR)(暫存器檔案)232中之目標暫存器RT時)，則配置一更名暫存器304。因為本例子中之載入指令



五、發明說明 (13)

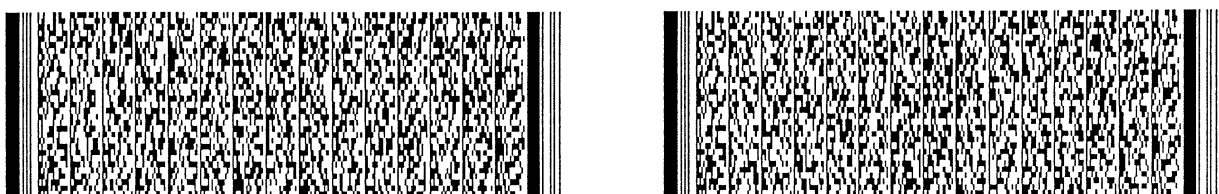
僅影響一單一暫存器的內容，所以僅需配置一單一更名暫存器。於一第二例子中，發出像是載入並更新(LU)指令的一複雜指令(例如：LU，RT，RA，RB)。該載入並更新指令根據暫存器RA和RB之內容計算一有效位址，並且以所計算的有效位址，載入具有該記憶體位置其內容之目標暫存器RT。此外，該指令以所計算的有效位址之值更新RA內容。該載入並更新(LU)指令可用於各種情況，包括藉由提供一單一指令，於每次執行該指令時，自動增量來源記憶體位址，而實行軟體迴路。該載入並更新(LU)指令係一複雜指令，因為其影響兩暫存器之內容，因而當發出時，必需配置兩更名暫存器。於說明之具體實施例中，暫存器A和B中之運算元資訊係從一雙埠暫存器檔案232讀取。然而本例子中，配置主要重定序緩衝器302中的一主要更名暫存器304，作為目標暫存器RT，而於第二重定序緩衝器303中配置一第二更名暫存器306供第二暫存器(RA)之值用。比較下，當發出指令時，一傳統設計之處理器將被迫於(單一)重定序緩衝器中配置暫存器作為RT及RA暫存器。因為處理器每週期僅能夠配置指定數目之暫存器，而且因為載入並更新(LU)指令消耗其中兩配置槽，所以傳統處理器將不希望於發出該載入並更新(LU)指令的週期期間被迫發出少於最大允許指令數。雖然本例子使用一載入並更新(LU)指令，但熟知包含一或更多複雜指令之PowerPC指令集及其他指令集的人士將明白：影響兩暫存器其內容之任何指令將從此處所揭露的一第二重定序緩衝器其內容物獲益。



五、發明說明 (14)

以第二重定序緩衝器303之形式用於合併一額外資源暫存器更名可有效賦能處理器101於每週期中發出最大允許指令數(假設最大指令數已準備發出)，不需考慮該指令其本身為簡單，複雜，或者一組合。當未出現由第二重定序緩衝器303所提供之資源時，則發出一複雜指令將需於處理器之(單一)重定序緩衝器中配置多重更名暫存器。因為於一單一週期中，一單一重定序緩衝器可配置之更名暫存器數目受架構限制，所以複雜指令將防止處理器於發出一複雜指令之週期中發出最大指令數。再者，當複雜指令未出現時，用以決定於任何給定週期中允許發出多少指令數所需之智慧大幅增加發出邏輯所需的複雜度。

當未出現第二重定序緩衝器303時，必需有一機構，藉由該機構，指令決定目前是否有任何運算元暫存器配置於第二重定序緩衝器303中。於一具體實施例中，當一複雜指令飛快搜尋兩重定序緩衝器，以決定是否存在任何相依性時，處理器101可簡單要求所發出的每一指令。雖然本具體實施例享有簡便的優點，卻不希望增加在發出週期期間必須搜尋的重定序緩衝器項目數。當任何給定週期中可發出之指令數增加時，則逐漸希望最小化必須檢查以決定指令相依性的重定序緩衝器項目數。為了闡述此問題，本發明一具體實施例考慮一機構，於第一次執行一指令期間，藉由該機構記錄重定序緩衝器資訊。然後，於後續執行指令期間，該重定序緩衝器資訊用以決定該指令必須檢查何重定序緩衝器。現在轉至圖4，其中藉由以下碼區段



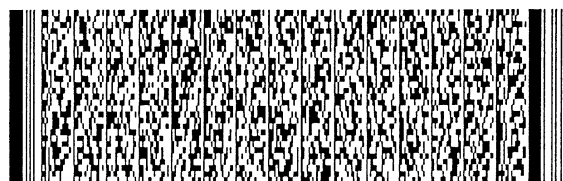
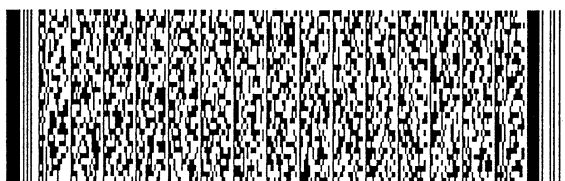
五、發明說明 (15)

為例，描述本具體實施例的一流程圖說明：

LQ R4, R25, R26

ADD R7, R5, R2

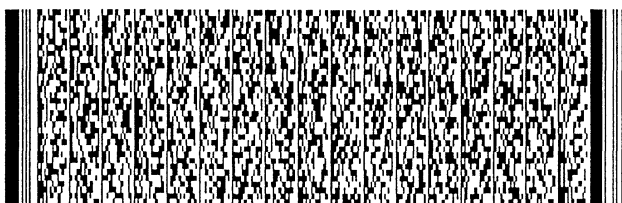
區塊400代表發出LQ(載入四項組)指令。LQ(載入四項組)指令為PowerPC®指令集中的一複雜指令，其影響所指示之目標暫存器(R4)以及下一順序暫存器(R5)的內容。因為ADD指令包括一R5來源運算元，所以ADD指令取決於LQ(載入四項組)指令。於第一次執行此碼區段期間，發出單元將強迫LQ(載入四項組)指令以後之所有指令(亦即，於LQ(載入四項組)指令發出後而且LQ(載入四項組)指令交付前所發出的所有指令)搜尋兩重定序緩衝器，以偵測任何相依性。因此，於區塊402中，發出單元於R5偵測ADD指令之相依性，其中該R5配置於第二重定序緩衝器303的一第二更名暫存器306。當於第二緩衝器中，介於ADD指令與LQ(載入四項組)指令之間偵測得一相依性時，發出單元221將予以配置，供記錄用(區塊404)，用以指示ADD指令其相依性的重定序緩衝器資訊於第二重定序緩衝器303中找到。於一具體實施例中，此重定序緩衝器資訊可儲存於包含ADD指令之指令快取項目的一專屬位元或位元組中。當後續執行ADD指令時(區塊406)，對應於ADD指令之重定序緩衝器資訊通知發出單元221：於第二重定序緩衝器中找到ADD指令的相依性(如同第一次執行期間)。以此方式，發出單元221可有效限制重定序緩衝器300對第二重定序緩衝器303之搜尋。雖然描述中係以一LQ(載入四項組)



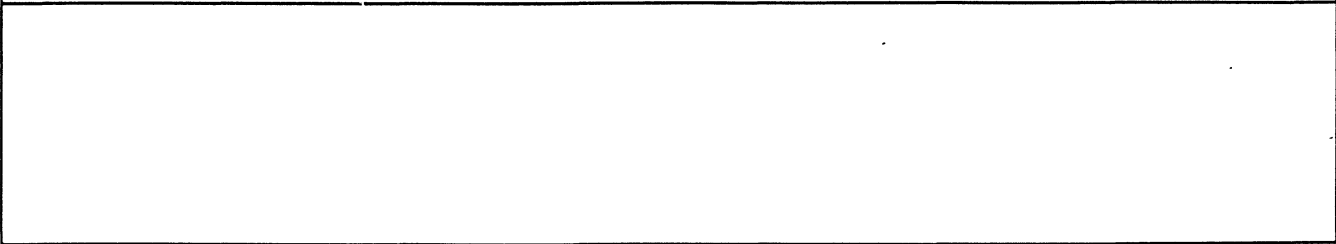
五、發明說明 (16)

指令為例，但該機構可用以結合像是PowerPC®載入並更新(LU)指令之其他複雜指令。因此，藉由結合一第二發出緩衝器與用以選擇性賦能及去能第二重定序緩衝器的一機構，加以合併，本發明可有效提供用以賦能於每週期發出最大指令數而且最小化發出單元其效能損失的裝置。

熟知具有本揭露其好處之技藝人士將明白：本發明藉由在一第二更名方案中，實行一額外更名設施，以配置第二暫存器，而簡化及改良一微處理器中之發出/更名機構效能。應了解：於本發明的詳述和圖示中所示及所述之形式僅作為目前的較佳例子。希望以下申請專利範圍將加以廣義詮釋，以包含揭露之所有種類的較佳具體實施例。



圖式簡單說明

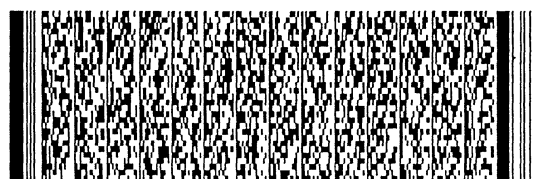


四、中文發明摘要 (發明之名稱：第二重定序緩衝器微處理器)

本發明揭示一種方法，處理器，及資料處理系統，用以致能最多指令發出，而不需考慮是否出現要求多重更名暫存器之複雜指令。該方法包括從一第一重定序緩衝器中配置一第一更名暫存器，用以儲存一第一暫存器中受該複雜指令影響之內容。然後，從一第二重定序緩衝器中配置一第二更名暫存器，用以儲存一第二暫存器中受該複雜指令影響之內容。於一具體實施例中，該第一重定序緩衝器支援每週期中最大配置數目，其使用第二重定序緩衝器配置第二暫存器，以防止複雜指令於第一重定序緩衝器中要求多重配置槽。該方法可進一步包括發出一第二指令，其與該第二重定序緩衝器中所配置的一暫存器相依。於一具體實施例中，將重定序緩衝器資訊與該第二指令相結合，其

英文發明摘要 (發明之名稱：SECONDARY REORDER BUFFER MICROPROCESSOR)

A method, processor, and data processing system for enabling maximum instruction issue despite the presence of complex instructions that require multiple rename registers is disclosed. The method includes allocating a first rename register from a first reorder buffer for storing the contents of a first register affected by the complex instruction. A second rename register from a second reorder buffer is then allocated for storing the contents of a second register affected

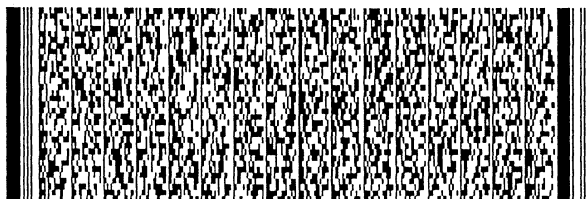


四、中文發明摘要 (發明之名稱：第二重定序緩衝器微處理器)

中該重定序緩衝器資訊用以指示該第二指令與第二重定序緩衝器中所配置的一暫存器相依，因而於後續發出第二指令時，得以使用該重定序緩衝器資訊限制發出單元僅檢查該第二重定序緩衝器，以維持相依性。

英文發明摘要 (發明之名稱：SECONDARY REORDER BUFFER MICROPROCESSOR)

by the complex instruction. In an embodiment in which the first reorder buffer supports a maximum number of allocations per cycle, the allocation of the second register using the second reorder buffer prevents the complex instruction from requiring multiple allocation slots in the first reorder buffer. The method may further include issuing a second instruction that contains a dependency on a register that is allocated in the secondary reorder buffer. In one embodiment,



四、中文發明摘要 (發明之名稱：第二重定序緩衝器微處理器)

英文發明摘要 (發明之名稱：SECONDARY REORDER BUFFER MICROPROCESSOR)

reorder buffer information indicating the second instruction's dependence on a register allocated in the secondary reorder buffer is associated with the second instruction such that, when the second instruction is issued subsequently, the reorder buffer information is used to restrict the issue unit to checking only the secondary reorder buffer for dependencies.



六、申請專利範圍

1. 一種用以在一微處理器中執行指令之方法，包含：

發出一指令，該指令影響多重暫存器之內容；

從一第一重定序緩衝器中配置一第一更名暫存器，用以儲存受該指令影響的一第一暫存器之內容；

從一第二重定序緩衝器中配置一第二更名暫存器，用以儲存受該指令影響的一第二暫存器之內容；

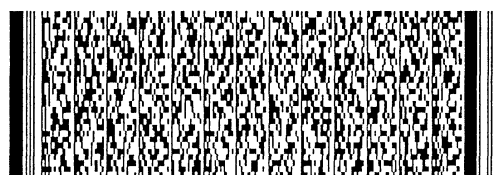
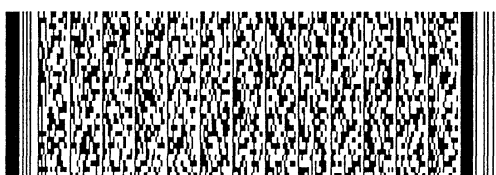
其中使用該第二重定序緩衝器配置第二更名暫存器可避免該指令佔用該第一重定序緩衝器中之多重配置槽。

2. 如申請專利範圍第1項之方法，其中該發出之指令包含一複雜之指令且該第一重定序緩衝器支援每一週期中最大數目的配置，且其中發出之複雜指令包括於一單一週期中發出含該複雜指令的一組指令，其中該組指令中之指令數等於該第一重定序緩衝器所支援的每一週期中最大配置數。

3. 如申請專利範圍第2項之方法，其中該指令組可包含影響一單一暫存器其內容之複雜指令及簡單指令的任何組合。

4. 如申請專利範圍第1項之方法，其中發出之指令包含一複雜指令，且進一步包含接續於發出該複雜指令後發出一第二指令，其中該第二指令與第二更名暫存器相依，並且將重定序緩衝器資訊與該第二指令相結合予以響應，其中該重定序緩衝器資訊指示該第二指令與第二緩衝器中所配置的一暫存器相依。

5. 如申請專利範圍第4項之方法，進一步包含於記錄該



六、申請專利範圍

重定序緩衝器資訊後發出第二指令時，使用重定序緩衝器資訊限制第二指令之重定序查找至第二重定序緩衝器。

6. 一種處理器，包含：

一發出單元，配置成用以接收來自一指令快取記憶體之指令，而且調適成用以發出供執行用之指令；

一第一重定序緩衝器，專用於配置一指令的一主要暫存器之更名暫存器；以及

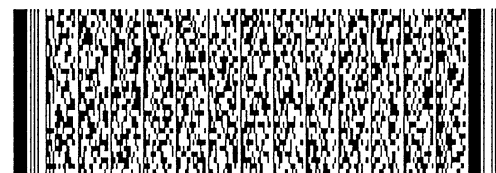
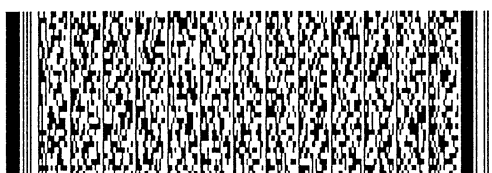
一第二重定序緩衝器，專用於配置一指令的一第二暫存器之更名暫存器；

其中該發出單元在發出影響至少兩暫存器之內容的一複雜指令時，用以配置該指令的一主要暫存器之第一重定序緩衝器中的一更名暫存器，以及該指令的一第二暫存器之第二重定序緩衝器中的一更名暫存器。

7. 如申請專利範圍第6項之處理器，其中該發出單元將進一步予以配置，於發出一第二指令並決定該第二指令是否與第一指令相依時，用以檢查該主要及第二重定序緩衝器。

8. 如申請專利範圍第7項之處理器，其中於偵測該第二指令是否與第二重定序緩衝器中所配置的一暫存器相依時，該發出單元將對應於該第二指令的一指令快取項目中之重定序緩衝器資訊加以記錄，其中該重定序緩衝器資訊指示該第二指令與第二重定序緩衝器中的一項目相依。

9. 如申請專利範圍第8項之處理器，其中於記錄該重定序緩衝器資訊並且響應該重定序緩衝器資訊後接著發出第



六、申請專利範圍

二指令時，將該發出單元加以配置，而僅檢查第二重定序緩衝器，以維持相依性。

10. 一種用以運作一微處理器之方法，該微處理器具有一主要重定序緩衝器，可用以配置每一週期中最大數目之更名暫存器，包含：

於一第一週期中發出最大數目之指令，其中至少一發出指令包含影響一主要暫存器及一第二暫存器之內容的一複雜指令；

將該主要重定序緩衝器中的一第一更名暫存器配置成該複雜指令之主要暫存器；以及

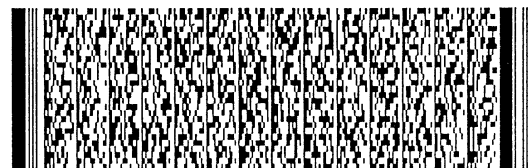
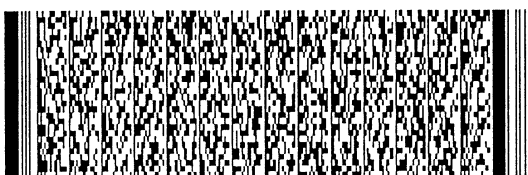
將該微處理器之一第二重定序緩衝器中的一第二更名暫存器配置成第二暫存器，藉以保留主要重定序緩衝槽，使該處理器可發出之最大指令數與指令類型無關。

11. 如申請專利範圍第10項之方法，進一步包含接續該複雜指令後發出一第二指令，其中該第二指令與第二暫存器相依，並且將重定序緩衝器資訊與第二指令相結合予以響應，其中該重定序緩衝器資訊指示該第二指令與第二緩衝器中所配置的一暫存器相依。

12. 如申請專利範圍第11項之方法，進一步包含當後續發出第二指令時，使用該重定序緩衝器資訊防止發出單元檢查主要緩衝器，以維持相依性。

13. 一種資料處理系統，包含一處理器，系統記憶體，輸入裝置，及顯示器，其中該處理器包含：

一發出單元，配置成用以接收來自一指令快取記憶體之



六、申請專利範圍

指令，而且調適成用以發出供執行用之指令；

一第一重定序緩衝器，專用於配置一指令的一主要暫存器之更名暫存器；以及

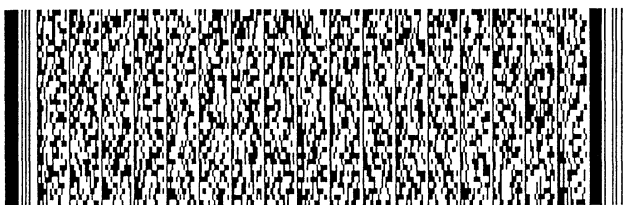
一第二重定序緩衝器，專用於配置一指令的一第二暫存器之更名暫存器；

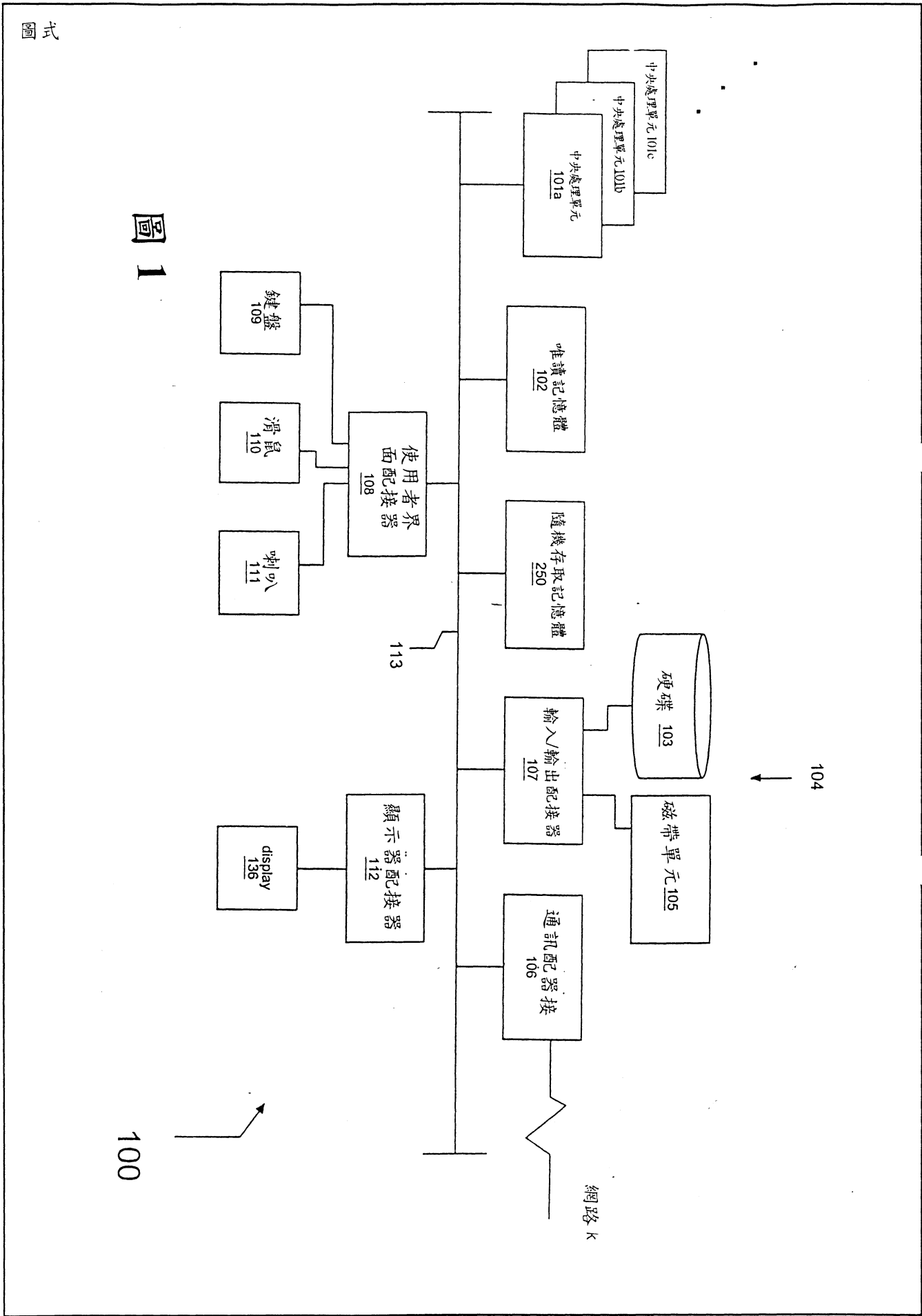
其中該發出單元在發出影響至少兩暫存器其內容的一複雜指令時，用以配置該指令的一主要暫存器之第一重定序緩衝器中的一更名暫存器，以及該指令的一第二暫存器之第二重定序緩衝器中的一更名暫存器。

14. 如申請專利範圍第13項之資料處理器，其中該發出單元將進一步予以配置，以在發出一第二指令並決定該第二指令是否與第一指令相依時，用以檢查該主要及第二重定序緩衝器。

15. 如申請專利範圍第14項之處理器，其中於偵測該第二指令是否與第二重定序緩衝器中所配置的一暫存器相依時，該發出單元將對應於該第二指令的一指令快取項目中之重定序緩衝器資訊加以記錄，其中該重定序緩衝器資訊指示該第二指令與第二重定序緩衝器中的一項目相依。

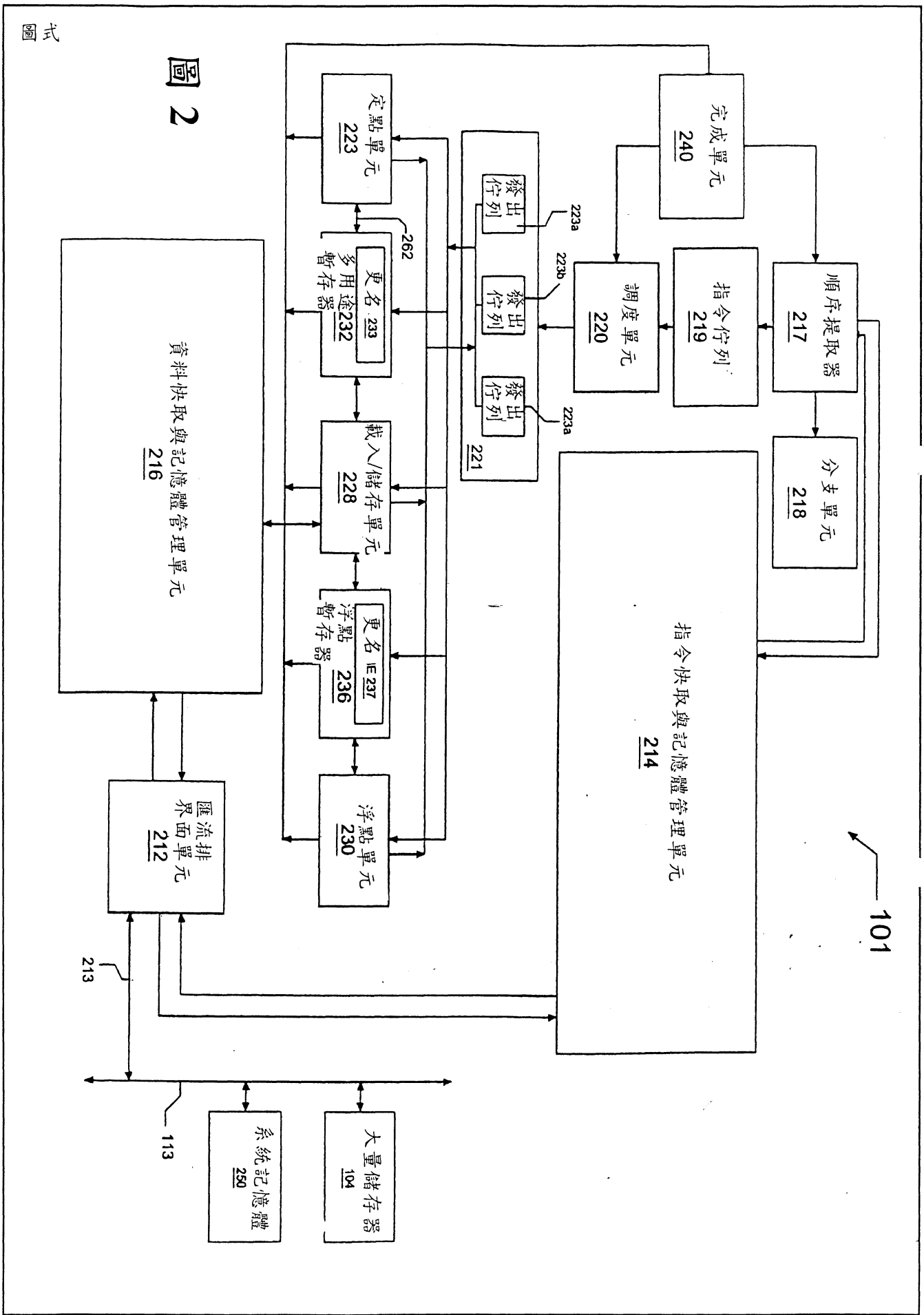
16. 如申請專利範圍第15項之處理器，於記錄該重定序緩衝器資訊並且響應該重定序緩衝器資訊後發出該第二指令時，將該發出單元加以配置，而僅檢查第二重定序緩衝器，以維持相依性。





圖式

圖 1



載入更新目標暫存器，暫存器

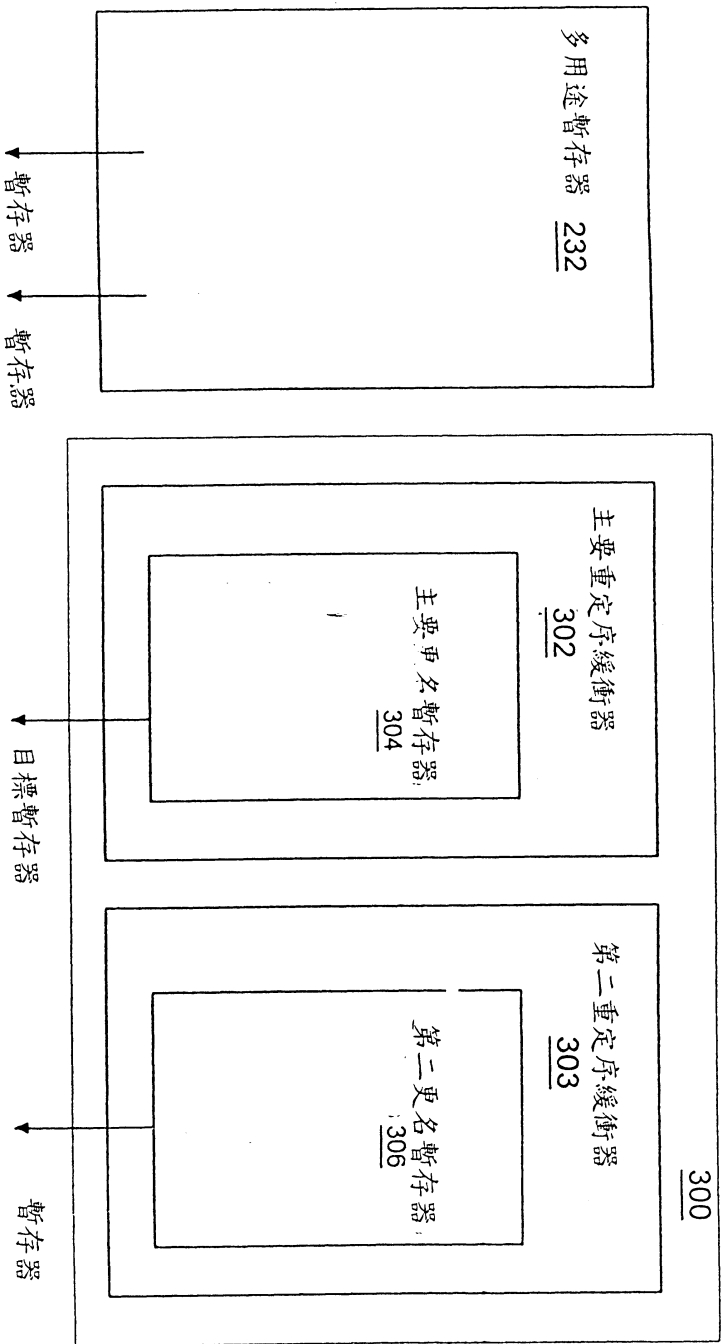


圖 3

圖式

圖式

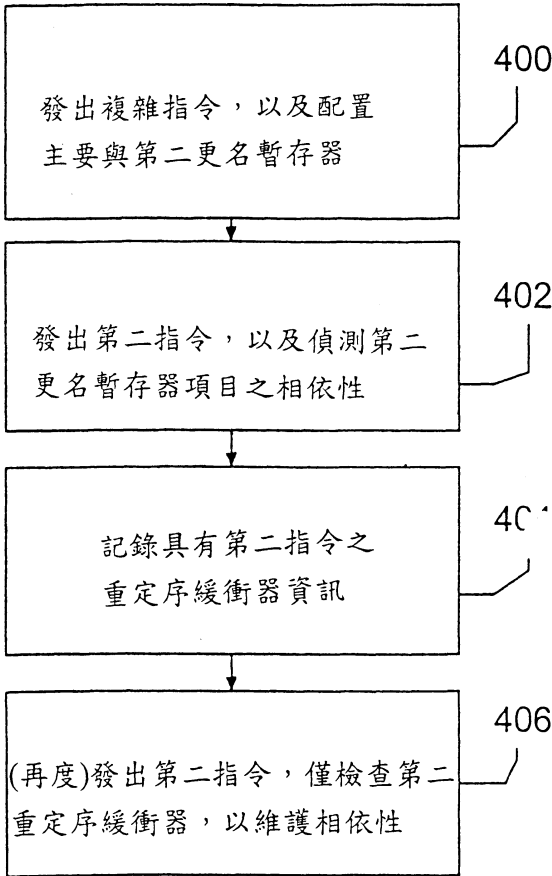


圖 4