

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 1 年 6 月 27 日 (2019.6.27)

【公表番号】特表 2018-516518 (P2018-516518A)

【公表日】平成 30 年 6 月 21 日 (2018.6.21)

【年通号数】公開・登録公報 2018-023

【出願番号】特願 2018-513922 (P2018-513922)

【国際特許分類】

H 0 3 M 1/66 (2006.01)

【F I】

H 0 3 M 1/66 C

【手続補正書】

【提出日】令和 1 年 5 月 24 日 (2019.5.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

デジタル・アナログコンバータ (DAC) 装置であって、

データサンプリングレート F_s 及びサンプリング周期 $1/F_s$ を有するデジタル信号を受信する入力部と、

前記デジタル信号を受信する前記入力部に結合され、それぞれが周波数 F_s において動作しアナログ出力を有する、 N 個 (N は偶数の整数であり、 $N \geq 2$) のデジタル・アナログコンバータ (DAC) と、

前記入力部及び前記 N 個の DAC のうちの半分に結合されたインバータであって、それによって、前記 N 個の DAC のうちの前記半分によって受信される入力デジタル信号が前記 N 個の DAC のうちの他方の半分によって受信される前記入力デジタル信号に対して反転される、インバータと、

前記入力部に結合され、前記 N 個の DAC のうちの 1 つ以上によって受信される前記入力デジタル信号と前記 N 個の DAC のうちの他のものによって受信される前記入力デジタル信号との間に相対的な時間遅延を導入する、前記相対的な時間遅延が前記デジタル信号のサンプリング周期 $1/F_s$ の部分である、遅延ユニットと、

前記 N 個の DAC に結合され、前記 N 個の DAC のうちの前記半分の前記アナログ出力を、前記 N 個の DAC のうちの前記他方の半分の前記アナログ出力と減算されるように合成して、出力アナログ信号を提供する合成器と、
を備える DAC 装置。

【請求項 2】

前記 N 個の DAC のうちの前記半分によって受信される前記入力デジタル信号と前記 N 個の DAC のうちの前記他方の半分によって受信される前記入力デジタル信号との間の相対的な時間遅延は、 $1/(2 \times F_s)$ である、
請求項 1 の DAC 装置。

【請求項 3】

前記 N 個の DAC のうちの前記半分のそれぞれによって受信される前記入力デジタル信号間の前記相対的な時間遅延は、異なっており、前記 N 個の DAC のうちの前記他方の半分における対応する DAC によって受信される前記入力デジタル信号に対して $1/(2 \times F_s)$ 遅れている、

請求項 1 の D A C 装置。

【請求項 4】

前記 N 個の D A C のうちの前記半分によって受信される前記入力デジタル信号と前記 N 個の D A C のうちの前記他方の半分によって受信される前記入力デジタル信号との間の前記相対的な時間遅延は、 $1 / (N \times F_s)$ である、

請求項 1 の D A C 装置。

【請求項 5】

前記 N 個の D A C のうちの前記半分のそれぞれによって受信される前記入力デジタル信号間の前記相対的な時間遅延は、異なっており、前記 N 個の D A C のうちの前記他方の半分における対応する D A C によって受信される前記入力デジタル信号に対して $1 / (N \times F_s)$ 遅れている、

請求項 1 の D A C 装置。

【請求項 6】

少なくとも 1 つの D A C には、前記入力デジタル信号からの同じ時間遅延を有する他の D A C が存在しない、

請求項 1 の D A C 装置。

【請求項 7】

前記入力部及び前記 N 個の D A C に結合されたディザユニットを更に備え、

前記ディザユニットは、前記 N 個の D A C のそれぞれによって受信される前記入力デジタル信号に加えるためのランダムなディザ信号を生成する、

請求項 1 ～ 6 のいずれか 1 項の D A C 装置。

【請求項 8】

前記ディザ信号は、整形されたディザ信号である、

請求項 7 の D A C 装置。

【請求項 9】

前記ディザ信号は、2 個以上の最下位ビット (L S B) を有する、

請求項 7 又は 8 の D A C 装置。

【請求項 10】

前記ディザ信号は、前記入力デジタル信号のサンプリングレートより高いレートで生成される、

請求項 7 ～ 9 のいずれか 1 項の D A C 装置。

【請求項 11】

前記ディザ信号は、より低いレートのディザシーケンスをアップサンプリングすることによって生成される、

請求項 10 の D A C 装置。

【請求項 12】

前記ディザ信号は、前記出力アナログ信号の復元レートで生成され、各 D A C の組に連続して供給される、

請求項 10 又は 11 の D A C 装置。

【請求項 13】

前記ディザ信号は、前記 N 個の D A C の時間遅延毎に異なるフィルタでフィルタリングされる、

請求項 7 ～ 9 のいずれか 1 項の D A C 装置。

【請求項 14】

前記入力デジタル信号は、より高い周波数においてより少ないエネルギーを含むように、ノイズ整形されている、

請求項 7 ～ 9 のいずれか 1 項の D A C 装置。

【請求項 15】

前記合成器は、前記 N 個の D A C のそれぞれのアナログ出力を、適用される重み付けをして合成する、

請求項 1 ~ 14 のいずれか 1 項の D A C 装置。

【請求項 16】

前記適用される重み付けは、各アナログ出力について同じである、

請求項 15 の D A C 装置。

【請求項 17】

前記適用される重み付けは、前記 N 個の D A C のうちの少なくとも 2 個について異なる、

請求項 15 の D A C 装置。

【請求項 18】

前記適用される重み付けは、各 D A C によって受信される前記入力デジタル信号の相対的な時間遅延に依存する、

請求項 15 の D A C 装置。

【請求項 19】

前記デジタル信号は、デジタルオーディオ信号を含む、

請求項 1 ~ 18 のいずれか 1 項の D A C 装置。

【請求項 20】

前記デジタルオーディオ信号は、パルス符号変調 (P C M) 信号である、

請求項 19 の D A C 装置。

【請求項 21】

デジタル信号をアナログ信号に変換する方法であって、

データサンプリングレート F_s 及びサンプリング周期 $1 / F_s$ を有するデジタル信号を受信するステップと、

前記デジタル信号を、それぞれが周波数 F_s において動作しアナログ出力を有する N 個 (N は偶数の整数であり、 $N \geq 2$) のデジタル・アナログコンバータ (D A C) に、前記 N 個の D A C のうちの半分によって受信される入力デジタル信号が前記 N 個の D A C のうちの他方の半分によって受信される前記入力デジタル信号に対して反転されるように、かつ、前記 N 個の D A C のうちの 1 つ以上によって受信される前記入力デジタル信号と前記 N 個の D A C のうちの他のものによって受信される前記入力デジタル信号との間に相対的な時間遅延が存在するように、供給する、前記相対的な時間遅延が前記デジタル信号のサンプリング周期 $1 / F_s$ の部分である、ステップと、

前記 N 個の D A C のうちの前記半分の 前記アナログ出力を、前記 N 個の D A C のうちの前記他方の半分の 前記アナログ出力と減算されるように合成して、出力アナログ信号を提供するステップと、

を備える、デジタル信号をアナログ信号に変換する方法。