

公告本

296466

申請日期	84.2.9
案 號	84/C/1100
類 別	H01L 21/311 Int. Cl ⁶

A4
C4

296466

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置之製造方法
	英 文	Manufacturing method of semiconductor devices
二、發明 人	姓 名	(1) 松元省二 (2) 二河秀夫 (3) 中川聰
	國 籍	日 本
三、申請人	住、居所	(1) 日本國京都府京都市伏見區羽東師鴨川町75-1 (2) 日本國滋賀縣大津市陽明町20-11 (3) 日本國京都府向日市寺戶町修理式2-115
	姓 名 (名稱)	日商・松下電子工業股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國大阪府高槻市幸町1番1號
	代 表 人 姓 名	杉山一彦

經濟部中央標準局員工消費合作社印製

裝

訂

線

206466

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期：1993.12.28 案號：特願平5-336161，☐有 ☐無主張優先權



有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域

本發明係關於其中使用鐵電材料作電容絕緣薄膜之含內建式電容器之半導體積體電路製法；特別有關精細圖案乾式蝕刻法應用於該電容器之Pt電極。

發明背景

隨著半導體裝置傾向於結構更為細微，近來在下列領域的開發活動顯著：含有高介電常數材料電容器可有效降低不必要的輻射或電磁干擾之微電腦領域；以及含內建式鐵電電容器有助於低電壓操作與高度讀／寫速度之非揮發性RAM領域。鐵電材料主要由金屬氧化物組成，且含實質量之極高反應性的氧。使用此種介電薄膜形成電容器時，材料對電極必須具有最低反應性；必須使用貴金屬，如鉑，鈱等。

第9圖顯示具內建式介電電容器之半導體裝置之電容器典型構造。此處1a表示頂電極，2a表示電容絕緣薄膜，3a底電極，4下層，7接觸孔，8中間絕緣層(氧化物層)及9繞線。

前述構造中，底電極3a比頂電極1a更大；其原因係為在兩點，亦即，頂電極1a及底電極3a，個別與上方繞線9接觸。

形成電容器的蝕刻方法包括於Pt頂電極層及介電薄膜上蝕刻及於Pt底電極層3上蝕刻；其中於Pt頂電極層及介電薄膜上蝕刻，必須以與Pt底電極層上蝕刻的不同速度進行。

(請先閱讀背面之注意事項再填寫本頁)

訂

始

五、發明說明 ()

Pt蝕刻曾經利用水區之濕式蝕刻，使用Ar氣體的離子研磨或藉其他手段進行。然而，濕式蝕刻與離子研磨二者的本質為等角研磨，意謂著精密度對精細圖案加工而言不夠高。特別，離子研磨的缺點為Pt與下層材料之蝕刻速度間之差異不夠。

欲克服前述缺點，積極對利用乾式蝕刻進行Pt精密圖案加工進行研究開發；此處至於蝕刻氣體可使用Cl₂及HBr（延伸摘要，1991年秋季會議，日本應用物理學會9p-ZF-17 p516；延伸摘要，1993年秋季會議，日本應用物理學會，30a-ZE-3，p577，及其他）。下文將對使用Cl₂氣體作為蝕刻氣體時Pt蝕刻速度與高頻(RF)功率之關係作一說明。

第10圖顯示使用Cl₂氣體作為蝕刻氣體時，Pt蝕刻速度與Pt／電阻蝕刻速度比與RF功率之相關性。此處水平軸表示RF功率，在垂直軸表示Pt蝕刻速度，而右垂直軸表示Pt／電阻蝕刻速度比。

用於蝕刻的裝備為磁子(magnetron)反應性離子蝕刻(RIE)模式乾式蝕刻機。

蝕刻條件有：Cl₂氣體流20 SCCM，氣體壓力1 Pa。因晶圓背面以He冷卻，故蝕刻過程中晶圓溫度低於20℃。

第10圖顯示，當RF功率由200W增至600W時，Pt蝕刻速度傾向於由10nm/min增至100nm/min。

當RF功率由200W增至600W時Pt／電阻蝕刻速度比也顯示由0.2增至0.3之向上傾向；然而蝕刻速度比仍維持極低。前述報告也報導當使用Cl₂氣體時，Pt蝕刻速度與RF功

(請先閱讀背面之注意事項再填寫本頁)

訂

始

五、發明說明()

率之相關性也有類似結果。

此外，前述報告說明使用HBr氣體作蝕刻氣體之一例；該例中根據報告Pt蝕刻速度為120nm/min。

此種習知例中，使用單一物質氣體，如Cl₂或HBr作為蝕刻氣體，Pt蝕刻速度極低；表示需要極長時間才能蝕刻具所需厚度(數百nm)之Pt，因此，有生產設備之輸出料量劣化的缺點。

此外，蝕刻時間長容易引起蝕刻中電阻層被蝕刻的問題。若電阻層增厚，則影響界定等級，因而極為難以生成精密圖案。

提高Pt/電阻蝕刻速度比之一種可能，係加入含碳成份氣體並利用電漿聚合，同時堆疊碳層進行蝕刻。但此種過程造成碳層在反應室中堆疊，構成顆粒產生的來源。如此，需要經常作設備維護工作，使得作業效率變差。

發明概述

本發明之一目的係提供一種半導體裝置之新穎製法，其中Pt蝕刻速度增高，因此可改善生產設備的輸出料量。

欲實現本發明之目的，本發明之半導體裝置製法之特點為絕緣層，底電極Pt層，介電薄膜及頂電極Pt層提供於具有已經完成的電路元件及繞線之基板頂上，然後，於選擇性乾式蝕刻頂電極Pt層及介電薄膜後，利用選擇性乾式蝕刻底電極Pt層，而形成電容器。

包括乾式蝕刻由底電極或頂電極組成之Pt層之方法，其中Pt層經乾式蝕刻同時組合Pt及S混料；或者首先製成

(請先閱讀背面之注意事項再填寫本頁)

訂

46

五、發明說明 ()

Pt及S混料，然後將Pt混料進行乾式蝕刻。

本發明使用含S成份作Pt蝕刻之蝕刻氣體的氣體，或含S成份作添加氣體之蝕刻氣體；及本方法於Pt乾式蝕刻方法前利用離子植入將S植入Pt層內，組成S與Pt混料，然後乾式蝕刻如此組成的Pt混料。

因此，根據本發明於蝕刻過程中組成Pt及S混料。由於此種化合物之沸點遠低於Pt沸點，故可提高Pt層蝕刻速度來改善製造設備的輸出料量。可縮短Pt蝕刻時間並防止電阻蝕刻。

圖示之簡單說明

第1(A)~(D)圖示例說明本發明之具體例中電容器之形成。

第2圖為本發明之具體例1中，使用S₂Cl₂氣體作為蝕刻氣體，顯示Pt蝕刻速度及Pt/電阻蝕刻速度比與RF功率之相關性之特點圖。

第3圖為於本發明之具體例2中，顯示Pt蝕刻速度與Cl₂氣體及S₂Cl₂氣體兩種蝕刻氣體之混合比之相關特點圖。

第4圖為本發明之具體例3中，顯示Pt蝕刻速度及Pt/電阻蝕刻速度比與RF功率之相關性之特點圖；此處蝕刻氣體為HBr氣體，添加氣體為H₂S氣體。

第5圖為本發明之具體例3中，顯示Pt蝕刻速度與HBr氣體與H₂S氣體之混合比之相關特點圖。

第6(A)~(D)圖示例說明本發明之具體例4中電容器

(請先閱讀背面之注意事項再填寫本頁)

訂

44

五、發明說明 ()

之形成。

第7圖為顯示具體例4中，Pt蝕刻速度與RF功率間之相關特點圖；此處S利用離子植入，植入Pt內而組成S與Pt混料，然後Pt使用Cl₂氣體蝕刻。

第8圖為Pt/S合金相關。

第9圖顯示藉習知半導體裝置製法製造的典型電容器之橫剖面圖。

第10圖為顯示前述製法中，Pt蝕刻速度及Pt/電阻蝕刻速度比與RF功率之相關特點圖，此處使用單一物質Cl₂氣體作為蝕刻氣體。

較佳具體例之說明

下文中將參照附圖解說本發明之具體例；此處如第9圖所示，習知構造之相同部件給予相同編號。

第1(A)~(D)圖中，1表示頂電極之Pt層，1a頂電極，2介電薄膜，2a電容絕緣薄膜，3底電極之Pt層，4絕緣下層，5及6電阻。欲簡化起見，基板上之電路元件區並未出現於圖中。

於矽半導體基板上提供的下層4上方，堆疊200nm厚之底電極Pt層3；於底電極Pt層3上方堆疊180nm厚之介電薄膜2；於介電薄膜2上方堆疊200nm厚之頂電極之Pt層1。

現在說明由如此製造的多層構造形成電容器之方法。

首先，如第1(A)圖所示，放置電阻5於頂電極之Pt層1上，供製造頂電極1a及電容絕緣層2a。其次如第1(B)

(請先閱讀背面之注意事項再填寫本頁)

訂

14

五、發明說明 ()

圖所示，蝕刻頂電極之Pt層1及介電薄膜2，而形成頂電極1a及電容絕緣薄膜2a；及當底電極之Pt層3表面暴露出時中止蝕刻。然後如第1(C)圖所示，放置電阻6完全覆蓋頂電極1a及電容絕緣層2a。最後如第1(D)圖所示，蝕刻底電極之Pt層3而形成底電極3a。

至於製造前述構造電容器之具體例1，使用 S_2Cl_2 氣體作為Pt蝕刻氣體。

第2圖顯示此具體例中，於改變RF功率時之Pt蝕刻速度與Pt／電阻蝕刻速度比。

比較第2圖之本具體例特徵及第10圖之習知製法特徵，顯然本具體例之Pt蝕刻速度高兩倍，而隨著RF功率由200W增至600W，Pt／電阻蝕刻速度比由0.4增至0.5，此外Pt／電阻蝕刻速度比幾乎加倍。

第3圖顯示具體例中，當 Cl_2 氣體與 S_2Cl_2 氣體混合用作蝕刻氣體時，Pt蝕刻速度與蝕刻氣體混合比之關係。水平軸表示氣體混合比，垂直軸表示Pt蝕刻速度。

使用設備為磁子RIE模式乾式蝕刻機。

蝕刻條件為： $S_2Cl_2 / (S_2Cl_2 + Cl_2)$ 蝕刻氣體混合比可變RF功率600W，氣體壓力1 Pa。蝕刻中晶圓溫度利用晶圓背面冷卻維持低於20℃。

第3圖表示當蝕刻氣體混合比有100% Cl_2 氣體變化至100% S_2Cl_2 氣體時，Pt蝕刻速度導向向上傾向由100nm/min增至200nm/min。

根據此具體例，Pt蝕刻速度可使用含S成份之蝕刻氣

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 ()

體增高，可提高生產設備的輸出料量，及提高Pt／電阻蝕刻速度比。

此具體例中，舉例說明使用氯化硫氣體，如 S_2Cl_2 氣體或使用 Cl_2 及 S_2Cl_2 混合氣體作為蝕刻氣體。然而，至於含S成份之氣體，可使用氟化硫氣體如 SF_6 或 S_2F_6 氣體而獲得相同結果。

至於具體例3，將參照附圖說明Pt蝕刻過程中 H_2S 氣體加至蝕刻氣體之一例。

第4圖顯示當使用HBr氣體作蝕刻氣體及 H_2S 氣體作添加氣體時，Pt蝕刻速度及Pt／電阻蝕刻速度比與RF功率之相關性。水平軸表示RF功率，左垂直軸表示Pt蝕刻速度，右垂直軸表示Pt／電阻蝕刻速度比。

所用設備為磁子RIE模式乾式蝕刻機。

蝕刻條件為：HBr氣體流20 SCCM， H_2S 氣體流10 SCCM，氣體壓力1 Pa。蝕刻過程中晶圓溫度利用晶圓背面冷卻維持低於20℃。

第4圖說明當RF功率由200W增至600W時，Pt蝕刻速度遵循向上傾向，由20nm/min增至200nm/min；與第10圖所示習知例比較，Pt蝕刻速度幾乎為兩倍。當RF功率由200W增至600W時，Pt／電阻蝕刻速度比遵循向上傾向，由0.4增至0.5。與使用 Cl_2 氣體作為Pt蝕刻氣體之例比較，Pt／電阻蝕刻速度比幾乎加倍。

第5圖顯示當使用HBr氣體作為蝕刻氣體， H_2S 氣體作為添加氣體時，Pt蝕刻速度與氣體混合比之相關性。水平

(請先閱讀背面之注意事項再填寫本頁)

訂

1/4

五、發明說明 ()

軸表示氣體混合比，垂直軸表示Pt蝕刻速度。

所用設備為磁子RIE 模式乾式蝕刻機。蝕刻條件為：
 $H_2S/(H_2S + HBr)$ 混合比可變，RF功率600W，氣體壓力1 Pa。
蝕刻過程中晶圓溫度利用晶圓背面冷卻維持低於20℃。

第5圖明示當氣體混合比為30%左右時，Pt蝕刻速度達最快200nm/min。

根據本具體例，Pt蝕刻速度可藉使用含S成份氣體作為添加氣體而增高，可增高生產設備之輸出料量及提高Pt／電阻蝕刻速度比。

此具體例中，以 H_2S 氣體作添加氣體為例。然而至於含S成份氣體，可使用 SO_2 氣體而獲得相同結果。

其次，至於本發明之具體例4，將就其中S利用離子植入而植入Pt內組成S及Pt混料，然後將Pt乾式蝕刻之例進行說明。

第6(A)～(D)圖示例說明此具體例之電容器之形成，此處1為頂電極之Pt層，1a頂電極，2介電薄膜，3底電極之Pt層，4絕緣層製成之下層，5電阻。

於下層4上提供矽半導體基板，堆疊200nm厚之底電極之Pt層3；於底電極之Pt層3上堆疊180nm厚之介電薄膜2；於介電薄膜2上堆疊200nm厚之頂電極之Pt層1。

現在，將就由如此製造的多層構造形成電容器之方法進行解說。

首先，如第6(A)圖所示，安置電阻5於頂電極之Pt層1上。其次如第6(B)圖所示，例用離子植入，將S離子植

(請先閱讀背面之注意事項再填寫本頁)

訂

44

五、發明說明()

入頂電極之Pt層1內，而在有待蝕刻區組成Pt及S化合物，如第6(C)圖所示。於此階段，S並未植入介電薄膜2。然後，如第6(D)圖之示例說明，蝕刻去除Pt及S混料。

第7圖顯示Pt蝕刻速度與RF功率之關係，其中S利用離子植入，植入Pt內組成S及Pt混料，然後使用Cl₂氣體作為蝕刻氣體。水平軸表示RF功率，垂直軸表示Pt蝕刻速度。

所用設備為磁子RIE模式乾式蝕刻機。離子植入條件為加速電壓600KeV，摻雜量 $5 \times 10^{15} \text{atm/cm}^2$ 。蝕刻條件為：Cl₂氣體流20 SCCM，氣體壓力1 Pa。蝕刻過程中，晶圓溫度利用晶圓背面冷卻，維持低於20℃。

第7圖明示，當RF功率由200W增至600W時，Pt蝕刻速度遵循向上傾向，由15nm/min增至150nm/min。

比較第10圖之習知例，Pt蝕刻速度約為1.5倍高。

根據本具體例，可提高頂電極之Pt層1之蝕刻速度，提高方式為，首先利用離子植入將S植入頂電極之Pt層1俾組成S及Pt混料，然後蝕刻該混料。藉此方式可改善生產設備之輸出料量。

現在，參照一例，其中使用含S成份氣體作為蝕刻氣體，及含S成份之氣體作為添加氣體；另一例中，Pt經乾式蝕刻同時組成Pt與S混料；或者首先組成Pt與S混料，然後將Pt乾式蝕刻，以下將說明如何提高Pt蝕刻速度之機制。

第8圖為Pt/S合金相圖，其中可見極小量S混合入Pt

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

，於1175℃開始蒸發。

已知Pt沸點高達3804℃。但如前述Pt沸點因極少量S混合入Pt而下降。

S₂Cl₂氣體及S₂F₂氣體，皆為含S氣體，具有大的S/X比(X=Cl, F)且當於電漿解離時，容易積聚S。

因此，當使用含S氣體作為蝕刻氣體，及含S氣體作為添加氣體時，於電漿解離的S成份與Pt反應而組成低沸點混料。因此之故，Pt蝕刻速度比較使用Cl₂氣體作為蝕刻氣體之例增高。

如此，於有待蝕刻頂電極之Pt層1及介電薄膜2之方法中，於相當低Pt蝕刻條件下進行蝕刻，一旦底電極之Pt層3暴露出即中止蝕刻。次一方法中，有待蝕刻底電極之Pt層3，於快速Pt蝕刻條件下進行蝕刻。藉此方式可形成所需電容器構造。

如前述各具體例之明白揭示，根據本發明方法，使用含S氣體作為Pt蝕刻氣體，或含S成份氣體作為添加氣體來將電極之Pt改成低沸點S/Pt混料；並於組成混料後進行蝕刻；因此可加快Pt蝕刻速度。相對於電阻之蝕刻速度比也可增高。

因此，本發明實現可提供高度加工精確度及高的生產設備輸出料量之新穎半導體裝置製法。

(請先閱讀背面之注意事項再填寫本頁)

訂

42

四、中文發明摘要(發明之名稱:

半導體裝置之製造方法)

於帶有已完成的電路元件和繞線等之基板頂上成形絕緣下層4，底電極之Pt層3，介電薄膜2及頂電極之Pt層1。

然後，使用含S成份之蝕刻氣體，蝕刻頂電極之Pt層1或底電極之Pt層3同時組合Pt與S混料；或者首先組合Pt與S混料，然後蝕刻該混料而形成頂電極1a，電容絕緣薄膜2a及底電極3a。

英文發明摘要(發明之名稱: Manufacturing method of semiconductor devices)

On top of a substrate having already-completed circuit elements and wiring, etc., insulation under layer 4, Pt layer 3 for bottom electrode, dielectric film 2 and Pt layer 1 for top electrode are shaped.

And then, form top electrode 1a, capacitance insulation film 2a and bottom electrode 3a by etching Pt layer 1 for top electrode or Pt layer 3 for bottom electrode, using an etching gas containing S component while composing Pt and S compound; or first compose Pt and S compound, and then etch the compound.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1. 一種半導體裝置之製造方法，其中電容元件係由下述方法形成：

首先於已經完成電路元件及繞線等之基板頂上提供絕緣層，底電極Pt層，介電層及頂電極Pt層，然後選擇性乾式蝕刻頂電極Pt層及介電薄膜，隨後選擇性乾式蝕刻底電極Pt層；及進行組成底電極或頂電極之Pt之乾式蝕刻；

進行乾式蝕刻工作，同時組成Pt及S混料；或者首先製成Pt及S混料，然後乾式蝕刻如此組成的混料。

2. 一種半導體裝置之製造方法，其中電容元件係由下述方法形成：

首先於已經完成電路元件及繞線等之基板頂上提供絕緣層，底電極Pt層，介電層及頂電極Pt層，然後選擇性乾式蝕刻頂電極Pt層及介電薄膜，隨後選擇性乾式蝕刻底電極Pt層；及進行組成底電極或頂電極之Pt之乾式蝕刻；

使用含S成份氣體作為蝕刻氣體。

3. 如申請專利範圍第2項之半導體裝置之製造方法，其中該含S成份氣體為選自氟化硫氣體及氯化硫氣體中之任一者。

4. 一種半導體裝置之製造方法，其中電容元件係由下述方法形成：

首先於已經完成電路元件及繞線等之基板頂上提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

供絕緣層，底電極Pt層，介電層及頂電極Pt層，然後選擇性乾式蝕刻頂電極Pt層及介電薄膜，隨後選擇性乾式蝕刻底電極Pt層；及進行組成底電極或頂電極之Pt之乾式蝕刻；

使用含S成份氣體作為Pt蝕刻氣體之添加氣體。

5. 如申請專利範圍第4項之半導體裝置之製法，其中該添加氣體為選自氟化硫，氯化硫， H_2S 及 SO_2 中之任一者。

6. 一種半導體裝置之製造方法，其中電容元件係由下述方法形成：

首先於已經完成電路元件及繞線等之基板頂上提供絕緣層，底電極Pt層，介電層及頂電極Pt層，然後選擇性乾式蝕刻頂電極Pt層及介電薄膜，隨後選擇性乾式蝕刻底電極Pt層；及進行組成底電極或頂電極之Pt之乾式蝕刻前；

利用離子植入將S植入Pt而組成S與Pt混料，然後乾式蝕刻如此組成的Pt混料。

(請先閱讀背面之注意事項再填寫本頁)

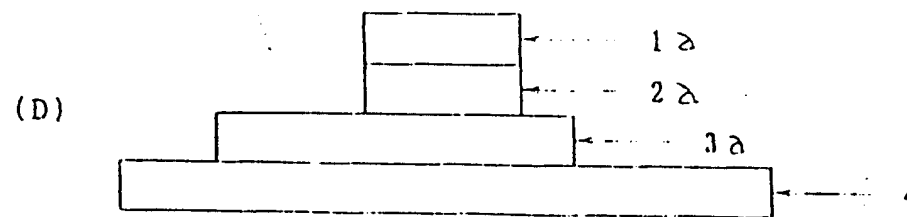
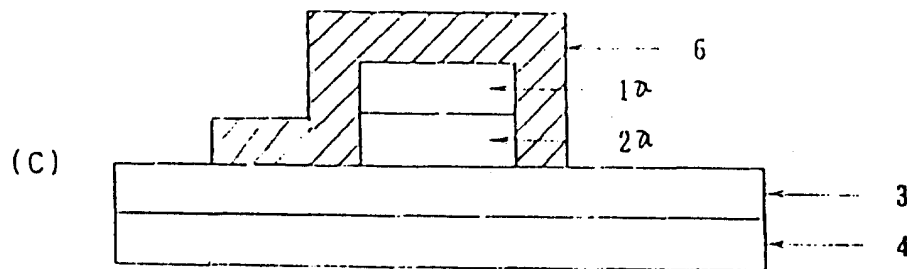
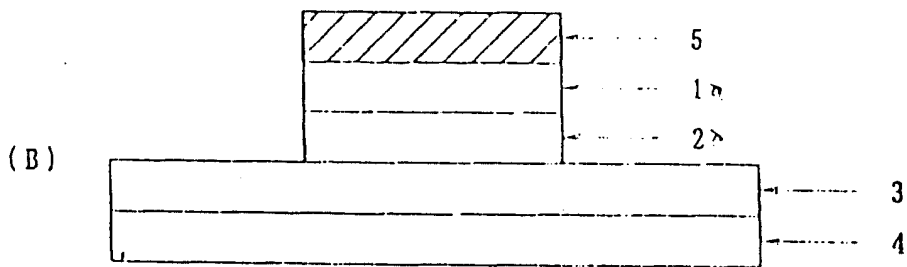
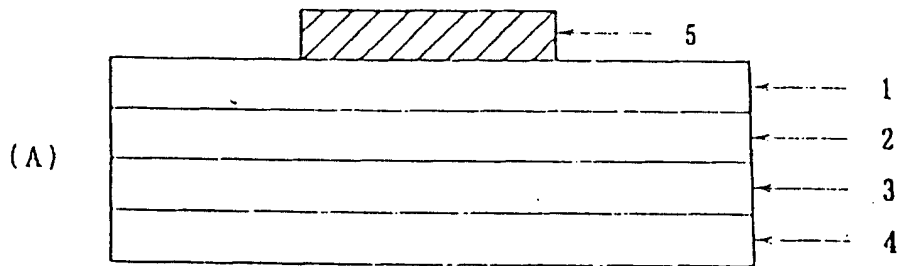
裝

訂

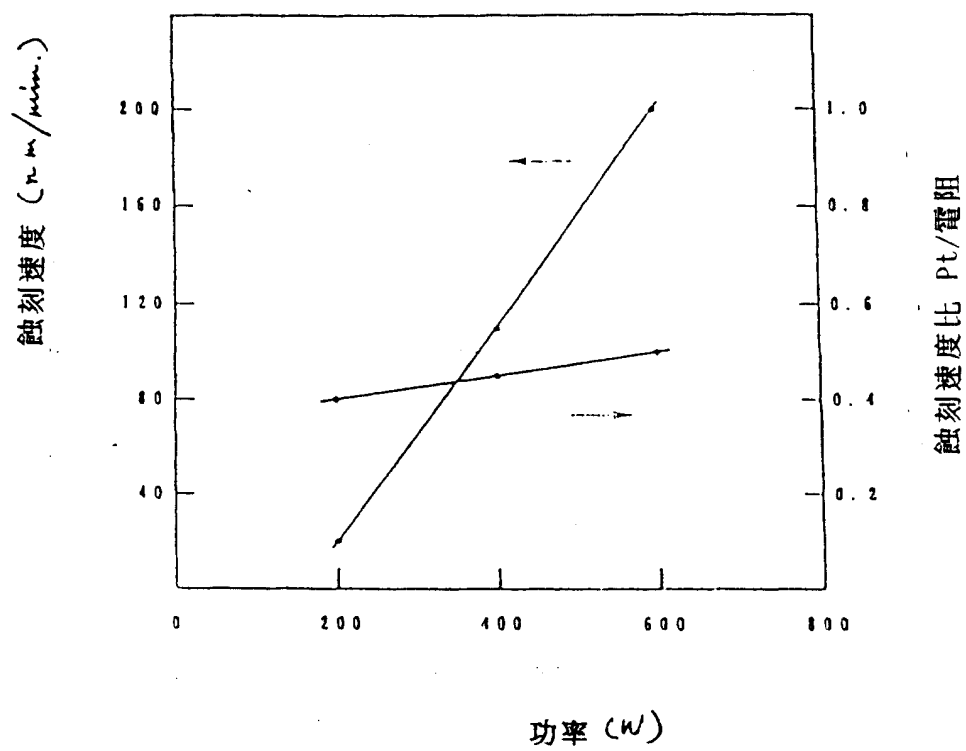
線

84/01/02

第 1 圖

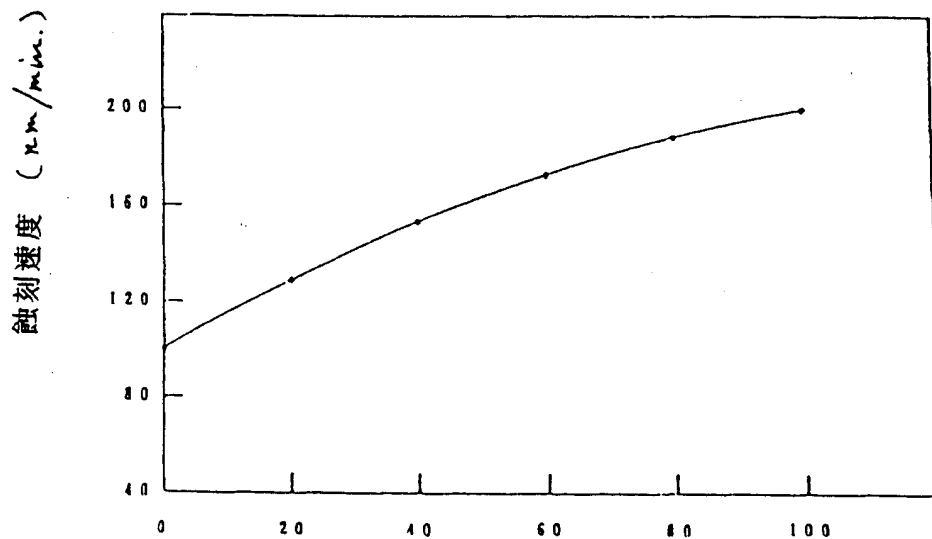


第 2 圖



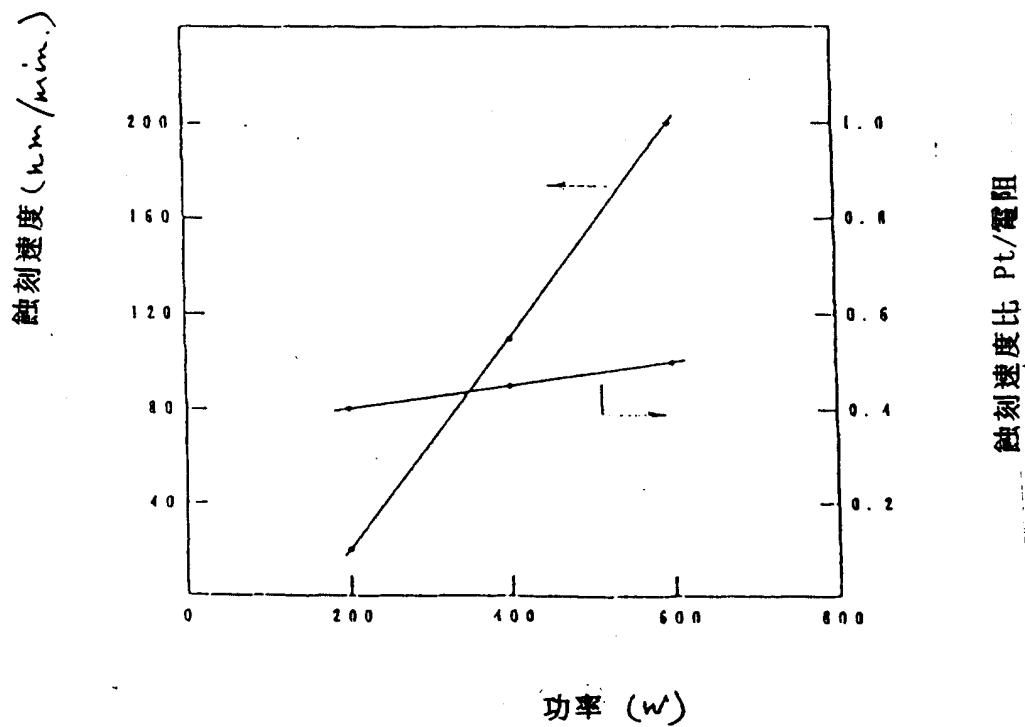
296466

第 3 圖



混合比蝕刻氣體 $S_2Cl_2 / (S_2Cl_2 + Cl_2)$ (%)

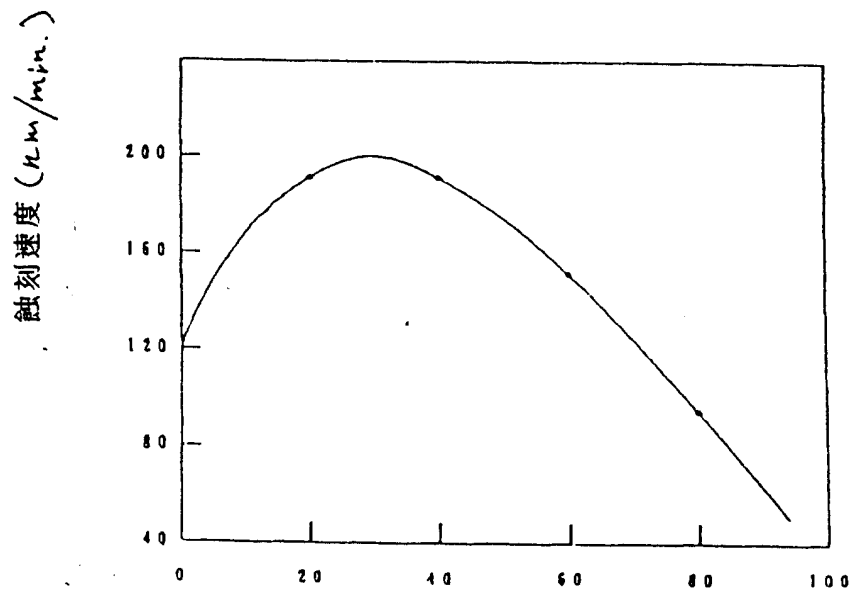
第 4 圖



功率 (W)

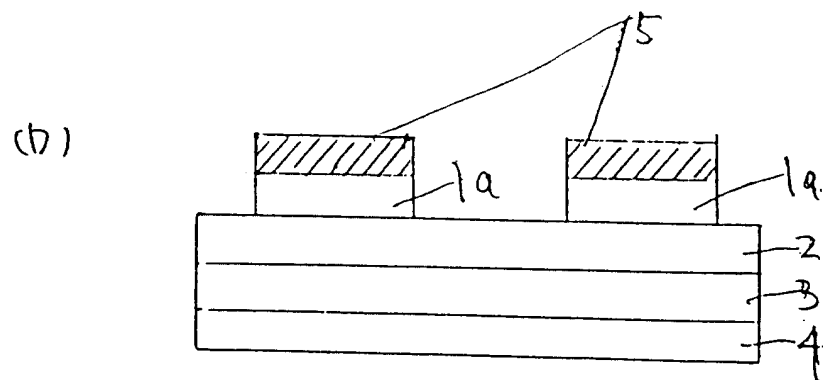
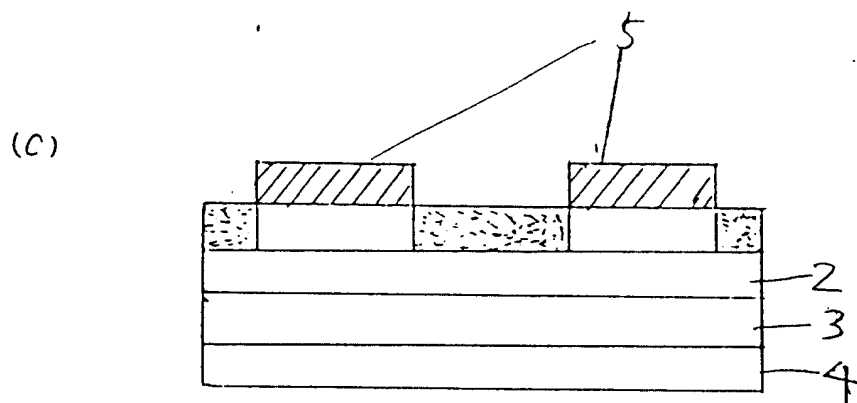
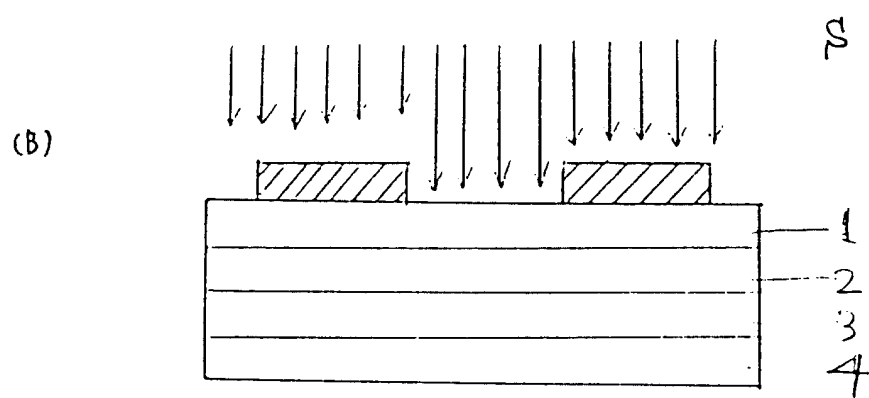
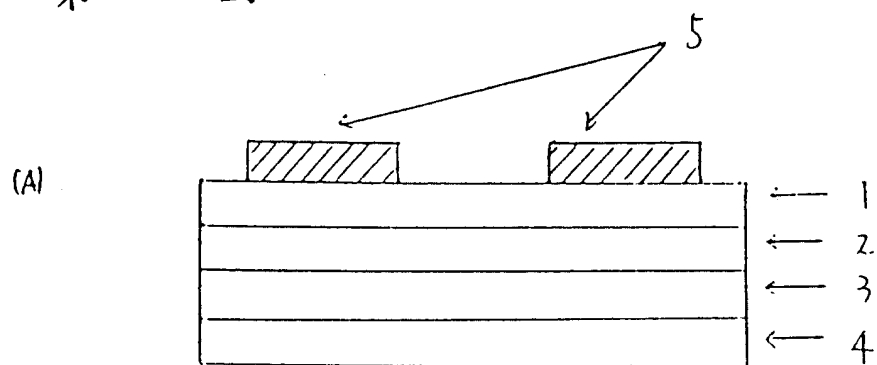
蝕刻速度比 Pt/電阻

第 5 圖

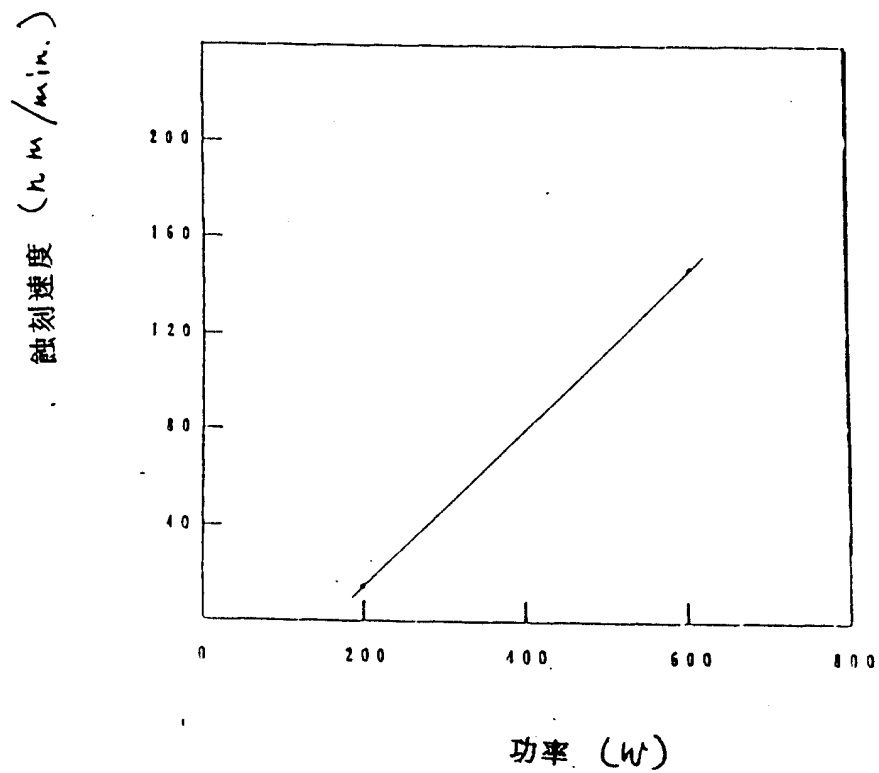


混合比 $\text{H}_2\text{S}/(\text{H}_2\text{S} + \text{HBr})$ (%)

第 6 圖

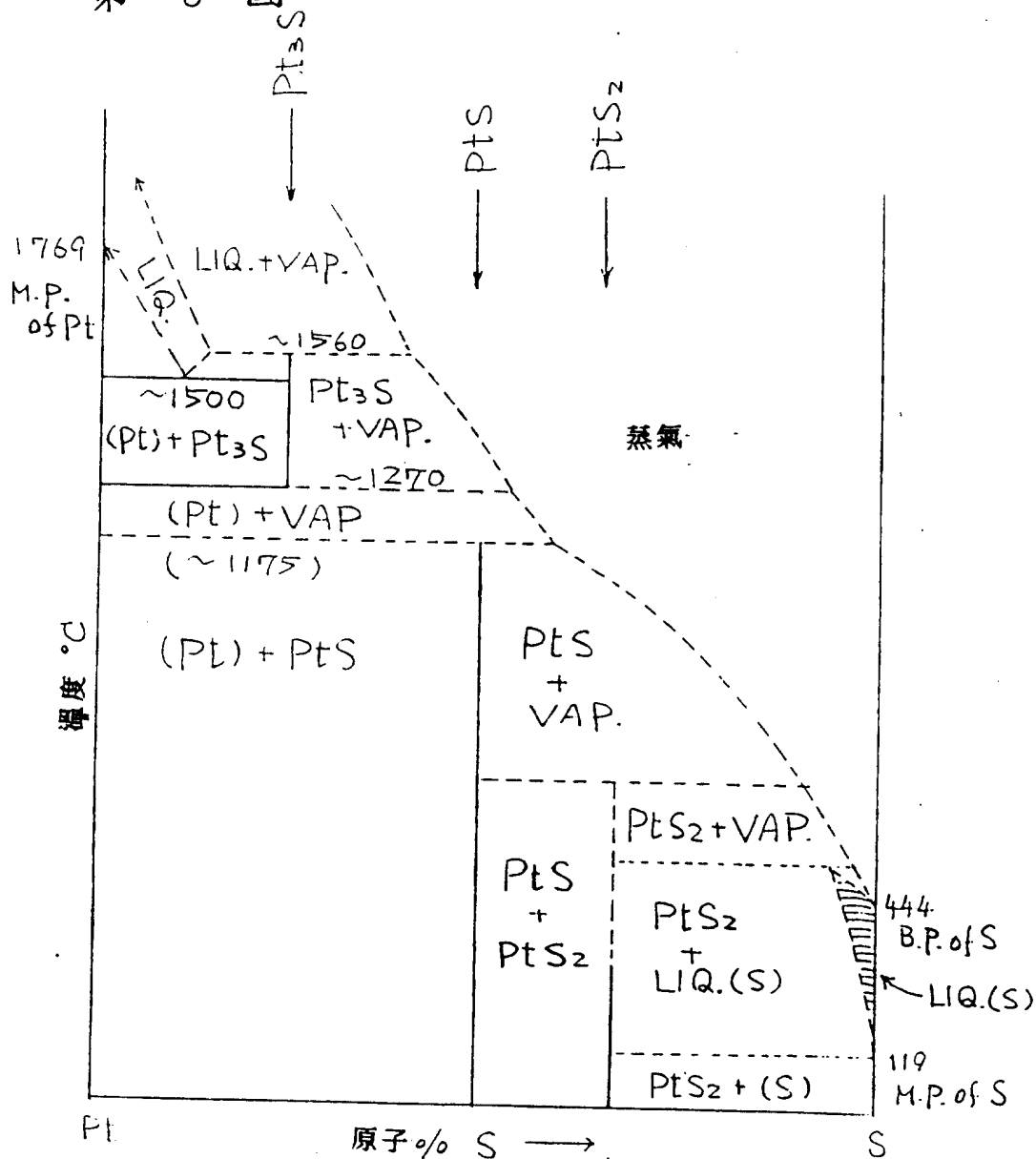


第 7 圖



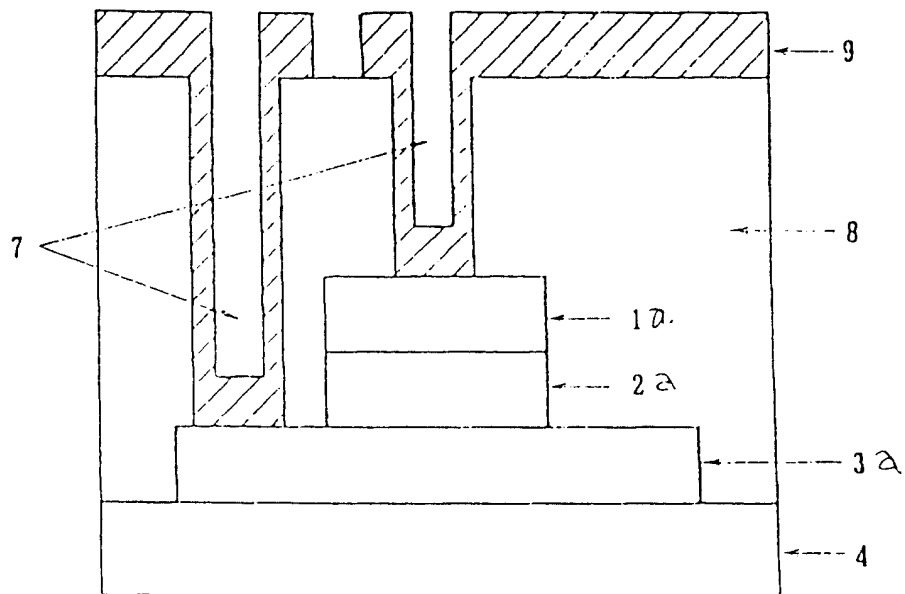
206466

第 8 圖



296466

第 9 圖



第 10 圖

