



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

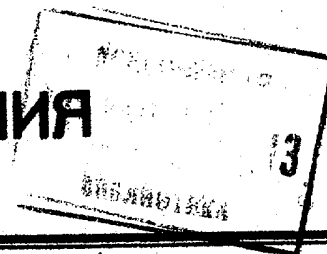
(19) SU (11) 1084800 A

3 (5) G 06 F 11/10

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

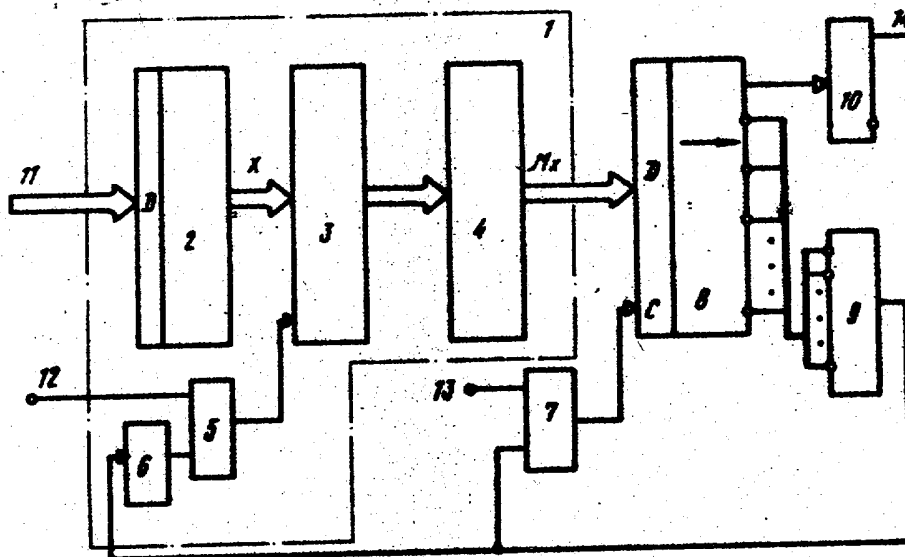
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(61) 530332
(21) 3526025/18-24
(22) 21.12.82
(46) 07.04.84. Бюл. № 13
(72) В.А. Мельников и П.И. Кныш
(53) 681.3(088.8)
(56) 1. Авторское свидетельство СССР
№ 530332, кл. G 06 F 11/10, 1974
(прототип).
(54)(57) УСТРОИСТВО ДЛЯ КОНТРОЛЯ
ПАРАЛЛЕЛЬНОГО ДВОИЧНОГО КОДА НА
ЧЕТНОСТЬ по авт. св. № 530332, о т-
л и ч а ю щ е е с я тем, что, с
ц е л ь ю повышения быстродействия, в
него введен модификатор кода, содер-
жащий входной регистр, дешифратор,

шифратор, формирователь импульса и элемент ИЛИ, причем вход входного регистра является информационным входом устройства, выход входного регистра соединен с информационным входом дешифратора, выход которого соединен с входом шифратора, выходы которого соединены с параллельными входами регистра сдвига, выход первого элемента И через формирователь импульса соединен с первым входом элемента ИЛИ, выход которого соединен с управляющим входом дешифратора, второй вход элемента ИЛИ является входом начального запуска устройства.



SU (11) 1084800 A

Изобретение относится к вычислительной технике и может быть использовано для проверки на четность информации, принимаемой в параллельном коде.

По основному авт. св. № 530332 известно устройство для контроля параллельного двоичного кода на четность, содержащее триггер, два элемента И и регистр сдвига, причем информационными входами устройства являются параллельные входы регистра сдвига, нулевые разрядные выходы которого соединены с входами первого элемента И, выход которого соединен с первым входом второго элемента И, второй вход которого соединен с шиной тактовой частоты, а его выход - с входом сдвига регистра сдвига, выход которого соединен со счетным входом триггера, выход триггера является выходом устройства [1].

Недостатком данного устройства является сравнительно низкое быстродействие, определяемое положением единицы старшего разряда кода.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для контроля параллельного двоичного кода на четность введен модификатор кода, содержащий входной регистр, дешифратор, шифратор, формирователь импульса и элемент ИЛИ, причем вход входного регистра является информационным входом устройства, выход входного регистра соединен с информационным входом дешифратора, выход которого соединен с входом шифратора, выходы которого соединены с параллельными входами регистра сдвига, выход первого элемента И через формирователь импульса соединен с первым входом элемента ИЛИ, выход которого соединен с управляющим входом дешифратора, второй вход элемента ИЛИ является входом начального запуска устройства.

На чертеже приведена функциональная схема устройства для контроля параллельного двоичного кода на четность.

Устройство для контроля параллельного двоичного кода на четность содержит модификатор 1 кода, в состав которого входят входной регистр 2, дешифратор 3, шифратор 4, элемент

ИЛИ 5 и формирователь 6 импульса, второй элемент И7, регистр 8 сдвига, первый элемент И 9, триггер 10, информационный вход 11 и вход 12 начальной частоты и выход 14 устройства.

Рассмотрим назначение элементов и связей устройства для контроля параллельного двоичного кода на четность. Модификатор 1 кода предназначен для модификации поступающего на вход 11 устройства контролируемого кода путем отделения единиц и нулей, формирования "плотноупакованного" кода с его последующим контролем на четность.

Входной регистр 2 является буферным регистром и необходим для хранения кода на время его модификации и контроля модифицированного кода. Хранение контролируемого кода в регистре 2 позволяет при необходимости осуществлять его повторный (многократный) контроль, что позволяет расширить функциональные возможности устройства. Кроме того, действительный код, находящийся в регистре 2, может быть использован после контроля в дальнейших операциях ЭВМ и систем передачи и обработки данных.

Последовательно соединенные дешифратор 3 и шифратор 4 образуют преобразователь кодов и выполняют собственно модификацию преобразования контролируемого кода.

Преобразователь кодов модификатора, выполненный на основе дешифратора и шифратора, преобразует произвольную структуру кода X в плотноупакованную M_X . Элемент ИЛИ 5 разрешает перезапись кода, поступившего на регистр 2 с информационного входа 11, после его преобразования в регистр 8 сдвига для его дальнейшего контроля.

Формирователь 6 импульса предназначен для формирования импульса перезаписи информации из регистра 2 в регистр 8 сдвига после окончания контроля предыдущего кода. Элемент И 7 предназначен для разрешения прохождения тактовых импульсов с шины 13 на регистр 18 сдвига после записи в него модифицированного кода для контроля на четность.

Регистр 8 сдвига предназначен для "выталкивания" единиц кода с последующим их подсчетом на триггере

10 (со счетным входом). Элемент И 9 предназначен для формирования сигнала о наличии кода для контроля. Введение входа устройства 12 необходимо для начального разрешения на модификацию кода с последующей записью в регистр 8 сдвига.

Устройство работает следующим образом.

В исходном состоянии элементы памяти устройства (входной регистр 2, регистр 8 сдвига и триггер 10) находятся в нулевом состоянии.

После записи кода с информационного входа 11 устройства в регистр 2 на вход 12 начального запуска устройства подается импульс, который через элемент ИЛИ 5 поступает на управляющий вход дешифратора 3 и разрешает тем самым модификацию (преобразование) кода $X \rightarrow M_x$ в соответствии с таблицей преобразования дешифратором 3 и шифратором 4. Модифицированный код запишется в регистр 8 сдвига и его состояние будет отличным от нулевого. Так как состояние регистра сдвига изменится относительно нулевого, то на выходе элемента И 9 появится сигнал логической единицы.

Сигнал с выхода элемента И 9 поступает на вход элемента И 7 и подготавливает его к прохождению тактовых импульсов с шины 13 на вход сдвига регистра 8 сдвига. Информация в регистре сдвига 8 начнет сдвигаться в сторону младших разрядов, и "выталкиваемая" единицы младшего разряда регистра 8 сдвига поступает на счетный вход триггера 10.

По окончании процесса контроля, когда регистр 8 сдвига примет нулевое состояние, по содержимому триггера 10 можно судить о четности

(нечетности) кода. При обнулении регистра 8 сдвига на выходе элемента И 9 появится сигнал логического нуля, который, во-первых, запретит прохождение тактовых импульсов через элемент И 7 на вход сдвига регистра 8 сдвига и, во-вторых, импульсом с выхода формирователя 6 импульса через элемент ИЛИ 5, поступающим на управляющий вход дешифратора 3, разрешит модификацию кода и его запись в регистр 8 сдвига. Работа устройства будет продолжаться аналогично описанному. При этом будет модифицирован и проконтролирован предыдущий код, хранимый в регистре 2, либо поступивший с информационного входа 11 устройства.

Обнуление триггера 10 со счетным входом по окончании процесса контроля кода на чертеже не показано.

Предположим, на информационный вход 11 устройства поступает код вида 01010010, который запишется в регистре 2. По импульсу с входа 12 устройства через элемент ИЛИ 5, поступающему на управляющий вход дешифратора 3, осуществится модификация кода и его запись в регистр 8 сдвига.

При этом модифицированный код будет вида 00000111. Для контроля кода такого вида необходимо три тактовых импульса, тогда как для контроля немодифицированного кода необходимо семь тактовых импульсов.

Таким образом, введение новых элементов и связей позволяет повысить быстродействие устройства и расширить его функциональные возможности, так как можно осуществлять при необходимости многократный контроль поступившего кода.

Составитель В. Гречнев

Редактор В. Иванова Техред А.Ач

Корректор М.Шароши

Заказ 2012/44

Тираж 699

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4