(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/41

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0200887
(24) 등록일자 1999년03월11일

(21) 출원번호 10-1996-0018810
(22) 출원일자 1996년05월30일
(65) 공개번호 특1996-0042752
(43) 공개일자 1996년12월21일

(30) 우선권주장 95-131471 1995년05월30일 일본(JP)
(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 구리야마 히로타다
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3 미쓰비시 덴끼 가부시끼 가이샤 나이
(74) 대리인 이화익

심사관 : 오제욱

(54) 낮은 전원전압 동작에서도 빠르고 안정된 동작이 가능한 스태틱형 반도체기억장치

요약

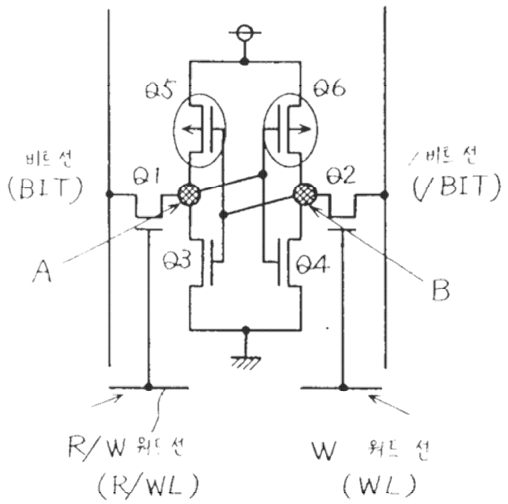
메모리셀(10)은 판독 및 기록동작에서 액세스 트랜지스터 Q1를 구동하는 판독/기록 워드선 R/WL1과 기록동작에서 액세스 트랜지스터 Q2를 구동하는 기록 워드선 WL1을 구비한다.

기록동작에서는 액세스 트랜지스터 Q1과 Q2가 동시에 구동되고, 서로 상보적인 전위로 되어있는 비트선과/비트선에 의해 메모리셀에의 기억정보의 기록이 행해진다.

이것에 대해서 판독동작에서는 액세스 트랜지스터 Q1만이 도통상태가 되고, 비트선을 통해서 기억정보의 판독이 행해진다.

액세스 트랜지스터 Q2는 차단상태로 되어 있어서, P형 TFT 트랜지스터 Q6과 N형 트랜지스터 Q4는 전압이득이 큰 CMOS형 인버터로써 동작하기 때문에, 판독동작에서도 충분한 동작마진이 확보된다.

대표도



명세서

[발명의 명칭]

낮은 전원전압 동작에서도 빠르고 안정된 동작이 가능한 스태틱형 반도체기억장치

[도면의 간단한 설명]

제1도는 본 발명의 제1의 실시예의 SRAM의 메모리셀의 구성을 나타내는회로도.

제2도는 본 발명의 제1의 실시예의 SRAM의 구성을 나타내는 개략블록도.

제3도는 본 발명의 제1의 실시예의 동작을 나타내는 메모리셀의 특성도.

제4a도 및 제4b도는 종래의 비트선패턴및 본 발명의 제2의 실시예의 SRAM의 비트선 패턴을 나타낸 도면.

제5a도 및 제5b도는 메모리셀을 2개 나란히 놓은 경우의 종래의 비트선 패턴 및 본 발명에 따른 비트선 패턴을 나타내는 도면.

제6도는 본 발명의 제3의 실시예의 SRAM의 구성을 나타내는 개략블록도.

제7도는 본 발명의 제3의 실시예의 메모리셀의 특성을 나타내는 도면.

제8도는 본 발명의 제4의 실시예의 SRAM의 구성을 나타내는 개략블록도.

제9도는 본 발명의 제5의 실시예의 SRAM의 구성을 나타내는 개략블록도.

제10도는 본 발명의 제6의 실시예의 SRAM의 구성을 나타내는 요부(要部) 블록도.

제11도는 제1의 종래예의 SRAM의 메모리셀의 구성을 나타내는 회로도.

제12도는 제1의 종래예의 SRAM의 구성을 나타내는 개략블록도.

제13a도는 제1의 종래예의 메모리셀의 동작을 나타내는 동작특성도.

제13b도는 13a의 메모리셀의 동작특성을 나타내는 회로도.

제14a도는 제2의 종래예의 메모리셀의 구성을 나타내는 회로도.

제14b도는 14a도의 메모리셀의 기록동작을 나타내는 도면.

[발명의 상세한 설명]

[발명의 분야]

본 발명은 반도체 기억장치에 관계되며, 특히 저전압동작이 가능한 스태틱형 RAM의 회로구성에 관계되는 것이다.

스태틱형 RAM은 플립플롭회로와 액세스 트랜지스터에 의해 메모리셀이 구성된다.

그 메모리셀의 구성으로써 고저항 부하형과 CMOS가 알려져 있다.

고저항 부하형셀의 경우에는 저항을 트랜지스터상에 적층할 수가 있기 때문에 집적도의 향상에 유리하지만 데이터유지의 안정성이 부족하다고 하는 결점이 있다.

또, CMOS형 셀의 경우에는 고저항 부하형 셀에 비해서 데이터유지의 안정성이 뛰어나지만 기판상의 점유면적이 커진다고 하는 결점이 있다.

그래서 고집적도를 유지하면서 CMOS형 셀의 특징을 살리기 위해 TFT(박막 트랜지스터)를 부하에 이용해서 셀을 구성하는 기술이 실용화되어 있다.

즉 TFT를 이용한 스태틱형 RAM(이하, SRAM)의 메모리 셀을 제11도에 나타나는 것처럼, N형의 액세스 트랜지스터 Q1과 Q2및 드라이버 트랜지스터 Q3과 Q4 및 P형 부하 트랜지스터 Q5와 Q6의 합계6소자로 형성되어 있다.

N형 트랜지스터 Q3과 P형 트랜지스터Q5로 제1의 인버터를 구성하고, N형 트랜지스터Q4와 P형 트랜지스터Q6으로 제2으 인버터를 구성한다.

이 두 인버터의 입력 및 출력을 각각 교차 접속시키는 것으로 플립플롭 회로가 구성된다.

P형 부하 트랜지스터에는 TFT를 이용하고, 기판상에 4소자, 그 위에 P형 트랜지스터 2소자를 형성하는 것으로 셀사이즈를 작게 하고 있다.

기억정보가 비축되는 기억노드는 A와 B의 둘이 있다.

통상 비트선측의 기억노드인 A가 H레벨일 때가 1데이터를 기억하고, L레벨일 때가 0을 기억하고 있다.

이하 간단하게 이 메모리셀의 판독및 기록동작에 관해서 설명하겠다.

나중에 설명하는 바와 같이 비트선과 /비트선은, 비트선 부하를 통해서 전원전위에 이어지고, 비트선과 비트선 전위는 일반적으로는 전원전압(Vcc)에 간직되어 있다.

최초에 제11도의 회로에서 드라이버 트랜지스터Q3이 ON 상태에 있었다. 즉 메모리셀에 논리치 0이 기억되어 있었다고 한다.

0데이터를 판독하는 경우는 워드선의 전위레벨이 올려져서, 액세스 트랜지스터 Q1과 Q2가 도통한다.

그러면 드라이버 트랜지스터 Q3이 ON상태가 되어있기 때문에 비트선 전위가 풀다운된다.

한편 /비트선의 전위는 바이어스 레벨(Vcc)에 멈춘 채이다.

이 비트선과 /비트선의 사이에 생긴 전위차가 증폭되어 기억정보로써 판독된다.

1데이터의 기록의 경우, 워드선의 전위가 올려져서 액세스 트랜지스터 Q1과 Q2를 도통상태로 한 후, /비트선의 전위를 강하게 L레벨로 풀다운한다.

일반적으로 도통시의 P형 트랜지스터 Q6의 콘덕턴스는, N형 트랜지스터 Q4의 콘덕턴스보다도 작기 때문에 노드B의 전위는 L레벨로 끌어 내려지고, 이것에 대응해서 노드A의 전위는 H레벨로 끌어 올려진다.

즉 메모리셀에 1의 데이터가 기록되게 된다.

제12도는 종래의 SRAM의 회로구성을 나타내는 개략블록도이다.

이하에서는 간단하게 하기 위해 2행 2열의 메모리셀 어레이의 경우에 관해서 설명하겠다.

물론 행이나 열이 증가한 경우에도 기본적인 동작은 마찬가지이다.

판독동작에서는 SRAM(5000)에는 외부에서 어드레스 신호와 판독/기록동작 제어신호가 입력된다.

X 어드레스 버퍼 (200)에 입력한 행어드레스 신호는, X어드레스 디코더(202)에 의해 디코드되고, 대응한 행의 워드선의 전위가, 워드선 드라이버회로(204)에 의해 H레벨로 끌어 올려진다.

Y어드레스 버퍼회로 (206)에 입력한 열어드레스 신호는 Y어드레스 디코더(208)에 의해 디코드되고, Y선택 스위치 (216)가 디코드된 열어드레스에 따라서, 대응하는 비트선과 /비트선을 센스앰프(212)와 접속한다.

판독/기록 버퍼회로(210)는 판독/기록동작 제어신호가 H레벨이 됨에 따라서 센스앰프(212)를 활성화한다.

센스앰프(212)에 의해 증폭된 기억정보에 따른 출력신호는 입출력 버퍼회로(218)를 통해서 외부에 출력된다.

기록동작에서는 판독동작과 마찬가지로 해서, 입력된 행어드레스 신호에 따른 워드선의 전위레벨이 H레벨로 끌어 올려진다.

열어드레스 신호에 대응한 비트선과 /비트선이 Y선택 스위치(216)에 의해 기록 드라이버회로(214)와 접속된다.

판독/기록 버퍼회로(210)는 판독/기록동작 제어신호가 L레벨이 되는것에 따라서 기록 드라이버회로(214)를 구동한다.

입출력 버퍼회로(218)를 통해서 입력된 기억정보가, 기록 드라이버회로(214)에 의해 어드레스 신호에 대응한 메모리셀에 기록된다.

이 종래예에서는 비트선 부하는 항상 열린 상태가 되어있는 P형 트랜지스터 (410~416)에 의해 구성되어 있다.

따라서 판독및 기록동작이 행해지는 이외의 경우는, 비트선과 /비트선의 전위는 전원전위 Vcc에 간직되어 있다.

비트선이 상보로 2개 있는 것은 차동입력의 증폭기를 이용해서 고속의 판독을 행하는데 좋고 기록회로가 간단하게 되기 때문이다.

그런데 근년 밧데리 전원등에서의 저전압 동작(3V이하)에서, TFT부하를 이용한 메모리셀을 안정동작 시키는 것이 어렵게 되어 있다.

이하 이 점에 따른 저전압에서의 판독동작에 관해서 더 자세하게 설명하겠다.

스탠바이시의 메모리셀은 액세스 트랜지스터가 OFF로 되어 있기 때문에, 메모리셀의 인버터는 드라이버 트랜지스터와 부하 트랜지스터로 구성되고 높은 전압 게인을 가지고 있다.

즉 인버터의 출력의 논리 드레숄드 부근의 천이부분의 기울기는 가파르다.

이때는, 노이즈마진은 매우 크고 안정되게 데이터를 간직하고 있다.

데이터 판독시의 메모리셀은 액세스 트랜지스터가 ON하고, 컬럼전류(비트선 또는 /비트선에서 메모리셀에 흘러들어가는 전류)가 L레벨측의 기억노드 B에 흘러들어간다.

즉 부하소자에 별렬로 저인피던스의 부하가 접속된것과 같은 값이 되고, 고인피던스의 부하 트랜지스터는 존재하지 않는것과 같게 된다.

따라서 메모리셀 인버터는 액세스 트랜지스터를 부하로 한 N형 MOS 인핸스멘트 부하형으로써 취급하지 않으면 안된다.

이 때는 인버터의 게인은 스탠바이시보다도 상당히 저하하고, 인버터출력의 천이부분의 기울기가 완만해진다.

이 때가 이른바 메모리 셀에 있어서 가장 위험한 때로써 충분한 노이즈마진을 가지고 있지 않으면 쌍안정상태를 잃어버려 데이터가 파괴된다.

한편 TFT의 전류성능이 특히 저전압에서 충분한 것을 얻기가 어렵기 때문에, 기록직후의 H레벨에 대응하는 기억노드의 전위는, 전원전압보다도 액세스 트랜지스터의 드레숄드 전압(Vthn)분량 만큼 낮은 레벨인 Vcc-Vthn이 되어 있다.

즉 메모리셀의 쌍안정성의 해석은 동작의 가장 마진이 낮아지는 고쳐 쓴 직후의 판독 동작에 관해서 행할 필요가 있다.

기록직후의 메모리셀의 판독특성을 제13도(a)에, 그 판독특성에 대응하는 메모리셀의 회로구성을 제13도(b)에 나타냈다.

제13도(a)중의 곡선 α가 액세스 트랜지스터 Q2와 드라이버 트랜지스터 Q4로 이루어지는 인버터특성이고, β가 액세스 트랜지스터 Q1과 드라이버 트랜지스터 Q3으로 이루어지는 인버터특성이다.

여기에서 부하 트랜지스터 Q5 및 Q6의 영향은 위에 말한 대로 전류가 적기 때문에 무시할 수 있다.

또 곡선 α및 β의 교점 a 및 b가 메모리셀의 안정점이고, a일 때가 0데이터를 기억하고 있는 경우에, b일때가 1데이터를 기억하고 있는 경우에 각각 대응하고 있다.

제13도(a)의 C의 부분이 액세스 트랜지스터 Q2의 드레숄드 전압Vathn에, D의 부분이 드라이버 트랜지스터의 Q3의 드레숄드 전압Vdthn에 대응한다.

전원전압 Vcc에서 이 C및 D를 뺀 나머지 부분E가 메모리셀의 판독동작을 안정시키기 위한 마진영역에 대응한다.

액세스 트랜지스터나 드라이버 트랜지스터의 드레숄드 전압은, 이들 트랜지스터의 서브 드레숄드 릭 전류치를 충분히 낮게 억제하는 등의 목적을 위해 일정한 수치 이하로 하는것은 어렵다.

따라서 마진영역E는 동작전압 Vcc가 낮아지면 감소해 버리기 때문에 판독동작이 안정되지 않게 된다.

여기에서 제13도(a)중의 a및 b로 나타난 부분은 셀의 눈이라고 불리우고, 이 셀의 눈에 대응하는 영역이 전원전압이 낮은 영역에서는 작아져 버려, 동작이 불안정화한다고도 말할 수 있다.

따라서 조금이라도 저전압동작에서의 메모리셀의 동작마진을 향상시키기 위해, 드라이버 트랜지스터의 전류공급 능력과 액세스 트랜지스터의 전류공급능력의 비율(셀 비율)을 충분히 크게 하는일이 행해진다.

즉 기억노드 A에 H레벨이 기억되어 있는 경우에는 L 레벨이 기억되어 있는 기억노드 B에 접속하는 액세스 트랜지스터 Q2와 드라이버 트랜지스터 Q4에서, 트랜지스터 Q4의 전류공급능력 쪽이 크면 기억노드 B의 전위는 L레벨에서 안정한다.

이것은 제13도(a)에서 F로 나타난 수치가 작아지는것에 대응한다.

여기에서 일반적으로 MOS 트랜지스터의 전류공급의 능력은 포화영역에서의 드레인 전류1_D를

$$1_D = \beta(V_{GS} - V_{th})^2/2 \quad \ldots\ldots(1)$$

로 표현한 경우의 β의 크기로 나타낸다.

여기에서 V_{GS}는 게이트소스 사이의 전압을, Vth는 트랜지스터의 드레숄드전압을 나타낸다.

동작 마진을 고려하면 종래 셀 비율은 3이상의 수치로 설정되어 왔다.

그러나 이 메모리셀에는 다음의 불합리한 점이 있었다.

i) 셀 비율을 크게 하기 위해 드라이버 트랜지스터의 게이트폭을 넓히면 셀사이즈가 커져 버린다.

ii) 셀비율을 크게 하기 위해 액세스 트랜지스터의 성능을 떨어뜨리는것도 가능하지만, 이 경우는 트랜지스터의 제조프로세스에서 이온주입의 조건을 궁리해서 기생저항치를 크게 하는등이 필요해지고, 제조방법이 복잡해진다.

iii) 예를 들어 셀 비율을 3이상의 수치로 할수가 있어도 액세스 트랜지스터 및 드라이버 트랜지스터의 드레숄드 전압의 크기에 대응하는 영역(제13도(a)중 영역C 및 영역D)이 크기 때문에 동작마진을 확보하는 것이 곤란하고, 보다 저전압의 동작 예를 들면 2V이하에서의 동작은 곤란해져 버리는 것.

이상과 같은 문제점을 해결하기 위해 문헌 H. Kuriyama et al., IEEE Symposium on VLSI Tech. Dig. , P.38(1992)에 제2의 종래예가 개시되어 있다.

제4도(a)는 제2의 종래예의 메모리셀을 나타내는 회로도이다.

제1의 종래예와 다른점은 아래의 세가지 점이다.

i) 워드선을 기록전용의 워드선(R워드선)과 판독전용의 워드선(W워드선)의 둘로 분리하고 있다.

다시 말해서 기록동작시에는 액세스 트랜지스터 Q1만이 구동되고, 기록동작에서는 액세스트랜지스터 Q2만이 구동된다.

ii) 하나의 메모리셀에 대응하는 비트선을 한개만으로 하고 있다.

iii) 드라이버 트랜지스터 Q4도 TFT로 하고 있다.

이상과 같은 구성으로 한 것에 의해, 제2의 종래예는 제1의 종래예에 비해서 이하와 같은 이점을 가진다.

판독동작에서는 액세스 트랜지스터 Q2는 오프상태가 되어 있기 때문에, 부하 트랜지스터 Q6및 드라이버 트랜지스터 Q4에 의해 인버터가 구성된다.

다시 말하면, 부하 트랜지스터가 P형 MOS트랜지스터가 되는 것으로 인버터의 전압이온이 향상하고, 메모리셀dml 노이즈마진이 개선된다.

또 드라이버 트랜지스터 Q4도 TFT이기 떼문에 메모리셀의 면적을 한층 작게 할수가 있다.

그러나 이 제2의 종래예도 이하와 같은 문제점을 가지고 있다.

위의 문제점을 설명하기 위해, 우선 처음 상태로써 기억노드 A는 L레벨이고 이 메모리셀에 0데이터가 기억되어 있는 것으로 한다.

이 상태에서 이 메모리셀에 1데이터를 기억하는 경우를 생각한다.

이 경우의 비트선과 워드선및 각 트랜지스터의 동작상태를 제14도(b)에 나타냈다.

기록용 워드선의 전위레벨이 H레벨로 끌어 올려져서 액세스 트랜지스터 Q2가 도통상태가 된다.

한편 액세스 트랜지스터 Q1은 차단상태인 채이다.

이때 비트선의 전위는 L레벨로 풀다운 된다.

따라서 기억노드 B의 전위, 드라이버 트랜지스터 Q3의 게이트의 전위와 부하 트랜지스터 Q5의 게이트의 전위는 모두 L레벨이 된다.

다시 말해서 드라이버 트랜지스터 Q3은 차단상태가 되고, 부하 트랜지스터 Q5는 도통상태가 되어 기억노드A의 충전이 행해지고 기억노드A는 H레벨로 끌어올려지게 된다.

그러나 부하트랜지스터 Q5는 TFT로써 그 전류공급능력은 충분하기 않기 때문에, 기억노드A가 H레벨이 될 때까지의 장시간(예를들면 μsec오더)이 필요해서 기록동작에 요하는 시간이 제1의 종래예에 비해서 매우 커져버린다고 하는 문제점을 가지고 있었다.

[발명의 개요]

본 발명의 목적은 전원전압이 낮아진 경우도 충분한 동작마진을 가지는 메모리셀을 구비한 SRAM을 제공하는 것이다.

본 발명의 다른 목적은 저전압동작에서도 기록동작에 요하는 시간의 증대를 초래하지 않는 메모리셀을 가지는 SRAM을 제공하는 것이다.

본 발명을 요약하면 스태틱형 반도체기억장치로써, 메모리셀 어레이와 제1과 제2의 비트선과 제1과 제2의 워드선과, 기록동작 제어회로와 판독동작 제어회로를 구비한다.

메모리셀 어레이는 복수의 메모리셀을 가진다.

각 메모리셀은 제1도전형의 제1의 구도용 트랜지스터와, 제2도전형의 제1의 부하용 트랜지스터로 이루어지는 제1의 인버터및 제1도전형의 제2의 구동용트랜지스터와 제2도전형의 제2의 부하용 트랜지스터로 이루어지는 제2의 인버터를 가지는 플립플롭 회로와, 제1의 인버터의 출력노드와 접속하는 제1도전형의 제1의 액세스 트랜지스터와, 제2의 인버터의 출력노드와 접속하는 제1도전형의 제2의 액세스 트랜지스터를 포함한다.

제1및 제2의 비트선은 메모리셀의 적어도 하나와, 제1및 제2의 액세스 트랜지스터를 통해서 각각 접속한다.

제1과 제2의 워드선은 제1과 제2의 액세스 트랜지스터의 게이트에 각각 접속한다.

기록제어회로는 메모리셀에의 기억정보의 기록의 경우, 제1및 제2의 워드선 전위를 제어해서 제1과 제2의 액세스 트랜지스터를 도통시키고 제1과 제2의 비트선의 상보전위를 메모리셀에 전달시킨다.

판독제어회로는 메모리셀에서서의 기억정보의 판독의 경우, 제1의 워드선 전위를 제어해서 제1의 액세스 트랜지스터를 도통시키고, 제1의 인버터의 출력을 제1의 비트선에 전달시킨다.

본 발명의 다른 국면에 따르면 스태틱형 반도체 기억장치로써 메모리셀 어레이와 제1과 제2의 비트선과 비트선부하회로와 워드선을 구비한다.

메모리셀 어레이는 복수의 메모리셀을 가진다.

각 메모리셀은 제1도전형의 제1의 구동용 트랜지스터와 제1의 부하소자로 이루어지는 제1의 인버터및, 제1도전형의 제2의 구동용 트랜지스터와 제2의 부하소자로 이루어지는 제2의 인버터를 가지는 플립플롭 회로와, 제1의 인버터의 출력노드와 접속하는 제1도전형의 제1의 액세스 트랜지스터와, 제2의 인버터의 출력노드와 접속하는 제1도전형의 제2의 액세스 트랜지스터를 포함한다.

제1과 제2의 비트선은 메모리셀의 적어도 하나와, 제1과 제2의 액세스 트랜지스터를 통해서 각각 접속한다.

비트선 부하회로는 각 비트선과 전원과의 사이에 접속된다.

비트선 부하회로는 게이트에 제1의 전위가 인가되고, 상기 비트선과 전원과의 사이에 접속되는 제1의 비트선 부하 MOS트랜지스터를 포함한다.

워드선은 제1과 제2의 액세스 트랜지스터의 게이트에 공통으로 접속한다.

제1의 비트선 부하 MOS트랜지스터의 전류 공급능력은 대응하는 비트선에 접속하는 액세스 트랜지스터의 전류공급 능력의 5배이하이고, 또한 액세스 트랜지스터의 접속하는 구동용 트랜지스터의 전류공급 능력은 액세스 트랜지스터의 전류공급능력 이하이다.

본 발명의 또 다른 국면에 따르면, 스태틱형 반도체 기억장치로써 메모리셀어레이와, 제1과 제2의 비트선과 비트선 부하회로와, 워드선과 기록동작 제어회로와, 판독동작 제어회로를 구비한다.

메모리셀 어레이는 복수의 메모리셀을 가진다.

각 메모리셀은, 제1도전형의 제1의 구동용 트랜지스터와 제1의 부하소지로 이루어지는 제1의 인버터및 제1도전형의 제2의 구동용 트랜지스터와, 제2의 부하소자로 이루어지는 제2의 인버터를 가지는 플립플롭 회로와, 제1의 인버터의 출력노드와 접속하는 제1도전형의 제1의 액세스 트랜지스터와, 제2의 인버터의 출력노드와 접속하는 제1도전형의 제2의 액세스 트랜지스터를 포함한다.

제1과 제2의 비트선은 메모리셀의 적어도 하나와, 제1과 제2의 액세스 트랜지스터를 통해서 각각 접속한다.

비트선 부하회로는 각 비트선과 전원과의 사이에 접속된다.

비트선 부하회로는 비트선과 전원과의 사이에 접속되고 게이트전위가 판독동작 제어수단에 제어되는 디플레이션형 MOS트랜지스터를 포함한다.

워드선은 제1과 제2의 액세스 트랜지스터의 게이트에 공통으로 접속한다.

기록제어회로는 메모리셀에의 기억정보의 기록의 경우, 워드선전위를 제어해서 제1과 제2의 액세스 트랜지스터를 도통시키고, 제1과 제2의 비트선의 상보전위를 메모리셀에 전달시킨다.

판독제어회로는 메모리셀의 기억정보를 판독하는 경우, 워드선의 전위를 제어해서 상기 제1및 제2의 액세스 트랜지스터를 도통시키고, 제1과 제2의인버터의 출력을 각각 상기 제1과 제2의 비트선에 전달시키고, 또한 상기 디플레이션형 MOS 트랜지스터의 게이트전위를 제1의 전위로 하고, 메모리셀의 기억정보의 판독동작을 행하지 않는 경우, 디플레이션형 MOS트랜지스터의 게이트전위를 제2의 전위로 한다.

따라서 본 발명의 주된 이점은, 판독동작에서는 제1의 액세스 트랜지스터만이 구동되기 때문에 제2의 액세스 트랜지스터가 접속하는 측의 인버터의 전압게인을 높게 유지하는 것이 가능하고, 메모리셀 동작의 안정을 꾀할 수가 있는 것이다.

기록동작에서는 제1과 제2의 액세스 트랜지스터를 구동해서 서로 상보적인 전위가 되어 있는 제1과 제2의 비트선에 의해 데이터의 기록을 행하기 때문에, 기록동작에 요하는 시간이 증가하는 것은 아니다.

본 발명의 다른 이점은 제1의 비트선 부하트랜지스터, 액세스 트랜지스터와 구동용 트랜지스터의 전류공급 능력이 소정의 관계를 충족시키기 때문에, 메모리셀의 동작이 저전압에서도 안정화 되는 것이다.

본 발명의 또 다른 이점은, 비트선 부하수단은 서로 병렬로 접속되는 제1과 제2의 비트선 부하MOS 트랜지스터에 의해 구성되기 때문에 판독동작에서의 경우와 그 외의 경우에 있어서, 비트선 부하수단의 전류공급능력을 가변으로 하는것이 가능하고, 판독동작의 안정화와 안정된 기억정보 유지동작과의 양립을 꾀하는 것이 가능한 것이다.

[실시예]

[실시예 1]

제1도는 본 발명의 제1의 실시예의 SRAM의 메모리셀의 구성을 나타내는 회로도이다.

종래의 메모리셀의 구성에 비교하면, 워드선이 둘로 분리되고 액세스 트랜지스터Q1의 게이트에 판독/기록용 워드선(이하, R/W 워드선)이 접속되며, 액세스트랜지스터 Q2의 게이트에는 기록용 워드선(이하, W 워드선)이 접속되어 있다.

또 비트선은 비트선과 /비트선으로 이루어지는 상보구성으로 되어 있다.

제2도는 본 발명의 제1의 실시예의 SRAM의 구성을 나타내는 개략블록도이다.

제12도에 나타난 제1의 종래예의 구성과 다른 점은 아래의 4가지 점이다. 제1은 메모리셀(10~16)이 제1도에서 나타난 구성으로 되어 있는 점이다.

제2는 워드선 드라이버 회로가 기록/판독 워드선 드라이버 회로(220)와 기록 워드선 드라이버 회로(222)의 둘로 분리되어 있는 것이다.

제3은 판독/기록 버퍼회로 (210)에서의 신호 srw에 의해 판독/기록워드선 드라이버 회로 (220)와 기록 워드선 드라이버 회로(222)가 제어되는 구성으로 되어있는 점이다.

제4는 더미 메모리셀(300)이 센스앰프(212)의 한편의 출력에 접속되어 있는 점이다.

제1도와 제2도를 참조해서 다음에 동작에 관해서 설명하겠다.

제1의 종래예에서는 판독동작이든 기록동작이든 비트선과 /비트선의 2개를 사용하고 있지만 본 실시예에서는 판독시에는 비트선 1개만을 사용하고, 기록동작은 비트선과 /비트선의 2개를 사용한다.

이하에서는 메모리셀(10)에 대해서 판독과 기록동작이 행해지는 것으로 하고, 메모리셀(10)의 기억노드A의 전위레벨은 L레벨인 것으로 한다.

판독동작에서는 외부에서 행어드레스 신호가 X어드레스 버퍼회로(202)에 입력되고, X어드레스 디코더(202)에서 디코드된다.

X어드레스 디코더(202)에서의 행어드레스 신호와 판독/기록 버퍼회로 (210)에서의 신호 srw에 응해서 판독/기록워드선 드라이버 회로(220)가 판독/기록워드선 R/WL1의 전위를 H레벨로 끌어올린다.

이것에 따라서 액세스 트랜지스터Q1이 도통상태가 된다.

기억/노드A의 전위는 L레벨로써, 구동용 트랜지스터Q3이 온 상태가 되어있기 때문에 비트선의 전위는 전원전위 Vcc보다도 낮은 전위가 된다.

이때에 생기는 미소전위차를 증폭하는데는 센스앰프(212)에의 입력은 상보형인것이 바람직하지만, 본 실시예에서는 판독동작은 비트선만으로 행하는 구성으로 되어 있기 때문에, 센스앰프(212)의 한쪽의 입력에는 외부에서의 열 어드레스 신호에 따라서, Y선택스위치 (216)에 의해서 선택된 비트선이 접속되고, 다른쪽의 입력에는 메모리셀(300)이 접속된다.

즉 더미 메모리셀(300)에서의 입력이 메모리셀(10)에서의 기억정보의 판독에 대한 기준전위를 부여하고

있다.

이상과 같은 더미 메모리셀을 이용하는 구성은, 예를들면 문헌 K.Sasaki et at., IEEE Journal of Solid State Circuits. vol. 28. No. 11. Nov., P.1125(1993)에 개시되어 있는 것이다.

판독동작은 이상과 같은 구성으로 행해지기 때문에, 판독동작중에는 액세스 트랜지스터Q2는 차단상태인 채이다.

기록동작에서는 판독/기록 버퍼회로 입력된 기록동작 제어신호에 따른 신호srw와 외부에서의 행어드레스 신호에 따라서 기록워드선 드라이버 회로(222)및 판독/기록 워드선 드라이버 회로(220)이 구동되고, 대응하는 워드선 WL1과 R/WL1이 동시에H레벨로 끌어 올려진다.

이것에 따라서 액세스 트랜지스터 Q1과 Q2가 도통상태가 된다.

한편 외부에서의 열어드레스 신호에 따라서 Y선택 스위치 회로(216)가 대응하는 비트선및/비트선과 기록 드라이버회로(214)를 접속한다.

판독/기록 버퍼회로(210)에 외부에서 기록동작 제어신호가 입력하는 것으로 기록 드라이버 회로 (214)가 활성화된다.

예를 들면 메모리셀 (10)에 1데이터를 기록하는 경우는, 외부에서 입출력버퍼회로(218)에 입력되는 H레벨의 신호에 따라서 기록 드라이버 회로(214)는 비트선의 전위를 H레벨로 하고, /비트선의 전위를 L레벨로 한다.

따라서 기억노드B의 전위는 액세스 트랜지스터 Q2를 통해서 비트선에 의해 L레벨에 까지 끌어내려진다.

한편 기억노드A는 액세스 트랜지스터 Q1을 통해서 비트선에 의해 H레벨로 충전된다.

따라서 제2의 종래예와 달라서 충분한 전류공급 능력을 가지는 액세스 트랜지스터 Q1에 의해 기억노드A가 충전되기 때문에 기록동작에 요하는 시간이 증대하는 것은 아니다.

제3도는 제1의 실시예의 기록직후의 판독특성을 나타낸다.

제13도(a)에 나타난 제1의 종래예와 다른 점은 액세스 트랜지스터Q2와 구동용 트랜지스터Q4로 구성되는 인버터특성 α가 부하용 트랜지스터 Q6및 구동용 트랜지스터 Q4로 구성되는 인버터 특성γ로 변한 점이다.

부하가 N형 트랜지스터에서 P형 트랜지스터로 되어 CMOS회로 구성으로 된것에 의해, 인버터의 전압게인도 커지고 셀의 눈이라고 불리우는 영역a와 영역b가 제1의 종래예에 비하면 훨씬 커져 있다.

이 경우 셀의 눈의 영역이 훨씬 커진것에 대응해서, 셀비율은 종래의 수치인 3에서 예를들면 2로 떨어진다고 해도 충분한 동작 마진을 확보할 수가 있다.

이상과 같이 제1의 실시예에 의하면 메모리셀의 판독동작이 안정한다.

또 일반적으로 메모리셀의 면적을 정하는 요소의 하나로써, 트랜지스터의 게이트면적과 셀 비율을 작게할수 있는 분량만큼 구동용 트랜지스터의 게이트폭을 좁힐수 있기 때문에, 셀사이즈를 작게 하는것이 가능하고 고집적화에 유리하다.

또 본 실시예의 판독동작에서의 동작 드레숄드치의 하한은, 부하 트랜지스터 Q6과 구동용 트랜지스터 Q4로 구성되는 인버터의 논리 드레숄드치에 의해 정해진다.

다시말하면, 제3도에서 영역a 또는 영역b가 없어 졌을 때에 이 메모리셀은 동작이 불가능해 지지만, 영역a가 큰것은 논리 드레숄드 치가 높은 것에, 영역b가 큰것은 논리 드레숄드치가 낮은 것에 대응한다.

저전압 동작에서는 영역b쪽이 작아지는 경향이 있기 때문에, 동작 전원전위의 하한에서도 영역b가 존재하도록 부하 트랜지스터Q6과 구동용 트랜지스터 Q4의 특성을 조정할 필요가 있다.

액세스 트랜지스터 Q1과 구동용 트랜지스터 Q3으로 구성되는 인버터의 특성곡선β에서는, 기억노드A의 전압은 전원전위Vcc에서 액세스 트랜지스터Q1의 드레숄드 전압을 뺀 수치 이상으로 될수가 없다.

따라서 인버터 특성곡선 γ의 논리 드레숄드 치를 동작 전원전압 하한의 절반 이하로 하는것으로 영역b를 확보하는것이 가능하고, 이러한 설정에 의해 저전압 동작에서도 동작마진이 얻어진다.

또 한편으로 판독동작시는 구동용 트랜지스터 Q4를 이용하지 않기 때문에,이 트랜지스터의 드레인 전류량을 줄여도 판독속도에는 영향을 주지 않는다.

이 때문에 구동용 트랜지스터 Q3에 비해서 구동용 트랜지스터 Q4의 드레인 전류량을 줄일수가 있다.

따라서 예를 들면 구동용 트랜지스터 Q4의 드레숄드 전압V_{dthn2}를 구동용 트랜지스터 Q3의 드레숄드 V_{dthn1}보다도 높게 설정할 수가 있다.

이 경우 제3도에서 영역a의 크기는 구동용 트랜지스터 Q4의 드레숄드전압V_{dthn2}가 클수록 커지기 때문에 기억노드 A의 기억레벨이 L레벨인 경우의 동작 마진이 확보된다.

구동용 트랜지스터 Q4의 드레인 전류량을 구동용 트랜지스터Q3의 드레인 전류량에 비해서 감소시키는 것은, 위에 말한 바와 같은 드레숄드 전압의 조정만이 아니고, 구동용 트랜지스터 Q3에 비해서 구동용 트랜지스터 Q4의 게이트폭을 좁히는 것에 의해서도 가능하다.

이 경우에 있어서는 구동용 트랜지스터Q4의 게이트폭을 좁히는 것이 가능한 분량만큼 메모리셀의 면적을 보다 작게 하는것이 가능하다.

[제2의 실시예]

제4도(a)는 종래의 메모리셀(100)에 대한 비트선(BIT)과 /비트선(/BIT)의 패턴예를, 제4도(b)는 본 발명의 제2의 실시예의 메모리셀(10)에 대한 비트선(BIT)과/비트선(/BIT)의 패턴예를 나타내는 것이다.

비트선은 비트선콘택트(20)을 통해서, /비트선은 비트선 콘택트(22)를 통해서 메모리셀과 접속하고 있다.

종래 비트선과 /비트선은 메탈배선, 예를들면 알미늄계 배선(이하, A1배선)이 사용되어 왔다.

이것은 A1배선과 같은 저저항의 배선이 아니면 비트선의 저항치와 기생용량치에 의해 정해지는 지연시간이 커지고 판독속도가 늦어지기 때문이다.

그러나 제1의 실시예에서는 /비트선은 판독동작에 사용되지 않기 때문에A1배선을 사용하지 않아도 판독속도에 영향을 주지 않는다.

메모리셀의 사이즈를 정하는 하나의 요인으로써 A1배선의 피치가 있다.

메모리셀로써 제1의 실시예에서 나타난 것을 이용하면, 비트선은 A1배선을,/비트선은 A1배선의 하층배선, 예를 들면 실리사이드 배선으로 하는 것이 가능하다.

따라서 비트선과 /비트선이 다른 배선층에 속하기 때문에, 비트선의 가공공정에서의 프로세스 마진에 의해 결정되는 비트선과 /비트선 사이의 피치를 작게 하는 것이 가능하다.

따라서 제4도에 나타나는 것처럼, 종래의 메모리셀(100)의 단변(短邊)에비해서 메모리셀(10)의 단변은 짧게 하는것이 가능하여 메모리셀 사이즈의 축소가 가능해 진다.

또, 하나의 메모리셀에 대응하는 A1배선이 1개로 된 것에 의해, 메모리셀사이즈 자체는 축소되어도, A1배선간의 피치는 종래보다도 넓게 하는 것이 가능하다.

이 모양을 제5도에 나타낸다.

제5도(a)는 종래의 메모리셀을 둘 나란히 놓은 경우의 비트선과 /비트선의 패턴을 나타내는 도면이다.

제5도(b)는 제2의 실시예의 메모리셀이 둘 나란히 놓여져 있는 경우의 비트선의 패턴을 나타내는 도면이다.

본 실시예에서는 종래예에 비하면 A1배선에 의해 형성되는 비트선 간격이 크기 때문에 이비트선의 사이에 GND배선을 형성하는 것이 가능하고, 이GND배선에 의해 각 메모리셀에 GND전위를 안정되게 공급하는 것이 가능해 져서, 전압동작에서의 메모리셀의 동작을 더욱 안정화할 수가 있다.

[제3의 실시예]

제6도는 본 발명의 제3의 실시예의 SRAM(2000)의 회로구성을 나타내는 개략블록도이다.

기본적인 구성은 제1의 종래예와 간다.

다른점은 비트선 부하 트랜지스터(410~416)의 트랜지스터 사이즈에 아래에 설명하는 한정을 더한 점이다.

종래에는 비트선 부하트랜지스터의 전류공급능력은 액세스 트랜지스터Q1 및 Q2의 10배 이상이었다.

이것에 비해서 본 실시예에서는 엑세스 트랜지스터 Q1및Q2에 대한 비트선부하 트랜지스터의 전류공급 능력을 5배 이하로 하고 있다.

다음에 동작에 관해서 설명하겠다.

메모리셀 자체의 구성은 제1의 종래예와 같기 때문에 제11도에 나타난 메모리셀의 구성을 참조해서 설명하겠다.

예를 들면 전원전압을 3V로 하면, 비트선 부하 트랜지스터의 드레인전압V_d와 게이트소스간 전압V_g이, 동시에 -3V의 경우의 드레인 전류치 I_d가 1.0~3mA였었다.

이것에 대해서 액세스 트랜지스터에서는 $V_d=V_g=3V$로써 I_d는 100μA정도이고, 구동용 트랜지스터에서는 액세스 트랜지스터와 같은 조건에서 200μA정도였었다.

보다 구체적인 예를 말하면 비트선 부하 트랜지스터, 액세스 트랜지스터, 구동용 트랜지스터의 각각의 $V_d=V_g=-3V$(P형 트랜지스터의 경우)혹은 $V_d=V_g=3V$(N형 트랜지스터의 경우)에서의 드레인 전류치가 1.2mA, 100μA, 200μA에서, 제11도의 기억노드A가 L레벨, 기억노드B가 H레벨로 한다.

이 때 비트선의 전위는 2.8볼트, 기억노드 A가 0.7볼트가 된다.

드라이버 트랜지스터Q4의 드레숄드의 수치가 0.7V라고 하면 기억노드B으의H레벨이 구동용 트랜지스터Q4가 도통상태로 되어서 내려가 버리는데 이터의 파괴가 일어난다.

이것에 대해서 본 실시예와 같이 한 경우는 H레벨의 저하는 없고 데이터 파괴도 일어나지 않는다.

구체적인 예를 말하면 비트선 부하 트랜지스터, 액세스 트랜지스터, 구동용트랜지스터의 각각의 $V_d=V_g=-3V$(P형 트랜지스터의 경우) 혹은 $V_d=V_g=3V$(N형 트랜지스터의 경우)에서의 드레인전류치가 33μA, 100μA, 200μA이고 제11도의 기억노드 A가L레벨, 기억노드 B가 H레벨로 한다.

이때 비트선의 전위가 1.5V, 기억노드 A의 전위가 0.5V가 된다.

기억노드 A의 전위 0.5V는 구동용 트랜지스터 Q4의 드레숄드전압의 일반적인 수치 0.7V에 비해서 훨씬 낮기 때문에 데이터의 파괴는 생기지 않는다.

이상과 같은 구체예에 의거해서 데이터파괴가 생기지 않는 트랜지스터 특성의 영역을 계산한 결과를 제7도에 나타낸다.

아래에서는 전원전압은 3V로 고정하고 액세스 트랜지스터의 드레숄드 전압Vtha는 0.7V인 것으로 한다.

종래예에서 설명한대로 기억노드의 전위가 L레벨인 경우의 메모리셀으 동작의 안정성이라고 하는 요구에서, 구동용 트랜지스터의 전류공급능력은 액세스 트랜지스터의 전류공급 능력보다도 크지 않으면 안된다.

제 7도는 가로축에 액세스 트랜지스터의 전류공급능력에 대한 구동용 트랜지스터의 전류공급능력의 비율을 취하고, 세로축에 액세스 트랜지스터의 전류공급능력에 대한 비트선 부하 트랜지스터의 전류공급 능력의 비율을 취한 것이다.

위에 말한 것에 의해 메모리셀의 동작마진을 확보하기 위해서는 가로축의 수치는 1.5이상이 아니면 안된다.

이하에서는 구동용 트랜지스터의 드레숄드 전압Vthd로써 0.7V의 경우와, 0.85V의 경우에 관해서의 결과를 설명하겠다.

먼저 구동용 트랜지스터의 드레숄드전압 Vthd가 0.7V의 경우는 액세스 트랜지스터의 전류공급능력에 대한 구동용 트랜지스터의 전류공급 능력이 그하한치인 1.5일 때, 액세스 트랜지스터의 전류공급능력에 대한 비트선 부하트랜지스터의 전류공급능력 비율이 5이하이면 'L레벨인 기억노드의 전위가 구동용 트랜지스터의 드레숄드 전압인 0.7을 넘지 않는다.

액세스 트랜지스터의 전류공급 능력에 대한 구동용 트랜지스터의 전류 공급능력이 1보다도 큰 범위에서는, 제7도중 크로스해치로 나타난 영역에서는 메모리셀의 데이터 파괴가 생기지 않는다.

한편 메모리셀의 구동용 트랜지스터의 드레숄드 전압Vthd가 0.85V인 경우는 액세스 트랜지스터의 전류공급 능력에 대한 구동용 트랜지스터의 전류공급능력의 비율은 1이상인 것이 필요하고, 이 하한치의 경우는 액세스 트랜지스터의 전류 공급능력에 대한 비트선 부하 트랜지스터의 전류공급 능력의 비율은 5이하이면 된다.

액세스 트랜지스터의 전류공급 능력에 대한 구동용 트랜지스터의 전류공급능력의 비율이 더 큰 범위에서는 제7도중 사선으로 표시된 영역에서는 데이터의 파괴가 발생하지 않는다.

따라서 위의 결과에 의해 적어도 이하의 두 조건을 만족시키는 영역에서는 메모리셀은 안정되게 동작하는 것이 가능한 것을 알 수 있다.

(구동용 트랜지스터의 전류공급능력)/(액세스 트랜지스터의 전류공급능력)g1 · · · (2)

(비트선 부하 트랜지스터의 전류공급능력)/(액세스 트랜지스터의 전류공급능력)f · · · (3)

한편 MOS 트랜지스터의 전류 공급능력 β는 일반적으로 이하의 식으로 표현 된다.

$\beta = \mu C_{ox} W/L$ · · · (4)

여기에서 μ는 캐리어의 이동도, C_{ox}는 MOS 트랜지스터의 게이트절연막의 단위면적당의 용량, W는트랜지스터의 게이트폭, L은 트랜지스터의 게이트길이를 나타낸다.

따라서 비트선 부하 트랜지스터, 액세스 트랜지스터 및 구동용 트랜지스터의 게이트폭 내지 게이트 길이를 조절해서 상기 식(2)와 (3)의 조건을 충족시키도록 설정해 주면, 메모리셀의 데이터가 파괴되는 것은 아니다.

본 실시예에서는 비트선 부하용 트랜지스터의 게이트폭 내지 게이트 길이의 조절에 의해서 저전압 동작에서도 안정되게 동작하는 SRAM을 얻는 것이 가능하다.

[제4의 실시예]

제8도는 본발명의 제4의 실시예의 SRAM(3000)의 구성을 나타내는 개략블록도이다.

제3의 실시예에서 나타난 바와같이 동작전원전압이 낮아진 경우에도, 비트선 부하 트랜지스터의 전류 공급능력을 일정치 이하로 하는 것으로, 메모리셀의 안정동작을 실현하는 것이 가능하다. 그러나 이경우에는 비트선 부하 트랜지스터를 흐르는 전류량이 적기 때문에, 특정의 메모리셀을 액세스 하기 위하여 워드선 전위가 변화할 때 비트선과 /비트선에 노이즈가 생길 가능성이 있다.

즉 비트선과 워드선과의 사이에 존재하는 부유용량을 통해서, 워드선 전위의 변화가 비트선의 전위에 영향을 줄 가능성이 있다.

본 실시예에서는 위에 말한 문제점을 해결하기 위해, 워드선을 구동하는데 소정의 지연시간을 가지고 워드선을 구동하는 것이 가능한 지연회로가 딸린 워드선 드라이버 회로(400)를 이용하고 있다.

위에 말한 비트선과 워드선 사이의 부유(浮游)용량과 워드선의 저항치 등으로 결정되는 특정의 시정수(時定數)보다도 긴 시정수로 워드선을 구동하면, 워드선이 비트선에 주는 노이즈의 문제가 없는 안정된 회로동작을 실현하는 것이 가능하다.

[제5의 실시예]

제9도는 본 발명의 제5의 실시예의 SRAM(4000)의 구성을 나타내는 개작블록도이다.

제3의 실시예와 다른 점은 이하의 두가지 점이다.

제1은 비트선 부하 트랜지스터(410~416)가 디플레이션형 MOS 트랜지스터인 것이다.

제2는 위에 말한 비트선 부하 트랜지스터의 게이트 전위를 판독/기록 버퍼회로(210)가 제어하는 구성으로 되어있는 점이다.

제3의 실시예에서는 비트선 부하 트랜지스터(410~416)의 전류 공급능력을 작게 하는 것으로, 판독동작시의 메모리 셀의 안정성을 향상시켰다.

그러나 판독동작을 행하지 않는 경우에는 비트선 전위를 안정시키기 위해,전류가 많이 흐르게 하는 비트선 부하인 쪽이 바람직하다.

본 실시예에서는, 판독동작에서 비트선 부하 트랜지스터 (420~426)의 게이트 전위를 $V_g=V_\infty$로 해서 전류공급 능력을 감소시킨다.

그 외의 경우는, $V_g=0V$로 하는 것으로 전류공급 능력을 증가시키는 구성으로 하고 있다.

이것에 의해 안정돈 판독동작과 안정된 기억정보의 유지동작을 양립시키는 것이 가능하다.

[제6의 실시예]

제10도는 본 발명의 제6의 실시예의 SRAM의 구성중의 판독/기록 버퍼회로(210)와 비트선 부하소자의 부분을 나타내는 회로도이다.

제5의 실시예에서는 비트선 부하소자를 디플레이션형 MOS 트랜지스터로 하는 것으로 판독동작시와 그외의 경우의 비트선 부하의 전류공급 능력을 변화시켰다.

본 실시예에서는 항상 도통상태로 되어 있는 인핸스멘트형 P형 트랜지스터(410~416)과 그들의 각각에 병렬로 접속되어 있는 인핸스멘트형 P형 트랜지스터(420~426)에 의해 비트선 부하소자를 구성하고 있다.

인핸스멘트형 P형 트랜지스터 (420~426)의 게이트전위는 판독/기록 버퍼회로 (210)에 의해 제어되어 있다.

판독동작에서는 P형 트랜지스터 (420~426)는 차단상태가 된다.

따라서 제5의 실시예와 마찬가지로 판독동작중의 비트선 부하소자의 전류공급 능력이 작아지기 때문에 메모리셀 동작이 안정화 된다.

한편 판독동작 이외의 경우는 P형 트랜지스터는 도통상태가 되어 비트선부하의 전류공급능력을 크게 하는 것이 가능하다.

따라서 제5의 실시예에서와 마찬가지로, 판독동작시의 동작의 안정화와, 안정된 기억정보의 유지동작의 양립이 가능해진다.

게다가 디플레이션형 트랜지스터를 형성하기 위해 제조공정수가 증가하는 것은 아니다.

(57) 청구의 범위

청구항 1

복수의 메모리셀을 가지며, 각각이 제1도전형의 제1의 구동용 트랜지스터와, 제2도전형의 제1의 부하용 트랜지스터로 이루어지는 제1의 인버터 및, 제1도전형의 제2의 구동용 트랜지스터와, 제2도전형의 제2의 부하용 트랜지스터로 이루어지는 제2의 인버터를 가지는 플립플롭회로와, 상기 제1의 인버터의 출력노드와 접속하는 제1도전형의 제1의 액세스트랜지스터와, 상기 제2의 인버터의 출력노드와 접속하는 제1도전형의 제2의 액세스트랜지스터를 포함하는 메모리셀어레이와; 상기 메모리셀의 적어도 하나와, 상기 제1과 제2의 액세스 트랜지스터를 통해서 각각 접속하는 제1과 제2의 비트선과; 상기 제1과 제2의 액세스 트랜지스터의 게이트에 각각 접속하는 제1과 제2의 워드선과; 상기 메모리셀에의 기억정보의 기록의 경우, 상기 제1과 제2의 워드선전위를 제어해서, 상기 제1과 제2의 액세스 트랜지스터를 도통시키고, 상기 제1과 제2의 비트선의 상보전위를 상기 메모리셀에 전달시키는 기록동작 제어수단과; 상기 메모리셀에서의 기억정보의 판독의 경우, 상기 제1의 워드선 전위를 제어해서 상기 제1의 액세스 트랜지스터를 도통시키고, 상기 제1의 인버터의 출력을 상기 제1의 비트선에 전달시키는 판독동작 제어수단을 구비한 반도체기억장치.

청구항 2

제 1 항에 있어서, 상기 제1과 제2의 부하용 트랜지스터는 박막트랜지스터인 반도체 기억장치.

청구항 3

제 2 항에 있어서, 상기 제2의 인버터의 논리 드레숄드치는 동작전압의 2분의 1이하, 또는 논리치의 저레벨치보다 큰 반도체 기억장치.

청구항 4

제 3 항에 있어서, 상기 제2의 구동용 트랜지스터의 드레숄드 전압은 상기 제1의 구동용 트랜지스터의 드레숄드 전압보다 높은 반도체 기억장치.

청구항 5

제 3 항에 있어서, 상기 제2구동용 트랜지스터의 게이트폭은 상기 제1의 구동용 트랜지스터의 게이트폭

보다 좁은 반도체 기억장치.

청구항 6

제 2 항에 있어서, 상기 제2의 비트선은 상기 제1의 비트선 보다도 하층의 배선층에 형성되어 있는 반도체 기억장치.

청구항 7

제 6 항에 있어서, 상기 제2의 비트선은 실리사이드 배선인 반도체 기억장치.

청구항 8

복수의 메모리셀을 가지며, 각각이 제1도전형의 제1의 구동용 트랜지스터와 제1의 부하소자로 이루어지는 제1의 인버터 및, 제1도전형의 제2의 구동용 트랜지스터와 제2의 부하소자로 이루어지는 제2의 인버터를 가지는 플립플롭회로와, 상기 제1의 인버터의 출력노드와 접속하는 제1도전형의 제1의 액세스 트랜지스터와, 상기 제2의 인버터의 출력노드와 접속하는 제1도전형의 제2의 액세스 트랜지스터를 포함한 메모리셀어레이와; 상기 메모리셀의 적어도 하나와, 상기 제1과 제2의 액세스 트랜지스터를 통해서 각각 접속하는 제1과 제2의 비트선과; 상기 각 비트선과 전원과의 사이에 접속되고, 게이트에 제1의 전위가 인가되어, 상기 비트선과 전원과의 사이에 접속되는 제1의 비트선 부하 MOS 트랜지스터를 포함한 비트선 부하수단과; 상기 제1과 제2의 액세스 트랜지스터의 게이트에 공통으로 접속하는 워드선을 구비하고, 상기 제1의 비트선 부하 MOS 트랜지스터의 전류공급 능력은 대응하는 비트선에 접속하는 액세스 트랜지스터의 전류공급 능력의 5배이하이고, 또한, 상기 액세스 트랜지스터의 접속하는 구동용 트랜지스터의 전류공급능력은 상기 액세스 트랜지스터의 전류공급능력 이하인 반도체기억장치.

청구항 9

제 8 항에 있어서, 외부신호에 따라서, 상기 워드선을 소정의 지연시간 경과후에 구동하는 워드선 구동 지연수단을 더 구비하는 반도체 기억장치.

청구항 10

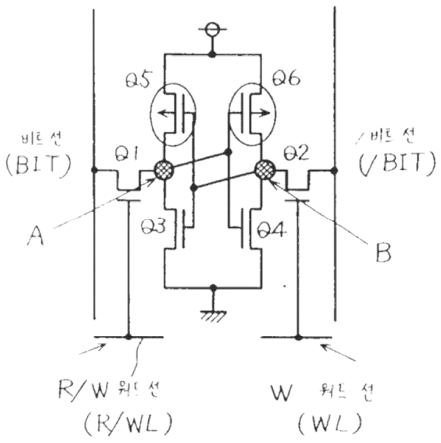
제 8 항에 있어서, 상기 비트선 부하수단은 상기 제1의 비트선 부하 MOS 트랜지스터에 접속된 제2의 비트선 부하 MOS 트랜지스터를 더 포함하고, 상기 스태틱형 반도체기억장치는 상기 메모리셀에의 기억정보의 기록의 경우, 상기 워드선 전위를 제어해서 상기 제1과 제2의 액세스 트랜지스터를 도통시키고, 상기 제1과 제2의 비트선의 상보전위를 상기 메모리셀에 전달시키는 기록동작 제어수단과, 메모리셀의 기억정보를 판독하는 경우, 상기 워드선의 전위를 제어해서 상기 제1과 제2의 액세스 트랜지스터를 도통시키고, 상기 제1과 제2의 인버터의 출력을 각각 상기 제1과 제2의 비트선에 전달시키며, 또한 상기 제2의 비트선 부하 MOS 트랜지스터의 게이트전위를 제어하는 판독동작 제어수단을 더 구비한 반도체기억장치.

청구항 11

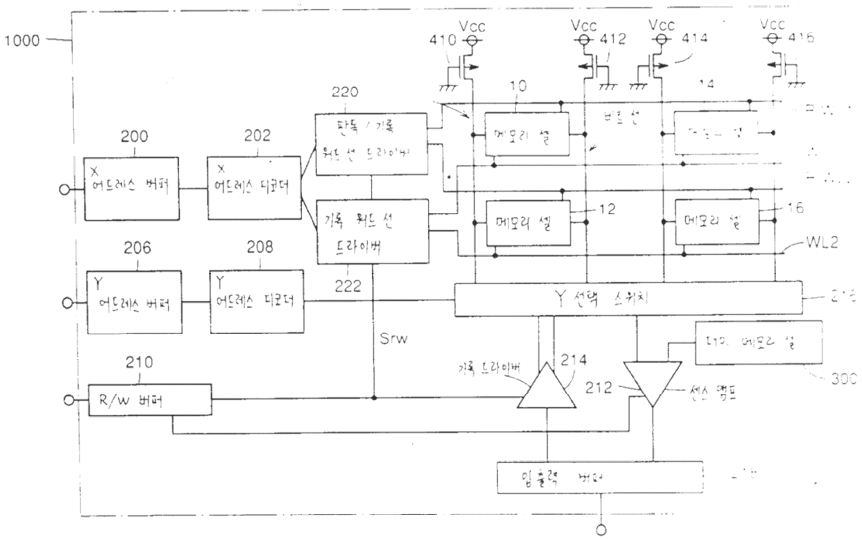
복수의 메모리셀을 가지면서, 각각이 제 1도전형의 제1의 구동용 트랜지스터와 제1의 부하소자로 이루어지는 제1의 인버터 및, 제1도전형의 제2의 구동용 트랜지스터 및 제2의 부하소자로 이루어지는 제2의 인버터를 가지는 플립플롭회로와, 상기 제1의 인버터의 출력노드와 접속하는 제1도전형의 제1의 액세스트랜지스터와, 상기 제2의 인버터의 출력노드와 접속하는 제1도전형의 제2의 액세스트랜지스터를 포함한 메모리셀어레이와, 상기 메모리셀의 적어도 하나와, 상기 제1과 제2의 액세스 트랜지스터를 통해서 각각 접속하는 제1, 제2의 비트선과; 상기 각 비트선과 전원과의 사이에 접속되고, 상기 비트선과 전원과의 사이에 접속된 디플레이션형 MOS 트랜지스터를 포함하는 비트선부하수단과; 상기 제1과 제2의 액세스 트랜지스터의 게이트에 공통으로 접속하는 워드선과; 상기 메모리셀에의 기억정보의 기록의 경우, 상기 워드선 전위를 제어해서 상기 제1과 제2의 액세스 트랜지스터를 도통시키고, 상기 제1과 제2의 비트선의 상보전위를 상기 메모리셀에 전달시키는 기록동작 제어수단과; 메모리셀의 기억정보를 판독하는 경우, 상기 워드선의 전위를 제어해서 상기 제1과 제2의 액세스 트랜지스터를 도통시키고, 상기 제1과 제2의 인버터의 출력을 각각 상기 제1과 제2의 비트선에 전달시키고, 또한 상기 디플레이션형 MOS 트랜지스터의 게이트전위를 제1의 전위로 하며, 메모리셀의 기억정보의 판독동작을 행하지 않는 경우, 상기 디플레이션형 MOS 트랜지스터의 게이트전위를 제2의 전위로 하는 상기 판독동작 제어수단을 더 구비한 반도체기억장치.

도면

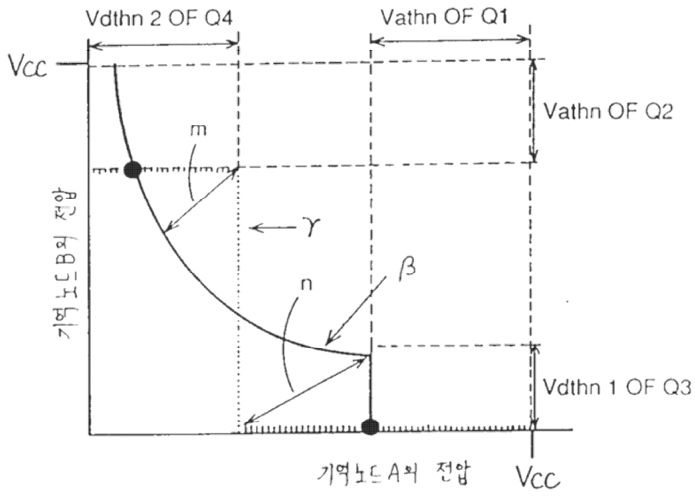
도면1


Q5
Q6
비트 선
(BIT)
Q1
Q2
/비트 선
(/BIT)
A
Q3
Q4
B
R/W 워드 선
(R/WL)
W 워드 선
(WL)

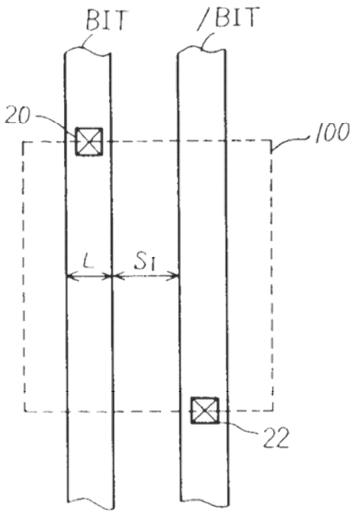
도면2


1000
Vcc
410
Vcc
412
Vcc
414
Vcc
416
10
14
220
200
202
X 어드레스 버퍼
X 어드레스 디코더
메모리 셀
12
16
WL2
206
208
222
Y 어드레스 버퍼
Y 어드레스 디코더
Y 선택 스위치
Srw
214
212
210
R/W 버퍼
300

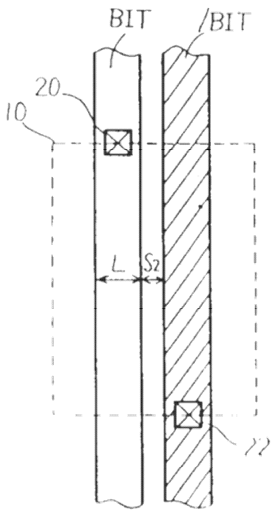
도면3


Vdthn 2 OF Q4
Vathn OF Q1
Vcc
Vathn OF Q2
m
γ
β
n
Vdthn 1 OF Q3
기억노드B의 전압
기억노드A의 전압
Vcc

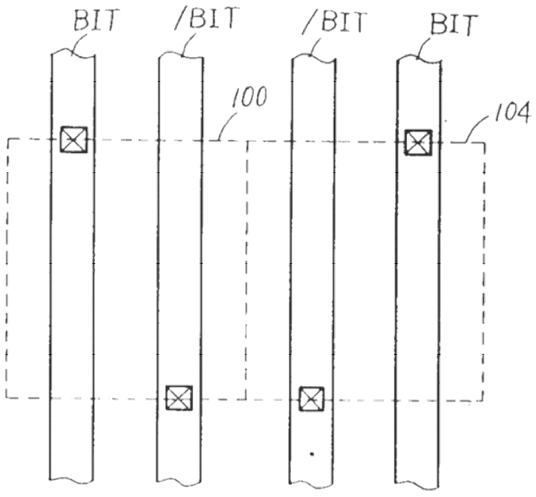
도면4a



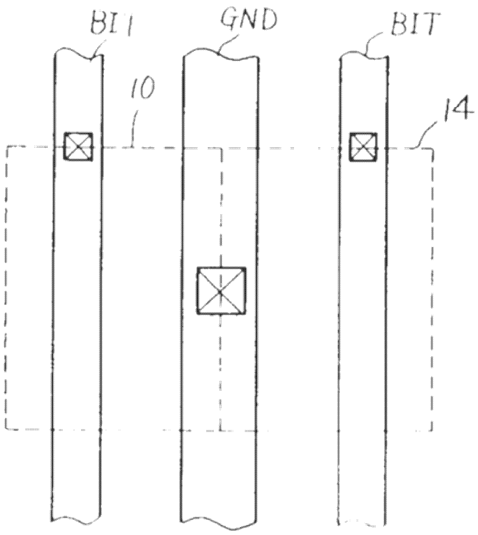
도면4b



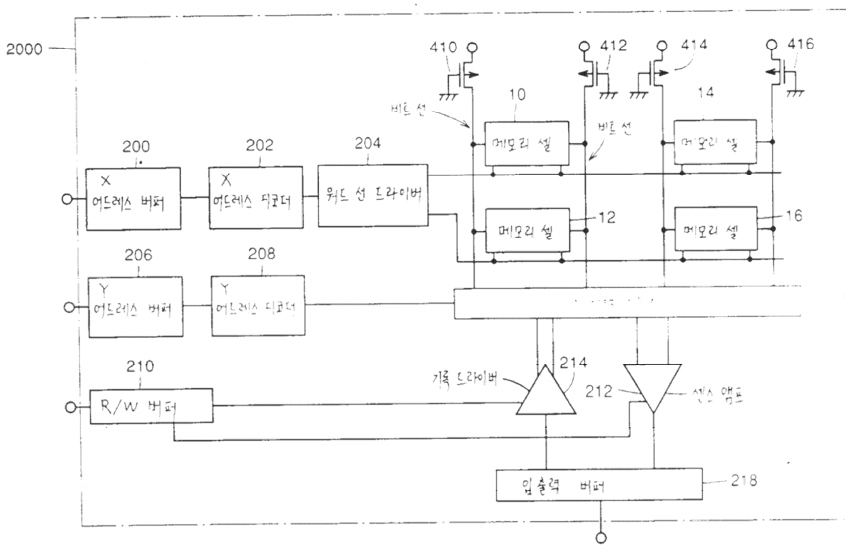
도면5a



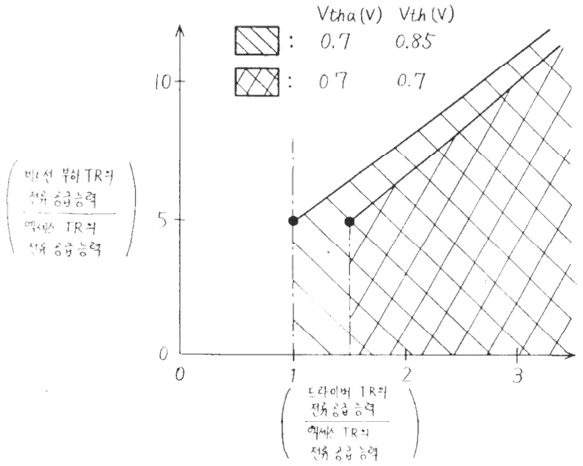
도면5b


BIT
GND
BIT
10
14

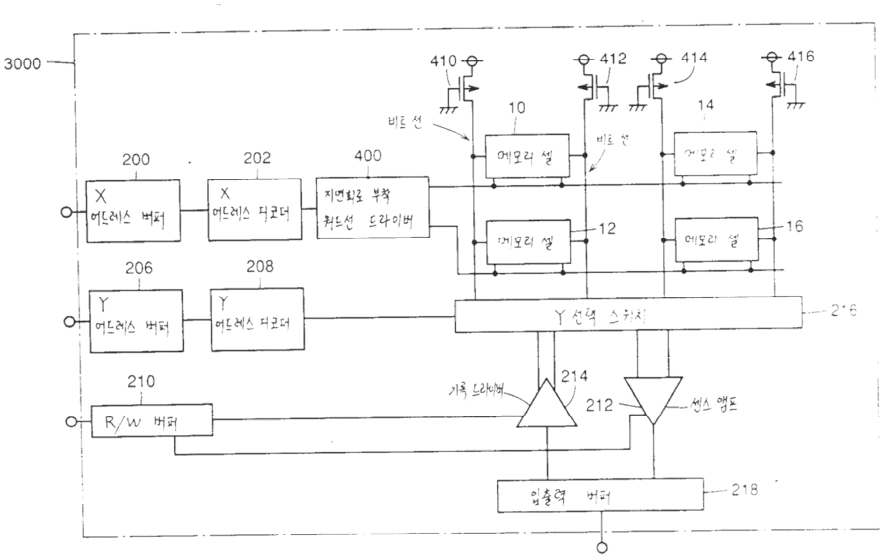
도면6


2000
410
412
414
416
10
14
비트 선
비트 선
메모리 셀
메모리 셀
메모리 셀
메모리 셀
12
16
200
202
204
X
어드레스 버퍼
X
어드레스 디코더
워드 선 드라이버
206
208
Y
어드레스 버퍼
Y
어드레스 디코더
210
R/W 버퍼
기록 드라이버
214
212
센스 앰프
입출력 버퍼
218

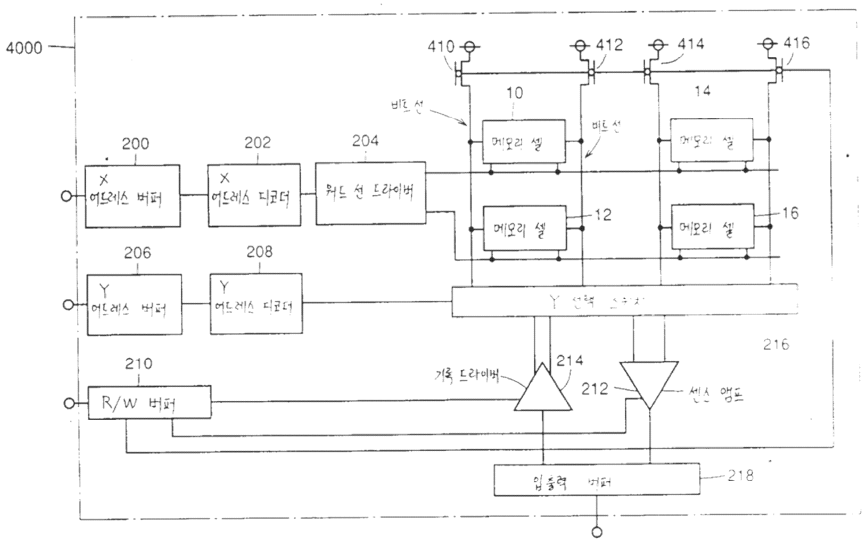
도면7


Vtha(V)
Vth(V)
0.7
0.85
0.7
0.7
10
5
0
0
1
2
3
비트선 부하 TR의 전류 증폭능력 / 액세스 TR의 전류 증폭능력
드라이버 TR의 전류 증폭능력 / 액세스 TR의 전류 증폭능력

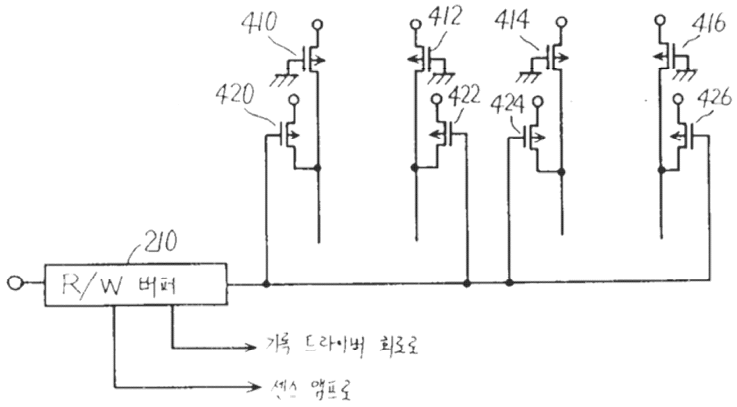
도면8


3000
410
412
414
416
10
14
비트 선
메모리 셀
200
202
400
X
어드레스 버퍼
X
어드레스 디코더
지연회로 부착
워드선 드라이버
12
16
206
208
Y
어드레스 버퍼
Y
어드레스 디코더
Y 선택 스위치
216
210
214
212
R/W 버퍼
기록 드라이버
센스 앰프
입출력 버퍼
218

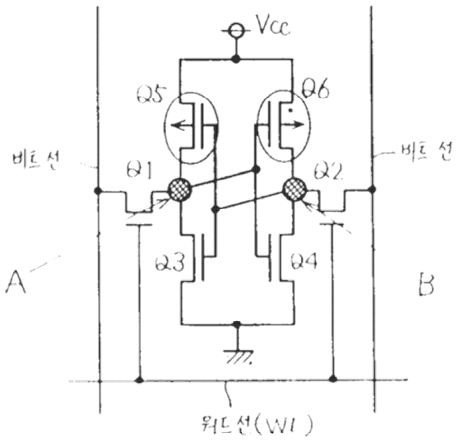
도면9


4000
410
412
414
416
10
14
비트 선
메모리 셀
200
202
204
X
어드레스 버퍼
X
어드레스 디코더
워드 선 드라이버
12
16
206
208
Y
어드레스 버퍼
Y
어드레스 디코더
216
210
214
212
R/W 버퍼
기록 드라이버
센스 앰프
218

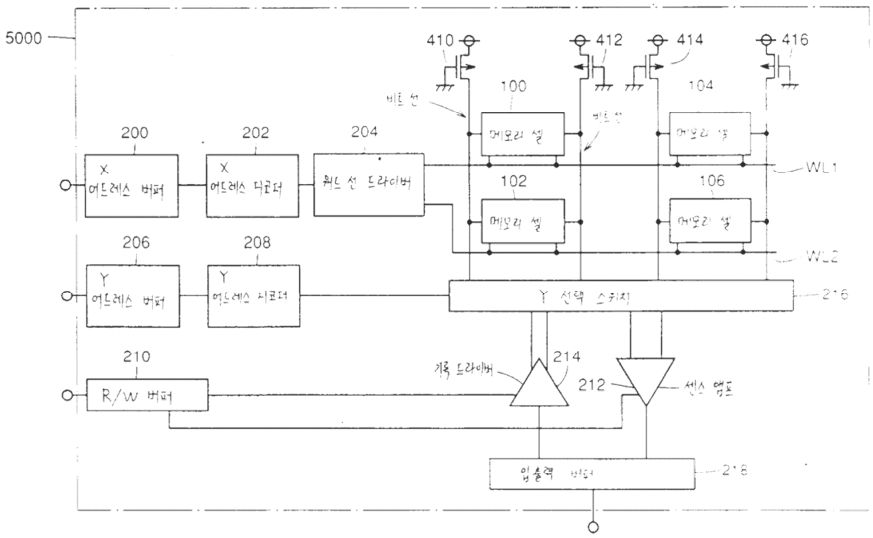
도면10


410
412
414
416
420
422
424
426
210
R/W 버퍼
기록 드라이버 회로요
센스 앰프요

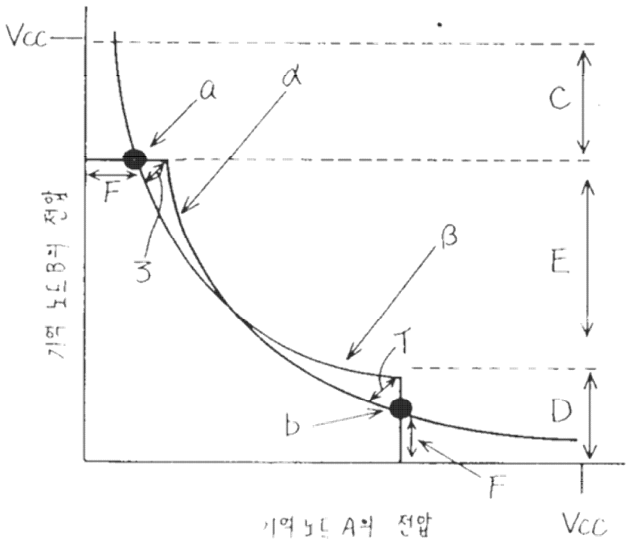
도면11



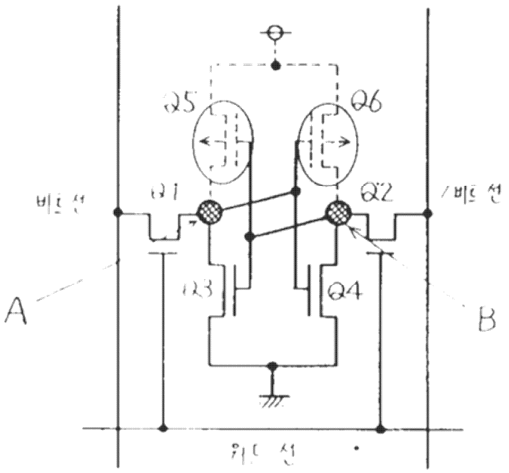
도면12



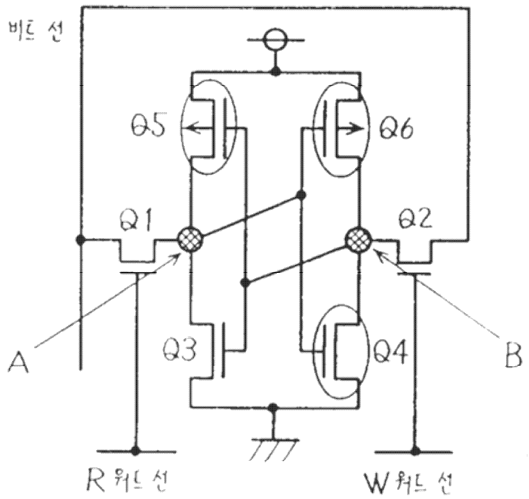
도면13a



도면13b



도면14a



도면14b

