(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 7 月 9 日 (09.07.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/100967 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01) *G11C 19/28* (2006.01)

(21) 国际申请号: PCT/CN2014/080459

(22) 国际申请日: 2014 年 6 月 20 日 (20.06.2014)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310749863.4 2013 年 12 月 31 日 (31.12.2013) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 **鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.)** [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。

(72) 发明人: **郝学光 (HAO, Xueguang)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **魏向东 (WEI, Xiangdong)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **安星俊 (AN, Seong Jun)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 **柳奉烈 (RYU, Bongyeol)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市海淀区彩和坊路 10 号 1 号楼 10 层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) **Title**: SHIFT REGISTER UNIT, GATE DRIVING CIRCUIT, AND DISPLAY DEVICE

(54) **发明名称** : 移位寄存器单元、栅极驱动电路及显示装置

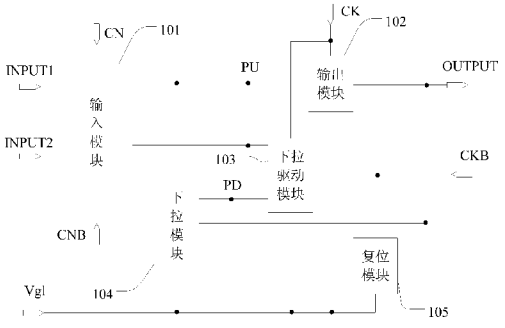


图 1 / Fig.1

101 Input module
102 Output module
103 Pull-down driving module
104 Pull-down module
105 Reset module

(57) **Abstract**: A shift register unit, a gate driving circuit and a display device. The shift register unit comprises an input module, an output module, a pull-down driving module, a pull-down module and a reset module. The input module is separately connected to a first input signal terminal, a first direct current signal terminal, a second input signal terminal and a second direct current signal terminal. The output module is connected to a first clock signal terminal. The pull-down driving module is connected to the first clock signal terminal, a second clock signal terminal and a low level signal terminal. The pull-down module is connected to the low level signal terminal. The reset module is separately connected to the second clock signal terminal and the low level signal terminal. Noise of the shift register unit can be reduced and stability of the shift register unit can be improved.

(57) **摘要**: 一种移位寄存器单元、栅极驱动电路及显示装置，该移位寄存器单元包括输入模块、输出模块、下拉驱动模块、下拉模块和复位模块；该输入模块分别连接第一输入信号端、第一直流信号端、第二输入信号端和第二直流信号端；该输出模块连接第一时钟信号端；该下拉驱动模块连接该第一时钟信号端、第二时钟信号端和低电压信号端；该下拉模块连接该低电压信号端；该复位模块分别连接该第二时钟信号端和该低电压信号端。能够减少移位寄存器单元的噪声，提高移位寄存器单元的稳定性。

WO 2015/100967 A1

(84) **指定国** (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

移位寄存器单元、栅极驱动电路及显示装置

技术领域

本公开涉及一种移位寄存器单元、栅极驱动电路及显示装置。

背景技术

液晶显示面板采用M×N点排列的逐行扫描矩阵显示。薄膜晶体管液晶显示器（Thin Film Transistor-Liquid Crystal Display，TFT-LCD）驱动器主要包括栅极驱动器和数据驱动器，其中，栅极驱动器将输入的时钟信号通过移位寄存器转换后加在液晶显示面板的栅线上。

移位寄存器常用于液晶显示面板的栅极驱动器中，每一个栅线与移位寄存器的一级电路单元对接。通过栅级驱动电路输出栅级输入信号，逐行进行扫描各像素。栅级驱动电路可以以柔性基板上的芯片技术（Chip on Array，COA）或者玻璃基板上的芯片技术（Chip on Glass，COG）的封装方式设置在显示面板中，也可以用TFT构成集成电路单元形成在显示面板中。对于液晶显示面板，栅极驱动器集成在玻璃基板上（Gate on Array，GOA）设计可以使得产品成本下降，也可以减去一道工序，提高产能。

专利号申请号200510106997.X公开了一种移位寄存器单元，但由该移位寄存器单元组成的栅极驱动电路的功耗较高，容易产生噪声。

发明内容

按照本公开的一个方面，提供了一种移位寄存器单元，包括:

输入模块，分别连接第一输入信号端、第一直流信号端、第二输入信号端和第二直流信号端，用于根据所述第一直流信号端接收的第一直流信号和所述第一输入信号端接收的第一输入信号将所述第一输入信号提供给上拉节点，以及根据所述第二直流信号端接收的第二直流信号和所述第二输入信号端接收的第二输入信号将所述第二输入信号提供给所述上拉节点;

输出模块，连接第一时钟信号端，用于根据所述上拉节点的电压信号将所述第一时钟信号端接收的第一时钟信号提供给输出端子;

下拉驱动模块，连接所述第一时钟信号端、第二时钟信号端和低电压信号端，用于根据所述第一时钟信号端接收的第一时钟信号和所述第二时钟信

号端接收的第二时钟信号将所述第二时钟信号提供给下拉节点，以及根据所述上拉节点的电压信号将所述低电压信号端接收的低电压信号提供给所述下拉节点；

下拉模块，连接所述低电压信号端，用于根据所述下拉节点的电压信号将所述低电压信号端接收的低电压信号提供给所述上拉节点和所述输出端子；

复位模块，分别连接所述第二时钟信号端和所述低电压信号端，用于根据所述第二时钟信号端接收的第二时钟信号将所述低电压信号端接收的低电压信号提供给所述输出端子，

其中，所述上拉节点为所述输入模块与所述输出模块的连接点，所述下拉驱动模块通过所述下拉节点与所述下拉模块连接。

可替换地，所述输入模块包括第一晶体管、第二晶体管、第三晶体管和第四晶体管；

所述第一晶体管的栅极和源极连接所述第一输入信号端；

所述第二晶体管的漏极连接所述第一晶体管的源极，所述第二晶体管的栅极连接第一直流信号端，所述第二晶体管的源极连接所述上拉节点；

所述第三晶体管的栅极和源极连接所述第二输入信号端，所述第三晶体管的漏极连接所述上拉节点；

所述第四晶体管的源极连接所述第三晶体管的源极，所述第四晶体管的栅极连接第二直流信号端，所述第四晶体管的漏极连接所述上拉节点。

可替换地，所述输出模块包括第五晶体管和第一电容；

所述第五晶体管的栅极连接所述上拉节点，所述第五晶体管的漏极连接所述第一时钟信号端，所述第五晶体管的源极连接所述输出端子；

所述第一电容的一端连接所述上拉节点，所述第一电容的另一端连接所述低电压信号端或者所述输出端子。

可替换地，所述下拉驱动模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管和第二电容；

所述第七晶体管的栅极和漏极连接所述第一时钟信号端，所述第七晶体管的源极连接所述第九晶体管的栅极；

所述第九晶体管的漏极连接所述第二时钟信号端，所述第九晶体管的源极连接第八晶体管的漏极；

所述第八晶体管的栅极连接所述第二时钟信号端，所述第八晶体管的漏极连接所述下拉节点；

所述第六晶体管的栅极连接所述上拉节点，所述第六晶体管的漏极连接下拉节点，所述第六晶体管的源极连接所述低电压信号端；

所述第二电容的一端连接所述低电压信号端，所述第二电容的另一端连接所述第七晶体管的漏极。

可替换地，所述下拉模块包括第十晶体管和第十一晶体管；

所述第十晶体管的漏极连接所述低电压信号端，所述第十晶体管的源极连接所述上拉节点，所述第十晶体管的栅极连接所述下拉节点；

所述第十一晶体管的栅极连接所述下拉节点，所述第十一晶体管的源极连接所述低电压信号端，所述第十一晶体管的漏极连接所述输出端子。

可替换地，所述复位单元包括第十二晶体管；

所述第十二晶体管的栅极连接所述第二时钟信号端，所述第十二晶体管的漏极连接所述低电压信号端，所述第十二晶体管的源极连接所述输出端子。

可替换地，所述第一直流信号与所述第二直流信号相位相反。

可替换地，所述第一时钟信号与所述第二时钟信号相位相反。

按照本公开的另一方面，提供了一种栅极驱动电路，包括多级上述任一移位寄存器单元；除第一级移位寄存器单元和最后一级移位寄存器单元外，每一级移位寄存器单元的第一输入信号端均连接相邻的上一级移位寄存器单元的输出端子，每一级移位寄存器单元的第二输入信号端均连接相邻的下一级移位寄存器单元的输出端子，每一级移位寄存器单元的输出端子连接相邻的上一级移位寄存器的第二输入信号端以及相邻的下一级移位寄存器单元的第一输入信号端。

按照本公开的另一方面，开还提供了一种显示装置，包括上述的栅极驱动电路。

本公开通过下拉模块将上拉节点的电位拉低，并且在下一帧开启前，下拉模块一直处于工作状态，有效避免了在非工作状态下上拉节点噪声的产生；通过下拉模块和复位模块将输出端处于非工作状态下的电位拉低，有效避免了输出端的噪声；通过下拉驱动模块，使得第二时钟信号的每一个高平信号都能够提升下拉节点的电位，降低了整个电路的功耗及避免了下拉节点噪声的产生。

附图说明

图1是本公开实施方式提供的一种移位寄存器单元的示意图;

图2是本公开实施方式提供的另一种移位寄存器单元的示意图;

图3是本公开实施方式提供的一种栅极驱动电路的结构图;

图4是本公开实施方式提供的一种移位寄存器单元的时序图;

图5是本公开实施方式提供的一种栅极驱动电路中各个移位寄存器单元输出波形的示意图;

图6是本公开实施方式提供的另一种移位寄存器单元的时序图;

图7是本公开实施方式提供的另一种栅极驱动电路中各个移位寄存器单元输出波形的示意图。

具体实施方式

下面结合附图和实施例，对本公开的具体实施方式作进一步详细描述。以下实施例用于说明本公开，但不用来限制本公开的范围。

图 1 是本公开实施方式提供的一种移位寄存器单元的示意图，包括输入模块 101、输出模块 102、下拉驱动模块 103、下拉模块 104 和复位模块 105。

如图 1 所示，所述输入模块 101 分别连接第一输入信号端 INPUT1、第一直流信号端 CN、第二输入信号端 INPUT2 和第二直流信号端 CNB，用于根据所述第一直流信号端 CN 接收的第一直流信号和所述第一输入信号端 INPUT1 接收的第一输入信号将所述第一输入信号提供给上拉节点 PU，以及根据所述第二直流信号端 CNB 接收的第二直流信号和所述第二输入信号端 INPUT2 接收的第二输入信号将所述第二输入信号提供给所述上拉节点 PU，所述上拉节点 PU 为所述输入模块 101 与所述输出模块 102 的连接点。

所述输出模块 102 连接第一时钟信号端 CK，用于根据所述上拉节点 PU 的电压信号将所述第一时钟信号端 CK 接收的第一时钟信号提供给输出端子 OUTPUT。

所述下拉驱动模块 103 连接所述第一时钟信号端 CK、第二时钟信号端 CKB 和低电压信号端 Vg1，用于根据所述第一时钟信号端 CK 接收的第一时钟信号和所述第二时钟信号端 CKB 接收的第二时钟信号将所述第二时钟信号提供给下拉节点 PD，以及根据所述上拉节点 PU 的电压信号将所述低电压信号端 Vg1 接收的低电压信号提供给所述下拉节点 PD，所述下拉驱动模块 103 通过所述

下拉节点 PD 与所述下拉模块 104 连接。

所述下拉模块 104 连接所述低电压信号端 Vg1，用于根据所述下拉节点 PD 的电压信号将所述低电压信号端 Vg1 接收的低电压信号提供给所述上拉节点 PU 和所述输出端子 OUTPUT。

所述复位模块 105 分别连接所述第二时钟信号端 CKB 和所述低电压信号端 Vg1，用于根据所述第二时钟信号端 CKB 接收的第二时钟信号将所述低电压信号端 Vg1 接收的低电压信号提供给所述输出端子 OUTPUT。

图 2 是本公开实施方式提供的另一种移位寄存器单元的示意图。参见图 2，所述输入模块 101 包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3 和第四晶体管 M4。

所述第一晶体管 M1 的栅极和源极连接所述第一输入信号端 INPUT1；所述第二晶体管 M2 的漏极连接所述第一晶体管 M1 的漏极，所述第二晶体管 M2 的栅极连接第一直流信号端 CN，所述第二晶体管 M2 的源极连接所述上拉节点 PU；所述第三晶体管 M3 的栅极和源极连接所述第二输入信号端 INPUT2，所述第三晶体管 M3 的漏极连接所述上拉节点 PU；所述第四晶体管 M4 的源极连接所述第三晶体管 M3 的漏极，所述第四晶体管 M4 的栅极连接第二直流信号端 CNB，所述第四晶体管 M4 的漏极连接所述上拉节点 PU。

图 2 中，所述输出模块 102 包括第五晶体管 M5 和第一电容 C1。

所述第五晶体管 M5 的栅极连接所述上拉节点 PU，所述第五晶体管 M5 的漏极连接所述第一时钟信号端 CK，所述第五晶体管 M5 的源极连接所述输出端子 OUTPUT；所述第一电容 C1 的一端连接所述上拉节点 PU，所述第一电容 C1 的另一端连接所述低电压信号端 Vg1 或者所述输出端子 OUTPUT（未示出）。

此外，所述下拉驱动模块 103 包括第六晶体管 M6、第七晶体管 M7、第八晶体管 M8、第九晶体管 M9 和第二电容 C2。

所述第七晶体管 M7 的栅极和漏极连接所述第一时钟信号端 CK，所述第七晶体管 M7 的源极连接所述第九晶体管 M9 的栅极；所述第九晶体管 M9 的漏极连接所述第二时钟信号端 CKB，所述第九晶体管 M9 的源极连接第八晶体管 M8 的源极；所述第八晶体管 M8 的栅极连接所述第二时钟信号端 CKB，所述第八晶体管 M8 的漏极连接所述下拉节点 PD；所述第六晶体管 M6 的栅极连接所述上拉节点 PU，所述第六晶体管 M6 的漏极连接下拉节点 PD，所述第六晶体管 M6 的源极连接所述低电压信号端 Vg1；所述第二电容 C2 的一端连接所述

低电压信号端 Vg1，所述第二电容 C2 的另一端连接所述第七晶体管 M7 的源极。

需要说明的是，所述下拉驱动模块的结构只是其中一个实施例，并不用于限定下拉驱动模块的具体结构，所述下拉驱动模块也可以不包括第二电容 C2。

如图 2 所示,所述下拉模块 104 包括第十晶体管 M10 和第十一晶体管 M11。

所述第十晶体管 M10 的漏极连接所述低电压信号端 Vg1，所述第十晶体管 M10 的源极连接所述上拉节点 PU，所述第十晶体管 M10 的栅极连接所述下拉节点 PD;

所述第十一晶体管 M11 的栅极连接所述下拉节点 PD，所述第十一晶体管 M11 的源极连接所述低电压信号端 Vg1，所述第十一晶体管 M11 的漏极连接所述输出端子 OUTPUT。

此外，所述复位单元 105 包括第十二晶体管 M12; 所述第十二晶体管 M12 的栅极连接所述第二时钟信号端 CKB，所述第十二晶体管 M12 的漏极连接所述低电压信号端 Vg1，所述第十二晶体管 M12 的源极连接所述输出端子 OUTPUT。

此外，需要说明的是，对于液晶显示领域的晶体管来说，漏极和源极没有明确的区别，因此本公开实施例中所提到的晶体管中的源极可以为晶体管的漏极，晶体管的漏极也可以为晶体管的源极。

可选择地，所述第一直流信号可以与所述第二直流信号相位相反。

可选择地，所述第一时钟信号与所述第二时钟信号相位相反，例如，若第一时钟信号为 CK，则第二时钟信号为 CKB，若第一时钟信号为 CKB，则第二时钟信号为 CK。

本公开实施方式提供的移位寄存器单元，通过下拉模块将上拉节点的电位拉低，并且在下一帧开启前，下拉模块一直处于工作状态，有效避免了在非工作状态下上拉节点噪声的产生。通过下拉模块和复位模块将输出端子处于非工作状态的电位拉低，有效避免了输出端噪声的产生。通过下拉驱动模块，使得第二时钟信号的每一个高平信号都能够提升下拉节点的电位，降低了整个电路的功耗以及避免了下拉节点噪声的产生。

此外，图 3 是本公开实施方式提供的一种栅极驱动电路的结构图。参见图 3，该栅极驱动电路包括多级上述任意一种移位寄存器单元。除第一级移

位寄存器单元和最后一级移位寄存器单元外，每一级移位寄存器单元的第一输入信号端均连接相邻的上一级移位寄存器单元的输出端子，每一级移位寄存器单元的第二输入信号端均连接相邻的下一级移位寄存器单元的输出端子，每一级移位寄存器单元的输出端子连接相邻的上一级移位寄存器的第二输入信号端以及相邻的下一级移位寄存器单元的第一输入信号端。这里，当正向扫描时，第一级移位寄存器单元的第一输入端 INPUT1 输入 STV 开启信号，最后一级移位寄存器单元的第二输入端 INPUT2 端单独输入一复位信号或增加一虚拟移位寄存器单元对最后一级移位寄存器单元进行复位；当反向扫描时，最后一级移位寄存器单元的第二输入端 INPUT2 输入 STV 开启信号，第一级移位寄存器单元的第一输入端 INPUT1 单独输入一复位信号或增加一虚拟移位寄存器单元对第一级移位寄存器单元进行复位。

例如，该栅极驱动电路可以包括 N 级移位寄存器单元，其中第 N-1 级的输出端子可以连接第 N 级的第一输入信号端；第 N 级的输出端子可以连接第 N-1 级的第一输入信号端，其中，N 与产品的分辨率相关。对于两个相邻的移位寄存器单元，其第一时钟信号端接收的时钟信号的相位相反，例如，若第二级移位寄存器的第一时钟信号端接收的第一时钟信号为 CKB，第二时钟信号端接收的第二时钟信号为 CK，则第三级移位寄存器的第一时钟信号端接收的第一时钟信号为 CK，第二时钟信号端接收的第二时钟信号为 CKB。

为了进一步说明本公开实施方式提供的移位寄存器单元，下面结合图 4 所示的时序图对本公开实施方式提供的栅极驱动电路中的第 N 级移位寄存器单元的工作原理进行说明。图 4 是该栅极驱动电路的第 N 级移位寄存器单元的时序图。

当正向扫描时，参见图 4，在第一阶段 S1， 第一直流信号端 CN、第一输入信号端 INPUT1、第二时钟信号端 CKB 为高电平，第一晶体管 M1、第二晶体管 M2 导通，上拉节点 PU 电位升高，C1 充电，第六晶体管 M6 导通，下拉节点 PD 电位拉低，由于第一时钟信号端 CK 输出低电平且 M12 处于导通状态，则输出端子 OUTPUT_N 输出低电平；

在第二阶段 S2，第一时钟信号端 CK 为高电平，晶体管 M7，M9 导通，C2 充电；由于 C1 的作用，上拉节点 PU 电位继续上升，从而使得 M6、M5 继续处于导通状态，PD 点电位被继续被拉低；PD 点电位与 M6、M8 和 M9 相关，调整 M6 与 M8、M9 的尺寸比例，会影响 PD 点台阶处的电压，此时第 N 级移位寄存

器单元的输出端子 OUTPUT_N 输出高电平;

在第三阶段 S3，第二时钟信号端 CKB 为高电平，M8 导通，由于电容 C2 的作用，M9 导通，所以 PD 电位升高，M10 导通，PU 电位被拉低，由于 M11 与 M12 导通，OUTPUT_N 输出低电平。

这里，在一帧开始前，由于第二时钟信号端 CKB 的每一个高平信号都将 PD 的电位拉高，从而使得 M10 与 M11 一直处于导通状态，PU 与 OUTPUT_N 信号一直被拉低，进而有效避免了噪声的产生。

当正向扫描时，该栅极驱动电路中各个移位寄存器单元的输出波形如图 5 所示。

当反向扫描时，参见图 6，图 6 是该栅极驱动电路的第 N 级移位寄存器单元的时序图。

在第一阶段， 第二直流信号端 CNB、第二输入信号端 INPUT2、第二时钟信号端 CKB 为高电平,M3、M4 导通，PU 节点电压升高，C1 充电，M6 导通，PD 点电位拉低，由于 CK 输出低电平，且 M12 处于导通状态，所以 OUTPUT_N 输出低电平;

在第二阶段， 第一时钟信号端 CK 为高电平，M7，M9 导通，C2 充电；由于 C1 的作用，PU 点电位继续上升，从而使得 M6、M5 继续处于导通状态，PD 点电位被继续被拉低；PD 点电位与 M6、M8 和 M9 相关，调整 M6 与 M8、M9 的尺寸比例，会影响 PD 点台阶处的电压，此时 OUTPUT_N 输出高电平;

在第三阶段，第二时钟信号端 CKB 为高电平，M8 导通，由于电容 C2 的作用 M9 导通，所以 PD 电位升高，M10 导通，PU 电位被拉低， M6 与 M5 关闭，由于 M11 与 M12 导通，OUTPUT_N 输出低电平。

其中，在一帧开始前，由于 CKB 的每一个高平信号，都将 PD 的电位拉高，从而使得 M10 与 M12 一直处于导通状态，PU 与 OUTPUT_N 信号一直被拉低，进而有效避免了噪声的产生。

当反向扫描时，该栅极驱动电路中各个移位寄存器单元的输出波形如图 7 所示。

本公开实施方式提供的栅极驱动电路，通过第三晶体管 M3、第四晶体管 M4 和第二晶体管 M2 使得该栅极驱动电路具有了双向扫描的功能，更好的满足了客户的需求，通过第十晶体管 M10、第十一晶体管 M11 将上拉节点 PU 的电位拉低，并且在下一帧开启前，第十晶体管 M10、第十一晶体管 M11 一直

处于导通状态，有效避免了非工作状态下 PU 点噪声的产生；通过第十一晶体管 M11、第十二晶体管 M12 将输出端子处于非工作状态的电位拉低，有效避免了输出端的噪声；通过第二电容 C2 的设计，使得第二时钟信号 CKB 的每一个高平信号都能够提升下拉节点 PD 点的电位，降低了整个电路的功耗及避免了下拉节点 PD 噪声的产生。同时，在该栅极驱动电路中，通过整体器件的排列及信号的巧妙结合，实现了整个栅极驱动电路都采用相同的移位寄存器单元，大大降低了栅极驱动电路布线（GOA layout）的难度。

此外，本公开的实施例还提供了一种显示装置，包括上述的栅极驱动电路。所述显示装置可以为：液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

以上实施方式仅用于说明本发明，而并非对本发明的限制，有关技术领域的普通技术人员，在不脱离本发明的精神和范围的情况下，还可以做出各种变化和变型，因此所有等同的技术方案也属于本发明的范畴，本发明的专利保护范围应由权利要求限定。

本申请要求于 2013 年 12 月 31 日递交的中国专利申请第 201310749863.4 号的优先权，在此全文引用该中国专利申请公开的内容作为本申请的一部分。

权 利 要 求 书

1、一种移位寄存器单元，包括:

输入模块，分别连接第一输入信号端、第一直流信号端、第二输入信号端和第二直流信号端，用于根据所述第一直流信号端接收的第一直流信号和所述第一输入信号端接收的第一输入信号将所述第一输入信号提供给上拉节点，以及根据所述第二直流信号端接收的第二直流信号和所述第二输入信号端接收的第二输入信号将所述第二输入信号提供给所述上拉节点;

输出模块，连接第一时钟信号端，用于根据所述上拉节点的电压信号将所述第一时钟信号端接收的第一时钟信号提供给输出端子;

下拉驱动模块，连接所述第一时钟信号端、第二时钟信号端和低电压信号端，用于根据所述第一时钟信号端接收的第一时钟信号和所述第二时钟信号端接收的第二时钟信号将所述第二时钟信号提供给下拉节点，以及根据所述上拉节点的电压信号将所述低电压信号端接收的低电压信号提供给所述下拉节点;

下拉模块，连接所述低电压信号端，用于根据所述下拉节点的电压信号将所述低电压信号端接收的低电压信号提供给所述上拉节点和所述输出端子;

复位模块，分别连接所述第二时钟信号端和所述低电压信号端，用于根据所述第二时钟信号端接收的第二时钟信号将所述低电压信号端接收的低电压信号提供给所述输出端子，

其中，所述上拉节点为所述输入模块与所述输出模块的连接点，所述下拉驱动模块通过所述下拉节点与所述下拉模块连接。

2、根据权利要求 1 所述的移位寄存器单元，其中，所述输入模块包括第一晶体管、第二晶体管、第三晶体管和第四晶体管;

所述第一晶体管的栅极和源极连接所述第一输入信号端;

所述第二晶体管的漏极连接所述第一晶体管的漏极，所述第二晶体管的栅极连接第一直流信号端，所述第二晶体管的源极连接所述上拉节点;

所述第三晶体管的栅极和源极连接所述第二输入信号端，所述第三晶体管的漏极连接所述上拉节点;

所述第四晶体管的源极连接所述第三晶体管的漏极，所述第四晶体管的栅极连接第二直流信号端，所述第四晶体管的漏极连接所述上拉节点。

3、根据权利要求 1 或 2 所述的移位寄存器单元，其中，所述输出模块包括第五晶体管和第一电容;

所述第五晶体管的栅极连接所述上拉节点，所述第五晶体管的漏极连接所述第一时钟信号端，所述第五晶体管的源极连接所述输出端子;

所述第一电容的一端连接所述上拉节点，所述第一电容的另一端连接所述低电压信号端或者所述输出端子。

4、根据权利要求 1-3 之一所述的移位寄存器单元，其中，所述下拉驱动模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管和第二电容;

所述第七晶体管的栅极和漏极连接所述第一时钟信号端，所述第七晶体管的源极连接所述第九晶体管的栅极;

所述第九晶体管的漏极连接所述第二时钟信号端，所述第九晶体管的源极连接第八晶体管的源极;

所述第八晶体管的栅极连接所述第二时钟信号端，所述第八晶体管的漏极连接所述下拉节点;

所述第六晶体管的栅极连接所述上拉节点，所述第六晶体管的漏极连接下拉节点，所述第六晶体管的源极连接所述低电压信号端;

所述第二电容的一端连接所述低电压信号端，所述第二电容的另一端连接所述第七晶体管的源极。

5、根据权利要求 1-4 之一所述的移位寄存器单元，其中，所述下拉模块包括第十晶体管和第十一晶体管;

所述第十晶体管的漏极连接所述低电压信号端，所述第十晶体管的源极连接所述上拉节点，所述第十晶体管的栅极连接所述下拉节点;

所述第十一晶体管的栅极连接所述下拉节点，所述第十一晶体管的源极连接所述低电压信号端，所述第十一晶体管的漏极连接所述输出端子。

6、根据权利要求 1-5 之一所述的移位寄存器单元，其中，所述复位单元包括第十二晶体管;

所述第十二晶体管的栅极连接所述第二时钟信号端，所述第十二晶体管的漏极连接所述低电压信号端，所述第十二晶体管的源极连接所述输出端子。

7、根据权利要求 1-6 任一所述的移位寄存器单元，其中，所述第一直流信号与所述第二直流信号相位相反。

8、根据权利要求 1-6 任一所述的移位寄存器单元，其中，所述第一时钟信号与所述第二时钟信号相位相反。

9、一种栅极驱动电路，包括多级如权利要求 1-8 任一所述的移位寄存器单元；除第一级移位寄存器单元和最后一级移位寄存器单元外，每一级移位寄存器单元的第一输入信号端均连接相邻的上一级移位寄存器单元的输出端子，每一级移位寄存器单元的第二输入信号端均连接相邻的下一级移位寄存器单元的输出端子，每一级移位寄存器单元的输出端子连接相邻的上一级移位寄存器的第二输入信号端以及相邻的下一级移位寄存器单元的第一输入信号端。

10、一种显示装置，包括如权利要求 9 所述的栅极驱动电路。

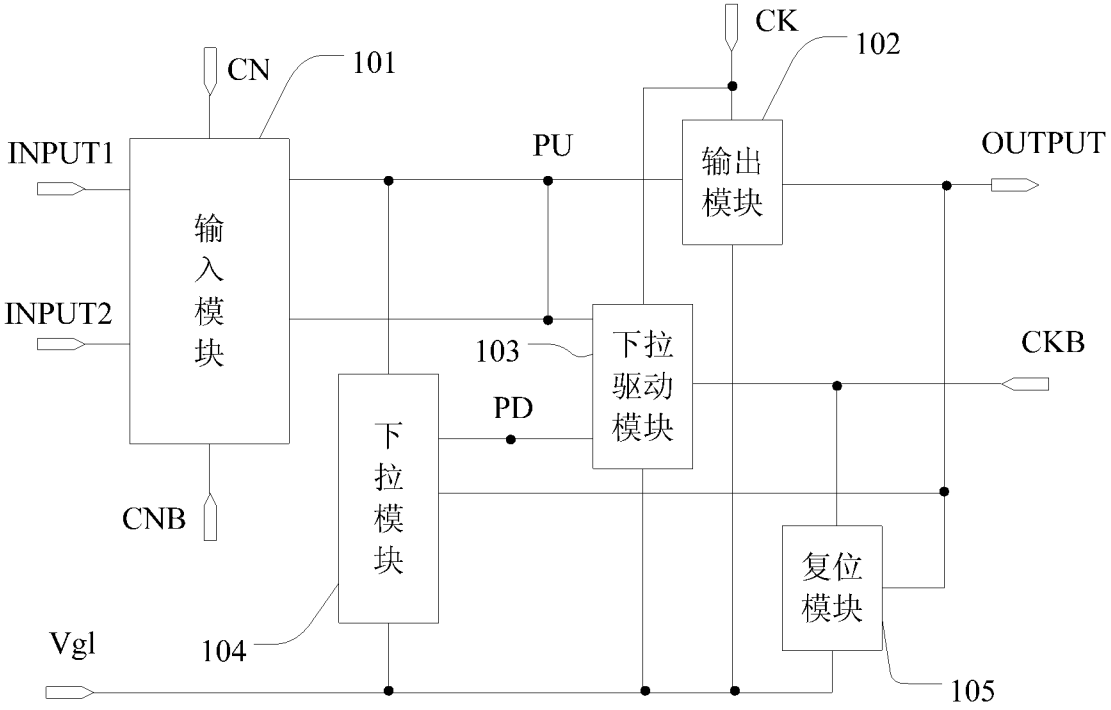

CK
102
CN
101
INPUT1
PU
输出模块
OUTPUT
输入模块
INPUT2
103
下拉驱动模块
CKB
PD
下拉模块
CNB
复位模块
Vgl
104
105

图 1

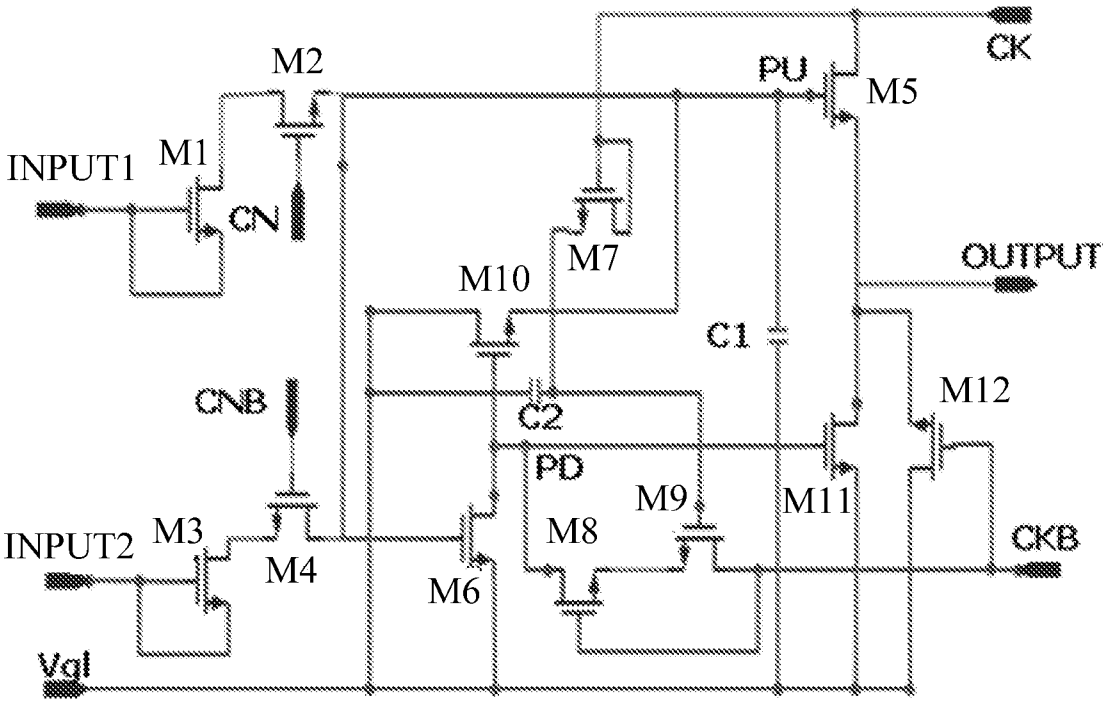

CK
M2
PU
M5
INPUT1
M1
CN
M7
OUTPUT
M10
C1
CNB
C2
M12
PD
M9
M11
INPUT2
M3
M8
CKB
M4
M6
Vgl

图 2

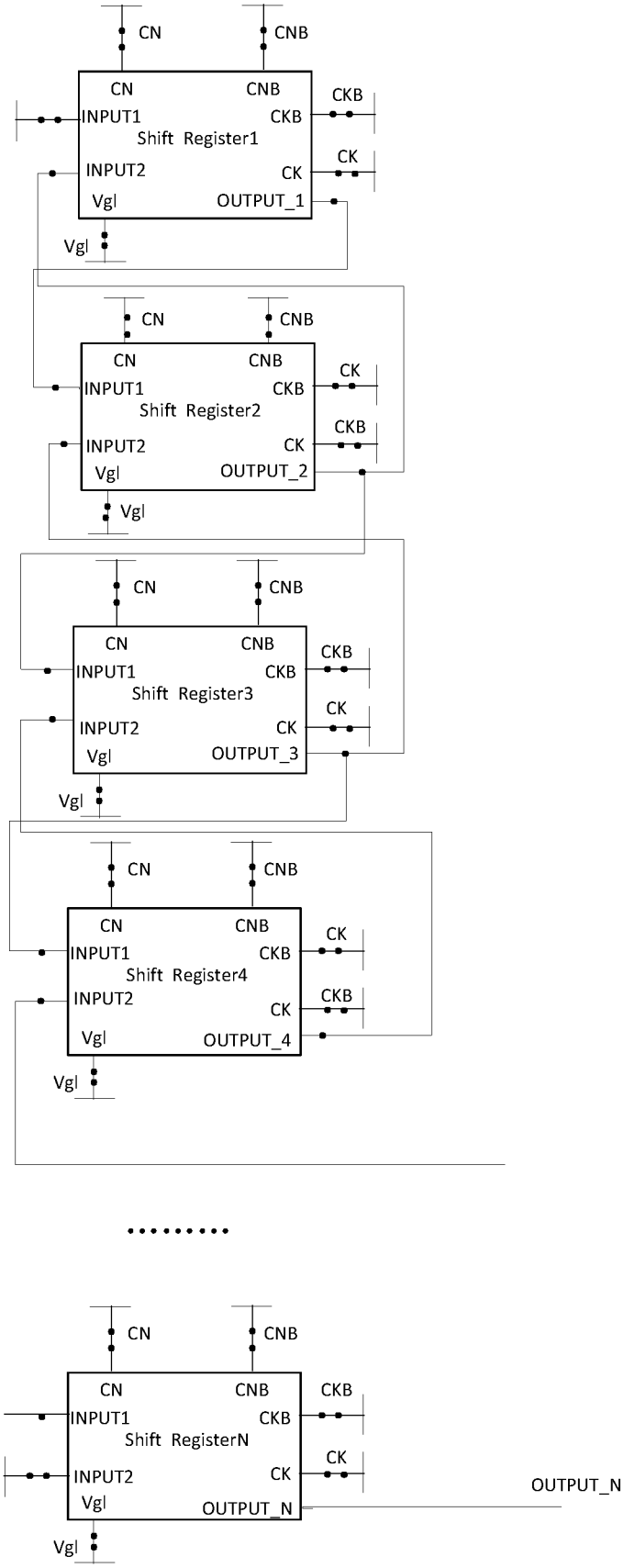

CN
CNB
CN
CNB
CKB
INPUT1
CKB
Shift Register1
CK
INPUT2
CK
Vgl
OUTPUT_1
Vgl
CN
CNB
CN
CNB
CK
INPUT1
CKB
Shift Register2
CKB
INPUT2
CK
Vgl
OUTPUT_2
Vgl
CN
CNB
CN
CNB
CKB
INPUT1
CKB
Shift Register3
CK
INPUT2
CK
Vgl
OUTPUT_3
Vgl
CN
CNB
CN
CNB
CK
INPUT1
CKB
Shift Register4
CKB
INPUT2
CK
Vgl
OUTPUT_4
Vgl
.....
CN
CNB
CN
CNB
CKB
INPUT1
CKB
Shift RegisterN
CK
INPUT2
CK
Vgl
OUTPUT_N
OUTPUT_N
Vgl

图 3

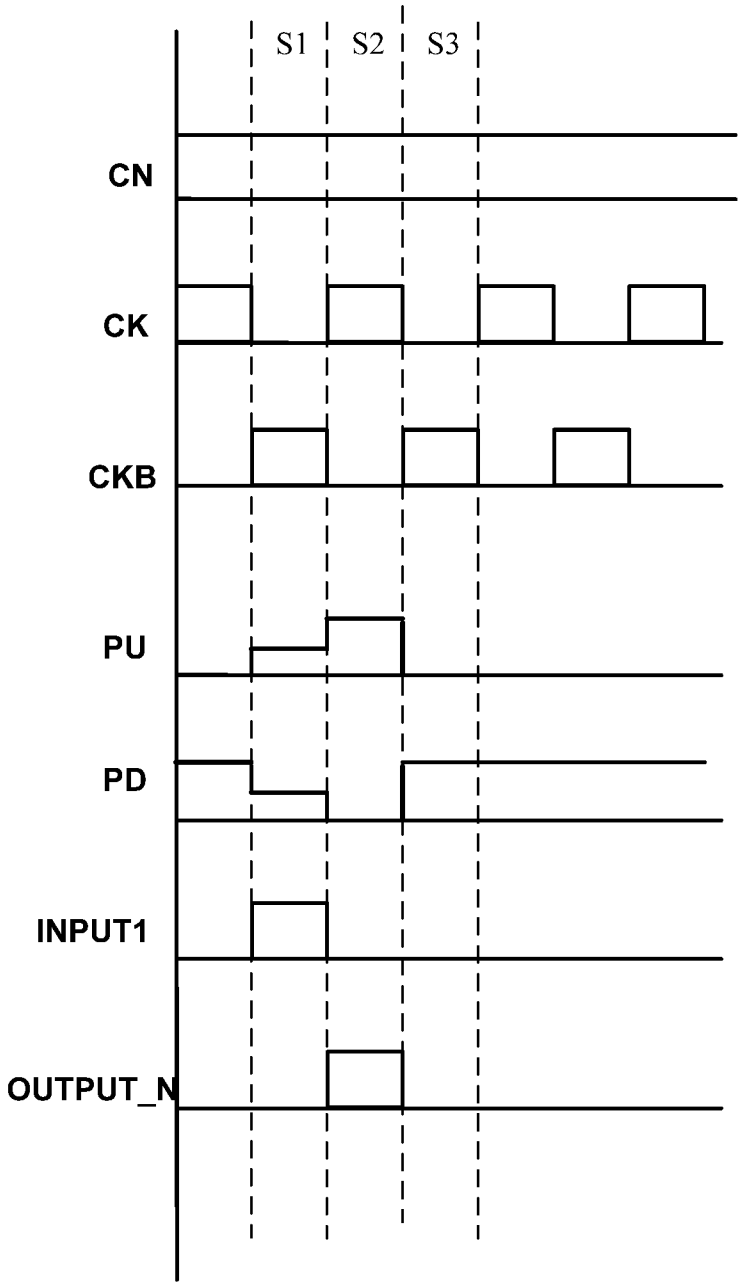


图 4

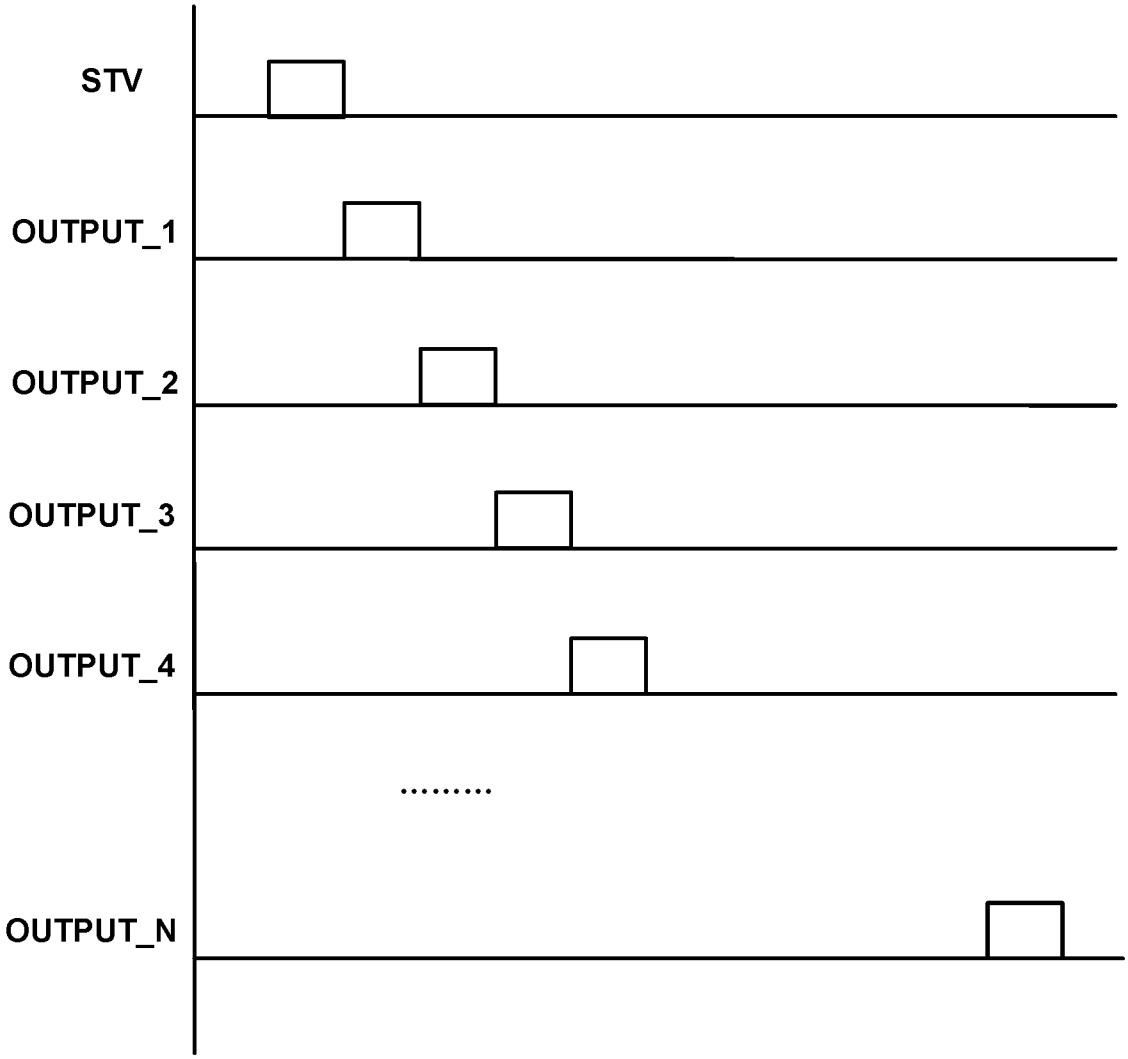


图 5

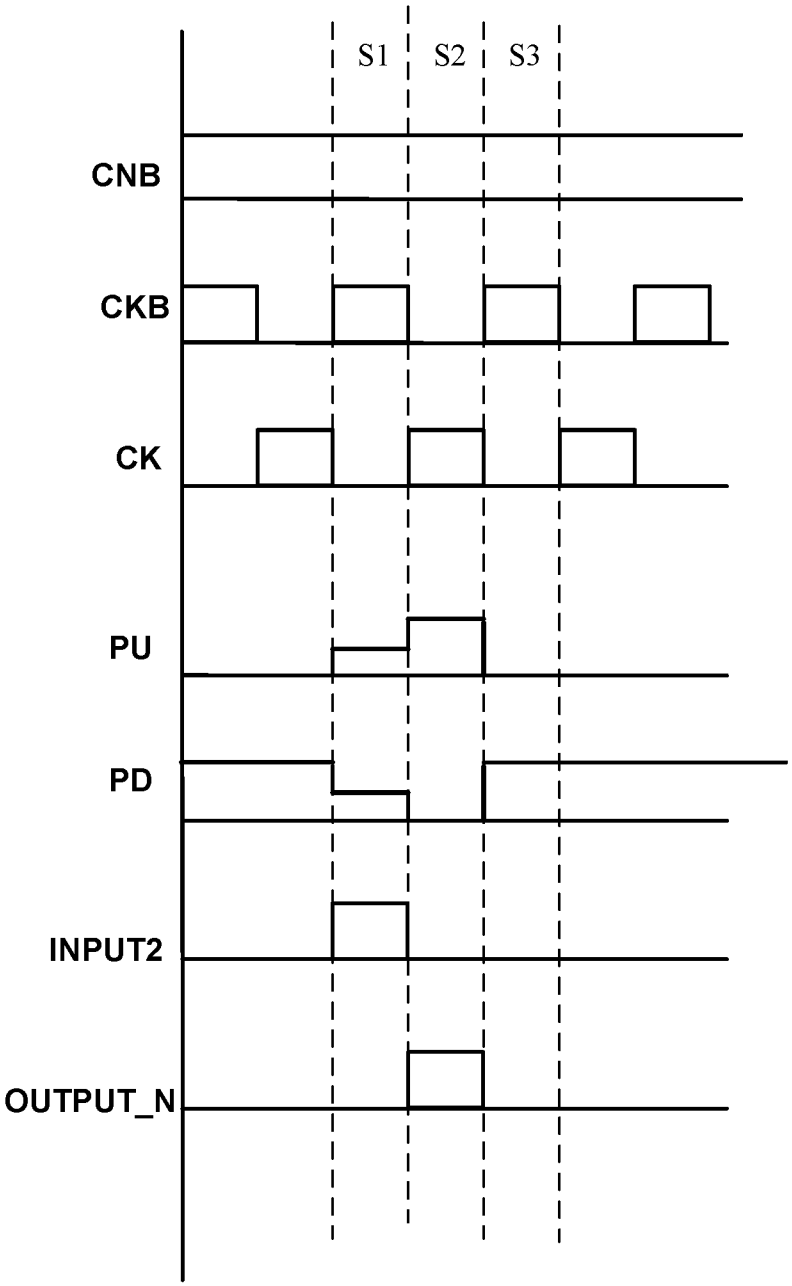


图 6

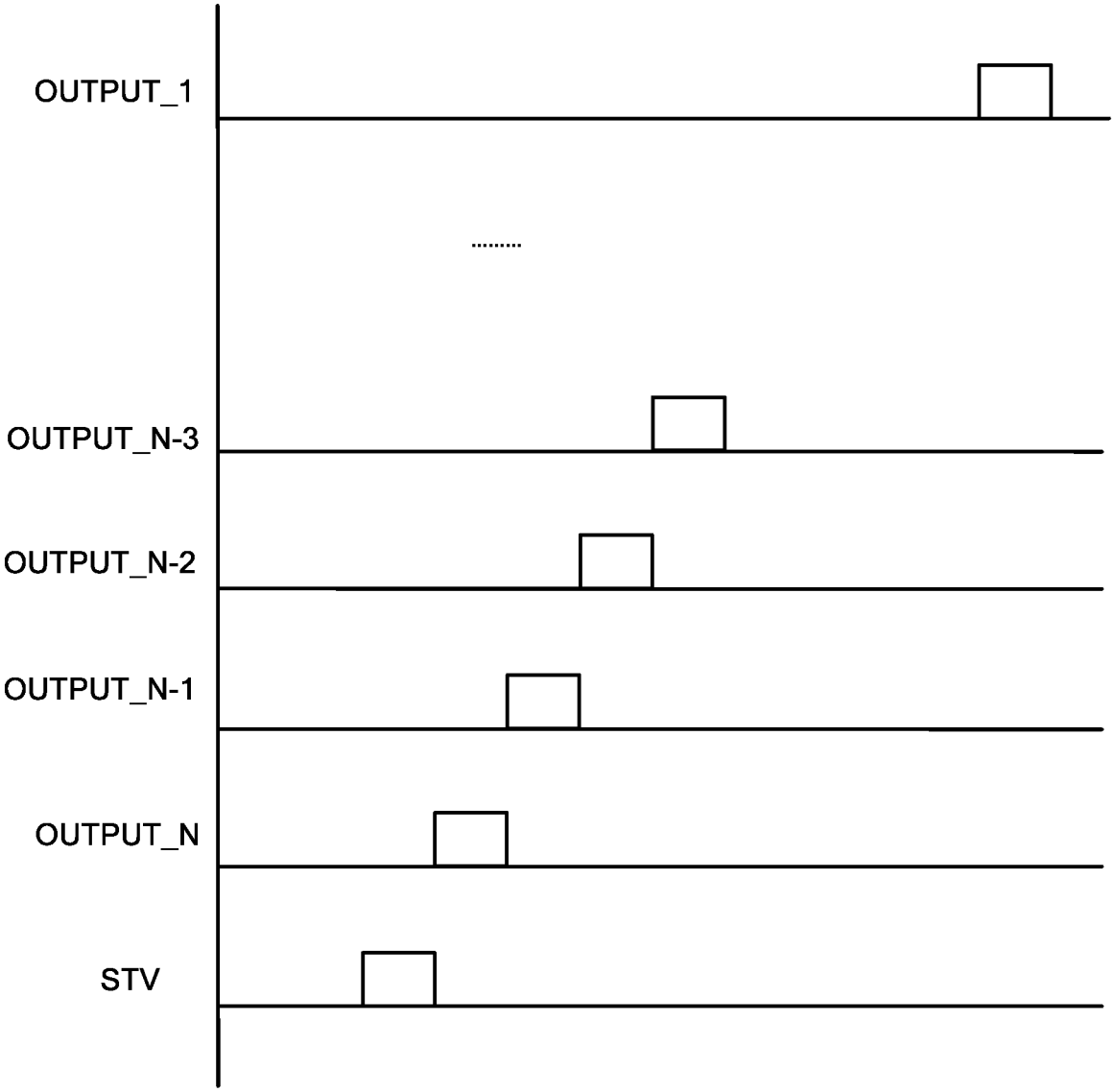


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/080459

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, IEEE, CNKI, CNPAT: shift register, gate drive, bilateral scan, power consumption, noise, pull-up node, pull-down node

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103680636 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 26 March 2014 (26.03.2014), description, paragraphs [0047]-[0092], claims 1-10, and figures 1-2	1-10
Y	CN 103366704 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 23 October 2013 (23.10.2013), description, paragraphs [0021]-[0071], and figure 2	1, 3-10
Y	CN 103236273 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 07 August 2013 (07.08.2013), description, paragraphs [0033] and [0045]-[0046], and figures 3 and 5	1, 3-10
A	CN 1755765 A (SAMSUNG ELECTRONICS CO., LTD.), 05 April 2006 (05.04.2006), the whole document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 August 2014 (20.08.2014)	**30 September 2014 (30.09.2014)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **GONG, Yu** Telephone No.: (86-10) **62413917**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/080459

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103680636 A	26 March 2014	None	
CN 103366704 A	23 October 2013	None	
CN 103236273 A	07 August 2013	None	
CN 1755765 A	05 April 2006	JP 2006107692 A	20 April 2006
		US 2008001627 A1	03 January 2008
		KR 20060029389 A	06 April 2006
		US 2006071923 A1	06 April 2006
		TW 200625261 A	16 July 2006

国际检索报告

国际申请号
PCT/CN2014/080459

A. 主题的分类

G09G 3/36(2006.01)i；G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G；G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

WPI, EPODOC, IEEE, CNKI, CNPAT:移位寄存器，栅极驱动，功耗，噪声，上拉节点，下拉节点，双向扫描，shift register,gate drive,bilateral scan,power consumption, noise,pull-up node,pull-down node

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 103680636 A (京东方科技集团股份有限公司等) 2014年 3月 26日 (2014-03-26) 说明书第[0047]-[0092]段，权利要求1-10，附图1-2	1-10
Y	CN 103366704 A (京东方科技集团股份有限公司等) 2013年 10月 23日 (2013-10-23) 说明书第[0021]-[0071]段，附图2	1，3-10
Y	CN 103236273 A (北京京东方光电科技有限公司) 2013年 8月 07日 (2013-08-07) 说明书第[0033]，[0045]-[0046]段，附图3，5	1，3-10
A	CN 1755765 A (三星电子株式会社) 2006年 4月 05日 (2006-04-05) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2014年 8月 20日	2014年 9月 30日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	受权官员 巩瑜 电话号码 (86-10)62413917

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/080459

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	103680636	A	2014年 3月 26日	无			
CN	103366704	A	2013年 10月 23日	无			
CN	103236273	A	2013年 8月 07日	无			
CN	1755765	A	2006年 4月 05日	JP	2006107692	A	2006年 4月 20日
				US	2008001627	A1	2008年 1月 03日
				KR	20060029389	A	2006年 4月 06日
				US	2006071923	A1	2006年 4月 06日
				TW	200625261	A	2006年 7月 16日