(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G09G 3/18

(45) 공고일자 1998년12월15일
(11) 등록번호 특0150376
(24) 등록일자 1998년06월12일

(21) 출원번호 특1995-006865
(22) 출원일자 1995년03월29일
(65) 공개번호 특1995-028263
(43) 공개일자 1995년10월18일
(30) 우선권주장 94-058411 1994년03월29일 일본(JP)

(73) 특허권자 가부시기가이샤도시바 사또오 후미오
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72도시바 마이크로 일렉트로닉스 가부시기가이샤 오카모토 세이시
일본국 가나가와켄 가와사키시 가와사키쿠 에키마에혼 쵸오 25-1
(72) 발명자 우치다 히데아키
일본국 가나가와켄 가와사키시 가와사키쿠 에키마에혼 쵸오 25-1 도시바 마이크로 일렉트로닉스 가부시기가이샤 나이
오하시 고우지
일본국 가나가와켄 가와사키시 가와사키쿠 에키마에혼 쵸오 25-1 도시바 마이크로 일렉트로닉스 가부시기가이샤 나이
(74) 대리인 이상섭, 나영환

심사관 : 허상무

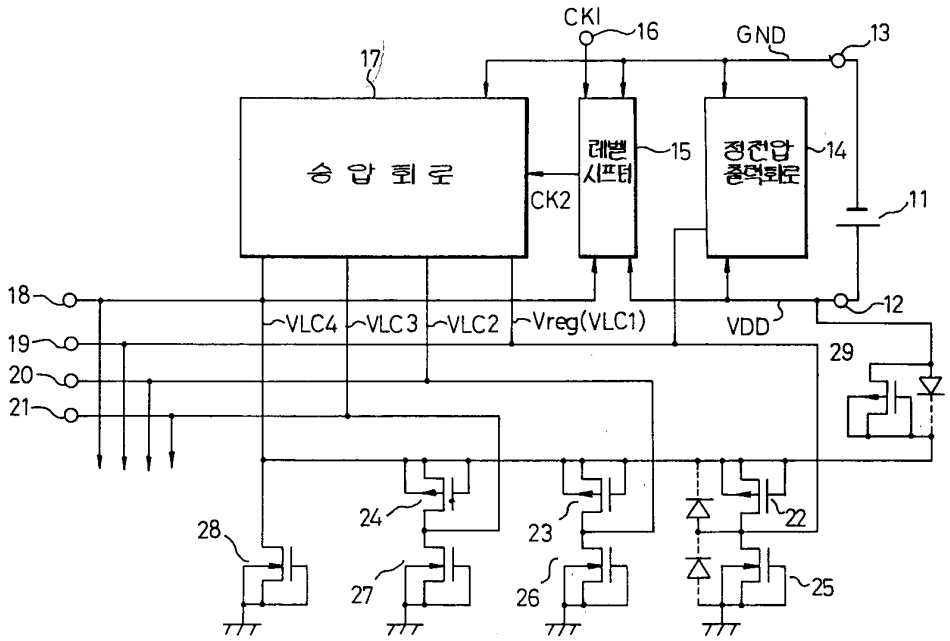
(54) 전압 변환 회로

요약

본 발명은 외부단자에 인가되는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자가 설치된 전압 변환 회로로, 내부 회로를 정상적으로 동작시킬 수 있고, 소망하는 복수 종류의 출력전압을 안정되게 얻는 것을 특징으로 한다.

상기 전압 변환 회로는 입력전압으로부터 일정전압을 출력하는 정전압 출력회로(14)와, 이 정전압 출력회로(14)의 출력전압을 승압하는 승압 회로(17)와, 클록신호의 레벨 시프트를 행하는 레벨 시프터 회로(15)와, 상기 입력전압의 노드와 상기 승압 회로의 승압 전압의 노드중 가장 큰 값의 승압 전압이 출력되는 노드와의 사이에 삽입되어 다이오드로서 작용하는 P 채널 MOS 트랜지스터(29)를 구비한다.

대표도



명세서

[발명의 명칭]

전압 변환 회로

[도면의 간단한 설명]

제1도는 본 발명에 관한 전압 변환회로의 제1 실시예에 의한 구성을 도시하는 블록도.

제2도는 제1도의 실시예 회로의 동작을 설명하기 위한 파형도.

제3도는 본 발명에 관한 전압 변환회로의 제 2 실시예에 의한 구성을 도시하는 불록도.

제4도는 종래의 전압 변환회로의 블록도.

제5도는 제4도의 종래 회로의 파형도.

제6도는 제4도의 종래 회로의 파형도.

* 도면의 주요부분에 대한 부호의 설명

11 : 전지 12, 13, 16, 18~21 : 외부단자

14, 30 : 정전압 출력회로 15 : 레벨 시프터 회로

17 : 승압회로 22~24 : 보호용 P 채널 MOS 트랜지스터

25, 28 : 보호용 N 채널 MOS 트랜지스터

29, 31 : 초기전압 설정용의 P 채널 MOS 트랜지스터

[발명의 상세한 설명]

본 발명은 입력전압으로부터 값이 다른 약간의 전압을 발생시키는 전압 변환 회로에 관한 것으로 특히 집적 회로에 내장되는 전압 변환 회로에 관한 것이다.

전자식 탁상 계산기(전탁)나 전자수첩 등과 같은 소형 사무기의 분야에서는 저소비 전력화나 기기의 소형화를 도모할 목적으로 일반적으로 액정 표시 장치를 사용하여 표시가 행해지고 있다. 또한, 장수명화를 도모하기 위해서 액정 표시 장치는 교류 신호에 의해서 표시 구동되고 있다. 이 교류 구동을 위해서는 값이 다른 복수 종류의 전압이 필요하고 이러한 복수 종류의 전압은 전압 변환 회로에 의해서 1 개의 전원 전압으로부터 형성되는 것이 일반적이다.

제4도는 이러한 종류의 용도에 사용되는 집적화된 종래의 전압 변환회로 블록이다. 이 예에서는 전지(11)의 출력전압 VDD을 사용하여 4 종류의 값이 다른 전압 Vreg(VLC1), VLC2, VLC3 및 VLC4를 형성하기 위한 전압 변환 회로가 도시되어 있다. 전지(11)의 고전위측의 전압 VDD 및 기준 전위측의 전압 GND 은 외부단자(12, 13)를 통하여 이 전압 변환 회로가 내장되어 있는 집적회로에 공급된다. 집적 회로내에서는 정전압 출력회로(14)에 의해 상기 전압 VDD으로부터 그보다도 값이 작은 일정치의 전압 Vreg(VLC1)이 발생된다. 또한, 상기 전압 VDD는 레벨 시프터 회로(15)에 입력된다. 이 레벨 시프터 회로(15)에는 상기 전압 VDD 외에 후술되는 승압 회로에서 발생되는 전압중 가장 값이 큰 VLC4 및 외부단자(16)를 통하여 집적회로의 외부에서 공급되는 클록신호 CK1 가 입력된다. 이 레벨 시프터 회로(15)는 상기 클록신호 CK1 의 고레벨측을 VDD 레벨로부터 VLC4 레벨로 레벨 시프트하여 VLC4 와 GND 와의 사이의 진폭을 가지는 클록신호 CK2를 출력한다. 상기 레벨 시프터 회로(15)에 의해서 레벨 스프트된 클록신호 CK2는 상기 전압 Vreg과 함께 승압 회로(17)에 공급된다. 이 승압 회로(17)는 상기 전압 Vreg을 2배, 3배 및 4배로 순차적으로 승압하여 각각 값이 다른 3종류의 승압 전압 VLC2, VLC3 및 VLC4을 발생시킨다. 상기 승압 회로(17)는 축전기를 사용한 공지의 커패시터 커플링 방식의 승압 회로로서 외부단자(18~21)에 각각 도시되지 않은 축전기가 접속됨으로써 소망하는 승압 전압을 얻을 수 있다. 또, 클록신호 CK2 는 승압시의 동작을 제어하기 위한 동기신호로서 사용된다.

그런데, 상기 승압 회로(17)에서 승압 동작을 행하기 위해서는 집적 회로 외부에 축전기를 부착할 필요가 있으며, 그 때문에 외부단자(18~21)가 설치되어 있다. 그러나, 집적 회로에 설치된 외부단자에는 정전압 등의 서지전압이 인가될 우려가 있음이 공지되어 있다. 상기 외부단자(18~21)는 집적 회로내의 내부소자, 예컨대 승압 회로(17)내의 트랜지스터 등에 직접적으로 접속되어 있기 때문에 이들 외부단자(18~21)에 상기와 같은 서지 전압이 인가되면 승압 회로(17)를 비롯한 내부 회로가 파손될 소지가 있다. 이 때문에, 집적 회로 내부에 있어서 상기 외부단자(18~21)에 상기와 같은 서지 전압으로부터 내부회로를 보호하기 위한 보호소자가 접속되어 있다. 능동소자로서 MOS 트랜지스터를 사용하는 MOS 형 집적 회로에서는 이러한 보호소자로서 예를 들면 도면에 도시한 바와 같이 P 채널 MOS 트랜지스터(22~24) 및 N 채널 트랜지스터(25~28)가 사용된다. 이들 각 MOS 트랜지스터는 P 채널 MOS 트랜지스터(22) 및 N 채널 MOS 트랜지스터(25)에서 예시하듯이, 등가적으로 각각 다이오드로서 작용한다.

이러한 구성의 종래 회로에 있어서, 승압 회로(17)의 동작의 안정시에 전압 VLC4, VDD, Vreg의 사이에 VLC4VDDVreg 와 같은 대소 관계가 존재할 때의 동작을 설명한다. 여기서는 3V 의 전지를 사용하는 전자계산기, 전자수첩 등과 같은 소형사무기를 고려하여, Vreg를 1.5V, VLC4를 6V(1.5V×4), VDD를 3V, 레벨 시프터 회로 15 의 최저동작 보증전압(이하, VDD_{min} 이라 한다)을 1.2V, 다이오드의 순방향 전압(이하, VF라 한다)을 0.5V 로 하여 설명한다. 상기 종래 회로에서 승압 회로(17)가 승압 동작을 개시한 직후의 초기 상태에서는 VLC4 보다도 Vreg 쪽이 높은 상태가 되어 P 채널 MOS 트랜지스터(22)를 통하여 Vreg 의 노드에서 VLC4의 노드로 순방향 전류가 흐르고, VLC4의 노드에 초기 전압이 주어진다.

그러나, 상기와 같은 보호소자가 설치되어 있음으로써 다음과 같은 문제가 발생한다. 제5도는 레벨 시프터 회로(15)의 입력파형(CK1)과, 승압 회로(17)의 승압 동작이 안정된 후의 레벨 시프터 회로(15)로부터의 출력파형(CK2)을 도시하고 있다. 또한, 제6도는 승압 회로(17)가 승압 동작을 개시한 직후에 초기 상

태에 있어서의 입력파형(CK1)을 전압 VDD, VLC4, Vreg 및 VDD_{min}과 함께 도시한 것이다. 제6도는 도시된 바와 같이, 초기상태에서는 VLC4는 Vreg의 전위보다도 낮아 상기와 같이 Verg 의 노드로부터 VLC4 의 노드로 순방향 전류가 흐른다. 이때, VLC4의 노드의 전위는 1.5V의 Vreg에서 다이오드의 VF 분의 0.5V가 낮은 1V가 된다. 따라서, 전원투입시등과 같이 VLC4(=Vreg-VF)의 값이, 레벨 시프터 회로(15)의 VDD_{min}보다도 낮아지는 조건하에서 동작하는 경우에 레벨 시프터 회로(15)는 동작하지 않고, 이 레벨 시프터 회로(15)로부터의 출력 클록신호 CK2 로 동작이 제어되는 승압 회로(17)도 동작하지 않게 된다.

이러한 부적합함이 발생되지 않도록 하기 위해서는 정전압 출력회로(14)의 출력전압 Vreg을 1.5 V 보다도 높게 설정하면 된다. 그러나, 광범위한 입력전압하에서 예컨대 VDD 의 값이 1.8V~3.3V 의 범위에서 동작가능하게 하기 위해서는 정전압 출력회로(14)의 출력전압 Vreg을 1.5V 정도로 설정하지 않을 수 없다. Vreg의 값을 이보다도 높게 설정하면 입력전압이 제한되어 범용성을 상실한다. 또한, Vreg의 값은 승압 전압 VLC2, VLC3, VLC4의 값과도 관련된다.

이와 같이 승압에 의해서 복수의 전압을 얻는 종래의 전압 변환 회로에서는 외부단자에 인가되는 서지 전압으로부터 내부회로를 보호하기 위해서 보호소자를 설치할 필요가 있고, 이 보호소자의 존재에 의하여, 승압 전압의 값에 의해서는 내부회로가 정상적으로 동작하지 않게 될 가능성이 있어서 이 경우에는 소망하는 복수 종류의 출력 전압을 얻을 수 없게 되는 문제가 있다.

본 발명은 상기와 같은 사정을 고려하여 이루어진 것으로, 그 목적은 외부단자에 인가되는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자를 설치한 경우에 승압 전압의 값에 의하지 않고 내부 회로를 정상적으로 동작시킬 수 있으며, 소망하는 복수 종류의 출력 전압을 안정되게 얻을 수 있는 전압 변환 회로를 제공하는 것에 있다.

제1 발명의 전압 변환 회로는 제 1 전압을 수신하여 이 제 1 전압보다도 값이 작은 일정치의 제 2 전압을 출력하는 정전압 출력회로와, 상기 제 2 전압 및 제 1 동기신호를 수신하여 제 1 동기신호를 기초로 제 2 전압을 승압하는 동작이 제어되어 제 2 전압보다도 값이 큰 적어도 1 개의 전압을 출력하는 승압 회로와, 상기 제 1 전압을 한쪽의 논리 레벨로 하는 제 2 동기신호 및 상기 승압 회로의 승압 전압중 가장 큰 값의 승압 전압을 수신하여 이 제 2 동기신호의 한쪽의 논리 레벨을 시프트함으로써 상기 제 1 동기신호를 발생시키는 레벨 시프터 회로와, 상기 제 1 전압의 노드와 상기 승압 회로의 승압 전압의 노드중 가장 큰 값의 승압 전압이 출력되는 노드와의 사이에 삽입된 단일방향 도전성 소자를 구비한 것을 특징으로 한다.

제 2 발명의 전압 변환 회로는 제 1 전압을 수신하여 이 제 1 전압보다도 값이 작은 일정치의 제 2 전압을 출력하는 제 1 정전압 출력 회로와, 상기제 2 전압 및 제 1 동기신호를 수신하여 제 1 동기신호를 기초로 제 2 전압을 승압하는 동작이 제어되어 제 2 전압보다도 값이 큰 적어도 1 개의 전압을 출력하는 승압 회로와, 상기 제 1 전압을 한쪽의 논리 레벨로 하는 제 2 동기 신호 및 상기 승압 회로의 승압 전압중 가장 큰 값의 승압 전압을 수신하여 이 제 2 동기신호의 한쪽의 논리 레벨을 시프트함으로써 상기 제 1 동기신호를 발생하는 레벨 시프터 회로와, 상기 제 1 전압을 수신하여 이 제 1 전압보다도 값이 작고 또한 상기 제 2 전압보다는 값이 큰 일정치의 제 3 전압을 출력하는 제 2 정전압 출력회로와, 상기 제 3 전압의 노드와 상기 승압 회로의 승압 전압중 가장 큰 값의 승압 전압이 출력되는 노드와의 사이에 삽입된 단일방향 도전성 소자를 구비하는 것을 특징으로 한다.

제 1 발명의 전압 변환 회로에서는, 동작 개시의 초기 상태시에 단일방향 도전성 소자를 통하여 제 1 전압의 노드로부터 승압 회로의 승압 전압 노드중 가장 큰 값의 승압 전압이 출력되는 노드의 초기치가 제 1 전압에 의해서 설정된다.

제 2 발명의 전압 변환 회로에서는, 동작 개시의 초기 상태시에 단일방향 도전성 소자를 통하여 제 2 정전압 출력회로의 출력전압인 제 3 전압의 노드로부터 승압 회로의 승압 전압 노드중 가장 큰 값의 승압 전압이 출력되는 노드로 전류가 흘러서 큰 값의 승압 전압이 출력되는 노드의 초기치가 제 3 전압에 의해서 설정된다.

이하에 도면을 참조하여 본 발명을 실시예에 의해 설명한다.

제1도는 본 발명에 관한 전압 변환 회로의 제 1 실시예에 의한 구성을 도시하는 블록도이다. 상기 제4도의 종래 회로의 경우와 같이, 본 실시예 회로 또한 집적 회로에 내장되어 있고, 다시 전지의 출력전압 VDD을 사용하여 4종류의 값이 다른 전압 Vreg(VLC1), VLC2, VLC3 및 VLC4을 형성하는 전압 변환 회로의 예이다. 또, 제4도의 종래 회로와 대응하는 개소에는 동일부호를 붙여서 설명을 한다. 전지(11)의 고전위측의 전압 VDD 및 기준 전위측의 전압 GND 은 외부단자(12, 13)를 통하여 본 실시예의 전압 변환회로가 내장되어 있는 집적 회로에 공급된다. 집적 회로내에서는 정전압 출력 회로(14)에 의해 상기 전압 VDD 으로부터 그보다도 값이 작은 일정치의 전압 Vreg(VLC1)이 발생된다. 상기 전압 VDD 은 레벨 시프터 회로(15)에도 입력된다. 레벨 시프터 회로(15)에는 이 전압 VDD 외에 후술되는 승압 회로에서 발생되는 승압 전압중 가장 값이 큰 전압 VLC4 및 외부단자(16)를 통하여 집적 회로의 외부에서 공급되는 클록신호 CK1 가 입력된다. 레벨 시프터 회로(15)는 상기 클록신호 CK1 의 고레벨측을 VDD 레벨로부터 VLC4 레벨로 레벨 시프트하여 VLC4와 GND 사이의 진폭을 갖는 클록신호 CK2를 출력한다. 레벨 시프터 회로(15)에 의해서 시프트된 클록신호 CK2 는 상기 전압 Vreg 과 함께 승압 회로(17)에 공급된다. 승압 회로(17)는 상기 전압 Vreg을 2배, 3배 및 4배로 순차적으로 승압하여 각각 값이 다른 3 종류의 승압 전압 VLC2, VLC3 및 VLC4을 발생시킨다. 승압 회로(17)는 커패시터 커플링 방식의 승압 회로로서, 외부단자(18~21)에 각각 도시되지 않은 축전기가 접속됨으로써 소망하는 승압 전압을 얻을 수 있다. 또한, 상기 클록신호 CK2 는 승압시에 승압 회로(17)의 동작을 제어하기 위한 동기신호로서 사용된다.

상기 전압 Vreg 의 노드와 전압 VLC4 의 노드와의 사이에는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자로서 작용하는 P 채널 MOS 트랜시스터(22)의 소스·드레인이 접속되어 있다. 이 MOS 트랜지스터(22)의 게이트 및 백게이트는 함께 전압 VLC4의 노드에 접속되어 있다. 상기 전압 VLC2의 노드와 전압 VLC4의 노드와의 사이에는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자로서 작용하는 P 채널 MOS 트랜지스터(23)의 소스·드레인이 접속되어 있다. 이 MOS 트랜지스터(23)의 게이트 및 백게이트도 전압 VLC4의 노드에 함께 접속되어 있다. 상기 전압 VLC3 의 노드와 전압 VLC4 의 노드와의 사이에는

서지 전압으로부터 내부 회로를 보호하기 위한 보호소자로서 작용하는 P 채널 MOS 트랜시스터(24)의 소스·드레인이 접속되어 있다. 이 MOS 트랜지스터(24)의 게이트 및 백게이트도 전압 VLC4의 노드에 함께 접속되어 있다. 더욱이, 상기 전압 Verg의 노드와 전압 접지전압의 노드와의 사이에는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자로서 작용하는 N 채널 MOS 트랜지스터(25)의 소스·드레인이 접속되어 있다. 이 MOS 트랜지스터(25)의 게이트 및 백게이트는 접지전압의 노드에 함께 접속되어 있다. 상기 전압 VLC2 의 노드와 접지전압의 노드와의 사이에는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자로서 작용하는 N 채널 MOS 트랜시스터(26)의 소스·드레인이 접속되어 있다. 이 MOS 트랜지스터(26)의 게이트 및 백게이트도 함께 접지전압의 노드에 접속되어 있다. 상기 전압 VLC3의 노드와 접지전압의 노드와의 사이에는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자로서 작용하는 N 채널 MOS 트랜지스터(27)의 소스·드레인이 접속되어 있다. 이 MOS 트랜지스터(27)의 게이트 및 백게이트도 함께 접지전압의 노드에 접속되어 있다. 상기 전압 VLC4의 노드와 접지전압의 노드와의 사이에는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자로서 작용하는 N 채널 MOS 트랜지스터(28)의 소스·드레인이 접속되어 있다. 이 MOS 트랜지스터(28)의 게이트 및 백게이트도 함께 접지전압의 노드에 접속되어 있다. 이들 각 MOS 트랜지스터 P 채널 MOS 트랜지스터(22) 및 N 채널 MOS 트랜지스터(25)에서 예시한 바와 같이, 등가적으로 각각 다이오드로서 작용한다. 더욱이 본 실시예 회로에서는 전지(11)로부터 출력되는 전압 VDD의 노드와 전압 VLC4의 노드와의 사이에 초기전압 설정용의 P 채널 MOS 트랜지스터(29)의 소스·드레인이 접속되어 있다. 이 MOS 트랜지스터(29)의 게이트 및 백게이트는 함께 전압 VLC4의 노드에 접속되어 있다. 이 MOS 트랜지스터(29)는 도면중에 도시한 바와 같이, 전압 VDD 의 노드측이 애노드, 전압 VLC4의 노드측이 캐소드가 되도록 등가적으로 다이오드(단일방향 도전성소자)로서 작용한다. 또, 상기 MOS 트랜지스터(29)를 포함한 MOS 트랜지스터(22~29)로서 다이오드 그 자체를 사용할 수도 있다. 이러한 구성으로 이루어지는 회로에서는 정전압 출력 회로(14)에 의해서 전지(11)의 전압 VDD 으로부터 이것보다도 값이 작은 일정한 전압 Vreg 이 형성되고, 이 전압 Vreg을 바탕으로 승압 회로(17)에서 3 종류의 값이 다른 승압 전압 VLC2~VLC4이 형성되며, 이들 전압 Vreg(VLC1), VLC2~VLC4 이 집적 회로내의 또는 집적 회로 외부의 도시되지 않은 액정 구동신호 발생회로에 공급되어, 이 액정 구동신호 발생회로에서 액정 구동용의 교류신호가 형성된다.

종래와 같이 승압 회로(17)의 동작의 안정시에 전압 VLC4, VDD, Vreg간에VLC4VDDVreg 과 같은 대소 관계가 존재할 때의 동작을 설명한다. 이 경우에도 3V 의 전지를 사용하는 전자계산기, 전자수첩 등과 같은 소형사무기를 고려하여, Vreg를 1.5V, VLC4를 6V, VDD를 3V, 레벨 시프터 회로 (15) 의 최저동작 보증전압(이하, VDD_{min} 이라 한다)을 1.2V, 다이오드의 VF를 0,5V 로 하여 설명한다. 승압 회로(17)가 승압 동작을 개시한 직후의 초기 상태에서는 VLC4 보다도 Vreg 쪽이 높은 상태가 되어 P 채널 MOS 트랜지스터(22)를 통하여 Vreg 의 노드로부터 VLC4의 노드로 순방향 전류가 흐른다. 또한, VLC4보다도 VDD 쪽이 높은 상태가 되어, P 채널 MOS 트랜지스터(29)를 통하여 VDD 의 노드로부터 VLC4의 노드로 순방향 전류가 흐른다. 이 때, Vreg(1.5VVDD(3V) 이므로, VLC4 의 노드는 값이 큰 쪽의 전압 VDD에 기초하여 초기전압이 주어진다. 즉, 다이오드의 VF 가 0.5V 이므로, VLC4의 초기전압은 VDD(3V)-VF(0.5V)=2.5V가 된다.

제2도는 승압 회로(17)가 승압 동작을 개시한 직후의 초기 상태에 있어서의 입력파형(CK1)과 출력파형(CK2)을 전압 VDD, VLC4, 및 VDD_{min}과 함께 도시한 것이다. 제2도에 도시한 바와 같이, 초기상태시도 VLC4 즉(VDD-VF)의 값은 레벨 시프터 회로(15)의 VDD_{min}보다도 커지고, 레벨 시프터 회로(15)는 안정되게 동작한다. 따라서, 이 레벨 시프터 회로(15)로부터의 출력 클록신호 CK2 로 동작이 제어되는 승압 회로(17)도 안정되게 동작하게 된다. 승압 회로(17)의 동작이 안정된 후의 레벨 시프터 회로(15)의 출력파형 CK2 의 진폭은 상기 제5도의 경우와 같이 VLC4 와 GND 간의 전위차가 된다.

제3도는 본 발명에 관한 전압 변환 회로의 제 2 실시예에 의한 구성을 도시하는 블록도이다. 본 실시예 회로는 상기 제 1 실시예 회로와 거의 동일하게 구성되어 있기 때문에 제 1 실시예 회로와 다른 점에 관해서만 설명한다. 본 실시예 회로에서는 전기의 초기전압 설정용의 P 채널 MOS 트랜지스터(29)가 제거되고, 대신에 정전압 출력 회로(30)와 초기전압 설정용의 P 채널 MOS 트랜지스터(31)가 새롭게 설치되어 있다. 상기 정전압 출력 회로(30)에서는 전압 VDD로부터 그보다 값이 작고 또한 상기 정전압 출력 회로(14)의 출력전압 Vreg 보다는 값이 큰 전압 Vreg2 이 발생된다. 그리고, 상기 P 채널 MOS 트랜지스터(31)의 소스·드레인은 이 전압 Vreg2 의 노드와 상기 전압 VLC4의 노드와의 사이에 접속되어 있다, 또한, 상기 P 채널 MOS 트랜지스터(31)의 게이트와 백게이트는 함께 전압 VLC4의 노드에 접속되어 있다. 또, 상기 P 채널 MOS 트랜지스터(31)는 도면중에 도시한 바와 같이, 전압 Vreg2 의 노드측이 애노드, 전압 VLC4의 노드측이 캐소드가 되도록 등가적으로 다이오드(단일방향 도전성 소자)로서 작용한다. 이 경우도 상기 MOS 트랜지스터(31)를 포함한 MOS 트랜지스터(22~28 및 31)로서 다이오드 그 자체를 사용할 수도 있다.

이러한 구성의 전압 변환 회로에 있어서, 새롭게 설치된 정전압 출력 회로(30)의 출력전압 Vreg2을 예를 들면 2V 로 한다. 따라서, 본 실시예 회로에서는 VLC4 의 초기 전압은 Vreg2(2V)-VF(0.5V)=1.5V가 된다. 이 값은 레벨 시프터 회로(15)의 VDD_{min} 보다도 크기 때문에 초기 상태에서도 레벨 시프터 회로(15)는 안정되게 동작한다. 따라서, 레벨 시프터 회로(15)로부터의 출력 클록신호 CK2로 동작이 제어되는 승압 회로(17)도 안정되게 동작하게 된다.

또한, 본 실시예 회로에서는 다음과 같은 효과도 얻을 수 있다. 즉, 상기 제 1 실시예 회로에서는 전지(11)의 전압 VDD을 사용하여 전압 VLC4 의 초기 설정을 행하고 있기 때문에, 승압 회로(17)의 승압동작이 충분히 안정되어 그 출력으로서 얻어지는 전압 VLC4의 값이 (VDD-VF) 이상, 즉 2.5V 가 될 때까지의 기간에서는 전지(11)로부터 전류가 흘러 나오게 된다. 따라서, 이 기간에는 전지(11)의 소모가 커진다. 이것에 대하여, 상기 제 2 실시예 회로에서는 전지(11)의 전압 VDD 보다도 작은 전압 Vreg2에 의해서 전압 VLC4 의 초기 설정이 행해지기 때문에, 승압 회로(17)의 승압동작이 충분히 안정되어 그 출력으로서 얻어지는 전압 VLC4의 값이 (Vreg2-VF), 즉 1.5V 이상이 되면 P 채널 MOS 트랜지스터(31)에는 전류는 흐르지 않게 된다. 이 때문에, 상기 제 2 실시예 회로에서는 제 1 실시예 회로에 비하여 소비전류의 삭감을 도모할 수 있는 효과를 얻을 수 있다.

또한, 본 발명은 상기 각 실시예로 한정되는 것이 아니라 여러 가지의 변형이 가능하다. 예컨대, 상기

각 실시예에서는 승압 회로(17)가 4 배 승압 회로인 경우를 설명하였지만, 그외에 2 배, 6 배, 8 배 등 여러 가지의 것을 사용할 수 있다. 또한, 보호소자로서 MOS 트랜지스터를 다이오드로서 사용하는 경우를 설명하였지만, 이것은 상기와 같이 다이오드 그 자체나 양극형 트랜지스터를 다이오드 접속하여 사용할 수도 있다. 더욱이, 외부에서의 전압 공급원인 전지(11)는 건전지, 리튬 전지 또는 태양전지 등을 포함하며, 전지이외의 전원 유닛으로부터 전압을 공급하여도 된다. 또한, 본원 청구범위의 각 구성 요건에 병기한 도면 참조부호는 본원 발명의 이해를 쉽게 하기 위한 것으로서, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정하는 의도로 병기한 것은 아니다.

이상 설명하였듯이 본 발명에 따라, 외부단자에 인가되는 서지 전압으로부터 내부 회로를 보호하기 위한 보호소자를 설치한 경우라도 내부 회로를 정상적으로 동작시킬 수 있고, 소망하는 복수 종류의 출력 전압을 안정되게 얻을 수 있는 전압 변환 회로를 제공할 수 있다.

(57) 청구의 범위

청구항 1

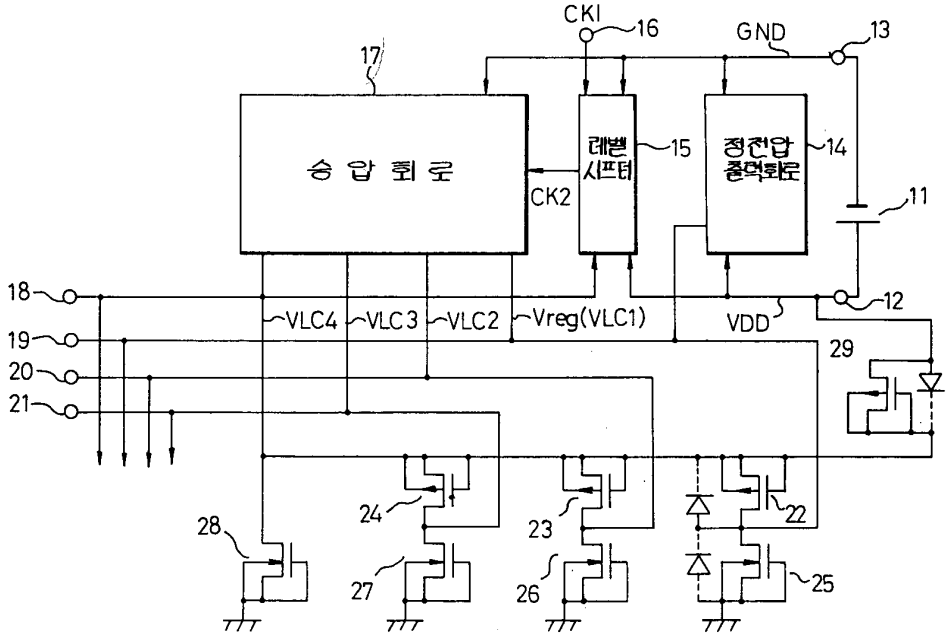
제 1 전압을 수신하여 이 제 1 전압보다도 값이 작은 일정치의 제 2 전압을 출력하는 정전압 출력 회로(14)와, 상기 제 2 전압 및 제 1 동기신호를 수신하며 제 1 동기신호를 기초로 제 2 전압을 승압하는 동작이 제어되어 제 2 전압보다도 값이 큰 적어도 1개의 전압을 출력하는 승압 회로(17)와, 상기 제 1 전압을 한쪽의 논리 레벨로 하는 제 2 동기신호 및 상기 승압 회로의 승압 전압중 가장 큰 값의 승압전압을 수신하여 이 제 2 동기신호의 한쪽의 논리 레벨을 시프트함으로써 상기 제 1 동기신호를 발생시키는 레벨 시프터 회로(15)와, 상기 제 1 전압의 노드와 상기 승압 회로의 승압 전압의 노드중 가장 큰 값의 승압 전압이 출력되는 노드와의 사이에 삽입된 단일방향 도전성 소자를 구비하는 것을 특징으로 하는 전압 변환 회로.

청구항 2

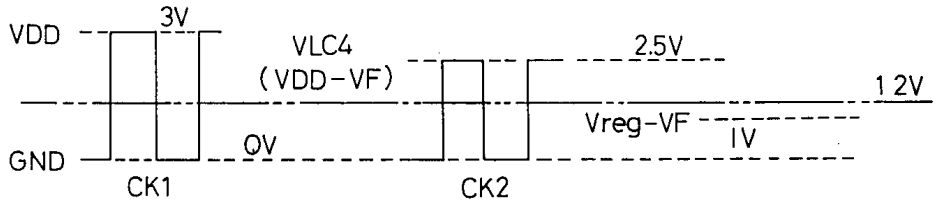
제 1 전압을 수신하여 이 제 1 전압보다도 값이 작은 일정치의 제 2 전압을 출력하는 제 1 정전압 출력 회로(14)와, 상기 제 2 전압 및 제 1 동기신호를 수신하며 제 1 동기신호를 기초로 제 2 전압을 승압하는 동작이 제어되어 제 2 전압보다도 값이 큰 적어도 1 개의 전압을 출력하는 승압 회로(14)와, 상기 제 1 전압을 한쪽의 논리 레벨로 하는 제 2 동기신호 및 상기 승압 회로의 승압 전압중 가장 큰 값의 승압 전압을 수신하여 이 제 2 동기신호의 한쪽의 논리 레벨을 시프트함으로써 상기 제 1 동기신호를 발생시키는 레벨 시프터 회로(15)와, 상기 제 1 전압을 수신하여 이 제 1 전압보다도 값이 작고 또한 상기 제 2 전압보다는 값이 큰 일정치의 제 3 전압을 출력하는 제 2 정전압 출력 회로(30)와, 상기 제 3 전압의 노드와 상기 승압 회로의 승압 전압중 가장 큰 값의 승압 전압이 출력되는 노드와의 사이에 삽입된 단일방향 도전성 소자를 구비하는 것을 특징으로 하는 전압 변환 회로.

도면

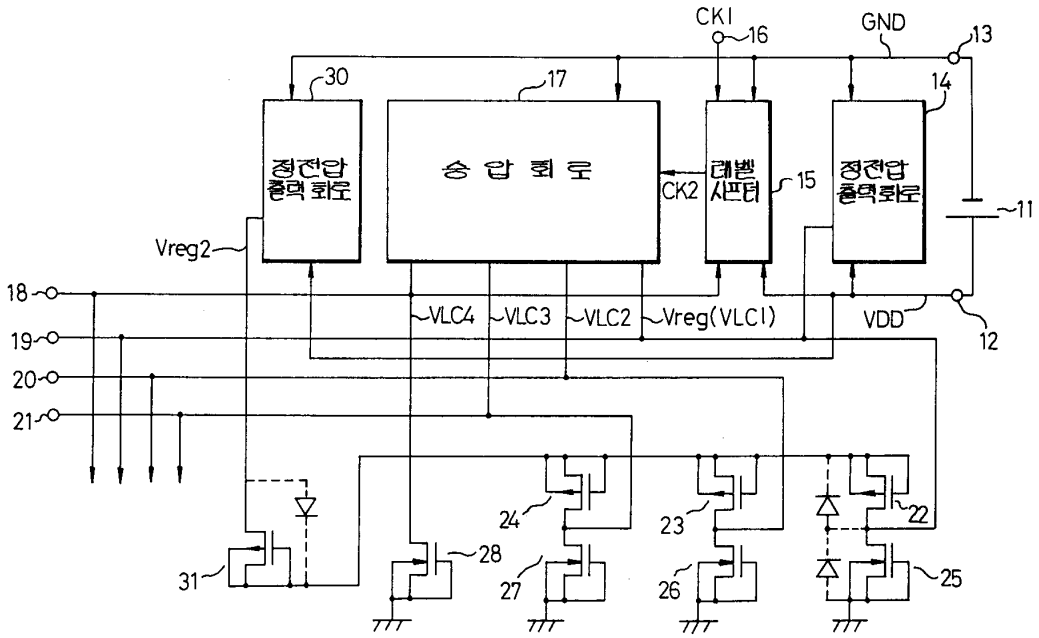
도면1



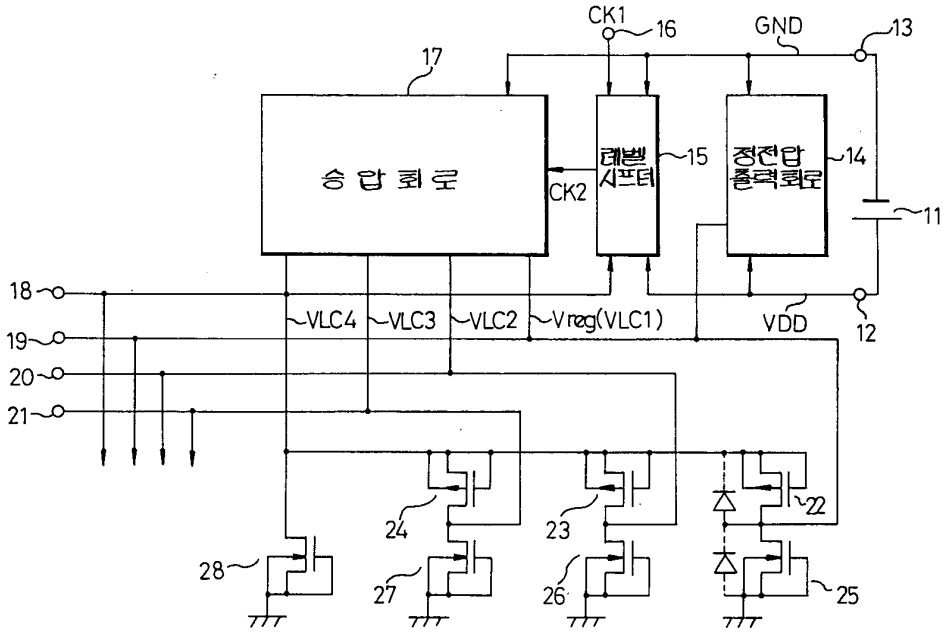
도면2


VDD
3V
VLC4
(VDD-VF)
2.5V
1.2V
Vreg-VF
1V
GND
0V
CK1
CK2

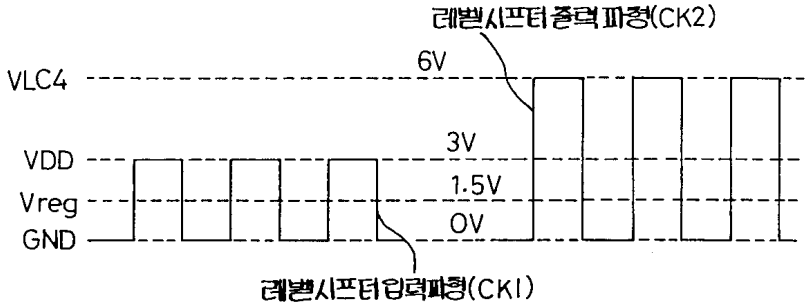
도면3


CK1
16
GND
13
30
17
14
정전압 출력회로
승 압 회 로
CK2
레벨 시프터
15
정전압 출력회로
11
Vreg2
18
19
20
21
VLC4
VLC3
VLC2
Vreg(VLC1)
VDD
12
31
28
24
27
23
26
22
25

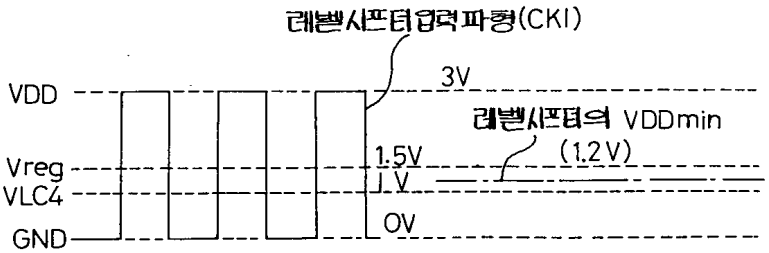
도면4


CK1
16
GND
13
17
승압회로
CK2
레벨
시프터
15
정전압
출력회로
14
11
18
19
20
21
VLC4
VLC3
VLC2
Vreg(VLC1)
VDD
12
24
23
22
28
27
26
25

도면5


레벨시프터출력파형(CK2)
VLC4
6V
VDD
3V
Vreg
1.5V
GND
0V
레벨시프터입력파형(CKI)

도면6


레벨시프터입력파형(CKI)
VDD
3V
레벨시프터의 VDDmin
(1.2V)
Vreg
1.5V
VLC4
1V
GND
0V