202405910

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202405910 A

(43)公開日： 中華民國 113 (2024) 年 02 月 01 日

(21)申請案號：112120650 (22)申請日： 中華民國 112 (2023) 年 06 月 02 日

(51)Int. Cl.： *H01L21/28 (2006.01)* *H01L21/324 (2006.01)*

H01L21/302 (2006.01)

(30)優先權：2022/06/20 日本 2022-098712

(71)申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)

日本

(72)發明人：高柳浩二 TAKAYANAGI, KOJI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：14 項 圖式數：10 共 49 頁

(54)名稱

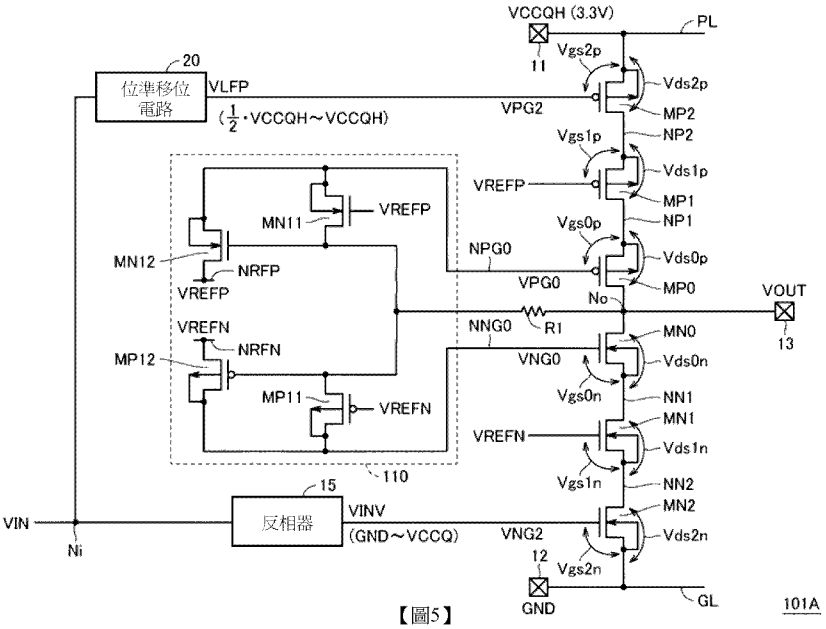
半導體裝置

(57)摘要

一第一 P 型電晶體及一第二 P 型電晶體經串聯連接於一電源端子與一輸出端子之間。一第一 N 型電晶體及一第二 N 型電晶體經連接於一接地端子與一電源端子之間。該第二 N 型電晶體及該第二 P 型電晶體根據一輸入信號來互補接通及切斷。一閘極電壓控制電路藉由跟隨該輸出端子之該輸出電壓 VOUT 來改變其汲極經電連接至該輸出端子之該 P 型電晶體之該閘極電壓及該 N 型電晶體之該閘極電壓之至少一者，同時使該 P 型電晶體或該 N 型電晶體保持接通狀態。

A first P-type transistor and a second P-type transistor are connected in series between a power supply terminal and an output terminal. A first N-type transistor and a second N-type transistor are connected between a ground terminal and a power supply terminal. The second N-type transistor and the second P-type transistor are complementarily turned on and off in accordance with an input signal. A gate voltage control circuit changes at least one of the gate voltage of the P-type transistor whose drain is electrically connected to the output terminal and the gate voltage of the N-type transistor by following the output voltage VOUT of the output terminal while keeping the P-type transistor or the N-type transistor on-states.

指定代表圖：



【圖5】

符號簡單說明：

11:電源端子

12:接地端子

13:輸出端子

15:反相器

20:位準移位電路

101A:半導體裝置

110:閘極電壓控制電路

GL:接地線

GND:接地電位

MN0:N 型電晶體

MN1:N 型電晶體

MN2:N 型電晶體

MN11:N 型電晶體

MN12:N 型電晶體

MP0:P 型電晶體

MP1:P 型電晶體

MP2:P 型電晶體

MP11:P 型電晶體

MP12:P 型電晶體

Ni:輸入節點

NN1:節點

NN2:節點

NNG0:節點

No:輸出節點

NP1:節點

NP2:節點

NPG0:節點

NRFN:中間電位節點

NRFP:中間電位節點

PL:電源線

R1:電阻元件

VCCQ:低電源電位

VCCQH:高電源電位

Vds0n:汲極源極電壓

Vds1n:汲極源極電壓

Vds2n:汲極源極電壓

Vds0p:汲極源極電壓

Vds1p:汲極源極電壓

Vds2p:汲極源極電壓

Vgs0n:閘極源極電壓

Vgs1n:閘極源極電壓

Vgs2n:閘極源極電壓

Vgs0p:閘極源極電壓

Vgs1p:閘極源極電壓

Vgs2p:閘極源極電壓

VIN:輸入信號

VINV:反相器輸出信號

VLFP:位準移位信號

VNG0:閘極電壓信號

VNG2:閘極電壓信號

VOUT:輸出電壓

VPG0:閘極電壓信號

VPG2:閘極電壓信號

VREFN:偏壓電壓

VREFP:偏壓電壓

【發明摘要】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【中文】

一第一P型電晶體及一第二P型電晶體經串聯連接於一電源端子與一輸出端子之間。一第一N型電晶體及一第二N型電晶體經連接於一接地端子與一電源端子之間。該第二N型電晶體及該第二P型電晶體根據一輸入信號來互補接通及切斷。一閘極電壓控制電路藉由跟隨該輸出端子之該輸出電壓VOUT來改變其汲極經電連接至該輸出端子之該P型電晶體之該閘極電壓及該N型電晶體之該閘極電壓之至少一者，同時使該P型電晶體或該N型電晶體保持接通狀態。

【英文】

A first P-type transistor and a second P-type transistor are connected in series between a power supply terminal and an output terminal. A first N-type transistor and a second N-type transistor are connected between a ground terminal and a power supply terminal. The second N-type transistor and the second P-type transistor are complementarily turned on and off in accordance with an input signal. A gate voltage control circuit changes at least one of the gate voltage of the P-type transistor whose drain is electrically connected to the output terminal and the gate voltage of the N-type transistor by following the output voltage VOUT of the

output terminal while keeping the P-type transistor or the N-type transistor on-states.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

11:電源端子

12:接地端子

13:輸出端子

15:反相器

20:位準移位電路

101A:半導體裝置

110:閘極電壓控制電路

GL:接地線

GND:接地電位

MN0:N型電晶體

MN1:N型電晶體

MN2:N型電晶體

MN11:N型電晶體

MN12:N型電晶體

MP0:P型電晶體

MP1:P型電晶體

MP2:P型電晶體

MP11:P型電晶體

MP12:P型電晶體

Ni:輸入節點

NN1:節點

NN2:節點

NNG0:節點

No:輸出節點

NP1:節點

NP2:節點

NPG0:節點

NRFN:中間電位節點

NRFP:中間電位節點

PL:電源線

R1:電阻元件

VCCQ:低電源電位

VCCQH:高電源電位

Vds0n:汲極源極電壓

Vds1n:汲極源極電壓

Vds2n:汲極源極電壓

Vds0p:汲極源極電壓

Vds1p:汲極源極電壓

Vds2p:汲極源極電壓

Vgs0n:閘極源極電壓

Vgs1n:閘極源極電壓

Vgs2n:閘極源極電壓

Vgs0p:閘極源極電壓

Vgs1p:閘極源極電壓

Vgs2p:閘極源極電壓

VIN:輸入信號

VINV:反相器輸出信號

VLFP:位準移位信號

VNG0:閘極電壓信號

VNG2:閘極電壓信號

VOUT:輸出電壓

VPG0:閘極電壓信號

VPG2:閘極電壓信號

VREFN:偏壓電壓

VREFP:偏壓電壓

【發明說明書】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明係關於一種半導體裝置，特定言之，本發明係關於一種用於輸出具有高於一電晶體之電壓振幅之一電壓振幅之一信號之半導體裝置。

【先前技術】

【0002】 在包含一位準移位電路之一半導體裝置中，已知使用一低振幅邏輯信號作為一輸入已為一實例，其中用於輸出一高振幅邏輯信號之一電路藉由使用具有對應於一低振幅之一耐壓之一電晶體來組態。例如，已知一實例，其中一半導體裝置藉由具有1.8 [V]之一耐壓之一電晶體來組態，半導體裝置回應於設定成0 [V] (GND)或1.8 [V]之一輸入信號而產生設定成0 [V] (GND)或3.3 [V]之一輸出信號。

【0003】 在日本專利公開申請案第2017-175288號(專利文件1)中，展示一電路組態，其藉由將兩個低耐壓電晶體串聯連接至一高電壓電源端子與產生一輸出信號之一輸出端子之間及輸出端子與一輸出級中之一接地端子之間的各自區域來確保一耐壓。此外，在專利文件1中，經由一電位轉換電路將一接通電壓供應至構成輸出級之一低耐壓電晶體之一閘極。因此，在低耐壓電晶體接通時供應之一閘極源極電壓可保持較低。

【發明內容】

【0004】 在專利文件1中所揭示之半導體裝置中，可藉由在低電壓電晶體接通時抑制一瞬時汲極源極電壓來抑制熱載子劣化。

【0005】 然而，在專利文件1之技術中，藉由使一閘極與一源極之間的一電壓保持較低，在接通電晶體時之一操作速度減小。即，應理解，在抑制熱載子劣化與提高操作速度之間存在一權衡關係。

【0006】 出於此原因，當將專利文件1之技術應用於由一進階程序製造之一半導體裝置時，其中熱載子劣化較大且若一閘極電壓經調整以能夠抑制熱載子劣化則電晶體之操作速度之一降低變得明顯，因此吾人擔憂在應用於需要高速回應性之電路時會出現一問題。

【0007】 本發明意欲解決上述問題且提供能夠抑制熱載子劣化且在產生具有高於電晶體之耐壓之一電壓振幅之一輸出電壓時不降低操作速度之一半導體裝置。

【0008】 將自本說明書之描述及附圖明白其他問題及新穎特徵。

【0009】 根據一個實施例之一半導體裝置，其在一輸出端子處產生一輸出信號，該輸出信號具有大於一輸入信號之一電壓振幅，其包含：一第一P型電晶體、一第二P型電晶體、一第一N型電晶體、一第二N型電晶體及一閘極電壓控制電路。該第一P型電晶體及該第二P型電晶體經串聯連接於供應一第一電源電位之一電源線與產生一輸出信號之一輸出端子之間。該第一N型電晶體及該第二N型電晶體經串聯連接於供應一參考電位之一參考電位線與該輸出端子之間。該第一N型電晶體及該P型電晶體具有經電連接至該輸出端子之汲極。根據該輸入信號來將用於互補接通及切斷該第二N型電晶體及該第二P型電晶體之信號分別輸入至該第二N型電晶體及該P型電晶體之閘極。該閘極電壓控制電路根據該輸出端子之一電壓

來改變該第一P型電晶體及該第一N型電晶體之閘極電壓。該閘極電壓控制電路經組態以：引起該第一P型電晶體或該N型電晶體跟隨該輸出端子之一電壓之一改變，同時在該輸出信號之一電壓根據該輸入信號之一邏輯位準之一改變而改變時，使該第一P型電晶體或該N型電晶體保持接通狀態；及改變該等第一N型及P型電晶體之至少一者之一閘極電壓。

【0010】 根據上述實施例，在產生具有高於電晶體之耐壓之電壓振幅之輸出電壓之半導體裝置中，可在不降低操作速度之情況下抑制熱載子劣化。

【圖式簡單說明】

【0011】 圖1係用於解釋根據一第一比較實例之一半導體裝置之一組態之一電路圖。

【0012】 圖2係圖1中所展示之半導體裝置之一瞬時操作波形圖。

【0013】 圖3係圖1中所展示之半導體裝置之一修改實例之一瞬時操作波形圖。

【0014】 圖4係用於解釋根據一第二比較實例之一半導體裝置之一組態之一電路圖。

【0015】 圖5係用於解釋根據一第一實施例之一半導體裝置之一組態之一電路圖。

【0016】 圖6係用於解釋一中間電位產生電路之一組態實例之一電路圖。

【0017】 圖7A、圖7B係根據第一實施例之半導體裝置之一瞬時操作波形圖。

【0018】 圖8係用於解釋根據一第二實施例之一半導體裝置之一組

態之一電路圖。

【0019】 圖9係用於解釋根據一第三實施例之一半導體裝置之一組態之一電路圖。

【0020】 圖10係用於解釋根據本實施例之半導體裝置之一修改實例之一組態之一電路圖。

【實施方式】

【0021】 在下文中，將參考圖式來詳細描述各實施例。順帶一提，相同或對應部分由相同元件符號表示，且不對其進行重複描述。

【0022】 <比較實例之解釋>

【0023】 圖1係用於解釋根據一第一比較實例之一半導體裝置100A之一組態之一電路圖。

【0024】 參考圖1，根據一第一比較實例之一半導體裝置100A將一輸出信號輸出至一輸出端子13，該輸出信號具有對應於一輸入節點Ni之一輸入信號VIN之一邏輯位準。輸入信號VIN係一二進制信號，該二進制信號依一邏輯低位準(在下文中「L位準」)設定成一接地電位GND (其係一參考電位)，而依一邏輯高電位(在下文中「H位準」)設定成一低電源電位VCCQ。

【0025】 同時，輸出信號依L位準設定成接地電位GND，且依H位準設定成高於低電源電位VCCQ之一高電源電位VCCQH。即，輸出信號之一振幅大於輸入信號VIN之一振幅。作為一個實例，低電源電位VCCQ係1.8 [V]且高電源電位VCCQH係3.3 [V]。

【0026】 順帶一提，輸出端子13之一電壓值在下文中稱為一輸出電壓VOUT。因此，當輸出信號係一H位準時，VOUT=VCCQH (3.3 [V])，

且當輸出信號係一L位準時，VOUT=GND (0 [V])。替代地，當輸出信號自H位準改變至L位準或自L位準改變至H位準時，輸出電壓VOUT瞬時在接地電位GND (0 [V])與高電源電位VCCQH (3.3 [V])之間改變。

【0027】 半導體裝置100A具有與專利文件1之組態相同之組態且包含一反相器15、一位準移位電路20、電位轉換電路21、22、形成一輸出級之P型電晶體MP1、MP2及N型電晶體MN1、MN2。電晶體MP1、MP2、MN1、MN2具有等於低電源電位VCCQ (在此，1.8 [V])之耐壓。即，電晶體MP1、MP2、MN1、MN2之耐壓低於高電源電位VCCQH與接地電位GND之間的一電位差。

【0028】 反相器15接收低電源電位VCCQ且操作以輸出藉由使輸入信號VIN反相所獲得之一反相器輸出信號VINV。當輸入信號VIN處於一邏輯低位準(下文中「L位準」)時，VINV=VCCQ，且當輸入信號VIN處於一邏輯高位準(下文中「H位準」)時，VINV=GND。

【0029】 位準移位電路20輸出藉由使輸入信號VIN反相所獲得之一位準移位信號VLFP。位準移位電路20在輸入信號VIN處於一L位準時設定為VLFP=VCCQH，且在輸入信號VIN處於一H位準時設定為VLFP=(1/2)•VCCQH。

【0030】 電位轉換電路21將一閘極電壓信號VNG2輸出至電晶體MN2之一閘極，該閘極電壓信號VNG2係藉由轉換來自反相器15之反相器輸出信號VINV之一電位而獲得。電位轉換電路21具有一N型電晶體MN5，低電源電位VCCQ輸入至其閘極且其充當一NMOS轉移閘極。當一反相器輸出信號VINV之一振幅係GND至VCCQ時，自電位轉換電路21輸出之一閘極電壓信號VNG2之一振幅係GVD至VCCQ-Vtn。在此，Vtn係

電晶體MN5之一臨限電壓。

【0031】 類似地，電位轉換電路22將一閘極電壓信號VPG2輸出至電晶體MP2之一閘極，該閘極電壓信號VPG2係藉由轉換來自位準移位電路20之位準移位信號VLFP之一電位而獲得。電位轉換電路22具有一P型電晶體MP5，低電源電位VCCQ輸入至其閘極且其充當一PMOS轉移閘極。當位準移位信號VLFP之一瞬態上之一振幅係(1/2)•VCCQH至VCCQH時，自電位轉換電路22輸出之一閘極電壓信號VPG2之一振幅係(1/2)•VCCQH+Vtp至VCCQH。在此，Vtp係電晶體MP5之一臨限電壓。

【0032】 在輸出級中，P型電晶體MP1、MP2經由一節點NP1串聯連接於經連接至輸出端子13之一輸出節點No與經連接至電源端子11之一電源線PL之間。即，電晶體MP2之一源極經連接至電源線PL，且其一汲極經連接至節點NP1。電晶體MP1之源極經連接至節點NP1，且其汲極經連接至輸出節點No。

【0033】 類似地，N型電晶體MN1、MN2經由節點NN1串聯連接於輸出節點No與經連接至接地端子12之接地線GL之間。即，電晶體MN2具有經連接至接地線GL之一源極及經連接至節點NN1之一汲極。電晶體MN1之源極經連接至節點NN1，且其汲極經連接至輸出節點No。

【0034】 將一偏壓電壓VREFP輸入至電晶體MP1之閘極，且將一偏壓電壓VREFN輸入至電晶體MN1之閘極。偏壓電壓VREFP、VREFN經設定成接地電位GND與高電源電位VCCQH之間的一中間電位，其可接通電晶體MP1、MN1。例如，其等經設定成VREFN=VCCQ及VREFP=(1/2)•VCCQH。

【0035】 來自電位轉換電路22之一閘極電壓信號VPG2經輸入至電

晶體MP2之閘極。來自電位轉換電路21之一閘極電壓信號VNG2經輸入至電晶體MN2之閘極。

【0036】 當輸入信號VIN處於L位準(GND)時，反相器15輸出一H位準(VINV=VCCVQ)且位準移位電路20輸出一H位準(VLFP=VCCQH)。因此，VPG2=VCCQH經輸入至電晶體MP2之閘極，且VNG2=VCCQ-Vtn經輸入至電晶體MN2之閘極。因此，電晶體MP2切斷而電晶體MN2接通，使得接地電位GND經傳輸至輸出節點No且輸出信號變成一L位準(VOUT=GND)。

【0037】 相反地，當輸入信號VIN處於H位準(VCCQ)時，反相器15輸出一L位準(VINV=GND)且位準移位電路20輸出一L位準(VLFP=(1/2)•VCCQH)。因此，VPG2=(1/2)•VCCQH+Vtp經輸入至電晶體MP2之閘極，且VNG2=GND經輸入至電晶體MN2之閘極。因此，電晶體MN2切斷而電晶體MP2接通，使得高電源電位VCCQH經傳輸至輸出節點No且輸出信號變成一H位準(VOUT=VCCQH)。

【0038】 因此，半導體裝置100A可使用低振幅(GND至VCCQ)之一邏輯信號(輸入信號VIN)作為一輸入且可輸出高振幅(GND至VCCQH)之一邏輯信號(輸出電壓VOUT)。

【0039】 圖2展示圖1中所展示之半導體裝置100A之一瞬時操作波形圖，具體言之，圖2展示在輸入信號VIN自一H位準改變至一L位準時之一瞬時操作波形圖。

【0040】 參考圖2，當輸入信號VIN自一H位準(VCCQ=1.8 [V])改變至一L位準(GND=0 [V])時，閘極電壓信號VPG2自一L位準((1/2)•VCCQH+Vtp≈2.0 [V])改變至一H位準(VCCQH=3.3 [V])，如上文

所描述。替代地，閘極電壓信號VGN2自一L位準(GND=0 [V])上升至一H位準(VCCQ－Vtn≈1.0 [V])。

【0041】 回應於在輸出級中閘極電壓信號VNG2、VPG2之改變，電晶體MP2切斷而電晶體MN2接通。據此，輸出端子13之輸出電壓VOUT自一H位準(VCCQH=3.3 [V])改變至一L位準(GND=0 [V])。

【0042】 當輸出電壓VOUT下降時，吾人擔憂接通之電晶體MN1、MN2之汲極源極電壓Vds1n、Vds2n會瞬時增大。當輸出信號處於H位準(VOUT=VCCQH)時，對應於電晶體MN1、MN2之連接節點之節點NN1之電位VNN1等於輸入至電晶體MN1之閘極之一偏壓電壓VREFN。當VREFN=VCCQ=1.8 [V]時，在電晶體MN1中，Vds1n係約VCCQH－VCCQ =1.5 [V]，且在電晶體MN1中，Vds1n係約VREFN=1.8 [V]。此時，Vds1n及Vds2n兩者等於或低於電晶體MN1、MN2之一耐壓位準(1.8 [V])。

【0043】 相比而言，如圖2中所展示，在其中閘極電壓信號VNG2上升之一程序中，節點NN1之電位VNN1在輸出電壓VOUT之前下降，使得電晶體MN1之Vds1n瞬時較大。在半導體裝置100A中，由電位轉換電路21產生電晶體MN2之閘極電壓信號VNG2，此抑制電晶體MN1之Vds1n之一瞬時增大量。

【0044】 圖3展示類似於圖2之操作波形圖之一操作波形圖，其中自半導體裝置100A省略電位轉換電路21、22之配置。

【0045】 如圖3中所展示，當不配置電位轉換電路21、22時，閘極電壓信號VPG2依高於圖2中之速度之一速度自1.8 [V] (L位準：(1/2)•VCCQH)上升至3.3 [V] (H位準：VCCQH)。類似地，閘極電壓信號

VNG2依高於圖2中之速度之一速度自0 [V] (L位準：GND)上升至1.8 [V] (H位準：VCCQ)。

【0046】 回應於此，在圖3中，電晶體MN2之一接通操作較快，使得節點NN1之電位VNN1中之一減小量大於圖2中之減小量。因此，在圖3中，與圖2相比，電晶體MN1之Vds1n瞬時變得過大，超過一耐壓位準(1.8 [V])且上升至約2.5 [V]。因此，吾人擔憂電晶體MN1中之熱載子劣化。

【0047】 換言之，在根據第一比較實例之半導體裝置100A中，藉由提供電位轉換電路21、22，在接通時降低電晶體MN1之閘極源極電壓(圖1中之Vga2n)可緩和節點NN1之電位VNN1之一改變。因此，電晶體MN1之瞬時Vds1n比圖3中降低，且因此可抑制熱載子劣化。

【0048】 同時，如可自圖3與圖2之間的比較理解，由於抑制閘極源極電壓，所以電晶體之接通速度減小，使得在圖2中輸出電壓VOUT之位準過渡(在圖2及圖3中，H位準至L位準)所需之一時間增加。即，應理解，減小半導體裝置100A之操作速度以換取抑制熱載子劣化。

【0049】 圖4展示用於解釋根據一第二比較實例之一半導體裝置之一組態之一電路圖。在圖2中，為避免減小操作速度，在圖2中未配置電位轉換電路21、22，藉由增加經串聯連接於一輸出級上之電晶體之數目，意欲減小每電晶體之一汲極源極電壓。

【0050】 參考圖4，根據一第二比較實例之一半導體裝置100B包含形成一輸出級之P型MP0至MP2端子及N型電晶體MN0至MN2。亦在圖4中，假設低電源電位VCCQ及高電源電位VCCQH處於相同於圖2之位準。構成輸出級之電晶體MN0至MN2及MP0至MP2之各者之耐壓等於上文所

描述之低電源電位VCCQ (1.8 [V])且低於高電源電位VCCQH與接地電位GND之間的一電位差。

【0051】 P型電晶體MP0至MP2經由節點NP1、NP2串聯連接於輸出節點No與一電源線PL之間。具體言之，電晶體MP0具有經連接至輸出節點No (輸出端子13)之一汲極及經連接至節點NP1之一源極。電晶體MP1具有經連接至一節點NP2之一源極及經連接至一節點NP1之一汲極。替代地，電晶體MP2具有經連接至電源線PL之一源極及經連接至節點NP2之一汲極。

【0052】 N型電晶體MN0至MN2經由節點NN1、NN2串聯連接於輸出節點No與接地線GL之間。具體言之，電晶體MN0具有經連接至輸出節點No之一汲極及經連接至節點NN1之一源極。電晶體MN1具有經連接至節點NN1之一汲極及經連接至節點NN2之一源極。替代地，電晶體MP2具有經連接至接地線GL之一源極及經連接至節點NN2之一汲極。

【0053】 一固定偏壓電壓VREFP0經輸入至電晶體MP0之一閘極，且一固定偏壓電壓VREFP1經輸入至電晶體MP1之一閘極。例如，其經設定成VREFP0=VREFP1=0.5•VCCQH。圖1中之位準移位電路20之輸出信號(VLFP)在不通過電位轉換電路22 (圖1)之情況下經輸入至電晶體MP2之閘極。即，電晶體MP2之閘極電壓信號VPG2具有(1/2)•VCCQH至VCCQH之一振幅，即，(1/2)•3.3 [V]至3.3 [V]之一振幅。

【0054】 一固定偏壓電壓VREFN0經輸入至電晶體MN0之閘極，且一固定偏壓電壓VREFN1經輸入至電晶體MN1之閘極。例如，其經設定成VREFN0=VREFN1=VCCQ。圖1中之反相器15之輸出信號(VINV)在不通過電位轉換電路21 (圖1)之情況下經輸入至電晶體MN2之閘極。即，電晶

體MN2之閘極電壓信號VNG2具有GND至VCCQ之一振幅，即，0 [V]至1.8 [V]之一振幅。

【0055】 在半導體裝置100B中，將考量在藉由根據輸入信號VIN之邏輯位準改變將閘極電壓信號VNG2自0 [V]改變至1.8 [V] (低電源電位VCCQ)來使輸出電壓VOUT自3.3 [V]下降至0 [V] (VCCQH)時之電晶體MN0至MN2之操作。

【0056】 首先，考量其中VREFN0=VREFN1 (例如，兩者係1.8 [V])之一第一情況。在第一情況中，當輸出電壓VOUT根據反相器15之輸出電壓(VNG2)之上升而自H位準改變至L位準時，電晶體MN2及電晶體MN1依此順序接通。因此，一輸出端子13側上之電晶體MN0之汲極源極電壓Vds0n歸因於節點NN1之電位下降而增大，使得電晶體MN0之熱載子劣化增加。

【0057】 接著，考量其中VREFN0>VREFN1 (例如，VREFN0=2.2 [V]且VREFN1=1.8 [V])之一第二情況。在第二情況中，藉由增大VREFN0輸入至其閘極之電晶體MN0之汲極源極電壓Vgs0n，節點NN1之電位變得高於上述第一情況中之電位。因此，電晶體MN0之汲極源極電壓Vds0n，即，熱載子劣化，比第一情況中之熱載子劣化受抑制更多。然而，在第二情況中，當輸出端子13之輸出電壓VOUT下降至0 [V]時，2.2 [V]之一過電壓可施加於具有1.8 [V]之一耐壓之電晶體MN0之汲極與閘極之間。相反地，在第一情況中，電晶體MN0之閘極電壓(VREFN0)經設定使得即使輸出電壓VOUT下降至0 [V]，一過電壓亦不施加於電晶體MN0之汲極與源極之間。

【0058】 如上文所描述，在根據第二比較實例之半導體裝置100B

中，作為新問題，(若干)反相器已發現汲極經連接至輸出端子13之電晶體MN0、NP0之閘極電壓不超過耐壓且需要用於抑制熱載子劣化之閘極電壓設定。

【0059】 <第一實施例>

【0060】 圖5係用於解釋根據一第一實施例之一半導體裝置101A之一組態之一電路圖。

【0061】 如圖5中所展示，一半導體裝置101A包含一位準移位電路20、一閘極電壓控制電路110、N型電晶體MN0至MN2及P型電晶體MP0至MP2。

【0062】 電晶體MN0至MN2及MP0至MP2構成類似於根據第二比較實例之半導體裝置100B之輸出級之一輸出級。即，經串聯連接於輸出端子13與接地線GL之間的N型電晶體MN0至MN2中之電晶體MN0經配置成靠近一輸出端子13側且具有經電連接至輸出端子13之一汲極。電晶體MN0至MN2及MP0至MP2之各自耐壓亦相同於參考圖4所解釋之耐壓。

【0063】 類似地，經串聯連接於輸出端子13與電源線PL之間的P型電晶體MP0至MP2中之電晶體MP0經配置成靠近輸出端子13側且具有經電連接至輸出端子13之一汲極。

【0064】 類似於圖1中之輸出電壓之位準移位電路20之輸出電壓經輸入至電晶體MP2之閘極作為一閘極電壓信號VPG2。因此，當輸入信號VIN處於一L位準(GND=0 [V])時，將VCCQH (3.3 [V])輸入至電晶體MP2之閘極，且當輸入信號VIN處於一H位準(VCCQ=1.8 [V])時，將(1/2)•VCCQH (1.65 [V])輸入至電晶體MP2之閘極。

【0065】 類似於圖1中之輸出信號之反相器15之輸出信號(VINV)經

輸入至電晶體MN2之閘極作為一閘極電壓信號VNG0。即，當輸入信號VIN處於L位準時，將低電源電位VCCQ輸入至電晶體MN2之閘極，且當輸入信號VIN處於H位準時，將接地電位GND輸入至電晶體MN2之閘極。因此，用於根據輸入信號VIN來互補接通或切斷電晶體MN2及MP2之一信號經輸入至電晶體MN2及MP2之各閘極。

【0066】 在圖5中，電晶體MP0對應於一「第一P型電晶體」之一個實例，電晶體MP2對應於一「第二P型電晶體」之一實例，且電晶體MP1對應於一「第三P型電晶體」之一實例。類似地，電晶體MN0對應於一「第一N型電晶體」之一實例，電晶體MN2對應於一「第二N型電晶體」之一實例，且電晶體MN1對應於一「第三N型電晶體」之一實例。替代地，接地電位GND對應於一「參考電位」之一實例，高電源電位VCCQH對應於一「第一電源電位」之一實例，低電源電位VCCQ對應於一「第二電源電位」之一實例，且接地線GL對應於一「參考電位線」之一實例。

【0067】 亦在半導體裝置101A中，當輸入信號VIN處於H位準(VCCQ=1.8 [V])時，電晶體MP0至MP2接通且輸出端子13藉此電連接至電源端子11且經設定成VOUT=VCCQH (3.3 [V])。同時，當輸入信號VIN處於L位準(GND=0 [V])處，電晶體MN0至MN2接通且輸出端子13藉此電連接至接地端子12且經設定成輸出電壓VOUT=GND (0 [V])。

【0068】 用於接通電晶體MP1之一偏壓電壓VREFP經輸入至電晶體MP1之閘極，且用於接通電晶體MN1之一偏壓電壓VREFN經輸入至電晶體MN1之閘極。例如，偏壓電壓VREFP、VREFN經對應設定成高電源電位VCCQH與接地電位GND之間的一中間電位。例如，偏壓電壓VREFP、VREFN可由圖6中所展示之一中間電位產生電路120產生。偏壓電壓

VREFP及偏壓電壓VREFN分別對應於一「第一偏壓電壓」之及一「第二偏壓電壓」之實例。

【0069】 參考圖6，中間電位產生電路120具有經由一中間電位節點NRFP、NRFN串聯連接於電源線PL與接地線GL之間的電阻元件R2、R3。因此，藉由使高電源電位VCCQH除以電阻元件R2、R3所獲得之中間電位在中間電位節點NRFP、NRFN處產生。

【0070】 中間電位節點NRFP之一電位經輸入至電晶體MP1之閘極及閘極電壓控制電路110作為一偏壓電壓VREFP。類似地，中間電位節點NRFN之一電位經輸入至電晶體MN1之閘極及閘極電壓控制電路110作為一偏壓電壓VREFN。因此，0<VREFN，VREFP<VCCQH (3.3 [V])，且VREFN、VREFP由電阻元件R2、R3之一分壓比判定。

【0071】 順帶一提，偏壓電壓VREFN、VREFP可由共同中間電位產生電路120設定成相同電位，或可由具有不同分壓比之個別中間電位產生電路120設定成不同電位。

【0072】 再次參考圖5，閘極電壓控制電路110具有N型電晶體MN11、MN12及P型電晶體MP11、MP12。閘極電壓控制電路110根據輸出端子13之輸出電壓VOUT來控制電晶體MP0之閘極電壓信號VPG0及電晶體MN0之閘極電壓信號VNG0。

【0073】 電晶體MN11及MN12之源極經電連接至將閘極電壓信號VPG0傳輸至電晶體MP0之節點NPG0。電晶體MN11之一汲極經由電阻元件R1電連接至輸出端子13，且電晶體MN12之一汲極經電連接至中間電位產生電路120之一中間電位節點NRFP。

【0074】 來自中間電位產生電路120之偏壓電壓VREFP經輸入至電

晶體MN11之一閘極，且電晶體MN12之一閘極經由電阻元件R1電連接至輸出端子13。電晶體MN11對應於一「第四N型電晶體」之一實例，且電晶體MN12對應於一「第五N型電晶體」之一實例。

【0075】 電晶體MP11及MMP12之源極經電連接至將閘極電壓信號VNG0傳輸至電晶體MN0之節點NNG0。電晶體MP11之一汲極經由電阻元件R1電連接至輸出端子13，且電晶體MP12之汲極經電連接至中間電位產生電路120之中間電位節點NRFN。

【0076】 來自中間電位產生電路120之偏壓電壓VREFN經輸入至電晶體MN11之閘極，且電晶體MP12之閘極經由電阻元件R1電連接至輸出端子13。即，電晶體MP11對應於一「第四P型電晶體」之一實例，且電晶體MP12對應於一「第五P型電晶體」之一實例。

【0077】 因此，電晶體MN0之閘極電壓信號VNG0根據輸出端子13之輸出電壓VOUT與偏壓電壓VREFN之間的一位準關係取決於電晶體MP11、MP12是接通還是切斷來控制。具體言之，當VOUT<VREFN時，電晶體MP12接通且閘極電壓信號VNG0藉此設定成偏壓電壓VREFN。同時，當VOUT>VREFN時，電晶體MP11接通且閘極電壓信號VNG0經設定以跟隨輸出電壓VOUT而改變。

【0078】 類似地，電晶體MP0之閘極電壓信號VPG0根據輸出端子13之輸出電壓VOUT與偏壓電壓VREFP之間的一位準關係取決於電晶體MN11、MN12是接通還是切斷來控制。具體言之，當VOUT>VREFP時，電晶體MN12接通且閘極電壓信號VPG0藉此固定成偏壓電壓VREFP。同時，當VOUT<VREFP時，電晶體MN11接通且閘極電壓信號VPG0藉此經設定以跟隨隨輸出電壓VOUT而改變。

【0079】 依此方式，閘極電壓控制電路110使電晶體MP0或MN0維持一接通狀態，且在其中輸出電壓VOUT在GND與VCCQH之間改變之一瞬態中，閘極電壓信號VNG0及VPG0之至少一者操作以跟隨輸出電壓VOUT而改變。

【0080】 接著，在半導體裝置101A中，將描述一瞬時操作，其中藉由接通電晶體MN0至MN2來將輸出電壓VOUT=VCCQH (H位準)之一狀態改變至VOUT=GND (L位準)。

【0081】 在此瞬時操作中，電晶體MN0之閘極電壓信號VNG0跟隨輸出電壓VOUT且在自高於偏壓電壓VREFN之一電壓(VOUT=VCCGH)開始之後下降。類似於根據第二比較實例之半導體裝置100B中所描述之第二情況，此使得可抑制取決於接通電晶體MN2、MN1而產生之電晶體MN0之汲極源極電壓Vds0n。

【0082】 當在其中輸出電壓VOUT取決於電晶體MN0至MN2接通而進一步下降之一程序中VOUT<VREFN時，閘極電壓信號VNG0類似地經設定成偏壓電壓VREFN。因此，藉由將偏壓電壓VREFN設定成等於或低於電晶體MN0之耐壓，電晶體MN0可防止過電壓施加至汲極源極電壓(如根據第二比較實例之半導體裝置100B中所描述之第一情況)，同時維持接通狀態。

【0083】 接著，在半導體裝置101A中，將描述一瞬時操作，其中藉由接通電晶體MP0至MP2，輸出電壓VOUT=GND (L位準)之一狀態改變至VOUT=VCCQH (H位準)。

【0084】 在此瞬時操作中，電晶體MP0之閘極電壓信號VPG0跟隨輸出電壓VOUT且在自低於偏壓電壓VREFP之一電壓(VOUT=GND)開始

之後上升。此使得可抑制取決於電晶體MP2、MP1接通所產生之電晶體MP0之汲極源極電壓Vds0p。

【0085】 當在其中輸出電壓VOUT取決於電晶體MP0至MP2接通而進一步上升之一程序中VOUT>VREFP時，閘極電壓信號VNG0經固定成偏壓電壓VREFP。因此，藉由將偏壓電壓VREFP設定成電晶體MP0之耐壓或更小，電晶體MN0不將過電壓施加至汲極源極電壓，同時維持接通狀態。

【0086】 如上文所描述，其汲極歸因於閘極電壓控制電路110之配置而經電連接至輸出端子13之電晶體MN0、NP0可控制閘極電壓以抑制熱載子劣化且不超過相位處之耐壓，其中享有根據第二比較實例之半導體裝置100B中之第一及第二情況之兩種優點。

【0087】 在根據第一實施例之半導體裝置101A中，在不將電位轉換電路21、22配置於根據第一比較實例之半導體裝置100A中之情況下產生電晶體MN2、MP2之閘極電壓信號VPG2、VNG2。即，藉由抑制接通時電晶體MN2、MP2之閘極源極電壓，可在不降低操作速度且抑制閘極源極電壓之情況下抑制熱載子劣化。

【0088】 圖7展示圖5中所展示之半導體裝置101A之一瞬時操作波形圖，具體言之，圖7展示當輸入信號VIN自一H位準改變至一L位準時之一瞬時操作波形圖。順帶一提，圖7A展示半導體裝置101A之瞬時操作波形，而圖7B展示半導體裝置100A (第一比較實例)之瞬時操作波形。圖7B再次展示在相同於圖7A之時間軸上之圖2之波形圖。

【0089】 如圖7A中所展示，閘極電壓信號VPG2比圖2中之VPG2更快地自1.8 [V] (L位準：(1/2)•VCCQH)上升至3.3 [V] (H位準：

VCCQH)。類似地，閘極電壓信號VNG2比圖7B中之VNG2更快地自0 [V] (L位準：GND)上升至1.8 [V] (H位準：VCCQ)。因此，可理解，在圖7A中，電晶體MN2之一接通操作較快，且輸出電壓VOUT之一改變速度亦高於圖7B中之改變速度。

【0090】 此外，在圖7A中，當閘極電壓信號VNG2上升時，閘極電壓信號VNG0跟隨輸出電壓VOUT且由閘極電壓控制電路110設定以高於VREFN (1.8 [V])。因此，藉由減小電晶體MN0之接通電阻，抑制節點NN1之電位(VNN1)之一減小量，且電晶體MN0之瞬時汲極源極電壓Vds0n可經減小以等於或小於圖7B中之Vds1n。此使得可類似於第一比較實例抑制熱載子劣化。

【0091】 如上文所描述，根據依照第一實施例之半導體裝置101A，在產生具有高於電晶體之耐壓(在此，1.8 [V])之一電壓振幅(在此，3.3 [V])之一輸出電壓時，可在如第一比較實例(半導體裝置100A)般不降低操作速度之情況下如第一比較實例(半導體裝置100A)般抑制熱載子劣化。

【0092】 <第二實施例>

【0093】 圖8係用於解釋根據一第二實施例之一半導體裝置101B之一組態之一電路圖。

【0094】 參考圖8及圖5，一半導體裝置101B與根據第一實施例之半導體裝置100A (圖5)之不同之處在於閘極電壓控制電路110中之電晶體MN12及MP12之閘極經連接至不同連接目的地。具體言之，電晶體MN12之閘極不經電連接至輸出端子13而是經電連接至對應於電晶體MP0之源極之節點NP1。類似地，電晶體MP12之閘極不經電連接至輸出端子13而是經電連接至對應於電晶體MN0之源極之節點NN1。半導體裝置101B之其

他組態類似於半導體裝置101A之組態，使得將不對其進行重複詳細描述。

【0095】 在半導體裝置101B中，在其中輸出電壓VOUT根據電晶體MN0至MN2接通而自H位準改變至L位準之瞬時操作期間，靠近接地端子12之節點NP1之電位比輸出端子13之電位更早降低。此使得可在閘極電壓控制電路110中比接通電晶體MP11更早接通電晶體MP12。

【0096】 類似地，在其中輸出電壓VOUT根據電晶體MN0至MN2接通而自L位準改變至H位準之瞬時操作期間，靠近電源端子11之節點NP1之電位比輸出端子13之電位更早上升。此使得可在閘極電壓控制電路110中比切斷電晶體MN11更早接通電晶體MN12。

【0097】 相比而言，在圖5中所展示之半導體裝置101A中，電晶體MN12、MP12之閘極經電連接至輸出端子13。因此，當輸出電壓VOUT瞬時等於偏壓電壓VREFN、VREFP時，電晶體MP11、MP12兩者或電晶體MN11、MN12兩者可切斷。具體言之，在其中偏壓電壓VREFN或VREFP與輸出電壓VOUT之間的一電壓差小於電晶體MN11、MN12之臨限電壓或電晶體MP11、MP12之臨限電壓之一時段期間，電晶體MP11、MP12兩者或電晶體MN11、MN12兩者切斷。

【0098】 因此，當電晶體MP11、MP12兩者或電晶體MN11、MN12兩者切斷，吾人擔憂閘極電壓信號VNG0、VPG0會歸因於節點NNG0或NPG0之浮動而變得瞬時不穩定。例如，在節點NNG0或NPG0浮動之一時段期間，閘極電壓信號VNG0、VPG0經由電容耦合而受輸出端子13之電壓改變影響，使得吾人擔憂電晶體MN0、MP0之接通電流減小。特定言之，在一高速操作下，存在半導體裝置101A之操作速度會歸

因於接通電流之減小而不穩定之一風險。

【0099】 在根據第二實施例之半導體裝置101B中，可藉由使閘極電壓控制電路110中之電晶體MN12、MP12之閘極連接目的地自第一實施例中之閘極連接目的地改變來使閘極電壓信號VNG0、VPG0穩定。此使得甚至可在高速操作下穩定操作半導體裝置101B。

【0100】 <第三實施例>

【0101】 在一第三實施例中，根據第一或第二實施例之半導體裝置將關於用於實現在一低電壓操作模式(其中輸出信號之振幅等於低電源電位VCCQ)與一高電壓操作模式(其中輸出信號之振幅等於高電源電位VCCQH)之間切換之一組態來描述。

【0102】 圖9係用於解釋根據一第三實施例之一半導體裝置101C之一組態之一電路圖。根據一電源模式信號POC*，一半導體裝置101C經組態以可藉由選擇具有經供應至電源端子11及電源線PL之VCCQH=3.3 [V]之一高電壓操作模式及具有VCCQH=1.8 [V]之一低電壓操作模式來操作。在此，電源模式信號POC*在高電壓操作模式中經設定成一L位準且在低電壓操作模式中經設定成一H位準。分別地，高電壓操作模式對應於一「第一操作模式」之一個實例，且低電壓操作模式對應於一「第二操作模式」之一個實例。

【0103】 參考圖9及圖5，半導體裝置101C與根據第一實施例之半導體裝置100A (圖5)之不同之處在於其包含一閘極電壓控制電路111來代替閘極電壓控制電路110。除圖8中所展示之閘極電壓控制電路110之組態之外，閘極電壓控制電路111進一步包含連接選擇電路115、116。半導體裝置101C之其他組態類似於半導體裝置101A之組態，且將不對其進行重複

詳細描述。

【0104】 連接選擇電路115具有N型電晶體MN13及MN14。電晶體MN13及MN14經串聯連接於一節點NPG0 (電晶體MP0之閘極)與一接地線GL之間。一偏壓電壓VREFN經輸入至電晶體MN13之閘極，且一電源模式信號POC*經輸入至電晶體MN14之閘極。連接選擇電路115對應於針對電晶體MP0之閘極所提供之一「第一連接選擇電路」。

【0105】 連接選擇電路116具有N型電晶體MN15、MN16及P型電晶體MP13、MP14。電晶體MP14經連接於一節點NNG0 (電晶體MN0之閘極)與一中間電位節點NRFN之間。電晶體MP14之閘極經連接至一節點Nx。電晶體MP13經連接於電源線PL與節點Nx之間。一偏壓電壓VREFN經輸入至電晶體MP13之閘極。

【0106】 電晶體MN15及MN16經串聯連接於節點Nx與接地線GL之間。偏壓電壓VREFN經輸入至電晶體MN15之閘極。電源模式信號POC*經輸入至電晶體MN16之閘極。連接選擇電路116對應於針對電晶體MN0之閘極所提供之一「第二連接選擇電路」。

【0107】 在低電壓操作模式中，電源模式信號POC*經設定成一H位準VCCQH=1.8 [V]，且偏壓電壓VREFN、VREFP經設定成約0.8 [V]至1.0 [V]。

【0108】 藉由根據POC*=H來接通電晶體MN14，其閘極接收偏壓電壓VREFN之電晶體MN13之源極變成接地電位GND，使得電晶體MN13亦接通。連接選擇電路115藉由接通電晶體MN13及MN14來將傳輸閘極電壓信號VPG0之節點NPG0電連接至接地線GL。

【0109】 類似地，在低電壓操作模式中，其閘極接收偏壓電壓

VREFN之電晶體MN15亦接通，連同接通其閘極接收電源模式信號POC*之電晶體MN16。根據電晶體MN15、MN16接通，節點Nx變成接地電位GND，使得其閘極接收偏壓電壓VREFN之電晶體MP13切斷，而具有經連接至節點Nx之閘極之電晶體MP14接通。因此，連接選擇電路116將傳輸閘極電壓信號VNG0之節點NNG0電連接至供應偏壓電壓VREFN之中間電位節點NRFN。

【0110】 因此，在低電壓操作模式(POC*=H位準)中，閘極電壓控制電路111在不取決於閘極電壓控制電路110之操作(即，不管輸出電壓VOUT如何)之情況下將閘極電壓信號VPG0固定成接地電位GND且同時將閘極電壓信號VNG0固定成偏壓電壓VREFN。

【0111】 因此，在低電壓操作模式中，使電晶體MN0及MP0保持接通狀態，不管半導體裝置101C中之輸出電壓VOUT如何。替代地，在低電壓操作模式中，使位準移位電路20之一電壓轉換功能停止，且等於來自反相器15之反相器輸出信號VINV (0 [V]至1.8 [V])之一信號亦經輸入至電晶體MP2之閘極。因此，半導體裝置101C操作以將輸出電壓VOUT輸出成0 [V] (GND)至1.8 [V] (VCCQH)之一振幅，其取決於輸入信號VIN (0 [V]至1.8 [V])。

【0112】 相比而言，在其中電源模式信號POC*經設定成一L位準之高電壓操作模式中，閘極電壓控制電路111中之另外配置之電晶體MN13至MN16切斷。此外，當VCCQH=3.3 [V]且VREFN=1.8 [V]時，因為電晶體MP13接通，所以高電源電位VCCQH (3.3 [V])經傳輸至節點Nx。此使電晶體MP14保持一切斷狀態。

【0113】 因此，連接選擇電路115使節點NPG0與接地線GL電斷

接。類似地，連接選擇電路116使節點NNG0與中間電位節點NRFN電斷接。因此，在高電壓操作模式(POC*=L位準)中，閘極電壓控制電路111藉由圖5中之相同閘極電壓控制電路110來控制閘極電壓信號VNG0、VPG0之電位。即，閘極電壓信號VNG0、VPG0依相同於第一實施例中之方式控制。因此，半導體裝置101C依相同於半導體裝置101A之方式操作且取決於輸入信號VIN (0 [V]至1.8 [V])而將輸出電壓VOUT輸出成0 [V] (GND)至3.3 [V] (VCCQH)之一振幅。

【0114】 如上文所描述，在根據第一實施例之半導體裝置101A中，當輸出電壓VOUT與偏壓電壓VREFN、VREFP之間的差小於電晶體之臨限電壓時，在閘極電壓控制電路110中產生其中電晶體MN11及MN12兩者切斷之一時段或其中電晶體MP11及MP12兩者切斷之一時段。因此，吾人擔憂閘極電壓信號VNG0、VPG0之電位會變得不穩定。因此，當半導體裝置101A在低電壓操作模式(VCCQH=1.8 [V])中操作時，吾人擔憂，期間上述閘極電壓信號VNG0、VPG0之電位變得不穩定之一時段與其中輸出電壓VOUT在GND (0 [V])與VCCQH (1.8 [V])之間改變之一瞬態上之整個時段之比增大。

【0115】 相比而言，根據根據第三實施例之半導體裝置101C，在低電壓操作模式中，閘極電壓信號VNG0及VPG0可經控制以將電晶體MN0、MP0固定成接通狀態。因此，在低電壓操作模式中，可防止操作歸因於電晶體MN0、MP0之接通電流改變而變得不穩定。

【0116】 替代地，在根據第三實施例之半導體裝置101C中，亦可將包含於閘極電壓控制電路110中之電晶體MN12及MP12之閘極之連接目的地分別改變至節點NN1及NP1，如同在圖7中。即，組合根據第二實施例

之半導體裝置101B (圖8)及根據第三實例之半導體裝置使可依相同於高電壓操作模式中之半導體裝置101B之方式操作半導體裝置101C。

【0117】 替代地，在第一至第三實施例中，可將電晶體MN1及MN2之配置替換成將電晶體MN2配置在接地端子12側上。類似地，亦可將電晶體MP1及MP2之配置替換成將電晶體MP2配置在電源端子11側上。

【0118】 順帶一提，在第一至第三實施例中，已假設其中具有1.8 [V]之一耐壓之電晶體經串聯連接且輸出電壓VOUT之一振幅經設定成3.3 [V])之一實例。因此，已描述其中三個電晶體經串聯連接於電源線PL及接地線GL及輸出端子No (輸出端子13)之間的一組態實例。然而，形成輸出級且串聯連接之電晶體之數目不受限於迄今給出之實例。此一點經確定描述。

【0119】 在第一至第三實施例中，已描述其中如下之組態實例：其閘極經輸入對應於輸入信號VIN之一電壓之MN2及MP2 (第一電晶體)、其閘極電壓由閘極電壓控制電路110及111控制之MN0及MP0 (第二電晶體)及其閘極經輸入偏壓電壓VREFP及VREFN之MN1及MP1 (第三電晶體)依次配置。然而，為確保汲極與源極之間的耐壓，相同導電類型之任意數目個電晶體可另外配置於電晶體MN2、MP2及電晶體MN1、MP1之間及/或電晶體MN0、MP0及電晶體MN1、MP1之間。此時，另外配置之電晶體之閘極電壓可類似於電晶體MN2、MP2 (第一電晶體)、電晶體MN0、MP0 (第二電晶體)或電晶體MN1、MP1 (第三電晶體)之任何者控制。

【0120】 替代地，亦可藉由省略放置其閘極經輸入偏壓電壓VREFP及VREFN之電晶體MN1及MP1來組態根據本實施例之半導體裝置。

【0121】 圖10展示用於解釋根據本實施例之半導體裝置之一修改實

例之一組態之一電路圖。

【0122】 參考圖10及圖5，根據一修改實例之一半導體裝置101D與根據第一實施例之半導體裝置100A (圖5)之不同之處在於省略配置其閘極經輸入偏壓電壓VREFP之電晶體MN1及其閘極經輸入偏壓電壓VREFP之電晶體MP1。因此，輸出級由經由節點NP1串聯連接於電源線PL與輸出節點No之間的P型電晶體MP0及MP2及經由節點NN1串聯連接於接地線GL與輸出節點No之間的N型電晶體MN0及MN2組態。

【0123】 電晶體MN2及MP2之閘極電壓經控制以根據輸入信號VIN來互補接通及切斷電晶體MN2及MP2，如同第一實施例中。類似於圖5或圖8中由閘極電壓控制電路110產生之閘極電壓信號VNG0及VPG0經輸入至電晶體MN0及MP0之閘極。替代地，由圖9中所展示之閘極電壓控制電路111產生之閘極電壓信號VNG0及VPG0可經輸入至電晶體MN0及MP0之閘極。

【0124】 替代地，在圖10之半導體裝置101D中，相同導電類型之任意數目個電晶體可另外配置於電晶體MN0、MP0 (第一電晶體)及電晶體MP2、MN2 (第二電晶體)之間。此時，另外配置之電晶體之閘極電壓可依相同於電晶體MN2、MP2 (第一電晶體)或電晶體MN0、MP0 (第二電晶體)之任何者之方式控制。

【0125】 關於上文所描述之兩個或更多個實施例，包含說明書中未提及之組合，已自開始申請時設計在不引起不一致性或矛盾之一範圍內適當組合各實施例中所描述之組態。此點亦經確定描述。

【0126】 儘管上文已基於實施例來具體描述本發明，但其不限於實施例，且不言而喻，本發明可在不背離其範疇之一範圍內經各種修改。

相關申請案之交叉參考

【0127】本申請案主張來自2022年6月20日申請之日本專利申請案第2022-098712號之優先權，該案之內容以引用之方式併入本申請案中。

【符號說明】

【0128】

11:電源端子

12:接地端子

13:輸出端子

15:反相器

20:位準移位電路

21:電位轉換電路

22:電位轉換電路

100A:半導體裝置

100B:半導體裝置

101A:半導體裝置

101B:半導體裝置

101C:半導體裝置

101D:半導體裝置

110:閘極電壓控制電路

111:閘極電壓控制電路

115:連接選擇電路

116:連接選擇電路

120:中間電位產生電路

GL:接地線

GND:接地電位

MN0:N型電晶體

MN1:N型電晶體

MN2:N型電晶體

MN5:N型電晶體

MN11:N型電晶體

MN12:N型電晶體

MN13:N型電晶體

MN14:N型電晶體

MN15:N型電晶體

MN16:N型電晶體

MP0:P型電晶體

MP1:P型電晶體

MP2:P型電晶體

MP5:P型電晶體

MP11:P型電晶體

MP12:P型電晶體

MP13:P型電晶體

MP14:P型電晶體

Ni:輸入節點

NN1:節點

NN2:節點

NNG0:節點

No:輸出節點

NP1:節點

NP2:節點

NPG0:節點

NRFN:中間電位節點

NRFP:中間電位節點

Nx:節點

PL:電源線

POC*:電源模式信號

R1:電阻元件

R2:電阻元件

R3:電阻元件

VCCQ:低電源電位

VCCQH:高電源電位

Vds0n:汲極源極電壓

Vds1n:汲極源極電壓

Vds2n:汲極源極電壓

Vds0p:汲極源極電壓

Vds1p:汲極源極電壓

Vds2p:汲極源極電壓

Vgs0n:閘極源極電壓

Vgs1n:閘極源極電壓

Vgs2n:閘極源極電壓

Vgs0p:閘極源極電壓

Vgs1p:閘極源極電壓

Vgs2p:閘極源極電壓

VIN:輸入信號

VINV:反相器輸出信號

VLFP:位準移位信號

VNG0:閘極電壓信號

VNG2:閘極電壓信號

VNN1:電位

VNN2:電位

VOUT:輸出電壓

VPG0:閘極電壓信號

VPG2:閘極電壓信號

VREFN:偏壓電壓

VREFN0:固定偏壓電壓

VREFN1:固定偏壓電壓

VREFP:偏壓電壓

VREFP0:固定偏壓電壓

VREFP1:固定偏壓電壓

【發明申請專利範圍】

【請求項1】

一種半導體裝置，其在一輸出端子處產生一輸出信號，該輸出信號具有大於一輸入信號之一電壓振幅，該半導體裝置包括：

第一及第二P型電晶體，其等經串聯連接於供應一第一電源電位之一電源線與該輸出端子之間；及

第一及第二N型電晶體，其等經串聯連接於供應一參考電位之一參考電位線與該輸出端子之間，

其中該第一N型及P型電晶體具有經電連接至該輸出端子之汲極，

其中根據該輸入信號來將用於互補接通及切斷該等第二N型及P型電晶體之信號分別輸入至該等第二N型及P型電晶體之閘極，

其中該半導體裝置進一步包含用於根據該輸出端子之一電壓來改變該等第一P型及N型電晶體之閘極電壓之一閘極電壓控制電路，且

其中該閘極電壓控制電路經組態以：引起該第一P型或N型電晶體跟隨該輸出端子之一電壓之一改變，同時在該輸出信號之一電壓根據該輸入信號之一邏輯位準之一改變而改變時，使該第一P型或N型電晶體保持接通狀態，且經組態以改變該等第一N型及P型電晶體之至少一者之一閘極電壓。

【請求項2】

如請求項1之半導體裝置，

其中該閘極電壓控制電路經組態使得當該輸出端子之該電壓高於一預定第一偏壓電壓時，該第一偏壓電壓經輸入至該第一P型電晶體之該閘極，且當該輸出端子之該電壓低於該第一偏壓電壓時，跟隨該輸出端子之

該電壓之一電壓經輸入至該第一P型電晶體之該閘極，且

其中該第一偏壓電壓等於或小於該等第一及第二P型電晶體及該等第一及第二N型電晶體之各者之一耐壓。

【請求項3】

如請求項2之半導體裝置，進一步包括與該第二P型電晶體串聯連接於該第一P型電晶體與該電源線之間的一第三P型電晶體，

其中該第一偏壓電壓經輸入至該第三P型電晶體之一閘極。

【請求項4】

如請求項1之半導體裝置，

其中該閘極電壓控制電路經組態使得當該輸出端子之該電壓低於一預定第二偏壓電壓時，該第二偏壓電壓經輸入至該第一N型電晶體之該閘極，且當該輸出端子之該電壓高於該第二偏壓電壓時，跟隨該輸出端子之該電壓之一電壓經輸入至該第一N型電晶體之該閘極，且

其中該第二偏壓電壓等於或低於該等第一及第二P型電晶體及該等第一及第二N型電晶體之各者之一耐壓。

【請求項5】

如請求項4之半導體裝置，進一步包括與該第二N型電晶體串聯連接於該第一N型電晶體與該參考電位線之間的一第三N型電晶體，且

其中該第二偏壓電壓經輸入至該第三N型電晶體之一閘極。

【請求項6】

如請求項2之半導體裝置，

其中該閘極電壓控制電路包含：

一第四N型電晶體，其具有經連接至該第一P型電晶體之該閘極之

一源極及經電連接至該輸出端子之一汲極；及

一第五N型電晶體，其具有經連接至該第一P型電晶體之該閘極之一源極及經電連接至供應該第一偏壓電壓之一節點之一汲極，

其中該第一偏壓電壓經輸入至該第四N型電晶體之一閘極，且

其中該第五N型電晶體之一閘極經電連接至該輸出端子。

【請求項7】

如請求項6之半導體裝置，

其中該半導體裝置藉由選擇性應用其中該第一電源電位經設定成一第一電位之一第一操作模式及其中該第一電源電位經設定成低於該第一電位之一第二電位之一第二操作模式來操作，且

其中該閘極電壓控制電路進一步包含一第一連接選擇電路，該第一連接選擇電路經組態以在該第二操作模式中將該第一P型電晶體之該閘極電連接至該參考電位線且在該第一操作模式中使該第一P型電晶體之該閘極與該參考電位線電斷接。

【請求項8】

如請求項2之半導體裝置，

其中該閘極電壓控制電路包含：

一第四N型電晶體，其具有經連接至該第一P型電晶體之該閘極之一源極及經電連接至該輸出端子之一汲極；及

一第五N型電晶體，其具有經連接至該第一P型電晶體之該閘極之一源極及經電連接至供應該第一偏壓電壓之一節點之一汲極，

其中該第一偏壓電壓經輸入至該第四N型電晶體之一閘極，且

其中該第五N型電晶體之一閘極經電連接至該第一P型電晶體之該源

極。

【請求項9】

如請求項4之半導體裝置，

其中該閘極電壓控制電路包含：

一第四P型電晶體，其具有經連接至該第一N型電晶體之該閘極之一源極及經電連接至該輸出端子之一汲極；及

一第五P型電晶體，其具有經連接至該第一N型電晶體之該閘極之一源極及經電連接至供應該第二偏壓電壓之一節點之一汲極，

其中該第二偏壓電壓經輸入至該第四P型電晶體之該閘極，且

其中該第五P型電晶體之一閘極經電連接至該輸出端子。

【請求項10】

如請求項9之半導體裝置，

其中該半導體裝置藉由選擇性應用其中該第一電源電位經設定成一第一電位之一第一操作模式及其中該第一電源電位經設定成低於該第一電位之一第二電位之一第二操作模式來操作，且

其中該閘極電壓控制電路進一步包含一第二連接選擇電路，該第二連接選擇電路經組態以在該第二操作模式中將該第一N型電晶體之該閘極電連接至供應該第二偏壓電壓之一節點且在該第一操作模式中使該第一N型電晶體之該閘極與該節點電斷接。

【請求項11】

如請求項4之半導體裝置，

其中該閘極電壓控制電路包含：

一第四P型電晶體，其具有經連接至該第一N型電晶體之該閘極之

一源極及經電連接至該輸出端子之一汲極；及

一第五P型電晶體，其具有經連接至該第一N型電晶體之該閘極之一源極及經電連接至供應該第二偏壓電壓之一節點之一汲極，

其中該第二偏壓電壓經輸入至該第四P型電晶體之該閘極，且

其中該第五P型電晶體之該閘極經電連接至該輸出端子，其經電連接至該第一N型電晶體之該源極。

【請求項12】

如請求項1之半導體裝置，

其中該半導體裝置藉由選擇性應用其中該第一電源電位經設定成一第一電位之一第一操作模式及其中該第一電源電位經設定成低於該第一電位之一第二電位之一第二操作模式來操作，且

其中該輸出信號之該電壓根據該輸入信號之一邏輯位準之一改變而改變，該閘極電壓控制電路經組態以操作以：被引起以跟隨該輸出端子之該電壓之一改變且在該第一操作模式中使該第一N型電晶體之該閘極電壓及該第一P型電晶體之該閘極電壓之至少一者改變；且在該第二操作模式中使該第一N型電晶體之該閘極電壓及該第一P型電晶體之該閘極電壓固定，不管該輸出端子之該電壓如何。

【請求項13】

如請求項1之半導體裝置，其進一步包含：

一第三P型電晶體，其與該第二P型電晶體串聯連接於該第一P型電晶體與該電源線之間；

一第三N型電晶體，其與該第二N型電晶體串聯連接於該第一N型電晶體與該參考電位線之間，且

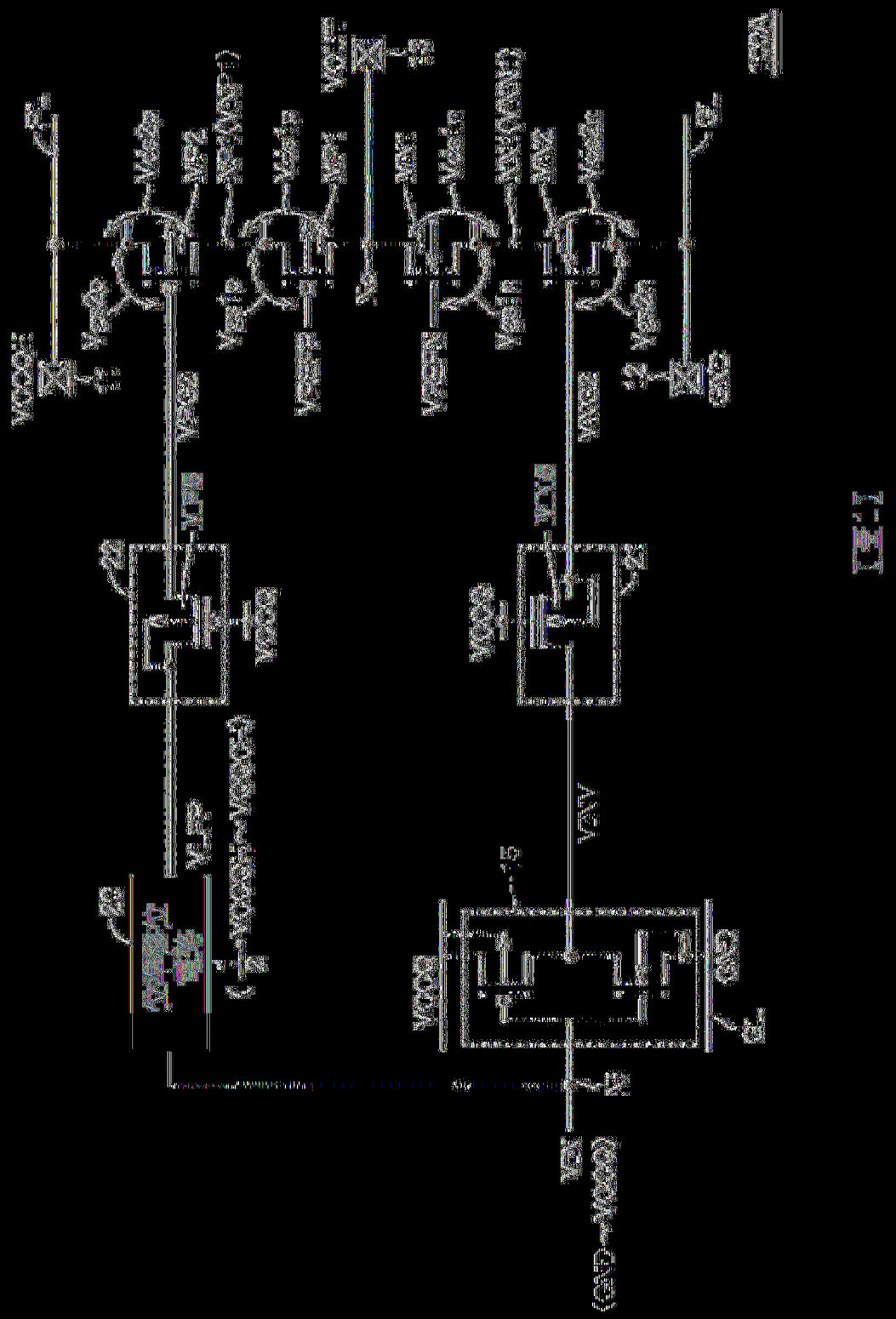
其中一偏壓電壓經輸入至該第一P型電晶體及該第三N型電晶體之該等閘極，該偏壓電壓低於用於接通該第三P型電晶體及該第三N型電晶體之該參考電位與該第一電源電位之間的一電壓差。

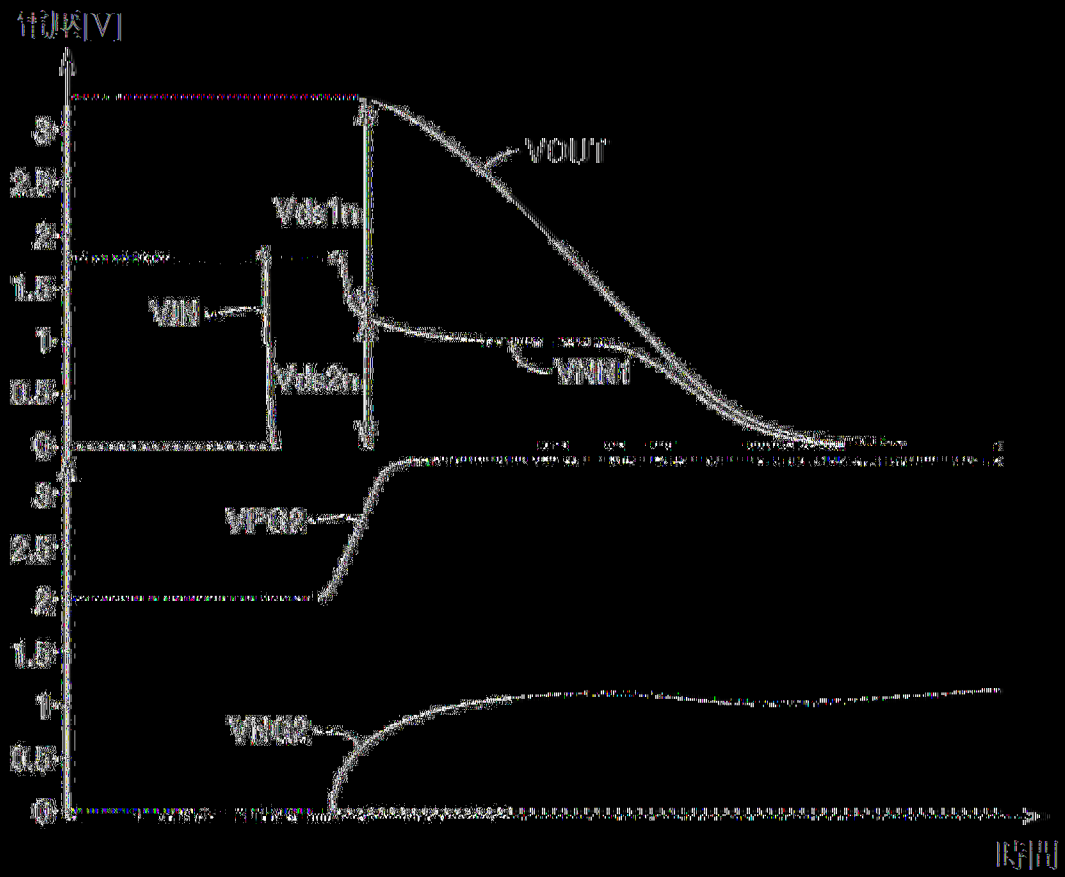
【請求項14】

如請求項1之半導體裝置，

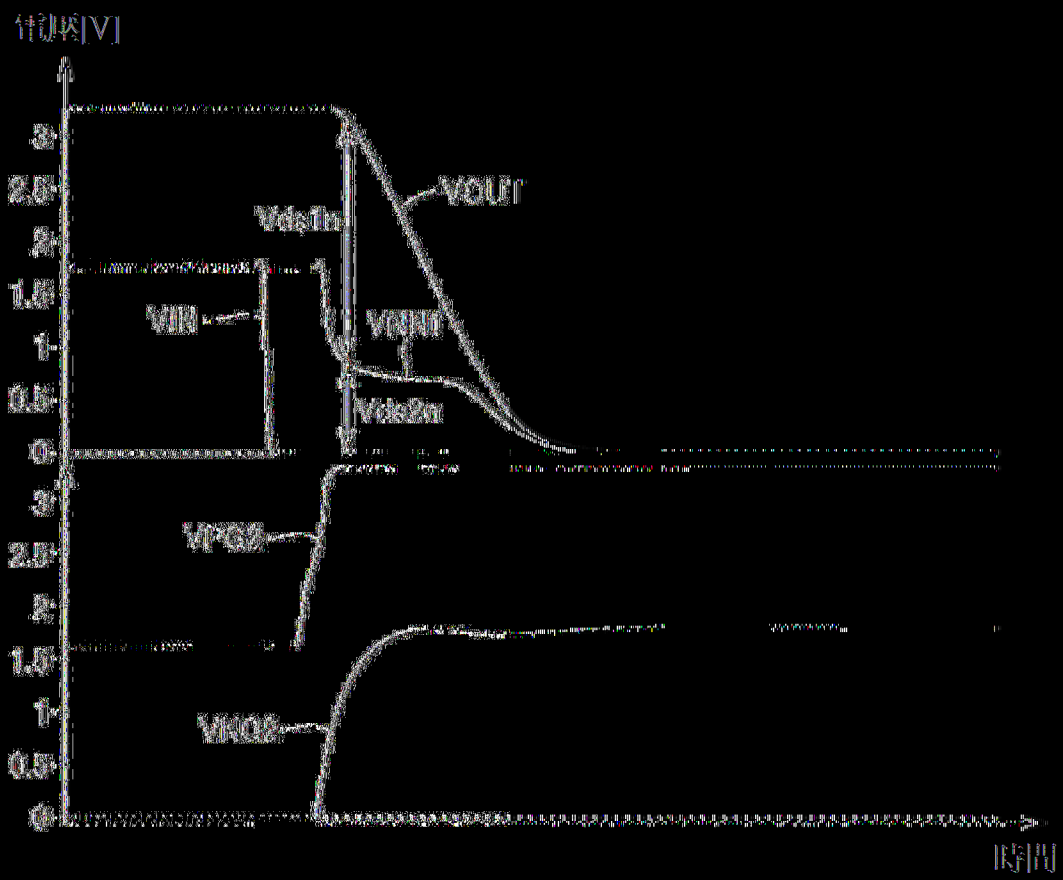
其中該輸入信號經設定成該參考電位或低於該第一電源電位之一第二電源電位，且

其中該等第一及第二P型電晶體及該等第一及第二N型電晶體之各者之一耐壓等於或大於該第二電源電位與該參考電位之間的一電位差。

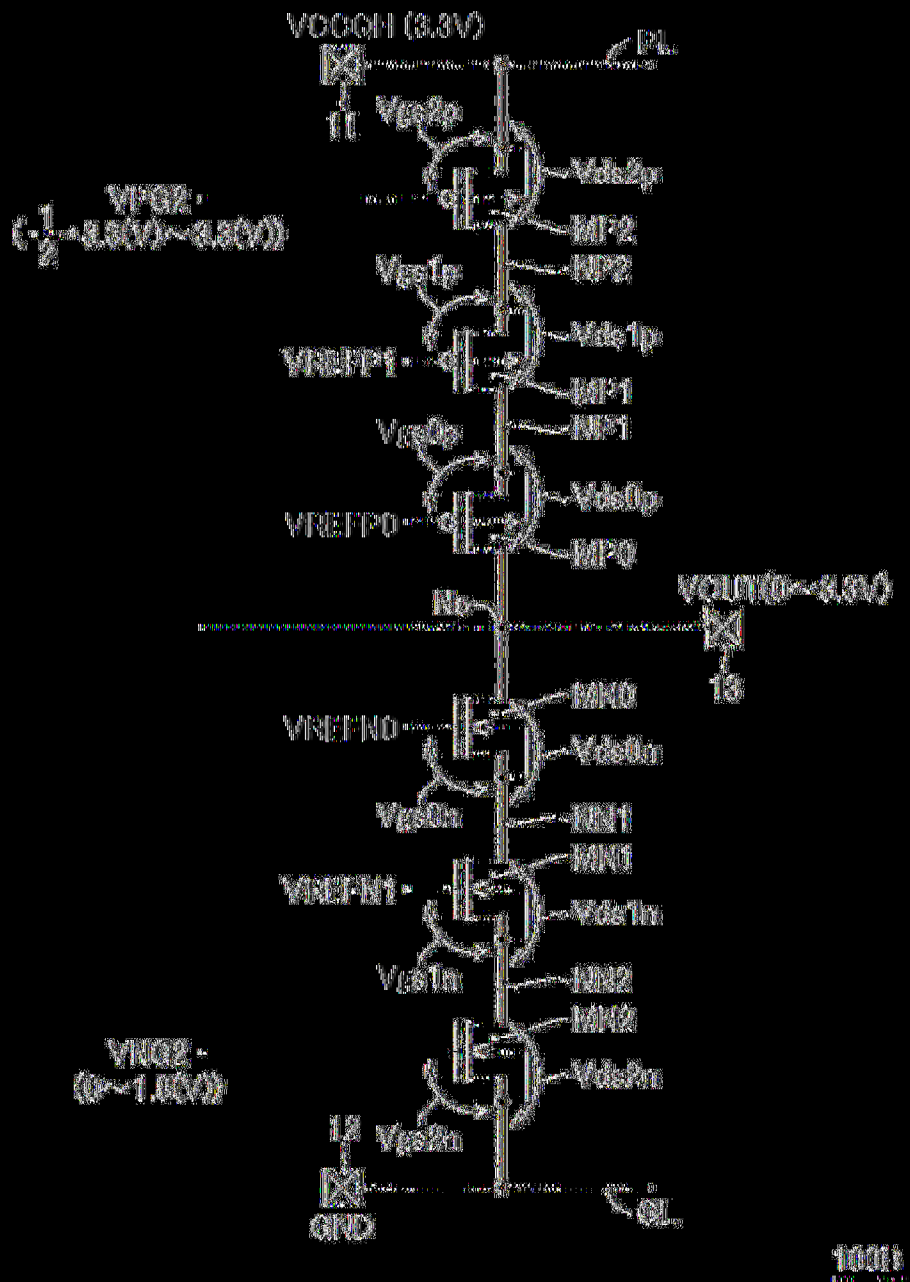




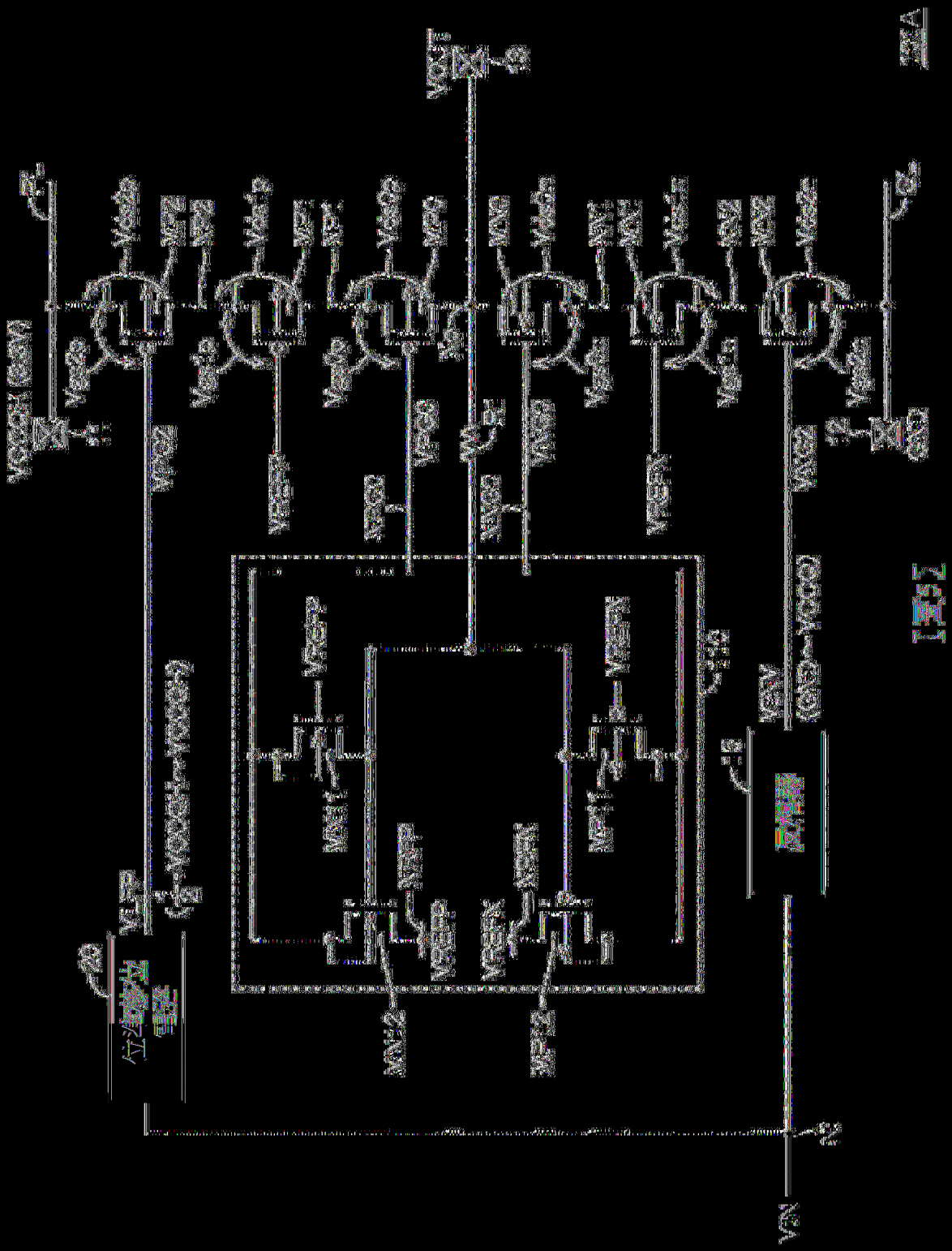
圖(圖2)

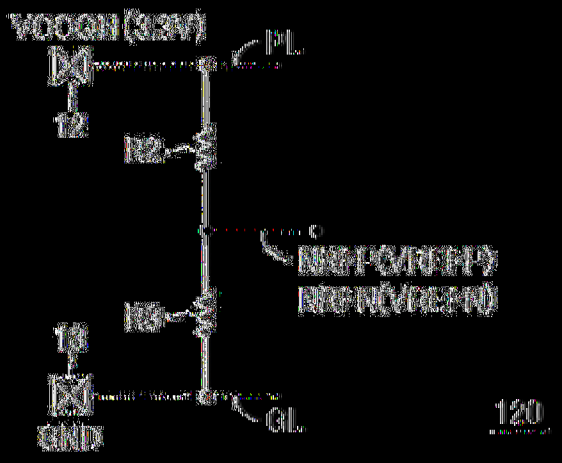


圖(圖3)

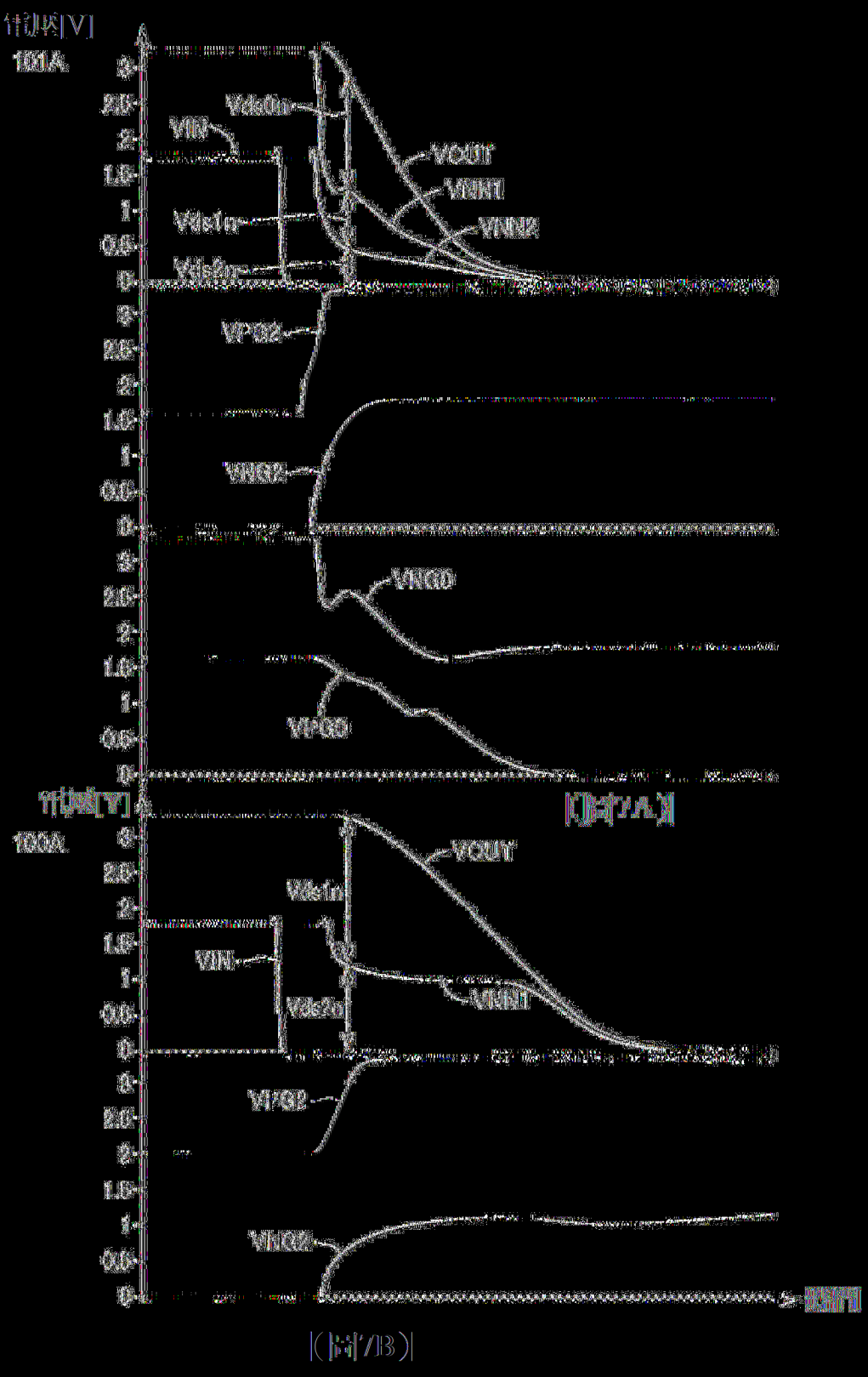

VCCGN (3.3V)
PL
11
Vgs2p
Vds2p
MP2
VPG2
(-1/2*(3.3V)~(3.3V))
MP2
Vgs1p
Vds1p
VREFP1
MP1
MP1
Vgs0p
Vds0p
VREFP0
MP0
VOUT(0~8.8V)
IN
13
MN0
VREFN0
Vds0n
Vgs0n
MN1
MN0
VREFN1
Vds1n
Vgs1n
MN2
MN2
VNG2
(0~1.65V)
Vds2n
12
Vgs2n
GL
GND
10011

|(|)|4|





圖(Fig.6)


電壓[V]
100A
Vds0n
VIN
Vds1n
Vds2n
VOUT
VINN1
VINN2
VPG2
VNG2
VNG0
VPG0
[0.5A/DIV]
電壓[V]
100A
VOUT
Vds1p
VIN
Vds2p
VINN1
VPG2
VNG2
[5μs/DIV]

[圖7B]

