



(12) 实用新型专利

(10) 授权公告号 CN 203708224 U

(45) 授权公告日 2014. 07. 09

(21) 申请号 201420066611. 1

(22) 申请日 2014. 02. 13

(73) 专利权人 葛星

地址 730050 甘肃省兰州市兰州理工大学电气工程与信息工程学院

(72) 发明人 葛星

(74) 专利代理机构 北京鼎佳达知识产权代理事务所(普通合伙) 11348

代理人 王伟锋 刘铁生

(51) Int. Cl.

H03M 9/00(2006. 01)

G04G 5/00(2013. 01)

G04G 7/00(2006. 01)

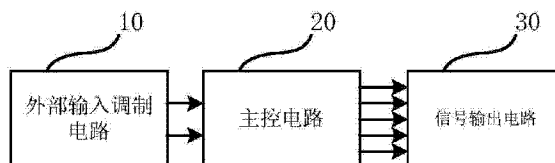
权利要求书1页 说明书5页 附图3页

(54) 实用新型名称

一种多用途串行时间码解码器

(57) 摘要

本实用新型公开了一种多用途串行时间码解码器,以实现各种电力自动化设备精确时间同步的目的。该多用途串行时间码解码器包括外部输入调制电路、主控电路以及信号输出电路,其中主控电路与外部输入调制电路连接,以接收外部输入的串行时间码,并转换为多路不同接口的对时信号;外部输入调制电路,与主控电路连接,以输出多路不同接口的对时信号。本实用新型基于高端的现场可编程逻辑门阵列平台,采用先进的片上系统和硬件逻辑模块化设计方式,结合现场可编程逻辑门阵列的输入输出资源丰富的优点,满足了各种自动化设备对于不同对时接口和不同对时精度的要求。



1. 一种多用途串行时间码解码器,其特征在于,包括外部输入调制电路、主控电路以及信号输出电路,其中,

所述主控电路与所述外部输入调制电路连接,以接收外部输入的串行时间码,并转换为多路不同接口的对时信号;

所述外部输入调制电路,与所述主控电路连接,以输出所述多路不同接口的对时信号。

2. 根据权利要求 1 所述的串行时间码解码器,其特征在于,所述主控电路包括:现场可编程逻辑门阵列芯片、串行配置器、同步动态随机存取内存芯片、恒温晶振、复位电路,其中,所述现场可编程逻辑门阵列芯片为主控芯片,与所述串行配置器、所述同步动态随机存取内存芯片、所述恒温晶振以及所述复位电路分别连接。

3. 根据权利要求 2 所述的串行时间码解码器,其特征在于,所述现场可编程逻辑门阵列芯片包括:直流 B 码解码模块、交流 B 码解码模块、时间补偿模块、锁相环模块、脉冲发生模块、片上系统。

4. 根据权利要求 1 所述的串行时间码解码器,其特征在于,所述信号输出电路包括:高速光耦、RS232 收发芯片、RS485 收发芯片、以太网收发器,其中,

所述高速光耦输出脉冲和直流形式的对时信号;

所述 RS232 收发芯片输出 RS232 形式的对时信号;

所述 RS485 收发芯片输出 RS485 形式的对时信号;

所述以太网收发器输出网络报文形式的对时信号。

5. 根据权利要求 1 所述的串行时间码解码器,其特征在于,所述外部输入调制电路包括:

AD 转换电路,以接收外部输入的交流串行时间码信号;

直流隔离电路,以接收外部输入的直流串行时间码信号。

一种多用途串行时间码解码器

技术领域

[0001] 本实用新型涉及电力领域,特别涉及一种多用途串行时间码解码器。

背景技术

[0002] 美国靶场仪器组(Inter-Range Instrumentation Group,简称 IRIG)的时间标准有两大类:一类是并行时间码格式,这类码由于是并行格式,传输距离较近,且是二进制,因此远不如串行格式广泛;另一类是串行时间码,共有六种格式,即 A、B、D、E、G、H。它们的主要差别是时间码的帧速率不同,IRIG-B 即为其中的 B 型码。

[0003] IRIG-B 的帧速率为 1 帧/秒,每帧可传递 100 位的信息,其内容包括了年日月时分秒以及闰秒修正等信息,经译码后可以获得多种频率的脉冲信号和当前的时间信息。IRIG-B 码对时方式具有数据丰富、时间精度高和不需要额外设置数据的优点;缺点是需要进行比串口方式更加复杂的编码和解码。

[0004] 国家电网公司发布的《关于加强电力二次系统时钟管理的通知》中就明确提出了加快电网二次系统时间同步技术规范的研究,逐步采用 IRIG-B 标准实现全球定位系统(Global Positioning System,简称 GPS)对时装置与相关系统或设备的对时,同步校准相对时间和绝对时间,关键系统和设备应支持接收备用时钟源的对时信号,以保障系统安全。通常情况下对时装置的时间精度应不低于 7×10^{-7} 秒/分钟。

[0005] 电力系统中电力自动化设备众多,对时间同步的时间同步时钟、时间同步方式以及传输介质要求也不尽相同。因此,电力系统时间同步系统应该兼具针对性和灵活性,满足不同的电力自动化设备时间同步需求。目前,电力自动化设备可以选用的时间同步方式有脉冲方式、串口报文方式、IRIG-B 码对时方式以及网络方式四种。例如电能量计费系统要求精度小于 0.5s,使用网络对时或者串口报文对时;配电网自动化系统要求精度小于 10ms,使用串口报文对时;故障录波器则要求精度小于 1ms,使用 IRIG-B 或秒脉冲(PPS)/分脉冲(PPM)加串口报文对时方式;要求最高的设备,如线路行波故障测距装置、同步相量测量装置以及雷电定位系统等,精度必须达到 1 μ s 的水平,使用 IRIG-B 或秒脉冲(PPS)/分脉冲(PPM)加串口报文对时方式。

[0006] 传统的 IRIG-B 解码器的设计往往基于低端的复杂可编程逻辑器件(Complex Programable Logic Device,简称 CPLD)CPLD 与单片机的组合方式,局限于 CPLD 逻辑门数有限,单片机性能不高等因素,这种方式成本高,结构复杂,实现功能单一,精度也不高,常常出现解码错误的情况,在现场复杂的应用场合有着很大的局限性。本实用新型充分发挥新型现场可编程逻辑门阵列的性能优势,精心设计和仿真,在一颗芯片上集成整个系统,减少了大量外围电路的设计,大大减小了设备的体积和功耗,满足不同电力设备的同步接口需求,并提高了精度,经过现场测试和应用,得到了良好的使用效果。

实用新型内容

[0007] 本实用新型为了满足未来智能电网对时间同步的需求,针对现有技术不足之处,

提供了一种多用途串行时间码解码器,以实现各种电力自动化设备精确时间同步的目的。

[0008] 本实用新型为达到技术要求采用以下技术方案:

[0009] 本实用新型提供的多用途串行时间码解码器包括外部输入调制电路、主控电路以及信号输出电路,其中主控电路与外部输入调制电路连接,以接收外部输入的串行时间码,并转换为多路不同接口的对时信号;外部输入调制电路,与主控电路连接,以输出多路不同接口的对时信号。

[0010] 可选地,主控电路包括:现场可编程逻辑门阵列芯片、串行配置器、同步动态随机存取内存芯片、恒温晶振、复位电路,其中,现场可编程逻辑门阵列芯片为主控芯片,与串行配置器、同步动态随机存取内存芯片、恒温晶振以及复位电路分别连接。

[0011] 可选地,现场可编程逻辑门阵列芯片包括:直流B码解码模块、交流B码解码模块、时间补偿模块、锁相环模块、脉冲发生模块、片上系统。

[0012] 可选地,信号输出电路包括:高速光耦、RS232 收发芯片、RS485 收发芯片、以太网收发器,其中,高速光耦输出脉冲和直流形式的对时信号;RS232 收发芯片输出 RS232 形式的对时信号;RS485 收发芯片输出 RS485 形式的对时信号;以太网收发器输出网络报文形式的对时信号。

[0013] 可选地,外部输入调制电路包括:AD 转换电路,以接收外部输入的交流串行时间码信号;直流隔离电路,以接收外部输入的直流串行时间码信号。

[0014] 与现有技术相比,本实用新型的优点在于:基于高端的现场可编程逻辑门阵列平台,采用先进的片上系统和硬件逻辑模块化设计方式,其在单芯片上实现了对时方式的灵活搭配,在解码的同时,输出精度可补偿调整的 IRIG-B 码、脉冲信号、串口对时报文以及网络时间报文,并为以后的扩展接口预留了设计空间,结合现场可编程逻辑门阵列的输入输出资源丰富的优点。满足了各种自动化设备对于不同对时接口和不同对时精度的要求。同时,本实用新型做到了保证了在不同现场可编程逻辑门阵列芯片上的快速应用,有效降低产品成本。

[0015] 根据下文结合附图对本实用新型具体实施例的详细描述,本领域技术人员将会更加明了本实用新型的上述以及其他目的、优点和特征。

附图说明

[0016] 后文将参照附图以示例性而非限制性的方式详细描述本实用新型的一些具体实施例。附图中相同的附图标记标示了相同或类似的部件或部分。本领域技术人员应该理解,这些附图未必是按比例绘制的。附图中:

[0017] 图 1 是根据本实用新型的一个实施例的多用途串行时间码解码器的电路示意图;

[0018] 图 2 是根据本实用新型的另一个实施例的多用途串行时间码解码器的电路示意图;

[0019] 图 3 是根据本实用新型的另一个实施例的多用途串行时间码解码器的电路示意图;

[0020] 图 4 是根据本实用新型的一个实施例的多用途串行时间码解码器的复位电路示意图;

[0021] 图 5 是根据本实用新型的一个实施例的多用途串行时间码解码器的解码电路的

边沿检测电路示意图；

[0022] 图 6 是根据本实用新型的一个实施例的多用途串行时间码解码器的 B 码编码的执行波形图；

[0023] 图 7 是根据本实用新型的一个实施例的多用途串行时间码解码器的 B 码的解码执行波形图；图 8 是根据本实用新型的一个实施例的多用途串行时间码解码器的直流 B 码基本码元示意图；以及

[0024] 图 9 是根据本实用新型的一个实施例的多用途串行时间码解码器的交流 B 码基本码元示意图。

具体实施方式

[0025] 图 1 根据本实用新型的一个实施例的多用途串行时间码解码器的电路示意图。该多用途串行时间码解码器包括外部输入调制电路 10、主控电路 20 以及信号输出电路 30，其中主控电路 20 与外部输入调制电路 10 连接，以接收外部输入的串行时间码，并转换为多路不同接口的对时信号；外部输入调制电路 10，与主控电路 20 连接，以输出多路不同接口的对时信号。

[0026] 图 2 根据本实用新型的另一个实施例的多用途串行时间码解码器的电路示意图。在该实施例中，外部输入调制电路 10 包括：AD 转换电路 11，以接收外部输入的交流串行时间码信号；直流隔离电路 12，以接收外部输入的直流串行时间码信号。主控电路 20 包括：现场可编程逻辑门阵列芯片 21、串行配置器 23、同步动态随机存取内存芯片 22（SDRAM）、恒温晶振 24、复位电路 25，其中，现场可编程逻辑门阵列芯片 21 为主控芯片，与串行配置器 23、同步动态随机存取内存芯片 22、恒温晶振 24 以及复位电路 25 分别连接。信号输出电路 30 包括：高速光耦 31、RS232 收发芯片 32、RS485 收发芯片 33、以太网收发器 34，其中，高速光耦 31 输出脉冲和直流形式的对时信号；RS232 收发芯片 32 输出 RS232 形式的对时信号；RS485 收发芯片 33 输出 RS485 形式的对时信号；以太网收发器 34 输出网络报文形式的对时信号。

[0027] 具体地，外部输入调制电路 10 中的 AD 转换电路 11 用于对交流 B 码调制，AC 码的高幅值最小为 0.25V，低幅值最小为 0.042V，取模数转换的位数为 8 位，参考电压为 5V，分辨率为 20mV，对应 B 码最低幅度的转换，高幅对应 12，低幅对应 2，因此高低幅度很容易就能判断出来。外部输入调制电路 10 中的直流隔离电路 12 用于对直流 B 码的调制，进行光耦隔离和相应的电平调制，如差分信号的 B 码信号用过 RS485 芯片调制出来，TTL 电平则通过光耦转换得到。

[0028] 图 3 是根据本实用新型的另一个实施例的多用途串行时间码解码器的电路示意图。可选地，现场可编程逻辑门阵列芯片 21 包括：直流 B 码解码模块 211、交流 B 码解码模块 212、时间补偿模块 213、锁相环模块 214、脉冲发生模块 215、片上系统 216。在以上串行配置器 23 可以优选采用 EPSC16 型号芯片，在这种情况下，现场可编程逻辑门阵列芯片 21 作为主控芯片，EPSC16 芯片对现场可编程逻辑门阵列芯片 21 进行配置，现场可编程逻辑门阵列完成硬件初始化后，开始接收外部的 B 码信号，处理后进行输出。解码出来的信息包含两种：秒脉冲与当前 B 码码元。其中秒脉冲输出给时间补偿模块 213，时间补偿模块 213 根据时间补偿的精度要求产生相应精度的秒脉冲；当前 B 码码元通过通用输入与输出信号脚

输出给片上系统 216 模块,由片上系统 216 模块来进行下一步的 B 码解码,得到当前的时分秒与年月日等信息,随后将这些信息进行处理,最后将处理过的信息以串口时间报文和网络时间报文的形式发送出去。在两种解码模块中设计了看门狗电路,在 B 码接口无信号时,解码模块进行自复位,同时现场可编程逻辑门阵列芯片 21 进入自守时状态,继续输出一定精度的对时信号。锁相环模块 214 对恒温晶振 24 进行倍频,分别输出给解码电路、片上系统 216 和时间补偿模块 213。片上系统 216,包括了片上系统处理器模块、SDRAM 控制模块、EPCS16 控制模块、通用输入与输出模块、通用异步接收 / 发送装置 (UART) 模块、以太网模块以及备用模块。

[0029] 主控电路 20 中的除现场可编程逻辑门阵列之外的部件中, SDRAM, 用于片上系统 216 运行数据缓存; 恒温晶振 24, 用于产生现场可编程逻辑门阵列运行所需高精度频率源, 复位 RESET 电路, 用于对解码器进行复位操作。

[0030] 信号输出电路 30 包括: 高速光耦 31、RS232 收发芯片 32、RS485 收发芯片 33、以太网收发器 34, 其中, 高速光耦 31 输出脉冲和直流形式的对时信号, 用于与电力自动化设备进行电气隔离; RS232 收发芯片 32 输出 RS232 形式的对时信号, 以发送 RS232 电平串口时间报文; RS485 收发芯片 33 输出 RS485 形式的对时信号, 以接收和发送 RS485 差分方式电平; 以太网收发器 34 输出网络报文形式的对时信号, 可以优选采用 DP83640 芯片。

[0031] B 码经信道传输的时延很大, 往往已经超过时间同步误差的要求, 如果不对传输时延进行修正, 终端的时间同步误差就会超差。因此需要在解码电路中加入延迟补偿电路。时延补偿值为所用信道的时延实测值。B 码经解码后获得的 1pps 信号, 经延时补偿后输出准时的 1pps 信号供分频器同步用。

[0032] 串口时间报文通过 UART 总线发出, 在通过光耦后, 分别通过 RS232 和 RS485 芯片输出。网络时间报文通过 DP83640 芯片后, 通过网络变压器隔离后输出, DP83640 与现场可编程逻辑门阵列之间通过 RMII 与 MIIM 两种总线进行连接。信号输出电路 30 中还包括其他协议的通信接口, 作为可扩展的模块, 满足应用现场的其他接口需求。

[0033] 图 4 是根据本实用新型的一个实施例的多用途串行时间码解码器的复位电路 25 示意图。在上电或者复位后, RESET 电路对解码器进行复位操作, 为了提高整个系统的复位可靠性, 避免出现亚稳态, 在外部 RESET 信号的基础上, 设计了一种异步复位、同步释放的双缓冲 RESET 电路。

[0034] 图 5 是根据本实用新型的一个实施例的多用途串行时间码解码器的解码电路的边沿检测电路示意图。直流 B 码解码模块 211 与交流 B 码解码模块 212 分别对外部输入的直流 B 码和交流 B 码进行解码, 边沿检测电路实时分辨 B 码的上升沿和下降沿并输出, 保证了解码的精确度。

[0035] 图 6 是根据本实用新型的一个实施例的多用途串行时间码解码器的 B 码编码的执行波形图。其中第一行波形为时钟信号; 第二行波形为复位信号, 整个系统在其为高电平时开始工作; 第三行波形为秒脉冲信号; 第四行波形为 B 码编码信号, 可以看出, 其第一个码元的上升沿与秒脉冲的上升沿对齐, 说明编码正确。

[0036] 图 7 是根据本实用新型的一个实施例的多用途串行时间码解码器的 B 码的解码执行波形图。其中第一行波形为时钟信号; 第二行波形为复位信号, 整个系统在其为高电平时开始工作; 第三行波形为输入 B 码的仿真信号; 第四行波形为结算出来的秒脉冲信号, 可以

看出,秒脉冲的上升沿与 B 码的第一个码元上升沿对齐,说明解码正确。

[0037] 图 8 是根据本实用新型的一个实施例的多用途串行时间码解码器的直流 B 码基本码元示意图,图 9 是根据本实用新型的一个实施例的多用途串行时间码解码器的交流 B 码基本码元示意图。其中每种码元的长度为 10ms,其中脉宽 2ms 的为码元“0”;脉宽 8ms 的为码元“P”;脉宽 5ms 的为码元“1”。本实用新型所设计的 B 码解码电路和其他电路均是根据其特征来进行设计的。

[0038] 以上实施例中多用途串行时间码解码器中各部件、模块均由硬件电路直接完成,利用电路构造完实现技术目的,解决未来智能电网对时间同步的要求高的问题。

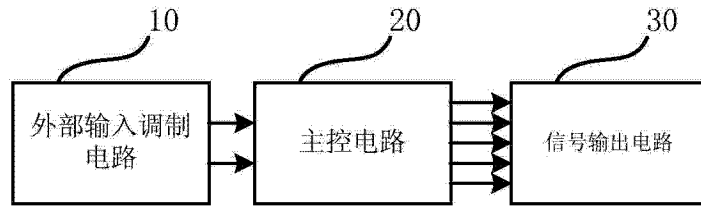


图 1

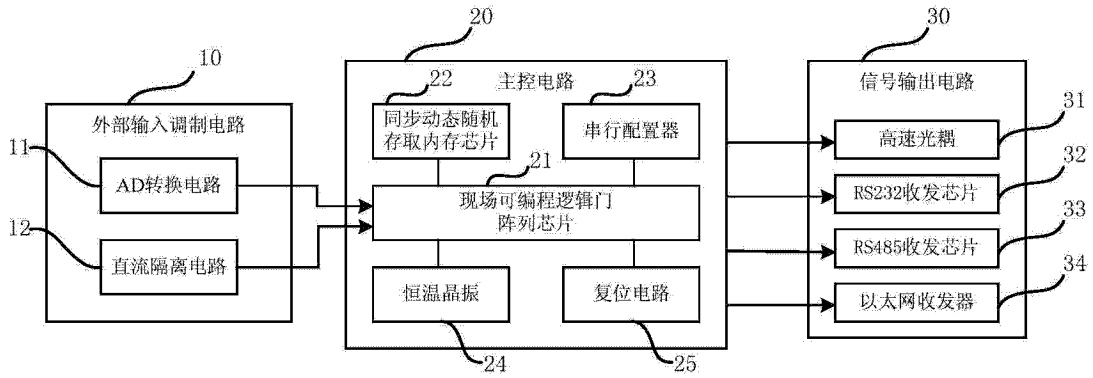


图 2

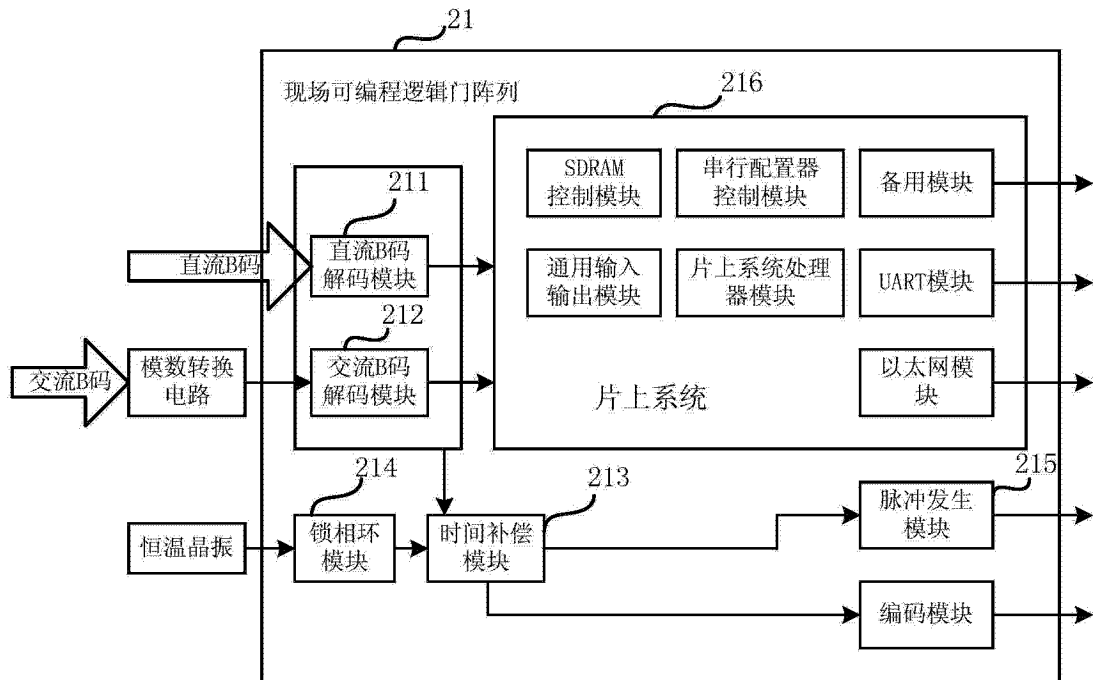


图 3

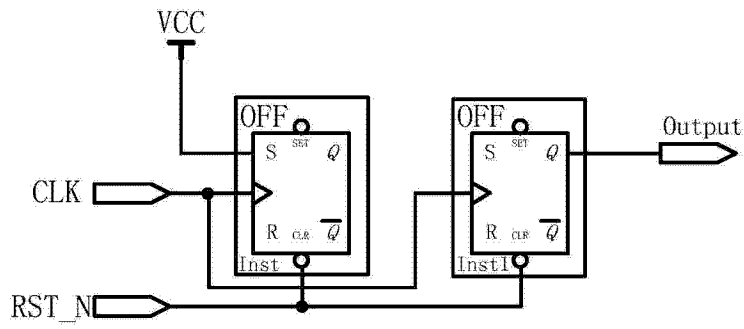


图 4

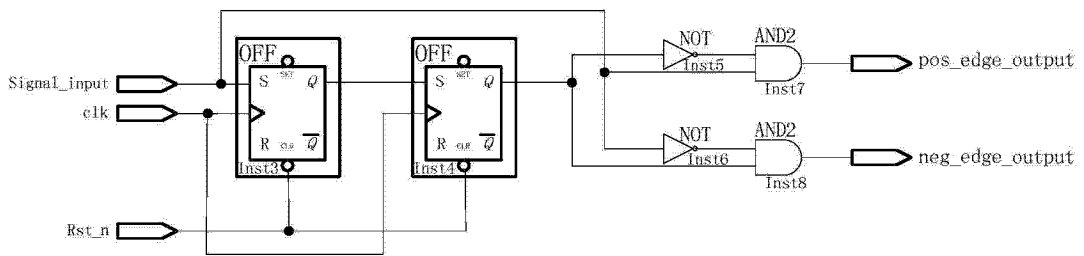


图 5

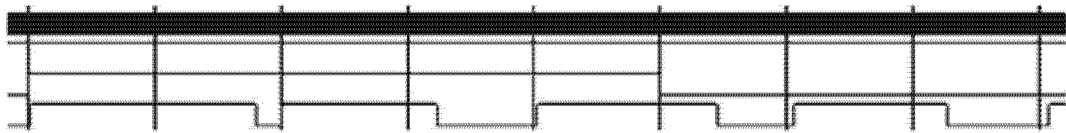


图 6

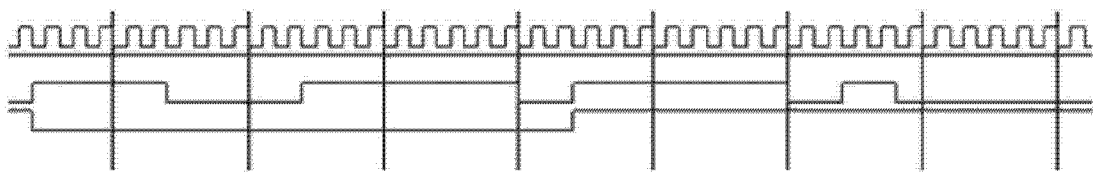


图 7

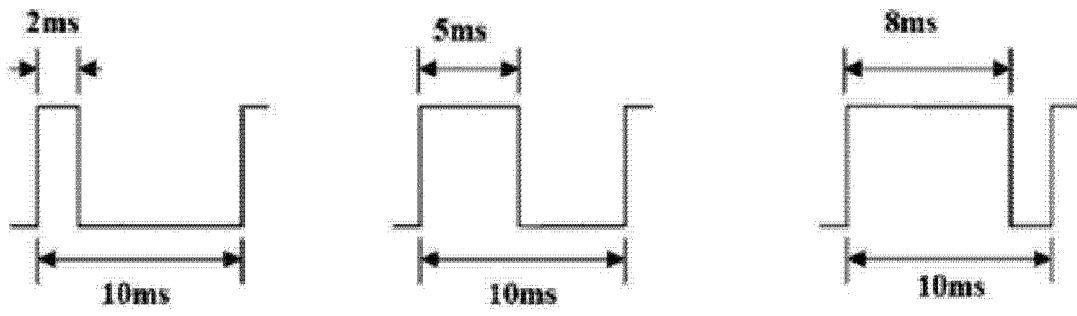


图 8

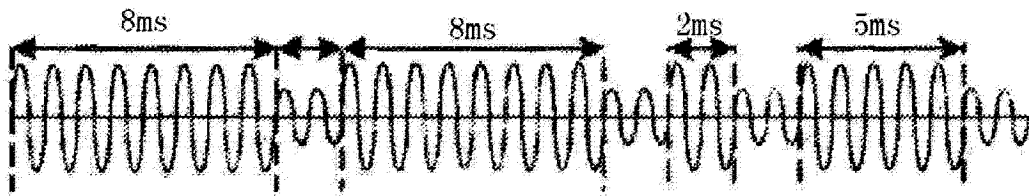


图 9