



## (12) 发明专利申请

(10) 申请公布号 CN 116457934 A

(43) 申请公布日 2023. 07. 18

(21) 申请号 202180077758.3

(22) 申请日 2021.11.09

(30) 优先权数据

2020-193215 2020.11.20 JP

(85) PCT国际申请进入国家阶段日

2023.05.18

(86) PCT国际申请的申请数据

PCT/IB2021/060338 2021.11.09

(87) PCT国际申请的公布数据

W02022/106956 JA 2022.05.27

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 大贯达也

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

专利代理师 李志强 梅黎

(51) Int.Cl.

H01L 21/8234 (2006.01)

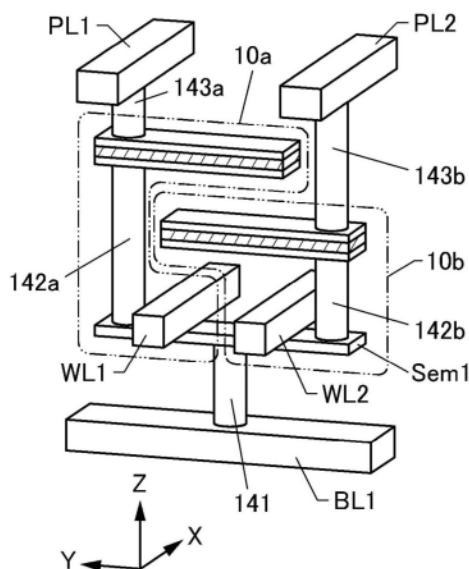
权利要求书3页 说明书49页 附图32页

(54) 发明名称

半导体装置

(57) 摘要

提供一种具有新颖的结构半导体装置。该半导体装置具有多个包括晶体管及电容器的存储单元,并且相邻的存储单元所包括的各电容器以彼此重叠的方式设置。第一存储单元所包括的第一电容器以其一部分与相邻于第一存储单元的第二存储单元重叠的方式配置。第二存储单元所包括的第二电容器设置在与第一电容器不同的层上。第二电容器以其一部分与第一存储单元重叠的方式配置。第一电容器与第二电容器包括彼此重叠的区域。第一电容器及第二电容器包含铁电体。铁电体优选包含钪、锆或选自III-V族元素中的至少一个元素。晶体管优选在形成沟道的半导体层中包含氧化物半导体。



1. 一种半导体装置,包括:

第一及第二晶体管;以及

第一及第二电容器,

其中,所述第一晶体管与所述第一电容器电连接,

所述第二晶体管与所述第二电容器电连接,

所述第一及所述第二电容器设置在所述第一及所述第二晶体管上方,

所述第一及所述第二电容器各自包含铁电体,

并且,所述第一及所述第二电容器包括彼此重叠的区域。

2. 一种半导体装置,包括:

第一及第二晶体管;

第一及第二电容器;以及

第一至第三布线,

其中,所述第一晶体管的栅极与所述第一布线电连接,

所述第二晶体管的栅极与所述第二布线电连接,

所述第一晶体管的源极及漏极中的一个与所述第一电容器电连接,

所述第二晶体管的源极及漏极中的一个与所述第二电容器电连接,

所述第一及所述第二晶体管各自的源极及漏极中的另一个与所述第三布线电连接,

所述第一及所述第二电容器各自包含铁电体,

并且,所述第一及所述第二电容器包括彼此重叠的区域。

3. 根据权利要求1或2所述的半导体装置,

所述第一及所述第二晶体管设置在同一层上。

4. 一种半导体装置,包括:

第一至第四晶体管;以及

第一至第四电容器,

其中,所述第一晶体管与所述第一电容器电连接,

所述第二晶体管与所述第二电容器电连接,

所述第三晶体管与所述第三电容器电连接,

所述第四晶体管与所述第四电容器电连接,

所述第一至所述第四电容器设置在所述第一至所述第四晶体管上方,

所述第一至所述第四电容器各自包含铁电体,

所述第三电容器与所述第四电容器设置在同一层上,

并且,所述第一至所述第三电容器包括彼此重叠的区域。

5. 一种半导体装置,包括:

第一至第四晶体管;

第一至第四电容器;以及

第一至第四布线,

其中,所述第一及所述第三晶体管各自的栅极与所述第一布线电连接,

所述第二及所述第四晶体管各自的栅极与所述第二布线电连接,

所述第一晶体管的源极及漏极中的一个与所述第一电容器电连接,

所述第二晶体管的源极及漏极中的一个与所述第二电容器电连接，  
所述第三晶体管的源极及漏极中的一个与所述第三电容器电连接，  
所述第四晶体管的源极及漏极中的一个与所述第四电容器电连接，  
所述第一及所述第二晶体管各自的源极及漏极中的另一个与所述第三布线电连接，  
所述第三及所述第四晶体管各自的源极及漏极中的另一个与所述第二布线电连接，  
所述第三电容器与所述第四电容器设置在同一层上，  
并且，所述第一至所述第三电容器包括彼此重叠的区域。

6. 一种半导体装置，包括：

第一至第四晶体管；以及

第一至第四电容器，

其中，所述第一晶体管与所述第一电容器电连接，

所述第二晶体管与所述第二电容器电连接，

所述第三晶体管与所述第三电容器电连接，

所述第四晶体管与所述第四电容器电连接，

所述第一至所述第四电容器设置在所述第一至所述第四晶体管上方，

所述第一至所述第四电容器各自包含铁电体，

并且，所述第一至所述第四电容器包括彼此重叠的区域。

7. 一种半导体装置，包括：

第一至第四晶体管；

第一至第四电容器；以及

第一至第四布线，

其中，所述第一及所述第三晶体管各自的栅极与所述第一布线电连接，

所述第二及所述第四晶体管各自的栅极与所述第二布线电连接，

所述第一晶体管的源极及漏极中的一个与所述第一电容器电连接，

所述第二晶体管的源极及漏极中的一个与所述第二电容器电连接，

所述第三晶体管的源极及漏极中的一个与所述第三电容器电连接，

所述第四晶体管的源极及漏极中的一个与所述第四电容器电连接，

所述第一及所述第二晶体管各自的源极及漏极中的另一个与所述第三布线电连接，

所述第三及所述第四晶体管各自的源极及漏极中的另一个与所述第二布线电连接，

所述第一至所述第四电容器各自包含铁电体，

并且，所述第一至所述第四电容器包括彼此重叠的区域。

8. 根据权利要求4至7中任一项所述的半导体装置，

其中所述第一至所述第四晶体管设置在同一层上。

9. 根据权利要求4至8中任一项所述的半导体装置，

其中所述第一至所述四晶体管各自在形成沟道的半导体层中包含氧化物半导体。

10. 根据权利要求9所述的半导体装置，

其中所述氧化物半导体包含铟及锌中的至少一个。

11. 根据权利要求1至10中任一项所述的半导体装置，

其中所述铁电体包含铪及锆中的至少一个。

12. 根据权利要求1至10中任一项所述的半导体装置，  
其中所述铁电体包含选自III-V族元素中的至少一个元素。

## 半导体装置

### 技术领域

[0001] 本发明的一个方式涉及一种半导体装置及电子设备。

[0002] 本发明的一个方式不限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、方法或制造方法。此外，本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。因此，具体而言，作为本说明书所公开的本发明的一个方式的技术领域的例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、信号处理装置、处理器、电子设备、系统、它们的驱动方法、它们的制造方法或它们的检查方法。

### 背景技术

[0003] 近年来，对LSI、CPU、存储器(存储装置)等半导体装置进行开发。这些半导体装置用于计算机、便携式信息终端等各种电子设备。此外，根据运算处理执行时的暂时存储、数据的长期存储等用途，开发各种存储方式的存储器。作为典型的存储方式的存储器，例如可以举出DRAM、SRAM及快闪存储器等。

[0004] 此外，如非专利文献1所示，利用铁电体(ferroelectric)的存储器的研究开发活跃。此外，作为下一代的铁电存储器，铁电 $\text{HfO}_2$ 类材料的研究(非专利文献2)、关于铪氧化物薄膜的铁电性的研究(非专利文献3)、关于 $\text{HfO}_2$ 薄膜的铁电性的研究(非专利文献4)以及使用铁电体 $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ 的FeRAM与CMOS的统合的实证(非专利文献5)等有关氧化铪的研究也活跃。

[先行技术文献]

[非专利文献]

[0005] [非专利文献1]T.S.Boescke,et al,“Ferroelectricity in hafnium oxide thin films”,APL99,2011

[非专利文献2]Zhen Fan,et al,“Ferroelectric  $\text{HfO}_2$ -based materials for next-generation ferroelectric memories”,JOURNAL OF ADVANCED DIELECTRICS, Vol.6,No.2,2016

[非专利文献3]Jun Okuno,et al,“SoC compatible 1T1C FeRAM memory array based on ferroelectric  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ ”,VLSI 2020

[非专利文献4]鸟海明,“ $\text{HfO}_2$ 薄膜的铁电性”,日本应用物理学会,第88卷,第9号,2019

[非专利文献5]T.Francois,et al,“Demonstration of BEOL-compatible ferroelectric  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$  scaled FeRAM co-integrated with 130nm CMOS for embedded NVM applications”,IEDM 2019

### 发明内容

发明所要解决的技术问题

[0006] 在铁电存储器中,通过利用铁电体(可具有铁电性的材料)的极化反转,进行数据的写入及读出工作。此外,为了准确地保持被写入的数据,铁电体被要求增大剩余极化。

[0007] 此外,在包括使用铁电体的电容器(也称为“铁电电容器”)的铁电存储器中,该电容器的电容值越大,数据保持的可靠性越可以提高。通过减薄介电体的膜厚以及/或者增加电容器的面积,可以实现电容值的增大。但是,前者的方法导致剩余极化下降,由此难以实现电容值的增大。此外,后者的方法与伴随存储元件(“存储单元”)的高密度化的占有面积的缩小处于权衡关系。

[0008] 本发明的一个方式的目的之一是提供一种新颖的存储装置。此外,本发明的一个方式的目的之一是提供一种占有面积小的存储装置。此外,本发明的一个方式的目的之一是提供一种可靠性高的存储装置。此外,本发明的一个方式的目的之一是提供一种功耗低的存储装置。此外,本发明的一个方式的目的之一是提供一种存储容量大的存储装置。此外,本发明的一个方式的目的之一是提供一种新颖的半导体装置。此外,本发明的一个方式的目的之一是提供一种占有面积小的半导体装置。此外,本发明的一个方式的目的之一是提供一种可靠性高的半导体装置。此外,本发明的一个方式的目的之一是提供一种功耗低的半导体装置。此外,本发明的一个方式的目的之一是提供一种存储容量大的半导体装置。

[0009] 注意,本发明的一个方式的目的不局限于上述目的。上述目的并不妨碍其他目的的存在。其他目的是指将在下面的记载中描述的上述以外的目的。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的目的。本发明的一个方式实现上述目的及其他目的中的至少一个目的。此外,本发明的一个方式不一定需要实现所有的上述目的及其他目的。

#### 解决技术问题的手段

[0010] (1) 本发明的一个方式是一种半导体装置,该半导体装置包括第一及第二晶体管、第一及第二电容器,第一晶体管与第一电容器电连接,第二晶体管与第二电容器电连接,第一及第二电容器设置在第一及第二晶体管上方,第一及第二电容器各自包含铁电体,并且第一及第二电容器包括彼此重叠的区域。

[0011] (2) 本发明的另一个方式是一种半导体装置,该半导体装置包括第一及第二晶体管、第一及第二电容器、第一至第三布线,第一晶体管的栅极与第一布线电连接,第二晶体管的栅极与第二布线电连接,第一晶体管的源极及漏极中的一个与第一电容器电连接,第二晶体管的源极及漏极中的一个与第二电容器电连接,第一及第二晶体管各自的源极及漏极中的另一个与第三布线电连接,第一及第二电容器各自包含铁电体,并且第一及第二电容器包括彼此重叠的区域。

[0012] 在上述(1)或(2)中,第一及第二晶体管也可以设置在同一层上。

[0013] (3) 本发明的另一个方式是一种半导体装置,该半导体装置包括第一至第四晶体管及第一至第四电容器,第一晶体管与第一电容器电连接,第二晶体管与第二电容器电连接,第三晶体管与第三电容器电连接,第四晶体管与第四电容器电连接,第一至第四电容器设置在第一至第四晶体管上方,第一至第四电容器各自包含铁电体,第三电容器与第四电容器设置在同一层上,并且第一至第三电容器包括彼此重叠的区域。

[0014] (4) 本发明的另一个方式是一种半导体装置,该半导体装置包括第一至第四晶体管、第一至第四电容器以及第一至第四布线,第一及第三晶体管各自的栅极与第一布线电

连接,第二及第四晶体管各自的栅极与第二布线电连接,第一晶体管的源极及漏极中的一个与第一电容器电连接,第二晶体管的源极及漏极中的一个与第二电容器电连接,第三晶体管的源极及漏极中的一个与第三电容器电连接,第四晶体管的源极及漏极中的一个与第四电容器电连接,第一及第二晶体管各自的源极及漏极中的另一个与第三布线电连接,第三及第四晶体管各自的源极及漏极中的另一个与第二布线电连接,第三电容器与第四电容器设置在同一层上,并且第一至第三电容器包括彼此重叠的区域。

[0015] (5) 本发明的另一个方式是一种半导体装置,该半导体装置包括第一至第四晶体管及第一至第四电容器,第一晶体管与第一电容器电连接,第二晶体管与第二电容器电连接,第三晶体管与第三电容器电连接,第四晶体管与第四电容器电连接,第一至第四电容器设置在第一至第四晶体管上方,第一至第四电容器各自包含铁电体,并且第一至第四电容器包括彼此重叠的区域。

[0016] (6) 本发明的另一个方式是一种半导体装置,该半导体装置包括第一至第四晶体管、第一至第四电容器以及第一至第四布线,第一及第三晶体管各自的栅极与第一布线电连接,第二及第四晶体管各自的栅极与第二布线电连接,第一晶体管的源极及漏极中的一个与第一电容器电连接,第二晶体管的源极及漏极中的一个与第二电容器电连接,第三晶体管的源极及漏极中的一个与第三电容器电连接,第四晶体管的源极及漏极中的一个与第四电容器电连接,第一及第二晶体管各自的源极及漏极中的另一个与第三布线电连接,第三及第四晶体管各自的源极及漏极中的另一个与第二布线电连接,第一至第四电容器各自包含铁电体,并且第一至第四电容器包括彼此重叠的区域。

[0017] 在上述(3)至(6)中的任一个中,第一至第四晶体管也可以设置在同一层上。

[0018] 此外,在上述(3)至(6)中的任一个中,第一至第四晶体管优选在形成沟道的半导体层中包含氧化物半导体。此外,氧化物半导体优选包含铟及锌中的至少一个。此外,作为铁电体,既可使用包含铅及锆中的至少一个的材料又可使用包含选自III-V族元素中的至少一个元素的材料。

#### 发明效果

[0019] 根据本发明的一个方式,可以提供一种新颖的存储装置。此外,根据本发明的一个方式,可以提供一种占有面积小的存储装置。此外,根据本发明的一个方式,可以提供一种可靠性高的存储装置。此外,根据本发明的一个方式,可以提供一种功耗低的存储装置。此外,根据本发明的一个方式,可以提供一种存储容量大的存储装置。此外,根据本发明的一个方式,可以提供一种新颖的半导体装置。此外,根据本发明的一个方式,可以提供一种占有面积小的半导体装置。此外,根据本发明的一个方式,可以提供一种可靠性高的半导体装置。此外,根据本发明的一个方式,可以提供一种功耗低的半导体装置。此外,根据本发明的一个方式,可以提供一种存储容量大的半导体装置。

[0020] 注意,本发明的一个方式的效果不局限于上述效果。上述效果并不妨碍其他效果的存在。其他效果是指将在下面的记载中描述的上述以外的效果。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的效果。此外,本发明的一个方式具有上述效果及其他效果中的至少一个效果。因此,本发明的一个方式根据情况而有时没有上述效果。

#### 附图简要说明

[0021] 图1A及图1B是示出半导体装置的结构例子的图。

图2A是示出相邻的两个存储单元的电路结构例子的图,图2B是示出相邻的两个存储单元的结构例子的立体图,图2C是相邻的两个存储单元的俯视图,图2D是相邻的两个存储单元的正视图。

图3A至图3C是用来说明本发明的一个方式的俯视图。

图4A是示出相邻的两个存储单元的结构例子的立体图,图4B是相邻的两个存储单元的正视图,图4C是示出相邻的两个存储单元的电路结构例子的图。

图5A至图5E是用来说明本发明的一个方式的俯视图。

图6A是示出相邻的两个存储单元的结构例子的立体图,图6B是相邻的两个存储单元的正视图,图6C是示出相邻的两个存储单元的电路结构例子的图。

图7A至图7F是用来说明本发明的一个方式的俯视图。

图8是示出滞后特性的一个例子的图。

图9A是示出晶体管的结构例子的俯视图,图9B至图9D是示出晶体管的结构例子的截面图。

图10A及图10B是作为本发明的一个方式的半导体装置的截面图。

图11A是说明结晶结构的分类的图,图11B是说明CAAC-IGZO膜的XRD谱的图,图11C是说明CAAC-IGZO膜的纳米束电子衍射图案的图。

图12是说明半导体装置的结构例子的截面图。

图13是说明半导体装置的结构例子的截面图。

图14是说明半导体装置的结构例子的截面图。

图15A是示出半导体晶片的一个例子的立体图,图15B是示出芯片的一个例子的立体图,图15C和图15D是示出电子构件的一个例子的立体图。

图16A至图16J是说明电子设备的一个例子的立体图或示意图。

图17A至图17E是说明电子设备的一个例子的立体图或示意图。

图18A至图18C是说明电子设备的一个例子的图。

实施发明的方式

[0022] 在本说明书等中,半导体装置是指利用半导体特性的装置以及包括半导体元件(晶体管、二极管、光电二极管等)的电路及包括该电路的装置等。此外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,作为半导体装置的例子,有集成电路、包括集成电路的芯片、封装中容纳有芯片的电子构件。此外,存储装置、显示装置、发光装置、照明装置以及电子设备等本身是半导体装置,或者有时包括半导体装置。

[0023] 此外,在本说明书等中,当记载为“X与Y连接”时,表示在本说明书等中公开了如下情况:X与Y电连接的情况;X与Y在功能上连接的情况;以及X与Y直接连接的情况。因此,不局限于附图或文中所示的连接关系等规定的连接关系,而附图或文中所示的连接关系以外的连接关系也包括在附图或文中公开的范围内。X和Y都是对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0024] 作为X和Y电连接的情况的一个例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示器件、发光器件、负载等)。

[0025] 作为X与Y在功能上连接的情况的一个例子,例如可以在X与Y之间连接有一个以上的能够在功能上连接X与Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(数字模拟转换电路、模拟数字转换电路、伽马校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,就可以说X与Y在功能上连接的。

[0026] 此外,当明确地记载为“X与Y电连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);以及X与Y直接连接的情况(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。

[0027] 例如,可以表现为“X、Y、晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)互相电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)与Y依次电连接”。或者,可以表现为“晶体管的源极(或第一端子等)与X电连接,晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)与Y依次电连接”。或者,可以表现为“X通过晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置”。通过使用与这种例子相同的表现方法规定电路结构中的连接顺序,可以区分晶体管的源极(或第一端子等)与漏极(或第二端子等)而决定技术范围。注意,这种表现方法是一个例子,不局限于上述表现方法。在此,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0028] 此外,即使在电路图上独立的构成要素彼此电连接,也有时一个构成要素兼有多个构成要素的功能。例如,在布线的一部分用作电极时,一个导电膜兼有布线和电极的两个构成要素的功能。因此,本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0029] 在本说明书等中,“电阻器”例如可以使用具有高于 $0\ \Omega$ 的电阻值的电路元件、布线等。因此,在本说明书等中,“电阻器”包括具有电阻值的布线、电流流过源极和漏极之间的晶体管、二极管、线圈等。因此,“电阻器”也可以被称为“电阻”、“负载”、“具有电阻值的区域”等,与此相反,“电阻”、“负载”、“具有电阻值的区域”也可以被称为“电阻器”等。作为电阻值,例如优选为 $1\text{m}\ \Omega$ 以上且 $10\ \Omega$ 以下,更优选为 $5\text{m}\ \Omega$ 以上且 $5\ \Omega$ 以下,进一步优选为 $10\text{m}\ \Omega$ 以上且 $1\ \Omega$ 以下。此外,例如也可以为 $1\ \Omega$ 以上且 $1\times 10^9\ \Omega$ 以下。

[0030] 在将布线用于电阻器的情况下,电阻值有时取决于该布线的长度。或者,有时将具有与被用作布线的导电体不同的电阻率的导电体用于电阻器。或者,电阻值有时通过对半导体掺杂杂质而决定。

[0031] 在本说明书等中,“电容器”例如包括具有高于 $0\text{F}$ 的静电电容值的电路元件、具有高于 $0\text{F}$ 的静电电容值的布线的区域、寄生电容、晶体管的栅极电容等。因此,在本说明书等中,“电容器”除包括具有一对电极及在该电极之间的介电体的电路元件外还包括产生在布线和布线之间的寄生电容、产生在晶体管的源极和漏极中的一个与栅极之间栅极电容等。“电容器”、“寄生电容”、“栅极电容”等也可以称为“电容”等,与此相反,“电容”也可以称为“电容器”、“寄生电容”、“栅极电容”等。此外,“电容”的“一对电极”也可以称为“一对导电

体”、“一对导电区域”、“一对区域”等。静电电容值例如可以为0.05fF以上且10pF以下。此外,例如,还可以为1pF以上且10μF以下。

[0032] 在本说明书等中,晶体管包括栅极、源极以及漏极这三个端子。栅极用作控制晶体管的导通状态的控制端子。用作源极或漏极的两个端子是晶体管的输入输出端子。根据晶体管的导电型(n沟道型、p沟道型)及对晶体管的三个端子施加的电位的高低,两个输入输出端子中的一个用作源极而另一个用作漏极。因此,在本说明书等中,源极和漏极可以相互调换。在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。此外,根据晶体管的结构,有时除了上述三个端子以外还包括背栅极。在此情况下,在本说明书等中,有时将晶体管的栅极和背栅极中的一个称为第一栅极,将晶体管的栅极和背栅极的另一个称为第二栅极。并且,在相同晶体管中,有时可以将“栅极”与“背栅极”相互调换。此外,在晶体管包括三个以上的栅极时,在本说明书等中,有时将各栅极称为第一栅极、第二栅极、第三栅极等。

[0033] 此外,在本说明书等中,“节点”也可以根据电路结构或器件结构等称为端子、布线、电极、导电层、导电体或杂质区域等。此外,端子、布线等也可以称为“节点”。

[0034] 此外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。接地电位不一定意味着0V。此外,电位是相对性的,根据基准电位的变化而供应到布线的电位、施加到电路等的电位、从电路等输出的电位等也产生变化。

[0035] 此外,在本说明书等中,“高电平电位(也称为“H电位”或“H”)”、“低电平电位(也称为“L电位”或“L”)”并不意味着特定的电位。例如,在两个布线都被记为“用作供应高电平电位的布线”的情况下,两个布线所供应的高电平电位也可以互不相同。同样,在两个布线都被记为“用作供应低电平电位的布线”的情况下,两个布线所供应的低电平电位也可以互不相同。

[0036] “电流”是指电荷的迁移现象(导电),例如,“发生正带电体的导电”的记载可以替换为“在与其相反方向上发生负带电体的导电”的记载。因此,在本说明书等中,在没有特别的说明的情况下,“电流”是指载流子迁移时的电荷的迁移现象(导电)。在此,作为载流子可以举出电子、空穴、阴离子、阳离子、络离子等,载流子根据电流流过的系统(例如,半导体、金属、电解液、真空中等)不同。此外,布线等中的“电流的方向”是正载流子迁移的方向,以正电流量记载。换言之,负载流子迁移的方向与电流方向相反,以负电流量记载。因此,在本说明书等中,在没有特别的说明的情况下,关于电流的正负(或电流的方向),“电流从元件A向元件B流过”等记载可以替换为“电流从元件B向元件A流过”等记载。此外,“对元件A输入电流”等记载可以替换为“从元件A输出电流”等记载。

[0037] 此外,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。此外,例如,本说明书等的实施方式之一中附有“第一”的构成要素有可能在其他的实施方式或权利要求书等中附有“第二”的构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书等中被省略。

[0038] 在本说明书中,为了方便起见,有时使用“上”、“下”、“上方”或“下方”等表示配置

的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书等中所说明的词句,根据情况可以适当地换词句。例如,在“位于导电体的顶面的绝缘体”的表述中,通过将所示的附图的方向旋转180度,也可以称为“位于导电体的下面的绝缘体”。

[0039] 此外,“上”或“下”这样的术语不限于构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,如果是“绝缘层A上的电极B”的表述,则不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A及电极B之间包括其他构成要素的情况。

[0040] 此外,在本说明书等中,根据状况,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。此外,根据情况或状态,可以使用其他词句代替“膜”和“层”等词句。例如,有时可以将“导电层”或“导电膜”变换为“导电体”。此外,例如有时可以将“绝缘层”或“绝缘膜”变换为“绝缘体”。

[0041] 注意,在本说明书等中,“电极”、“布线”、“端子”等的词句不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。此外,例如,有时将“端子”用作“布线”或“电极”的一部分,反之亦然。再者,“端子”的词句包括多个“电极”、“布线”、“端子”等被形成为一体的情况等。因此,例如,“电极”可以为“布线”或“端子”的一部分,例如,“端子”可以为“布线”或“电极”的一部分。此外,“电极”、“布线”、“端子”等的词句有时置换为“区域”等的词句。

[0042] 在本说明书等中,根据情况或状态,可以互相调换“布线”、“信号线”及“电源线”等词句。例如,有时可以将“布线”改变为“信号线”。此外,例如有时可以将“布线”改变为“电源线”。反之亦然,有时可以将“信号线”或“电源线”改变为“布线”。有时可以将“电源线”改变为“信号线”。反之亦然,有时可以将“信号线”改变为“电源线”。此外,根据情况或状态,可以互相将施加到布线的“电位”改变为“信号”。反之亦然,有时可以将“信号”改变为“电位”。

[0043] 在本说明书等中,半导体的杂质是指构成半导体膜的主要成分之外的物质。例如,浓度低于0.1atomic%的元素是杂质。当包含杂质时,例如,半导体中的缺陷态密度有可能提高,载流子迁移率有可能降低或结晶性有可能降低。在半导体是氧化物半导体时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的过渡金属等,尤其是,例如有氢(也包含于水中)、锂、钠、硅、硼、磷、碳、氮等。具体而言,当半导体是硅层时,作为改变半导体特性的杂质,例如有氧、除氢之外的第1族元素、第2族元素、第13族元素、第15族元素等。

[0044] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。作为开关的一个例子,可以使用电开关或机械开关等。换言之,开关只要可以控制电流,就不局限于特定的元件。

[0045] 电开关的例子包括晶体管(例如双极晶体管或MOS晶体管)、二极管(例如PN二极管、PIN二极管、肖特基二极管、金属-绝缘体-金属(MIM)二极管、金属-绝缘体-半导体(MIS)二极管或者二极管接法的晶体管)或者组合这些元件的逻辑电路等。当作为开关使用晶体管时,晶体管的“导通状态”是指晶体管的源电极与漏电极在电性上短路的状态。此外,晶体管的“非导通状态”是指晶体管的源电极与漏电极在电性上断开的状态。当将晶体管仅用作开关时,对晶体管的极性(导电型)没有特别的限制。

[0046] 作为机械开关的例子,可以举出利用了MEMS (Micro Electro Mechanical Systems:微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过移动该电极来控制导通和非导通而进行工作。

[0047] 在本说明书等中,“平行”是指两条直线形成的角度为 $-10^{\circ}$ 以上且 $10^{\circ}$ 以下的状态。因此,也包括该角度为 $-5^{\circ}$ 以上且 $5^{\circ}$ 以下的状态。此外,“大致平行”是指两条直线形成的角度为 $-30^{\circ}$ 以上且 $30^{\circ}$ 以下的状态。此外,“垂直”是指两条直线形成的角度为 $80^{\circ}$ 以上且 $100^{\circ}$ 以下的状态。因此,也包括该角度为 $85^{\circ}$ 以上且 $95^{\circ}$ 以下的状态。此外,“大致垂直”是指两条直线形成的角度为 $60^{\circ}$ 以上且 $120^{\circ}$ 以下的状态。

[0048] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的半导体层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物能够构成具有放大作用、整流作用及开关作用中的至少一个的晶体管的沟道形成区域时,可以将该金属氧化物称为金属氧化物半导体(metal oxide semiconductor)。此外,也可以将“OS晶体管”称为包含金属氧化物或氧化物半导体的晶体管。

[0049] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0050] 此外,在本说明书等中,各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个方式。此外,当在一个实施方式中示出多个结构例子时,可以适当地组合这些结构例子。

[0051] 参照附图说明本说明书所记载的实施方式。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。注意,在实施方式中的发明的结构中,有时在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略反复说明。在立体图或俯视图等中,为了明确起见,有时省略部分构成要素的图示。

[0052] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸或纵横比。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0053] 在本说明书等中,在多个要素使用同一符号并且需要区分它们时,有时对符号的后面附加“A”、“a”、“\_1”、“[i]”、“[m,n]”等用于识别的文字。例如,有时将两个布线A中的一个记为布线A[1],并将另一个记为布线A[2]。

[0054] (实施方式1)

首先,说明包括存储单元10(也称为“存储元件”)的半导体装置100的结构例子。

[0055] 图1A是示出本发明的一个方式的半导体装置100的结构例子的方框图。图1A所示的半导体装置100包括驱动电路21及存储阵列20。存储阵列20包括多个存储单元10。图1A示出存储阵列20包括配置为m行n列(m及n为2以上的整数。)的矩阵状的多个存储单元10的例子。

[0056] 此外,行、列延伸在彼此正交的方向上。在本实施方式中,将X方向(沿着X轴的方向)设定为“行”且将Y方向(沿着Y轴的方向)设定为“列”,但是也可以将X方向设定为“列”且将Y方向设定为“行”。

[0057] 在图1A中,将第一行第一列存储单元10表示为存储单元10[1,1],将第m行第n列存储单元10表示为存储单元10[m,n]。此外,在本实施方式等中,有时记作“i行”来表示任意行。此外,有时记作“j列”来表示任意列。因此,i为1以上且m以下的整数,j为1以上且n以下的整数。此外,在本实施方式等中,将第i行第j列存储单元10表示为存储单元10[i,j]。在本实施方式等中,当表示为“i+ $\alpha$ ”(  $\alpha$  为正整数或负整数)时,“i+ $\alpha$ ”不小于1且不大于m。同样,当表示为“j+ $\alpha$ ”时,“j+ $\alpha$ ”不小于1且不大于n。

[0058] 此外,存储阵列20包括延伸在行方向上的m个布线WL、延伸在行方向上的m个布线PL以及延伸在列方向上的n个布线BL。在本实施方式等中,将第一个(第一行)设置的布线WL表示为布线WL[1],将第m个(第m行)设置的布线WL表示为布线WL[m]。同样地,将第一个(第一行)设置的布线PL表示为布线PL[1],将第m个(第m行)设置的布线PL表示为布线PL[m]。同样地,将第一个(第一列)设置的布线BL表示为布线BL[1],将第n个(第n列)设置的布线BL表示为布线BL[n]。

[0059] 设置在第i行的多个存储单元10与第i行布线WL(布线WL[i])和第i行布线PL(布线PL[i])电连接。设置在第j列的多个存储单元10与第j列布线BL(布线BL[j])电连接。

[0060] 驱动电路21包括PSW22(功率开关)、PSW23及外围电路31。外围电路31包括外围电路41、控制电路32(Control Circuit)及电压生成电路33。

[0061] 在半导体装置100中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、CE、GW、CLK、WAKE、ADDR、WDA、PON1、PON2为从外部输入的信号,信号RDA为输出到外部的信号。信号CLK为时钟信号。

[0062] 此外,信号BW、CE及信号GW是控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以在控制电路32中生成。

[0063] 控制电路32为具有控制半导体装置100的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定半导体装置100的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0064] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当作为信号WAKE供应H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0065] 外围电路41是用来对存储单元10进行数据的写入及读出的电路。外围电路41包括行译码器42(Row Decoder)、列译码器44(Column Decoder)、行驱动器43(Row Driver)、列驱动器45(Column Driver)、输入电路47(Input Cir.)、输出电路48(Output Cir.)及读出放大器46(Sense Amplifier)。

[0066] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要访问行的电路,列译码器44是用来指定要访问列的电路。行驱动器43具有选择连接到由行译码器42指定的布线WL的功能。列驱动器45具有如下功能:将数据写入到存储单元10

的功能;从存储单元10读出数据的功能;保持所读出的数据的功能等。

[0067] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据输出到列驱动器45。输入电路47的输出数据是写入存储单元10的数据(Din)。列驱动器45从存储单元10读出的数据(Dout)输出到输出电路48。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到半导体装置100的外部的功能。从输出电路48输出的数据为信号RDA。

[0068] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,半导体装置100的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1控制PSW22的开启/关闭,利用信号PON2控制PSW23的开启/关闭。在图1A中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,对各电源域设置功率开关即可。

[0069] 驱动电路21及存储阵列20也可以设置在同一平面上。此外,如图1B所示,驱动电路21与存储阵列20也可以重叠。通过使驱动电路21与存储阵列20重叠,可以缩短信号传输距离。此外,可以实现半导体装置100的小型化。

[0070] <存储单元的结构例子1>

接着,说明存储单元10的结构例子。图2示出相邻的两个存储单元10(存储单元10a及存储单元10b)的结构例子。图2A是示出相邻的两个存储单元10的电路结构例子的图。

[0071] 存储单元10a包括晶体管120a及电容器130a。存储单元10b包括晶体管120b及电容器130b。晶体管120a的源极及漏极中的一个与布线BL1电连接,另一个与电容器130a的一个电极电连接。晶体管120a的栅极与布线WL1电连接,电容器130a的另一个电极与布线PL1电连接。晶体管120b的源极及漏极中的一个与布线BL1电连接,另一个与电容器130b的一个电极电连接。晶体管120b的栅极与布线WL2电连接,电容器130b的另一个电极与布线PL2电连接。

[0072] 例如,在存储单元10a为存储单元10[i,j]的情况下,可以将存储单元10b表示为存储单元10[i+1,j]。此外,在布线WL1为布线WL[i]的情况下,可以将布线WL2表示为布线WL[i+1]。此外,可以将布线BL1表示为布线BL[j]。

[0073] 此外,在布线PL1为布线PL[i]的情况下,可以将布线PL2表示为布线PL[i+1]。此外,布线PL优选被供应恒定电位。此外,在本实施方式等中,布线PL沿着X轴延伸,但是不局限于此。例如,布线PL也可以沿着Y轴延伸。布线PL1与布线PL2也可以电连接。

[0074] 作为构成电容器130(电容器130a及电容器130b等)的介电体,使用可具有铁电性的材料。电容器130被用作铁电电容器。

[0075] 作为可具有铁电性的材料,例如优选使用氧化铪。此外,作为可具有铁电性的材料,可以使用如氧化锆、 $\text{HfZrO}_x$ (X为大于0的实数,以下简称为 $\text{HfZrO}_x$ )等金属氧化物。此外,作为可具有铁电性的材料,可以使用对氧化铪添加元素J1(在此,元素J1为选自锆(Zr)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等中的一个或多个)的材料。在此,可以适当地设定铪原子与元素J1的原子个数比,例如,可以将铪原子与元素J1的原子个数比设定为1:1或其附近。此外,作为可具有铁电性的材料,可以使用对氧化锆添加元素J2(在此,元素J2为选自铪(Hf)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等中的一个或多个)的材料等。此外,可以适当地设定锆原子与元素J2的原子个数比,例如,可以将锆原子与元素J2的原子个数比设定为1:1或其附近。此外,作为可具有铁电性的材料,也可以使用钛酸铅( $\text{PbTiO}_x$ )、

钛酸钡锶(BST)、钛酸锶、锆钛酸铅(PZT)、铌酸锶铋(SBT)、铁酸铋(BFO)、钛酸钡等具有钙钛矿结构的压电陶瓷。

[0076] 此外,作为可具有铁电性的材料,可以使用氮化铝铪( $\text{Al}_{1-a}\text{Sc}_a\text{N}_b$  (a为大于0且小于0.5的实数,b为1或其附近的值,以下简称为AlScN))、Al-Ga-Sc氮化物、Ga-Sc氮化物等。此外,作为可具有铁电性的材料,可以使用包含元素M1、元素M2及氮的金属氮化物。在此,元素M1为选自铝(Al)、镓(Ga)、铟(In)等中的一个或多个。此外,元素M2为选自硼(B)、铪(Sc)、钇(Y)、镧系元素(镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钷(Pm)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)以及镱(Lu))、锕系元素(锕(Ac)至镅(Lr)的十五个元素)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)等中的一个或多个。此外,可以适当地设定元素M1与元素M2的原子个数比。此外,包含元素M1及氮的金属氧化物即便不包含元素M2也有时具有铁电性。此外,作为可具有铁电性的材料,可以使用对上述金属氮化物添加元素M3的材料。注意,元素M3为选自镁(Mg)、钙(Ca)、锶(Sr)、锌(Zn)、镉(Cd)等中的一个或多个。在此,可以适当地设定元素M1、元素M2、元素M3的原子个数比。注意,因为上述金属氮化物至少包含第13族元素和第15族元素的氮,所以有时将该金属氮化物称为III族-V族铁电体、III族氮化物的铁电体等。

[0077] 此外,作为可具有铁电性的材料,可以使用 $\text{SrTaO}_2\text{N}$ 、 $\text{BaTaO}_2\text{N}$ 等钙钛矿型氧氮化物、 $\kappa$ 型氧化铝的 $\text{GaFeO}_3$ 等。

[0078] 此外,作为可具有铁电性的材料,例如,可以使用由选自上述材料中的多个材料构成的混合物或化合物。此外,可具有铁电性的材料可以具有由选自上述材料中的多个材料构成的叠层结构。注意,上述所列举的材料们的结晶结构或特性可能不仅根据沉积条件而且还根据各种工序等而发生变化,由此在本说明书等中,呈现铁电性的材料不仅被称为铁电体,而且还被称为“可具有铁电性的材料”或“赋予铁电性的材料”。

[0079] 尤其是,作为可具有铁电性的材料,优选使用氧化铪或包含氧化铪及氧化锆的材料(典型为 $\text{HfZrO}_x$ ),因为它们即使被加工为几nm的薄膜也可具有铁电性。

[0080] 此外,作为可具有铁电性的材料,氮化铝铪(AlScN)可以通过溅射法形成,并可以降低膜中的杂质浓度或者可以形成致密的膜,因此是优选的。在使用氮化铝铪(AlScN)作为可具有铁电性的材料的情况下,可以期待形成可靠性高的膜。

[0081] 此外,可具有铁电性的材料的厚度可以为100nm以下,优选为50nm以下,更优选为20nm以下,进一步优选为10nm以下(典型的是,2nm以上且9nm以下)。例如,厚度优选为8nm以上且12nm以下。通过将可具有铁电性的材料的厚度设定为上述厚度,可以实现薄膜化和铁电性的呈现。通过使用可以被薄膜化的铁电体层,可以将该铁电体层夹在电容器的一对电极之间,并且可以将该电容器与被微型化了的晶体管等半导体元件组合来形成半导体装置。换言之,可以容易实现一种缩小占有面积的半导体装置。在本说明书等中,形成为层状的可具有铁电性的材料有时被称为铁电体层、金属氧化物膜或金属氮化物膜。此外,在本说明书等中,有时将包括铁电体层、金属氧化物膜或金属氮化物膜的装置称为铁电体器件。

[0082] 此外,当作为可具有铁电性的材料使用 $\text{HfZrO}_x$ 时,优选通过原子层沉积(ALD: Atomic Layer Deposition)法,尤其优选通过热ALD(Thermal ALD)法进行沉积。此外,当通过热ALD法沉积可具有铁电性的材料时,优选作为前驱物使用不包含碳氢(Hydro Carbon,也称为HC)的材料。当可具有铁电性的材料包含氢和碳中的一方或双方时,可具有铁电性的

材料的晶化有时被阻挡。因此,优选的是,如上所述,通过使用不包含碳氢的前驱物来降低可具有铁电性的材料中的氢和碳中的一方或双方的浓度。例如,作为不包含碳氢的前驱物可以举出氯类材料。此外,当作为可具有铁电性的材料使用包含氧化铪及氧化锆的材料( $\text{HfZrO}_x$ )时,作为前驱物使用 $\text{HfCl}_4$ 及/或 $\text{ZrCl}_4$ 即可。另一方面,也可以对可具有铁电性的材料添加用来控制极化状态的掺杂剂(典型的是硅、碳等)。在此情况下,作为添加碳作为掺杂剂的方法之一,也可以采用作为前驱物使用包含碳氢的材料的形成方法。

[0083] 此外,当形成使用可具有铁电性的材料的膜时,通过彻底排除膜中的杂质,这里是指氢、碳氢和碳中的一个以上,可以形成高纯度本征的具有铁电性的膜。高纯度本征的具有铁电性的膜与后面的实施方式所示的高纯度本征的氧化物半导体之间的制造工艺整合性非常高。因此,可以提供一种生产率高的半导体装置的制造方法。

[0084] 此外,可具有铁电性的材料的杂质浓度优选低。尤其是,氢(H)及碳(C)的浓度越低越好。具体而言,可具有铁电性的材料的氢浓度优选为 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下,更优选为 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下。此外,可具有铁电性的材料的碳浓度优选为 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下,更优选为 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下。

[0085] 此外,当作为可具有铁电性的材料使用 $\text{HfZrO}_x$ 时,优选通过热ALD法以具有1:1的组成的方式交替沉积氧化铪和氧化锆。

[0086] 此外,当通过热ALD法沉积可具有铁电性的材料时,作为氧化剂可以使用 $\text{H}_2\text{O}$ 或 $\text{O}_3$ 。注意,热ALD法中的氧化剂不局限于此。例如,作为热ALD法中的氧化剂,也可以包含选自 $\text{O}_2$ 、 $\text{O}_3$ 、 $\text{N}_2\text{O}$ 、 $\text{NO}_2$ 、 $\text{H}_2\text{O}$ 和 $\text{H}_2\text{O}_2$ 中的任一个或多个。

[0087] 此外,对可具有铁电性的材料的结晶结构没有特别的限制。例如,作为可具有铁电性的材料的结晶结构具有等轴晶系、四方晶系、正交晶系和单斜晶系中的任一个或多个即可。尤其是,当可具有铁电性的材料具有正交晶系结晶结构时呈现铁电性,所以是优选的。此外,也可以在形成可具有铁电性的材料之前形成提高结晶性的层。例如,当作为可具有铁电性的材料使用 $\text{HfZrO}_x$ 时,作为提高结晶性的层,可以使用氧化铪或氧化锆等金属氧化物、铪或锆。此外,当作为可具有铁电性的材料使用 $\text{AlScN}$ 时,作为提高结晶性的层,优选使用氮化铝或氮化钪等金属氮化物,或者,优选使用铝或钪。此外,也可以在形成可具有铁电性的材料之后形成提高结晶性的层。或者,作为可具有铁电性的材料也可以采用具有非晶结构和结晶结构的复合结构。

[0088] 铁电体有时具有滞后特性。图8是示出滞后特性的一个例子的图。滞后特性可以使用将铁电层用作介电层的电容器(铁电电容器)测量。在图8中,横轴表示施加到铁电层的电压(电场)。该电压是指将铁电层用作介电层的电容器的一个电极与另一个电极的电位差。此外,该电位差除以铁电层的厚度时可以得到电场强度。

[0089] 在图8中,纵轴表示铁电层的极化。在极化为正时,铁电层中的正电荷偏于电容器的一个电极一侧,负电荷偏于电容器的另一个电极一侧。另一方面,在极化为负时,铁电层中的负电荷偏于电容器的一个电极一侧,正电荷偏于电容器的另一个电极一侧。

[0090] 此外,图8的图表的纵轴所示的极化在负电荷偏于电容器的一个电极一侧且正电荷偏于电容器的另一个电极一侧时也可以为正并且在正电荷偏于电容器的一个电极一侧且负电荷偏于电容器的另一个电极一侧时也可以为负。

[0091] 如图8所示,铁电层的滞后特性可以以曲线51及曲线52表示。将曲线51与曲线52的

两个交点的各电压称为饱和极化电压VSP及饱和极化电压-VSP。可以说,VSP和-VSP的极性不同。

[0092] 在对铁电层施加-VSP以下的电压之后提高施加到铁电层的电压时,铁电层的极化根据曲线51增加。另一方面,在对铁电层施加VSP以上的电压之后降低施加到铁电层的电压时,铁电层的极化根据曲线52减少。注意,有时将VSP称为“正的饱和极化电压”或“第一饱和极化电压”,将-VSP称为“负的饱和极化电压”或“第二饱和极化电压”。第一饱和极化电压的绝对值及第二饱和极化电压的绝对值既可以相同又可以不同。

[0093] 在此,将在铁电层的极化根据曲线51变化时的极化为0的电压称为矫顽电压Vc。此外,将在铁电层的极化根据曲线52变化时的极化为0的电压称为矫顽电压-Vc。Vc的值及-Vc的值为-VSP与VSP之间的值。注意,有时将Vc称为“正的矫顽电压”或“第一矫顽电压”且将-Vc称为“负的矫顽电压”或“第二矫顽电压”。第一矫顽电压的绝对值及第二矫顽电压的绝对值既可以相同又可以不同。

[0094] 此外,不对铁电层施加电压时(电压为0V时)的极化的最大值被称为“剩余极化Pr”,最小值被称为“剩余极化-Pr”。此外,剩余极化Pr与剩余极化-Pr之差的绝对值被称为“剩余极化2Pr”。剩余极化2Pr越大,由于极化反转的阈值电压的变动幅度增大。因此,剩余极化2Pr越大越好。

[0095] 存储单元10包括作为铁电电容器的电容器130及晶体管120,并具有利用因电容器130的极化反转而改变的电容值存储信息的功能。存储单元10被用作铁电存储器。由一个晶体管及一个铁电电容器构成的存储单元也被称为1T1F型存储单元。

[0096] 作为晶体管120(晶体管120a及晶体管120b等)的形成沟道的半导体层,可以使用单晶半导体、多晶半导体、微晶半导体或非晶半导体等的单体或组合。作为半导体材料,例如可以使用硅或锗等。此外,也可以使用硅锗、碳化硅、砷化镓、氧化物半导体、氮化物半导体等化合物半导体。

[0097] 此外,晶体管120优选为在形成沟道的半导体层中包含作为金属氧化物的一种的氧化物半导体的晶体管(也被称为“OS晶体管”)。氧化物半导体的带隙为2eV以上,由此关态电流(off-state current)极少。因此,可以降低存储单元10的功耗。因此可以降低包括存储单元10的半导体装置100的功耗。

[0098] 此外,包括OS晶体管的存储单元可以被称为“OS存储器”。此外,包括该存储单元的半导体装置100也被称为“OS存储器”。

[0099] 此外,OS晶体管即使在高温环境下也稳定地工作,特性变动较少。例如,即使在高温环境下,关态电流也几乎不增加。具体而言,即使在室温以上且200℃以下的环境温度下,关态电流也几乎不增加。此外,即使在高温环境下,OS晶体管的通态电流也不容易下降。因此,OS存储器即使在高温环境下也稳定地工作并具有高可靠性。

[0100] 此外,在OS晶体管中,源极与漏极间的绝缘耐压高。通过将晶体管120用于OS晶体管,即使减小晶体管120的沟道长度,可以将使极化反转所需的电压供应到电容器130。因此,可以缩小存储单元10的占有面积。由此,可以提高半导体装置的存储容量及/或存储密度。

[0101] 图2B是示出相邻的两个存储单元10的结构例子的立体图。注意,有时在附图等中附上表示X方向(沿着X轴的方向)、Y方向(沿着Y轴的方向)以及Z方向(沿着Z轴的方向)的箭

头。注意,在本说明书等中,“X方向”是指沿着X轴的方向,有时不区别其顺向及逆向。关于“Y方向”及“Z方向”也是同样的。此外,X方向、Y方向以及Z方向是彼此交叉的方向。更具体而言,X方向、Y方向以及Z方向是彼此正交的方向。在本说明书等中,有时将X方向、Y方向以及Z方向中的一个称为“第一方向”。此外,有时将另一个称为“第二方向”。此外,有时将剩下的一个称为“第三方向”。在图2等中,布线WL延伸的方向为X方向,布线BL延伸的方向为Y方向。

[0102] 图2C是示出图2B所示的结构例子的俯视图。此外,图2D是在X方向上看图2B所示的结构例子的图(正视图)。在图2所示的结构例子中,两个存储单元10设置在晶体管层151、第一电容层152以及第二电容层153中。第一电容层152设置在晶体管层151上,并且第二电容层153设置在第一电容层152上。

[0103] 此外,晶体管120a及晶体管120b设置在晶体管层151中。电容器130b设置在第一电容层152中。电容器130a设置在第二电容层153中。

[0104] 图3A是在Z方向上看晶体管层151时的俯视图。图3B是在Z方向上看第一电容层152时的俯视图。图3C是在Z方向上看第二电容层153时的俯视图。

[0105] 半导体Sem1与布线WL1重叠的区域被用作晶体管120a的沟道形成区域。此外,半导体Sem1与布线WL2重叠的区域被用作晶体管120b的沟道形成区域。半导体Sem1中的不与布线WL1重叠也不与布线WL2重叠的区域被用作源极或漏极。因此,布线WL1被用作晶体管120a的栅极。布线WL2被用作晶体管120b的栅极。

[0106] 晶体管120a及晶体管120b各自的源极及漏极中的一个通过导电体141电连接于布线BL1。晶体管120a的源极及漏极中的另一个通过导电体142a电连接于电容器130a。晶体管120b的源极及漏极中的另一个通过导电体142b电连接于电容器130b。

[0107] 此外,电容器130a通过导电体143a电连接于布线PL1。电容器130b通过导电体143b电连接于布线PL2。

[0108] 如图2B至图2D所示,电容器130a及电容器130b以彼此重叠的方式设置在不同的层中。也就是说,当从Z方向看时,电容器130a及电容器130b包括彼此重叠的区域。通过在晶体管120a及晶体管120b上方以彼此重叠的方式设置电容器130a及电容器130b,可以增加电容器130的面积而不增加存储单元10的占有面积。

[0109] 例如,在图2所示的结构例子中,存储单元10a及存储单元10b在Y方向上相邻,由此电容器130a及电容器130b可以在Y方向上延伸。因此,可以以不降低存储单元10的集成度的方式提高存储单元10的可靠性。因此,可以提高包括存储单元10的存储装置的可靠性。

[0110] 此外,电容器130a的剩余极化与电容器130b的剩余极化优选相等。通过使剩余极化一致,可以减少存储单元间的写入特性及读出特性的不均匀,从而可以实现功耗的降低及可靠性的提高等。

[0111] 此外,电容器130a的电容值与电容器130b的电容值优选相等。通过使电容值相等,可以减少存储单元间的特性不均匀,从而可以实现功耗的降低及可靠性的提高等。

[0112] <存储单元的结构例子2>

作为存储单元的结构例子1,示出将电容器130层叠为两层的结构,但是本发明的一个方式不局限于此。图4及图5示出将相邻的四个存储单元10的电容器130层叠为三层的结构例子。

[0113] 图4示出相邻的四个存储单元10(存储单元10a、存储单元10b、存储单元10c以及存

储单元10d)的结构例子。图4A是示出相邻的四个存储单元10的结构例子的立体图。此外,图4B是在X方向上看图4A所示的结构例子的图(正视图)。图4C是示出相邻的四个存储单元10的电路结构例子的图。

[0114] 在图4C中,存储单元10a及存储单元10b的电路结构与参照图2A说明的电路结构相同。存储单元10c包括晶体管120c及电容器130c。存储单元10d包括晶体管120d及电容器130d。晶体管120c的源极及漏极中的一个与布线BL2电连接,另一个与电容器130c的一个电极电连接。晶体管120c的栅极与布线WL1电连接,电容器130c的另一个电极与布线PL3电连接。晶体管120d的源极及漏极中的一个与布线BL2电连接,另一个与电容器130d的一个电极电连接。晶体管120d的栅极与布线WL2电连接,电容器130d的另一个电极与布线PL4电连接。

[0115] 例如,在存储单元10a为存储单元10[i,j]的情况下,可以将存储单元10b表示为存储单元10[i+1,j]。此外,可以将存储单元10c表示为存储单元10[i,j+1]。此外,可以将存储单元10d表示为存储单元10[i+1,j+1]。此外,在布线WL1为布线WL[i]的情况下,可以将布线WL2表示为布线WL[i+1]。此外,在布线BL1为布线BL[j]的情况下,可以将布线BL2表示为布线BL[j+1]。此外,布线PL1、布线PL2、布线PL3以及布线PL4也可以电连接。

[0116] 在图4A及图4B所示的结构例子中,四个存储单元10所包括的晶体管120设置在晶体管层151中,电容器130设置在第一电容层152、第二电容层153以及第三电容层154中的任意层中。第一电容层152设置在晶体管层151上,第二电容层153设置在第一电容层152上,并且第三电容层154设置在第二电容层153上。

[0117] 更具体而言,晶体管120a、晶体管120b、晶体管120c以及晶体管120d设置在晶体管层151中。此外,电容器130b设置在第一电容层152中。电容器130a设置在第二电容层153中。电容器130c及电容器130d设置在第三电容层154中。

[0118] 此外,虽然在图4中未图示,但是电容器130a至电容器130d设置在绝缘体(绝缘层)上。此外,电容器130c及电容器130d设置在同一绝缘层上,并且电容器130a及电容器130b设置在不同的绝缘层上。

[0119] 图5A是在Z方向上看晶体管层151时的俯视图。图5B是在Z方向上看第一电容层152时的俯视图。图5C是在Z方向上看第二电容层153时的俯视图。图5D是在Z方向上看第三电容层154时的俯视图。

[0120] 半导体Sem1与布线WL1重叠的区域被用作晶体管120a的沟道形成区域。此外,半导体Sem1与布线WL2重叠的区域被用作晶体管120b的沟道形成区域。半导体Sem1中的不与布线WL1重叠也不与布线WL2重叠的区域被用作源极或漏极。因此,布线WL1被用作晶体管120a的栅极。布线WL2被用作晶体管120b的栅极。

[0121] 半导体Sem2与布线WL1重叠的区域被用作晶体管120c的沟道形成区域。此外,半导体Sem2与布线WL2重叠的区域被用作晶体管120d的沟道形成区域。半导体Sem2中的不与布线WL1重叠也不与布线WL2重叠的区域被用作源极或漏极。因此,布线WL1被用作晶体管120c的栅极。布线WL2被用作晶体管120d的栅极。

[0122] 晶体管120a及晶体管120b各自的源极及漏极中的一个通过导电体141a电连接于布线BL1。晶体管120a的源极及漏极中的另一个通过导电体142a电连接于电容器130a。晶体管120b的源极及漏极中的另一个通过导电体142b电连接于电容器130b。

[0123] 此外,电容器130a通过导电体143a电连接于布线PL1。电容器130b通过导电体143b

电连接于布线PL2。

[0124] 晶体管120c及晶体管120d各自的源极及漏极中的一个通过导电体141b电连接于布线BL2。晶体管120a的源极及漏极中的另一个通过导电体142c电连接于电容器130c。晶体管120d的源极及漏极中的另一个通过导电体142d电连接于电容器130d。

[0125] 此外,电容器130c通过导电体143c电连接于布线PL3。电容器130d通过导电体143d电连接于布线PL4。

[0126] 如图4及图5所示,通过层叠存储单元10a、存储单元10b、存储单元10c以及存储单元10d各自的电容器,可以增加电容器的面积。在存储单元的结构例子1中可以在Y方向上扩大电容器130,但是在存储单元的结构例子2所公开的结构中不仅可以在Y方向上而且还可以在X方向上扩大电容器130。因此,与存储单元的结构例子1所公开的结构相比,存储单元的结构例子2所公开的结构可以进一步增加电容器130的面积。

[0127] 此外,在存储单元的结构例子2中,将四个电容器130设置在第一至第三电容层中。由此,四个电容器130中的两个电容器130(电容器130c及电容器130d)设置在同一电容层中。

[0128] 因此,在存储单元的结构例子2中,在从Z方向看时,四个电容器130中的三个电容器130包括彼此重叠的区域。图5E是从第三电容层154一侧在Z方向上看四个电容器130的图。在区域901中,电容器130a、电容器130b以及电容器130c各自的一部分重叠。在区域902中,电容器130a、电容器130b以及电容器130d各自的一部分重叠。

[0129] 与存储单元的结构例子1所公开的结构相比,存储单元的结构例子2所公开的结构可以增加电容器130的面积。因此,可以进一步提高存储装置的可靠性。

[0130] <存储单元的结构例子3>

图6及图7示出将相邻的四个存储单元10的电容器130层叠为四层的结构例子。为了避免重复说明,主要对与上述结构例子不同之处进行说明。

[0131] 图6示出相邻的四个存储单元10(存储单元10a、存储单元10b、存储单元10c以及存储单元10d)的结构例子。图6A是示出相邻的四个存储单元10的结构例子的立体图。此外,图6B是在X方向上看图6A所示的结构例子的图(正视图)。图6C是示出相邻的四个存储单元10的电路结构例子的图。

[0132] 图6C所示的电路结构例子与图4C所示的电路结构例子大致相同,但是不同之处在于:在图6C所示的电路结构例子中,电容器130c的另一个电极与布线PL1电连接,并且电容器130d的另一个电极与布线PL2电连接。

[0133] 在图6A及图6B所示的结构例子中,四个存储单元10所包括的晶体管120设置在晶体管层151中,电容器130设置在第一电容层152、第二电容层153、第三电容层154以及第四电容层155中的任意层中。第一电容层152设置在晶体管层151上,第二电容层153设置在第一电容层152上,第三电容层154设置在第二电容层153上,并且第四电容层155设置在第三电容层154上。

[0134] 更具体而言,晶体管120a、晶体管120b、晶体管120c以及晶体管120d设置在晶体管层151中。电容器130b设置在第一电容层152中。电容器130a设置在第二电容层153中。电容器130d设置在第三电容层154中。电容器130c设置在第四电容层155中。

[0135] 此外,虽然在图6中未图示,但是电容器130a至电容器130d设置在分别不同的绝缘

体(绝缘层)上。

[0136] 图7A是在Z方向上看晶体管层151时的俯视图。图7B是在Z方向上看第一电容层152时的俯视图。图7C是在Z方向上看第二电容层153时的俯视图。图7D是在Z方向上看第三电容层154时的俯视图。图7E是在Z方向上看第四电容层155时的俯视图。

[0137] 晶体管120、电容器130、导电体142以及导电体143的连接结构与结构例子2所示的内容大致相同,但是不同之处在于:没有布线PL3及布线PL4;从Z方向看时的导电体143a及导电体143b的配置等。此外,因为没有布线PL3及布线PL4,所以电容器130c通过导电体143c电连接于布线PL1。电容器130d通过导电体143d电连接于布线PL2。布线PL1及布线PL2设置在电容器130c上方。

[0138] 如图6及图7所示,通过层叠存储单元10a、存储单元10b、存储单元10c以及存储单元10d各自的电容器,可以增加电容器的面积。与存储单元的结构例子2所公开的结构相比,存储单元的结构例子3可以减少布线个数。此外,与存储单元的结构例子2所公开的结构相比,存储单元的结构例子3进一步可以在Y方向上扩大电容器130。因此,与存储单元的结构例子2所公开的结构相比,存储单元的结构例子3所公开的结构可以进一步增加电容器130的面积。

[0139] 此外,在存储单元的结构例子3中,在从Z方向看时,四个电容器130包括彼此重叠的区域。图7F是从第四电容层155一侧在Z方向上看四个电容器130的图。在区域911中,电容器130a、电容器130b、电容器130c以及电容器130d各自的一部分重叠。

[0140] 通过增加相邻的存储单元10并以彼此重叠的方式设置各电容器130,可以增加电容器130的面积。因此,可以进一步提高存储装置的可靠性。

[0141] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0142] (实施方式2)

在本实施方式中,说明晶体管的结构例子作为半导体装置的一个例子。

[0143] <半导体装置的结构例子>

图9A是可以用于晶体管120a及晶体管120b等的晶体管200的俯视图。此外,图9B至图9D是该晶体管的截面图。在此,图9B是沿着图9A中的点划线A1-A2的部分的截面图,也是晶体管200的沟道长度方向的截面图。此外,图9C是沿着图9A中的点划线A3-A4的部分的截面图,也是晶体管200的沟道宽度方向的截面图。此外,图9D是沿着图9A中的点划线A5-A6的部分的截面图。注意,在图9A的俯视图中,为了明确起见,省略一部分构成要素。

[0144] 晶体管200包括衬底(未图示)上的绝缘体212、绝缘体212上的绝缘体214、绝缘体214上的晶体管200、在晶体管200中设置的绝缘体275上的绝缘体280、绝缘体280上的绝缘体282、绝缘体282上的绝缘体283、绝缘体283上的绝缘体274、绝缘体283及绝缘体274上的绝缘体285。绝缘体212、绝缘体214、绝缘体216、绝缘体275、绝缘体280、绝缘体282、绝缘体283、绝缘体285及绝缘体274被用作层间膜。绝缘体283与绝缘体214的侧面、绝缘体216的侧面、绝缘体222的侧面、绝缘体275的侧面、绝缘体280的侧面以及绝缘体282的侧面及顶面接触。

[0145] 晶体管200包括绝缘体214上的绝缘体216、以嵌入绝缘体214及/或绝缘体216中的方式配置的导电体205(导电体205a及导电体205b)、绝缘体216及导电体205上的绝缘体222、绝缘体222上的绝缘体224、绝缘体224上的氧化物230a、氧化物230a上的氧化物230b、

氧化物230b上的导电体242a、导电体242a上的绝缘体271a、氧化物230b上的导电体242b、导电体242b上的绝缘体271b、氧化物230b上的绝缘体252、绝缘体252上的绝缘体250、绝缘体250上的绝缘体254、位于绝缘体254上并与氧化物230b的一部分重叠的导电体260(导电体260a及导电体260b)、以及配置在绝缘体222、绝缘体224、氧化物230a、氧化物230b、导电体242a、导电体242b、绝缘体271a及绝缘体271b上的绝缘体275。在此,如图9B及图9C所示,绝缘体252与绝缘体222的顶面、绝缘体224的侧面、氧化物230a的侧面、氧化物230b的侧面及顶面、导电体242的侧面、绝缘体271的侧面、绝缘体275的侧面、绝缘体280的侧面及绝缘体250的底面接触。此外,导电体260的顶面以高度与绝缘体254的最上部、绝缘体250的最上部、绝缘体252的最上部及绝缘体280的顶面的高度大致一致的方式配置。此外,绝缘体282与导电体260、绝缘体252、绝缘体250、绝缘体254和绝缘体280各自的顶面的至少一部分接触。

[0146] 此外,有时将氧化物230a及氧化物230b统称为氧化物230。此外,有时将导电体242a及导电体242b统称为导电体242。此外,有时将绝缘体271a及绝缘体271b统称为绝缘体271。

[0147] 在绝缘体280及绝缘体275中形成到达氧化物230b的开口。在该开口内设置绝缘体252、绝缘体250、绝缘体254及导电体260。此外,在晶体管200的沟道长度方向上,绝缘体271a及导电体242a与绝缘体271b及导电体242b间设置有导电体260、绝缘体252、绝缘体250及绝缘体254。绝缘体254具有与导电体260的侧面接触的区域及与导电体260的底面接触的区域。

[0148] 氧化物230优选包括绝缘体224上的氧化物230a及氧化物230a上的氧化物230b。当在氧化物230b下包括氧化物230a时,可以抑制杂质从形成在氧化物230a的下方的结构物向氧化物230b扩散。

[0149] 注意,在晶体管200中氧化物230具有氧化物230a及氧化物230b的两层叠层结构,但是本发明不局限于此。例如,氧化物230可以具有氧化物230b的单层或三层以上的叠层结构,也可以具有氧化物230a及氧化物230b分别具有叠层的结构。

[0150] 导电体260被用作第一栅(也称为顶栅极)电极,导电体205被用作第二栅(也称为背栅极)电极。此外,绝缘体252、绝缘体250及绝缘体254被用作第一栅极绝缘体,绝缘体222及绝缘体224被用作第二栅极绝缘体。注意,有时将栅极绝缘体称为栅极绝缘层或栅极绝缘膜。此外,导电体242a被用作源极和漏极中的一个,导电体242b被用作源极和漏极中的另一个。此外,氧化物230的与导电体260重叠的区域的至少一部分被用作沟道形成区域。

[0151] 在此,图10A示出图9B中的沟道形成区域附近的放大图。由于氧化物230b被供应氧,沟道形成区域形成在导电体242a和导电体242b之间的区域中。因此,如图10A所示,氧化物230b包括被用作晶体管200的沟道形成区域的区域230bc及以夹着区域230bc的方式设置并被用作源极区域或漏极区域的区域230ba及区域230bb。区域230bc的至少一部分与导电体260重叠。换言之,区域230bc设置在导电体242a与导电体242b间的区域中。区域230ba与导电体242a重叠,区域230bb与导电体242b重叠。

[0152] 与区域230ba及区域230bb相比,其氧空位少或杂质浓度低,所以被用作沟道形成区域的区域230bc是载流子浓度低的高电阻区域。因此,区域230bc可以说是i型(本征)或实质上i型的区域。例如,通过在包含氧的气氛下进行微波处理,容易形成区域230bc。在此,微

波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。此外,在本说明书等中,微波是指具有300MHz以上且300GHz以下的频率的电磁波。

[0153] 此外,被用作源极区域或漏极区域的区域230ba及区域230bb是因氧空位多或者氢、氮、金属元素等杂质的浓度高而载流子浓度提高,由此被低电阻化的区域。就是说,区域230ba及区域230bb是比区域230bc载流子浓度高且电阻低的n型区域。

[0154] 在此,被用作沟道形成区域的区域230bc的载流子浓度优选为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,更优选低于 $1 \times 10^{17} \text{cm}^{-3}$ ,进一步优选低于 $1 \times 10^{16} \text{cm}^{-3}$ ,更优选的是低于 $1 \times 10^{13} \text{cm}^{-3}$ ,进一步优选的是低于 $1 \times 10^{12} \text{cm}^{-3}$ 。对被用作沟道形成区域的区域230bc的载流子浓度的下限值没有特别的限定,例如,可以将其设定为 $1 \times 10^{-9} \text{cm}^{-3}$ 。

[0155] 此外,也可以在区域230bc与区域230ba或区域230bb之间形成载流子浓度等于或低于区域230ba及区域230bb的载流子浓度且等于或高于区域230bc的载流子浓度的区域。换言之,该区域被用作区域230bc与区域230ba或区域230bb的接合区域。该接合区域的氢浓度有时相等于或低于区域230ba及区域230bb的氢浓度且等于或高于区域230bc的氢浓度。此外,该接合区域的氧空位有时等于或少于区域230ba及区域230bb的氧空位且等于或多于区域230bc的氧空位。

[0156] 注意,图10A示出区域230ba、区域230bb及区域230bc形成在氧化物230b中的例子,但是本发明不局限于此。例如,上述各区域也可以形成在氧化物230b和氧化物230a中。

[0157] 在氧化物230中,有时难以明确地观察各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度并不需要按每区域分阶段地变化,也可以在各区域中逐渐地变化。就是说,越接近沟道形成区域,金属元素和氢及氮等杂质元素的浓度越低即可。

[0158] 优选在晶体管200中将被用作半导体的金属氧化物(以下,有时称为氧化物半导体)用于包含沟道形成区域的氧化物230(氧化物230a、氧化物230b)。

[0159] 被用作半导体的金属氧化物优选使用其带隙为2eV以上,优选为2.5eV以上的金属氧化物。如此,通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流。

[0160] 例如,作为氧化物230优选使用包含铟、元素M及锌的In-M-Zn氧化物(元素M为选自铝、镓、铋、锡、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镉、铈、钕、钆和镁等中的一种或多种)等的金属氧化物。此外,作为氧化物230也可以使用In-Ga氧化物、In-Zn氧化物、铟氧化物。

[0161] 在此,优选的是,用于氧化物230b的金属氧化物中的In与元素M的原子个数比大于用于氧化物230a的金属氧化物中的In与元素M的原子个数比。

[0162] 如此,通过在氧化物230b下配置氧化物230a,可以抑制杂质及氧从形成在氧化物230a的下方的结构物向氧化物230b扩散。

[0163] 此外,氧化物230a及氧化物230b除了氧以外还包含共同元素(作为主要成分),所以可以降低氧化物230a与氧化物230b的界面的缺陷态密度。因为可以降低氧化物230a与氧化物230b的界面的缺陷态密度,所以界面散射给载流子传导带来的影响小,从而可以得到高通态电流。

[0164] 氧化物230b优选具有结晶性。尤其是,优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)作为氧化物230b。

[0165] CAAC-OS具有结晶性高的致密结构且是杂质、缺陷(例如,氧空位( $V_o$ )等)少的金属

氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0166] 另一方面,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性且可靠性良好。

[0167] 在使用氧化物半导体的晶体管中,如果在氧化物半导体的形成沟道的区域中存在杂质或氧空位,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为 $V_OH$ )而可能会产生成为载流子的电子。因此,当在氧化物半导体的形成沟道的区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的形成沟道的区域中,优选尽量减少杂质、氧空位及 $V_OH$ 。换言之,优选的是,氧化物半导体中的形成沟道的区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0168] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下,有时称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及 $V_OH$ 。注意,在对源极区域或漏极区域供应过多的氧时,有可能引起晶体管200的通态电流下降或者场效应迁移率的下降。并且,在供应到源极区域或漏极区域的氧量在衬底面内有不均匀时,包括晶体管的半导体装置特性发生不均匀。

[0169] 因此,优选的是,在氧化物半导体中,被用作沟道形成区域的区域230bc的载流子浓度得到降低且被i型化或实质上被i型化。另一方面,优选的是,被用作源极区域或漏极区域的区域230ba及区域230bb的载流子浓度高且被n型化。换言之,优选减少氧化物半导体的区域230bc的氧空位及 $V_OH$ 且区域230ba及区域230bb不被供应过多的氧。

[0170] 于是,优选以在氧化物230b上设置导电体242a及导电体242b的状态在含氧气氛下进行微波处理来减少区域230bc的氧空位及 $V_OH$ 。

[0171] 通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用。此时,也可以将微波或RF等高频照射到区域230bc。通过等离子体、微波等的作用,可以使区域230bc的 $V_OH$ 分开。可以将氢H从区域230bc去除而由氧填补氧空位 $V_O$ 。换言之,在区域230bc中发生“ $V_OH \rightarrow H + V_O$ ”的反应,可以降低区域230bc的氢浓度。由此,可以减少区域230bc中的氧空位及 $V_OH$ 而降低载流子浓度。

[0172] 此外,当在含氧气氛下进行微波处理时,微波、RF等高频、氧等离子体等作用被导电体242a及导电体242b遮蔽并不涉及于区域230ba及区域230bb。再者,可以通过覆盖氧化物230b及导电体242的绝缘体271及绝缘体280降低氧等离子体的作用。由此,在进行微波处理时在区域230ba及区域230bb中不发生 $V_OH$ 的减少以及过多的氧的供应,因此可以防止载流子浓度的降低。

[0173] 此外,优选在形成成为绝缘体252的绝缘膜之后或者在形成成为绝缘体250的绝缘膜之后以含氧气氛进行微波处理。如此,通过经由绝缘体252或绝缘体250以含氧气氛进行微波处理,可以对区域230bc高效地注入氧。此外,通过以与导电体242的侧面及区域230bc的表面接触的方式配置绝缘体252,可以抑制区域230bc被注入不必要的氧,因此可以抑制导电体242的侧面的氧化。此外,可以抑制在形成成为绝缘体250的绝缘膜时导电体242的侧

面被氧化。

[0174] 此外,作为注入到区域230bc中的氧,有氧原子、氧分子、氧自由基(也称为O自由基,包含不成对电子的原子、分子或离子)等各种方式。注入到区域230bc中的氧可以为上述方式中的任一个或多个,尤其优选为氧自由基。此外,由于可以提高绝缘体252及绝缘体250的膜品质,晶体管200的可靠性得到提高。

[0175] 如上所述,可以在氧化物半导体的区域230bc中选择性地去除氧空位及 $V_O$ 而使区域230bc成为i型或实质上i型。并且,可以抑制对被用作源极区域或漏极区域的区域230ba及区域230bb供应过多的氧而保持n型。由此,可以抑制晶体管200的电特性变动而抑制在衬底面内晶体管200的电特性不均匀。

[0176] 此外,如图9C所示,在从晶体管200的沟道宽度的截面看时,也可以在氧化物230b的侧面与氧化物230b的顶面之间具有弯曲面。就是说,该侧面的端部和该顶面的端部也可以弯曲(以下,也称为圆形)。

[0177] 上述弯曲面的曲率半径优选大于0nm且小于与导体242重叠的区域的氧化物230b的厚度或者小于不具有上述弯曲面的区域的一半长度。具体而言,上述弯曲面的曲率半径大于0nm且为20nm以下,优选为1nm以上且15nm以下,更优选为2nm以上且10nm以下。通过采用上述形状,可以提高绝缘体252、绝缘体250、绝缘体254及导体260的氧化物230b的覆盖性。

[0178] 氧化物230优选具有化学组成互不相同的多个氧化物层的叠层结构。具体而言,用于氧化物230a的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比优选大于用于氧化物230b的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比。此外,用于氧化物230a的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物230b的金属氧化物中的In与元素M的原子个数比。此外,用于氧化物230b的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物230a的金属氧化物中的In与元素M的原子个数比。

[0179] 此外,氧化物230b优选为CAAC-OS等的具有结晶性的氧化物。CAAC-OS等的具有结晶性的氧化物具有杂质及缺陷(氧空位等)少的结晶性高且致密的结构。因此,可以抑制源电极或漏电极从氧化物230b抽出氧。因此,即使进行热处理也可以减少氧从氧化物230b被抽出,所以晶体管200对制造工序中的高温(所谓热积存:thermal budget)也很稳定。

[0180] 在此,在氧化物230a与氧化物230b的接合部中,导带底平缓地变化。换言之,也可以将上述情况表现为氧化物230a与氧化物230b的接合部的导带底连续地变化或者连续地接合。为此,优选降低形成在氧化物230a与氧化物230b的界面的混合层的缺陷态密度。

[0181] 具体而言,通过使氧化物230a与氧化物230b除了包含氧之外还包含共同元素作为主要成分,可以形成缺陷态密度低的混合层。例如,在氧化物230b为In-M-Zn氧化物的情况下,作为氧化物230a也可以使用In-M-Zn氧化物、M-Zn氧化物、元素M的氧化物、In-Zn氧化物、铟氧化物等。

[0182] 具体而言,作为氧化物230a使用In:M:Zn=1:3:4[原子个数比]或其附近的组成或者In:M:Zn=1:1:0.5[原子个数比]或其附近的组成的金属氧化物,即可。此外,作为氧化物230b,使用In:M:Zn=1:1:1[原子个数比]或其附近的组成、In:M:Zn=1:1:2[原子个数比]或其附近的组成或者In:M:Zn=4:2:3[原子个数比]或其附近的组成的金属氧化物,即可。

注意,附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。此外,作为元素M优选使用镓。

[0183] 在此,优选利用溅射法形成氧化物230a及氧化物230b。作为溅射气体,使用氧或者氧和稀有气体的混合气体。通过提高溅射气体所包含的氧的比例,可以增加形成的氧化膜中的氧。注意,氧化物230a及氧化物230b的沉积不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0184] 此外,在通过溅射法形成金属氧化物时,上述原子个数比不局限于所形成的金属氧化物的原子个数比,而也可以是用于金属氧化物的形成的溅射靶材的原子个数比。

[0185] 此外,如图9C等所示,由于以与氧化物230的顶面及侧面接触的方式设置由氧化铝等形成的绝缘体252,氧化物230所包含的铟有时分布在氧化物230和绝缘体252的界面及其附近。因此,氧化物230的表面附近具有接近铟氧化物的原子个数比或者接近In-Zn氧化物的原子个数比。在如此氧化物230,尤其是氧化物230b的表面附近的铟的原子个数比较大时,可以提高晶体管200的场效应迁移率。

[0186] 通过使氧化物230a及氧化物230b具有上述结构,可以降低氧化物230a与氧化物230b的界面的缺陷态密度。因此,界面散射对载流子传导带来的影响减少,从而晶体管200可以得到高通态电流及高频特性。

[0187] 绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283、绝缘体285中的至少一个优选被用作抑制水、氢等杂质从衬底一侧或晶体管200的上方扩散到晶体管200的阻挡绝缘膜。因此,绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283、绝缘体285中的至少一个优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子( $N_2O$ 、 $NO$ 、 $NO_2$ 等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0188] 此外,在本说明书中,阻挡绝缘膜是指具有阻挡性的绝缘膜。在本说明书中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0189] 作为绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285,优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化铅、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如,作为绝缘体212、绝缘体275及绝缘体283,优选使用氢阻挡性更高的氮化硅等。此外,例如,作为绝缘体214、绝缘体271、绝缘体282及绝缘体285,优选使用俘获并固定氢的性能高的氧化铝或氧化镁等。由此,可以抑制水、氢等杂质经过绝缘体212及绝缘体214从衬底一侧扩散到晶体管200一侧。或者,可以抑制水、氢等杂质从配置在绝缘体285的外方的层间绝缘膜等扩散到晶体管200一侧。或者,可以抑制包含在绝缘体224等中的氧经过绝缘体212及绝缘体214扩散到衬底一侧。或者,可以抑制含在绝缘体280等中的氧经过绝缘体282等向晶体管200的上方扩散。如此,优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285围绕晶体管200的结构。

[0190] 在本说明书等中,“氧氮化物”是指作为主要成分的含氧量多于含氮量的材料。例如,“氮氧化硅”是指含氧量多于含氮量的包含硅、氮以及氧的材料。此外,在本说明书等中,“氮氧化物”是指作为主要成分的含氮量多于含氧量的材料。例如,“氮氧化铝”是指含氮量

多于含氧量的包含铝、氮以及氧的材料。

[0191] 在此,作为绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285,优选使用具有非晶结构的氧化物。例如,优选使用 $\text{AlO}_x$  ( $x$ 是大于0的任意数)或 $\text{MgO}_y$  ( $y$ 是大于0的任意数)等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。通过将上述具有非晶结构的金属氧化物作为晶体管200的构成要素使用或者设置在晶体管200的周围,可以俘获或固定含在晶体管200中的氢或存在于晶体管200的周围的氢。尤其是,优选俘获或固定含在晶体管200中的沟道形成区域的氢。通过将具有非晶结构的金属氧化物作为晶体管200的构成要素使用或者设置在晶体管200的周围,可以制造具有良好特性的可靠性高的晶体管200及半导体装置。

[0192] 此外,绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285优选具有非晶结构,但是也可以在其一部分形成多晶结构的区域。此外,绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285也可以具有层叠有非晶结构的层与多晶结构的层的多层结构。例如,也可以具有在非晶结构的层上层叠有多晶结构的层的叠层结构。

[0193] 绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285的沉积例如可以利用溅射法。溅射法不需要作为沉积气体使用包含氢的分子,所以可以降低绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285的氢浓度。作为沉积方法,除了溅射法以外还可以适当地使用化学气相沉积(CVD)法、分子束外延(MBE)法、脉冲激光沉积(PLD)法、原子层沉积法(ALD)法等。

[0194] 此外,有时优选降低绝缘体212、绝缘体275及绝缘体283的电阻率。例如,通过使绝缘体212、绝缘体275及绝缘体283的电阻率约为 $1 \times 10^{13} \Omega \text{ cm}$ ,在半导体装置制造工序的利用等离子体等的处理中,有时绝缘体212、绝缘体275及绝缘体283可以缓和导电体205、导电体242、导电体260的电荷积聚。绝缘体212、绝缘体275及绝缘体283的电阻率为 $1 \times 10^{10} \Omega \text{ cm}$ 以上且 $1 \times 10^{15} \Omega \text{ cm}$ 以下。

[0195] 此外,绝缘体216、绝缘体274、绝缘体280及绝缘体285的介电常数优选比绝缘体214低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。例如,作为绝缘体216、绝缘体274、绝缘体280及绝缘体285,适当地使用氧化硅、氮氧化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等。

[0196] 导电体205以与氧化物230及导电体260重叠的方式配置。在此,导电体205优选以嵌入绝缘体216的开口中的方式设置。此外,导电体205的一部分有时嵌入绝缘体214中。

[0197] 导电体205包括导电体205a及导电体205b。导电体205a以与该开口的底面及侧壁接触的方式设置。导电体205b以嵌入形成在导电体205a的凹部中的方式设置。在此,导电体205b的顶面与导电体205a的顶面的高度及绝缘体216的顶面的高度大致一致。

[0198] 在此,作为导电体205a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子( $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$ 等)、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0199] 通过作为导电体205a使用具有抑制氢的扩散的功能的导电材料,可以防止含在导电体205b中的氢等杂质通过绝缘体224等扩散到氧化物230。此外,通过作为导电体205a使

用具有抑制氧的扩散的功能的导电材料,可以抑制导电体205b被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钇、氧化钇等。因此,作为导电体205a使用单层或叠层的上述导电材料即可。例如,作为导电体205a使用氮化钛即可。

[0200] 此外,导电体205b优选使用以钨、铜或铝为主要成分的导电材料。例如,导电体205b可以使用钨。

[0201] 导电体205有时被用作第二栅电极。在此情况下,通过独立地改变供应到导电体205的电位而不使其与供应到导电体260的电位联动,可以控制晶体管200的阈值电压( $V_{th}$ )。尤其是,通过对导电体205施加负电位,可以增大晶体管200的 $V_{th}$ 而减少关态电流。由此,与不对导电体205施加负电位的情况相比,在对导电体205施加负电位的情况下,可以减少对导电体260施加的电位为0V时的漏极电流。

[0202] 此外,导电体205的电阻率根据上述施加到导电体205的电位设计,导电体205的厚度根据该电阻率设定。此外,绝缘体216的厚度与导电体205大致相同。在此,优选在导电体205的设计允许的范围内减少导电体205及绝缘体216的厚度。通过减少绝缘体216的厚度,可以降低含在绝缘体216中的氢等杂质的绝对量,所以可以抑制该杂质扩散到氧化物230。

[0203] 此外,如图9A所示,导电体205优选比氧化物230中不与导电体242a及导电体242b重叠的区域大。尤其是,如图9C所示,导电体205优选延伸到氧化物230a及氧化物230b的沟道宽度方向的端部的外侧的区域。就是说,优选在氧化物230的沟道宽度方向的侧面的外侧,导电体205和导电体260隔着绝缘体重叠。通过具有上述结构,可以由被用作第一栅电极的导电体260的电场和被用作第二栅电极的导电体205的电场电围绕氧化物230的沟道形成区域。在本说明书中,将由第一栅极及第二栅极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel(S-channel)结构。

[0204] 在本说明书等中,S-channel结构的晶体管是指由一对栅电极中的一方及另一方的电场电围绕沟道形成区域的晶体管的结构。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构,可以实现对短沟道效应的耐性得到提高的晶体管,换言之,可以实现不容易发生短沟道效应的晶体管。

[0205] 此外,如图9C所示,将导电体205延伸来用作布线。但是,本发明不局限于此,也可以在导电体205下设置被用作布线的导电体。此外,不一定需要在每一个晶体管中设置一个导电体205。例如,在多个晶体管中可以共同使用导电体205。

[0206] 注意,示出在晶体管200中作为导电体205层叠有导电体205a及导电体205b的结构,但是本发明不局限于此。例如,导电体205可以具有单层结构,也可以具有三层以上的叠层结构。

[0207] 绝缘体222及绝缘体224被用作栅极绝缘体。

[0208] 绝缘体222优选具有抑制氢(例如,氢原子、氢分子等中的至少一个)的扩散的功能。此外,绝缘体222优选具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能。例如,与绝缘体224相比,绝缘体222优选具有抑制氢和氧中的一方或双方的扩散的功能。

[0209] 绝缘体222优选使用作为绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为该绝缘体,优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。或者,优选

使用包含铪及锆的氧化物,例如使用铪锆氧化物。当使用这种材料形成绝缘体222时,绝缘体222被用作抑制氧从氧化物230释放到衬底一侧及氢等杂质从晶体管200的周围部扩散到氧化物230的层。因此,通过设置绝缘体222,可以抑制氢等杂质扩散到晶体管200的内侧,而可以抑制在氧化物230中生成氧空位。此外,可以抑制导电体205与绝缘体224及氧化物230所包含的氧起反应。

[0210] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锆、氧化铌、氧化硅、氧化钛、氧化钨、氧化钼或氧化锆。或者,也可以对上述绝缘体进行氮化处理。此外,作为绝缘体222还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0211] 此外,作为绝缘体222,例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、铪锆氧化物等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,作为绝缘体222有时可以使用锆钛酸铅(PZT)、钛酸锶( $\text{SrTiO}_3$ )、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等介电常数高的物质。

[0212] 作为与氧化物230接触的绝缘体224,例如适当地使用氧化硅、氧氮化硅等即可。

[0213] 此外,在晶体管200的制造工序中,热处理优选在氧化物230的表面露出的状态下进行。该热处理例如优选以 $100^\circ\text{C}$ 以上且 $600^\circ\text{C}$ 以下,更优选以 $350^\circ\text{C}$ 以上且 $550^\circ\text{C}$ 以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,热处理优选在氧气氛下进行。由此,对氧化物230供应氧,从而可以减少氧空位( $V_o$ )。热处理也可以在减压状态下进行。此外,也可以在氮气体或惰性气体的气氛下进行热处理,然后为了填补脱离的氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。此外,也可以在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理,然后连续地在氮气体或惰性气体的气氛下进行热处理。

[0214] 通过对氧化物230进行加氧化处理,可以由所供应的氧填补氧化物230中的氧空位,换言之可以促进“ $V_o + O \rightarrow \text{null}$ ”的反应。再者,氧化物230中残留的氢与被供给的氧发生反应而可以将氢以 $\text{H}_2\text{O}$ 的形态去除(脱水化)。由此,可以抑制残留在氧化物230中的氢与氧空位再结合而形成 $V_o\text{H}$ 。

[0215] 此外,绝缘体222及绝缘体224也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料构成的叠层结构。此外,绝缘体224也可以形成岛状且与氧化物230a重叠。在此情况下,绝缘体275与绝缘体224的侧面及绝缘体222的顶面接触。

[0216] 导电体242a及导电体242b与氧化物230b的顶面接触。导电体242a及导电体242b分别被用作晶体管200的源电极或漏电极。

[0217] 作为导电体242(导电体242a及导电体242b)例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用氧化钪、氮化钪、包含锆和钪的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0218] 注意,有时包含在氧化物230b等中的氢扩散到导电体242a或导电体242b。尤其是,

通过作为导电体242a及导电体242b使用包含钽的氮化物,有时包含在氧化物230b等中的氢容易扩散到导电体242a或导电体242b,该扩散的氢与导电体242a或导电体242b所包含的氮键合。也就是说,有时包含在氧化物230b等中的氢被导电体242a或导电体242b吸收。

[0219] 此外,优选在导电体242的侧面与导电体242的顶面之间不形成弯曲面。通过使导电体242不具有该弯曲面,如图9D所示,可以增大沟道宽度方向的截面上的导电体242的截面积。由此,增大导电体242的导电率,从而可以增大晶体管200的通态电流。

[0220] 绝缘体271a与导电体242a的顶面接触,绝缘体271b与导电体242b的顶面接触。绝缘体271优选被用作至少对氧具有阻挡性的绝缘膜。因此,绝缘体271优选具有抑制氧扩散的功能。例如,与绝缘体280相比,绝缘体271优选具有进一步抑制氧扩散的功能。绝缘体271例如可以使用如氧化铝或氧化镁等绝缘体。

[0221] 绝缘体275以覆盖绝缘体224、氧化物230a、氧化物230b、导电体242及绝缘体271的方式设置。绝缘体275优选具有俘获并固定氢的功能。在此情况下,绝缘体275优选包括氮化硅或具有非晶结构的金属氧化物,例如,氧化铝或氧化镁等绝缘体。此外,例如,作为绝缘体275也可以使用氧化铝与该氧化铝上的氮化硅的叠层膜。

[0222] 通过设置上述绝缘体271及绝缘体275,可以由对氧具有阻挡性的绝缘体包围导电体242。换言之,可以抑制包含在绝缘体224及绝缘体280中的氧扩散到导电体242中。由此,可以抑制包含在绝缘体224及绝缘体280中的氧而导致导电体242直接被氧化使得电阻率增大而通态电流减少。

[0223] 绝缘体252被用作栅极绝缘体的一部分。作为绝缘体252优选使用氧阻挡绝缘膜。作为绝缘体252使用上述可用于绝缘体282的绝缘体即可。作为绝缘体252优选使用包含铝和钪中的一方或双方的氧化物的绝缘体。作为该绝缘体,可以使用氧化铝、氧化钪、包含铝及钪的氧化物(铝酸钪)、包含钪及硅的氧化物(硅酸钪)等。在本实施方式中,作为绝缘体252,使用氧化铝。此时,绝缘体252是至少包含氧及铝的绝缘体。

[0224] 如图9C所示,绝缘体252以与氧化物230b的顶面及侧面、氧化物230a的侧面、绝缘体224的侧面及绝缘体222的顶面接触的方式设置。就是说,在沟道宽度方向的截面中氧化物230a、氧化物230b及绝缘体224的与导电体260重叠的区域被绝缘体252覆盖。因此,可以利用具有氧阻挡性的绝缘体252防止在进行热处理等时氧化物230a及氧化物230b中的氧脱离。因此,可以减少在氧化物230a及氧化物230b中形成氧空位( $V_O$ )。由此,可以减少形成在区域230bc中的氧空位( $V_O$ )及 $V_OH$ 。因此,可以提高晶体管200的电特性及可靠性。

[0225] 此外,反之,即使绝缘体280及绝缘体250等包含过多的氧,也可以抑制该氧过度供应到氧化物230a及氧化物230b。因此,可以抑制区域230ba及区域230bb通过区域230bc被过度氧化而导致晶体管200的通态电流的下降或场效应迁移率的下降。

[0226] 此外,如图9B所示,绝缘体252以与导电体242、绝缘体271、绝缘体275及绝缘体280各自的侧面接触的方式设置。因此,可以减少导电体242的侧面被氧化而氧化膜形成在该侧面。因此,可以抑制导致晶体管200的通态电流的下降或场效应迁移率的下降。

[0227] 此外,绝缘体252需要与绝缘体254、绝缘体250、导电体260一起设置在形成于绝缘体280等中的开口中。为了实现晶体管200的微型化,绝缘体252的厚度优选小。绝缘体252的厚度为0.1nm以上且5.0nm以下,优选为0.5nm以上且3.0nm以下,更优选为1.0nm以上且3.0nm以下。此时,绝缘体252的至少一部分是具有上述厚度的区域即可。此外,绝缘体252的

厚度优选比绝缘体250的厚度小。此时,绝缘体252的至少一部分是厚度比绝缘体250小的区域即可。

[0228] 为了如上所述地将绝缘体252形成得薄,优选利用ALD法形成绝缘体252。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用收到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中,通过利用等离子体可以在更低温下进行形成,所以有时是优选的。

[0229] 此外,ALD法可以利用作为原子的性质的自调整性来沉积每一层的原子,从而发挥能够形成极薄的膜、能够对纵横比高的结构形成膜、能够以针孔等的缺陷少的方式形成膜、能够形成覆盖性优良的膜及能够在低温下形成膜等的效果。因此,可以在形成于绝缘体280等中的开口的侧面等以上述较小的厚度且高覆盖性形成绝缘体252。

[0230] ALD法中使用的前驱物有时包含碳等。因此,利用ALD法形成的膜有时与利用其他的沉积方法形成的膜相比包含更多的碳等杂质。此外,杂质的定量可以利用二次离子质谱分析(SIMS)、X射线光电子能谱(XPS)或俄歇电子能谱(AES)测量。

[0231] 绝缘体250被用作栅极绝缘体的一部分。绝缘体250优选以与绝缘体252的顶面接触的方式配置。绝缘体250可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。此时,绝缘体250是至少包含氧及硅的绝缘体。

[0232] 与绝缘体224同样,优选绝缘体250中的水、氢等杂质的浓度得到降低。绝缘体250的厚度优选为1nm以上且20nm以下,更优选为0.5nm以上且15.0nm以下。此时,绝缘体250的至少一部分是具有上述厚度的区域即可。

[0233] 在图9A至图9D等中,示出绝缘体250具有单层的结构,但是本发明不局限于此,也可以采用两层以上的叠层结构。例如,如图10B所示,绝缘体250也可以具有绝缘体250a与绝缘体250a上的绝缘体250b这两层的叠层结构。

[0234] 如图10B所示,在使绝缘体250具有两层叠层结构的情况下,优选的是,下层的绝缘体250a使用容易使氧透过的绝缘体形成,而上层的绝缘体250b使用具有抑制氧的扩散的功能的绝缘体形成。通过采用这种结构,可以抑制包含在绝缘体250a中的氧扩散到导电体260。换言之,可以抑制对氧化物230供应的氧量的减少。此外,可以抑制因包含在绝缘体250a中的氧导致的导电体260的氧化。例如,绝缘体250a使用上述的能够用于绝缘体250的材料,绝缘体250b使用包含铝和钪中的一方或双方的氧化物的绝缘体,即可。作为该绝缘体,可以使用氧化铝、氧化钪、包含铝及钪的氧化物(铝酸钪)、包含钪及硅的氧化物(硅酸钪)等。在本实施方式中,作为绝缘体250b,使用氧化钪。此时,绝缘体250b是至少包含氧及钪的绝缘体。此外,绝缘体250b的厚度为0.5nm以上且5.0nm以下,优选为1.0nm以上且5.0nm以下,更优选为1.0nm以上且3.0nm以下。此时,绝缘体250b的至少一部分是具有上述厚度的区域即可。

[0235] 注意,当绝缘体250a使用氧化硅、氧氮化硅等时,绝缘体250b也可以使用相对介电常数高的high-k材料的绝缘材料形成。通过作为栅极绝缘体采用绝缘体250a及绝缘体250b的叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。此外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。因此,可以提高绝缘体250的绝缘耐压。

[0236] 绝缘体254被用作栅极绝缘体的一部分。作为绝缘体254优选使用氢阻挡绝缘膜。由此,可以防止包含在导电体260中的氢等杂质扩散到绝缘体250及氧化物230b。作为绝缘体254使用上述可用于绝缘体283的绝缘体即可。例如,作为绝缘体254使用利用PEALD法形成的氮化硅即可。此时,绝缘体254是至少包含氮、硅的绝缘体。

[0237] 此外,绝缘体254也可以还具有氧阻挡性。由此,可以抑制包含在绝缘体250中的氧扩散到导电体260。

[0238] 此外,绝缘体254需要与绝缘体252、绝缘体250、导电体260一起设置在形成于绝缘体280等中的开口中。为了实现晶体管200的微型化,绝缘体254的厚度优选小。绝缘体254的厚度为0.1nm以上且5.0nm以下,优选为0.5nm以上且3.0nm以下,更优选为1.0nm以上且3.0nm以下。此时,绝缘体254的至少一部分是具有上述厚度的区域即可。此外,绝缘体254的厚度优选比绝缘体250的厚度小。此时,绝缘体254的至少一部分是厚度比绝缘体250小的区域即可。

[0239] 导电体260被用作晶体管200的第一栅电极。导电体260优选包括导电体260a以及配置在导电体260a上的导电体260b。例如,优选以包围导电体260b的底面及侧面的方式配置导电体260a。此外,如图9B及图9C所示,导电体260的顶面与绝缘体250的顶面大致对齐。虽然在图9B及图9C中导电体260具有导电体260a和导电体260b的两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0240] 作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0241] 此外,当导电体260a具有抑制氧的扩散的功能时,可以抑制绝缘体250所包含的氧使导电体260b氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钇、氧化钇等。

[0242] 此外,由于导电体260还被用作布线,所以优选使用导电性高的导电体。例如,导电体260b可以使用钨、铜或铝为主要成分的导电材料。此外,导电体260b可以具有叠层结构,例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0243] 此外,在晶体管200中,以嵌入形成于绝缘体280等的开口的方式自对准地形成导电体260。通过如此形成导电体260,可以在导电体242a和导电体242b之间的区域中无需对准并确实地配置导电体260。

[0244] 此外,如图9C所示,在晶体管200的沟道宽度方向上,以绝缘体222的底面为基准,导电体260的导电体260不与氧化物230b重叠的区域的底面的高度优选比氧化物230b的底面的高度低。通过采用被用作栅电极的导电体260隔着绝缘体250等覆盖氧化物230b的沟道形成区域的侧面及顶面的结构,容易使导电体260的电场作用于氧化物230b的沟道形成区域整体。由此,可以提高晶体管200的通态电流及频率特性。以绝缘体222的底面为基准时的氧化物230a及氧化物230b不与导电体260重叠的区域的导电体260的底面的高度与氧化物230b的底面的高度之差为0nm以上且100nm以下,优选为3nm以上且50nm以下,更优选为5nm以上且20nm以下。

[0245] 绝缘体280设置在绝缘体275上,在将设置绝缘体250及导电体260的区域中形成开口。此外,绝缘体280的顶面也可以被平坦化。

[0246] 优选的是,被用作层间膜的绝缘体280的介电常数低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。绝缘体280例如优选使用与绝缘体216同样的材料形成。尤其是,氧化硅及氮氧化硅具有热稳定性,所以是优选的。特别是,因为氧化硅、氮氧化硅、具有空孔的氧化硅等材料容易形成包含通过加热脱离的氧的区域,所以是优选的。

[0247] 绝缘体280优选包含过剩氧区域或过剩氧。此外,绝缘体280中的水、氢等杂质浓度优选得到降低。例如,作为绝缘体280适当地使用氧化硅、氮氧化硅等,即可。通过与氧化物230接触的方式设置上述包含过剩氧的绝缘体,可以减少氧化物230中的氧空位,从而可以提高晶体管200的可靠性。通过在含氧气氛下使用溅射法形成成为绝缘体280的绝缘膜,可以形成包含过剩氧的绝缘体280。通过使用不需要氢作为沉积气体的溅射法,可以降低绝缘体280中的氢浓度。此外,通过在包含氧的气氛使用溅射法形成与绝缘体280的顶面接触的绝缘体282,可以对绝缘体280添加氧。在绝缘体282形成时对绝缘体280添加氧的情况下,绝缘体280的沉积不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。此外,例如,绝缘体280也可以具有通过溅射法形成的氧化硅和层叠在其上的通过CVD法形成的氮氧化硅的叠层结构。此外,还可以在其上层叠氮化硅。

[0248] 绝缘体282优选被用作抑制水、氢等杂质从上方向绝缘体280扩散的阻挡绝缘膜且具有俘获氢等杂质的功能。此外,绝缘体282优选被用作抑制氧透过的阻挡绝缘膜。作为绝缘体282,使用具有非晶结构的金属氧化物,例如氧化铝等绝缘体即可。此时的绝缘体282是至少包含氧及铝的绝缘体。通过在夹在绝缘体212与绝缘体283的区域内设置与绝缘体280接触且具有俘获氢等杂质的功能的绝缘体282,可以俘获包含在绝缘体280等中的氢等杂质而将该区域内的氢量为一定的值。尤其是,绝缘体282优选使用具有非晶结构的氧化铝,因为有时能够更有效地俘获或固定氢。由此,可以制造特性良好且可靠性高的晶体管200及半导体装置。

[0249] 绝缘体282优选使用溅射法形成。通过使用溅射法形成绝缘体282,可以将氧添加到绝缘体280。注意,绝缘体282的沉积不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0250] 绝缘体283可以被用作抑制水、氢等杂质从上方扩散到绝缘体280的阻挡绝缘膜。绝缘体283配置在绝缘体282上。作为绝缘体283,优选使用氮化硅或氮氧化硅等包含硅的氮化物。例如,作为绝缘体283使用通过溅射法沉积的氮化硅。通过使用溅射法形成绝缘体283,可以形成密度高的氮化硅膜。此外,作为绝缘体283,也可以在通过溅射法沉积的氮化硅上还层叠通过PEALD法或CVD法沉积的氮化硅。

[0251] 此外,图9示出与晶体管200连接的导电体240(导电体240a及导电体240b)。导电体240以嵌入形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口的配置。导电体240a的底面与导电体242a的顶面接触。导电体240b的底面与导电体242b的顶面接触。导电体240优选使用钨、铜或铝为主要成分的导电材料等。此外,导电体240也可以采用沿着上述开口的侧面及底面设置的厚度薄的第一导电体和第一导电体上的第二导电体的叠层结构。

[0252] 当作为导电体240采用叠层结构时,作为配置在绝缘体285及绝缘体280附近的第一导电体优选使用具有抑制水、氢等杂质的透过的功能的导电材料。例如,优选使用钽、氮

化钽、钛、氮化钛、钨、氧化钨等。可以以单层或叠层使用具有抑制水、氢等杂质的透过的功能的导电材料。此外,可以防止包含在绝缘体283的上方的层的水、氢等杂质通过导电体240混入到氧化物230。第二导电体使用上述以钨、铜或铝为主要成分的导电材料等即可。

[0253] 注意,图9B所示的导电体240具有层叠有第一导电体和第二导电体的结构,但本发明不局限于此。例如,导电体240可以具有单层结构,也可以具有三层以上的叠层结构。

[0254] 此外,优选在导电体240a与绝缘体280之间设置被用作阻挡绝缘膜的绝缘体241a。优选在导电体240b与绝缘体280之间设置被用作阻挡绝缘膜的绝缘体241b。绝缘体241(绝缘体241a及绝缘体241b)优选以与形成于绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中的开口的侧面接触的方式配置。

[0255] <半导体装置的构成材料>

以下,说明可用于半导体装置的构成材料。

[0256] <<衬底>>

作为形成晶体管200的衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外,作为半导体衬底,例如可以举出以硅或锗等为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如为SOI(Silicon On Insulator;绝缘体上硅)衬底等。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。此外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容器、电阻器、开关元件、发光元件、存储元件等。

[0257] <<绝缘体>>

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0258] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。另一方面,通过将相对介电常数较低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0259] 作为相对介电常数较高的绝缘体,可以举出氧化镓、氧化铅、氧化锆、含有铝及铅的氧化物、含有铝及铅的氧氮化物、含有硅及铅的氧化物、含有硅及铅的氧氮化物或者含有硅及铅的氮化物等。

[0260] 作为相对介电常数较低的绝缘体,可以举出氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0261] 此外,通过使用具有抑制氢等杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管,可以使晶体管的电特性稳定。作为具有抑制氢等杂质及氧的透过的功能的绝

缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、铋、铅、镧、铈、钕、钐或钇的绝缘体的单层或叠层。具体而言,作为具有抑制氢等杂质及氧的透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化铋、氧化铅、氧化镧、氧化铈、氧化钕、氧化钐、氧化钇等金属氧化物、氮化铝、氮氧化硅、氮化硅等金属氮化物。

[0262] 此外,被用作栅极绝缘体的绝缘体优选为具有包含通过加热脱离的氧的区域的绝缘体。例如,通过采用具有包含通过加热脱离的氧的区域的氧化硅或者氧氮化硅接触于氧化物230的结构,可以填补氧化物230所包含的氧空位。

[0263] <<导电体>>

作为导电体,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钎、钒、铌、锰、镁、锆、铍、铟、钇、铈和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和镍的氧化物等。此外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0264] 此外,也可以层叠多个由上述材料形成的导电层。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0265] 此外,在将氧化物用于晶体管的沟道形成区域的情况下,作为被用作栅电极的导电体优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0266] 尤其是,作为被用作栅电极的导电体,优选使用包含含在被形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,可以使用氮化钛、氮化钽等包含氮的导电材料。此外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。通过使用上述材料,有时可以俘获被形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0267] <<金属氧化物>>

作为氧化物230,优选使用被用作半导体的金属氧化物(氧化物半导体)。下面,对可用于根据本发明的氧化物230的金属氧化物进行说明。

[0268] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。此外，除此之外，优选还包含铝、镓、钇、锡等。此外，也可以包含选自硼、钛、铁、镍、锆、锆、钼、镧、铈、钕、钐、钆、铽、镱、铪、铌、钨、铋及钴等中的一种或多种。

[0269] 在此考虑金属氧化物为包含铟、元素M及锌的In-M-Zn氧化物的情况。注意，元素M为铝、镓、钪或锡。作为可以应用于元素M的其他元素，有硼、钛、铁、镍、锆、钴、钼、钽、铈、钕、钐、钇、镧、铈、铉、铊等。注意，作为元素M有时也可以组合多个上述元素。

[0270] 此外,在本说明书等中,有时将包含氮的金属氧化物称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0271] <结晶结构的分类>

首先,对氧化物半导体中的结晶结构的分类参照图11A进行说明。图11A是说明氧化物半导体,典型为IGZO(包含In、Ga、Zn的金属氧化物)的结晶结构的分类的图。

[0272] 如图11A所示那样,氧化物半导体大致分为“Amorphous(无定形)”、“Crystalline(结晶性)”、“Crystal(结晶)”。此外,completely amorphous包含在“Amorphous”中。此外,在“Crystalline”中包含CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)及CAC(cloud-aligned composite)。此外,在“Crystalline”的分类中不包含single crystal(单晶)、poly crystal(多晶)及completely amorphous。此外,在“Crystal”中包含single crystal及poly crystal。

[0273] 此外,图11A所示的外框线被加粗的部分中的结构是介于“Amorphous(无定形)”与“Crystal(结晶)”之间的中间状态,是属于新的边界区域(New crystalline phase)的结构。换言之,该结构与“Crystal(结晶)”及在能量性上不稳定的“Amorphous(无定形)”可以说是完全不同的结构。

[0274] 可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。在此,图11B示出被分类为“Crystalline”的CAAC-IGZO膜的通过GIXD(Grazing-Incidence XRD)测量而得到的XRD谱。此外,将GIXD法也称为薄膜法或Seemann-Bohlin法。下面,在本说明书中,有时将图11B所示的通过GIXD测量而得到的XRD谱简单地记为XRD谱。此外,图11B所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,图11B所示的CAAC-IGZO膜的厚度为500nm。

[0275] 在图11B中,横轴表示 $2\theta$ [deg.],纵轴表示强度(Intensity)[a.u.]。如图11B所示,在CAAC-IGZO膜的XRD谱中检测出表示明确的结晶性的峰。具体而言,在CAAC-IGZO膜的XRD谱中, $2\theta=31^\circ$ 附近检测出表示c轴取向的峰。此外,如图11B所示那样, $2\theta=31^\circ$ 附近的峰在以检测出峰强度的角度为轴时左右非对称。

[0276] 此外,可以使用通过纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。图11C示出CAAC-IGZO膜的衍射图案。图11C是通过将电子束向平行于衬底的方向入射的NBED观察的衍射图案。此外,图11C所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,在纳米束电子衍射法中,进行束径为1nm的电子衍射。

[0277] 如图11C所示那样,在CAAC-IGZO膜的衍射图案中观察到表示c轴取向的多个斑点。

[0278] <<氧化物半导体的结构>>

此外,在着眼于氧化物半导体的结晶结构的情况下,有时氧化物半导体的分类与图11A不同。例如,氧化物半导体可以分类为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。此外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0279] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0280] [CAAC-OS]

CAAC-OS是包括多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。此外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、或者CAAC-OS膜的表面的法线方向。此外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。此外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0281] 此外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。此外,在结晶区域由多个微小结晶构成的情况下,有时该结晶区域的尺寸为几十nm左右。

[0282] 此外,在In-M-Zn氧化物(元素M为选自铝、镓、铟、锡及钛等中的一种或多种)中,有CAAC-OS具有层叠有含有铟(In)及氧的层(以下,In层)、含有元素M、锌(Zn)及氧的层(以下,(M,Zn)层)的层状结晶结构(也称为层状结构)的趋势。此外,铟和元素M可以彼此置换。因此,有时(M,Zn)层包含铟。此外,有时In层包含元素M。注意,有时In层包含Zn。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0283] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,在 $2\theta=31^\circ$ 或其附近检测出表示c轴取向的峰。注意,表示c轴取向的峰的位置( $2\theta$ 值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0284] 此外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0285] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六边形,有是非正六角形的情况。此外,在上述畸变中,有时具有五角形、七角形等晶格排列。此外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可以被认为是因为如下缘故:CAAC-OS因a-b面方向上的氧原子排列的密度较低或者金属原子被取代使得原子间的键合距离产生变化等而能够包容畸变。

[0286] 此外,确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为复合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0287] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。此外,氧化物半导体的结晶性有时因杂质的混入、缺陷的生成等而降低,因此可以说CAAC-OS是杂质、缺陷(氧空位等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及高可靠性。此外,CAAC-OS对制造工序中的高温(所谓热积存:thermal budget)也很稳定。由此,通过在OS晶体管中使用CAAC-OS,可以扩大制造工序

的自由度。

[0288] [nc-OS]

在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。此外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。例如,在对nc-OS膜使用XRD装置进行结构分析时,在使用 $\theta/2\theta$ 扫描的Out-of-plane XRD测量中,不检测出表示结晶性的峰。此外,在对nc-OS膜进行使用其束径比纳米晶大(例如,50nm以上)的电子束的电子衍射(也称为选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0289] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0290] <<氧化物半导体的构成>>

接着,说明上述的CAC-OS的详细内容。此外,CAC-OS与材料构成有关。

[0291] [CAC-OS]

CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。

[0292] 再者,CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(下面也称为云状)。就是说,CAC-OS是指具有该第一区域和该第二区域混合的结构的复合金属氧化物。

[0293] 在此,将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比的每一个记为[In]、[Ga]及[Zn]。例如,在In-Ga-Zn氧化物的CAC-OS中,第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。此外,第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。此外,例如,第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。此外,第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0294] 具体而言,上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。此外,上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之,可以将上述第一区域称为以In为主要成分的区域。此外,可以将上述第二区域称为以Ga为主要成分的区域。

[0295] 注意,有时观察不到上述第一区域和上述第二区域的明确的边界。

[0296] 例如,在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX:

Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像,可确认到具有以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布而混合的结构。

[0297] 在将CAC-OS用于晶体管的情况下,通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用,可以使CAC-OS具有开关功能(控制导通/关闭的功能)。换言之,在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能,在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离,可以最大限度地提高各功能。因此,通过将CAC-OS用于晶体管,可以实现高通态电流( $I_{on}$ )、高场效应迁移率( $\mu$ )及良好的开关工作。

[0298] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-likeOS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0299] <包括氧化物半导体的晶体管>

接着,说明将上述氧化物半导体用于晶体管的情况。

[0300] 通过将上述氧化物半导体用于晶体管,可以实现场效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。

[0301] 优选将载流子浓度低的氧化物半导体用于晶体管的沟道形成区域。例如,氧化物半导体的沟道形成区域中的载流子浓度可以为 $1 \times 10^{17} \text{cm}^{-3}$ 以下,优选为 $1 \times 10^{15} \text{cm}^{-3}$ 以下,更优选为 $1 \times 10^{13} \text{cm}^{-3}$ 以下,进一步优选为 $1 \times 10^{11} \text{cm}^{-3}$ 以下,更进一步优选低于 $1 \times 10^{10} \text{cm}^{-3}$ ,且为 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。此外,有时将载流子浓度低的氧化物半导体称为“高纯度本征的氧化物半导体”或“实质上高纯度本征的氧化物半导体”。

[0302] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0303] 此外,被氧化物半导体的陷阱态俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0304] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0305] <杂质>

在此,说明氧化物半导体中的各杂质的影响。

[0306] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷态。因此,将氧化物半导体的沟道形成区域中的硅及碳的浓度以及氧化物半导体的与沟道形成区域的界面附近的硅或碳的浓度(通过二次离子质谱分析(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)例如设定为 $2 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0307] 此外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷能态而形成载流

子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,将利用SIMS分析测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下,优选为 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下。

[0308] 当氧化物半导体包含氮时,产生作为载流子的电子,使载流子浓度增高,而容易被n型化。其结果,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者,在氧化物半导体包含氮时,有时形成陷阱态。其结果,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为低于 $5 \times 10^{19} \text{ atoms/cm}^3$ ,优选为 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下,更优选为 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下,进一步优选为 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。

[0309] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时生成作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用含有氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体的沟道形成区域中的氢。具体而言,在氧化物半导体的沟道形成区域中,将利用SIMS测得的氢浓度设定为低于 $1 \times 10^{20} \text{ atoms/cm}^3$ ,优选低于 $5 \times 10^{19} \text{ atoms/cm}^3$ ,更优选低于 $1 \times 10^{19} \text{ atoms/cm}^3$ ,进一步优选低于 $5 \times 10^{18} \text{ atoms/cm}^3$ ,还进一步优选低于 $1 \times 10^{18} \text{ atoms/cm}^3$ 。

[0310] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0311] <<其他半导体材料>>

可以用于氧化物230的半导体材料不局限于上述金属氧化物。作为氧化物230,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将硅等单个元素的半导体、砷化镓等化合物半导体、被用作半导体的层状物质(也称为原子层物质、二维材料等)等用于半导体材料。特别是,优选将被用作半导体的层状物质用于半导体材料。

[0312] 在此,在本说明书等中,层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键或离子键弱的键合层叠的结构。层状物质在单位层中具有高导电性,即,具有高二维导电性。通过将被用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流高的晶体管。

[0313] 作为层状物质,有石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外,氧族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、鉍。此外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0314] 作为氧化物230,例如优选使用被用作半导体的过渡金属硫族化物。作为能够被用作氧化物230的过渡金属硫族化物,具体地可以举出硫化钼(典型的是 $\text{MoS}_2$ )、硒化钼(典型的是 $\text{MoSe}_2$ )、碲化钼(典型的是 $\text{MoTe}_2$ )、硫化钨(典型的是 $\text{WS}_2$ )、硒化钨(典型的是 $\text{WSe}_2$ )、碲化钨(典型的是 $\text{WTe}_2$ )、硫化铪(典型的是 $\text{HfS}_2$ )、硒化铪(典型的是 $\text{HfSe}_2$ )、硫化锆(典型的是 $\text{ZrS}_2$ )、硒化锆(典型的是 $\text{ZrSe}_2$ )等。

[0315] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0316] (实施方式3)

在本实施方式中,参照图12说明根据本发明的一个方式的半导体装置的一个例

子。

[0317] [半导体装置的结构例子]

图12示出根据本发明的一个方式的半导体装置(存储装置)的截面结构例子。图12是示出将存储单元的结构例子1应用于存储阵列20的半导体装置100的一部分的截面图。

[0318] 在图12所示的半导体装置中,设置在驱动电路21中的晶体管300上方设置有晶体管120a及晶体管120b。此外,晶体管120a及晶体管120b上方设置有电容器130a及电容器130b。作为晶体管120a,可以使用上述实施方式中说明的晶体管200。例如,图12所示的晶体管120a具有从图9所示的晶体管200除去绝缘体241b及绝缘体241b的结构。作为晶体管120b,可以使用上述实施方式中说明的晶体管200。例如,图12所示的晶体管120b具有从图9所示的晶体管200除去绝缘体241a及绝缘体241a的结构。

[0319] 此外,在图12中,一个氧化物230中设置有晶体管120a及晶体管120b。在图12中,省略与晶体管120a电连接的导电体240b。此外,在图12中,省略与晶体管120b电连接的导电体240a。

[0320] 被用作电容器130a的介电体的绝缘体228及被用作电容器130b的介电体的绝缘体234使用可具有铁电性的材料,该可具有铁电性的材料具有因从外部施加电场而在内部发生极化且即使将该电场变为0也依然有极化的性质。由此,可以使用该电容器形成非易失性存储元件。换言之,可以使用被用作铁电电容器的电容器以及晶体管形成1晶体管1电容器型铁电存储器。

[0321] 晶体管120a及晶体管120b是0S晶体管。0S晶体管具有高耐压特性。因此,即使使晶体管120a及晶体管120b微型化,也可以向晶体管120a及晶体管120b施加高电压。通过使晶体管120a及晶体管120b微型化,可以减小半导体装置的占有面积。

[0322] <晶体管300>

晶体管300设置在衬底311上,并包括:被用作栅极的导电体316、被用作栅极绝缘体的绝缘体315、由衬底311的一部分构成的半导体区域313以及被用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型或n沟道型。

[0323] 在此,在图12所示的晶体管300中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管300也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸部的半导体膜。

[0324] 注意,图12所示的晶体管300的结构只是一个例子,不局限于上述结构,根据电路结构及驱动方法使用适当的晶体管即可。

[0325] <布线层>

在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。在此,在具有插头或布线的功能的导电体中,有时使用同一符号表示多个结构。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0326] 例如,在晶体管300上,作为层间膜依次层叠地设置有绝缘体320、绝缘体322、绝缘

体324及绝缘体326。此外,与晶体管120a及晶体管120b电连接的导电体328及导电体330等嵌入绝缘体320、绝缘体322、绝缘体324及绝缘体326中。此外,导电体328及导电体330被用作接触插头或布线。

[0327] 此外,被用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,也可以通过利用化学机械抛光(CMP)法等的平坦化处理实现平坦化。

[0328] 此外,也可以在绝缘体326及导电体330上设置布线层。例如,在图12中,绝缘体326及导电体330上依次层叠有绝缘体350、绝缘体352及绝缘体354。此外,绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356被用作接触插头或布线。

[0329] 绝缘体354及导电体356上设置有绝缘体357,绝缘体357上设置有导电体359。导电体359相当于上述实施方式所示的布线BL。导电体358嵌入绝缘体357中。导电体358被用作接触插头或布线。导电体359与导电体356通过导电体358电连接。

[0330] 导电体359上设置有绝缘体361,绝缘体361上方设置有晶体管120a及晶体管120b。导电体260相当于上述实施方式所示的布线WL。导电体359通过导电体141电连接于氧化物230。导电体141被用作接触插头或布线。与上述实施方式所示的导电体240同样,以与被用作接触插头的导电体141的侧面接触的方式设置有绝缘体241。

[0331] 此外,绝缘体285及导电体240b上设置有导电体233。导电体233通过导电体240b电连接于晶体管120b。导电体233上设置有绝缘体234,绝缘体234上设置有导电体235。导电体233与导电体235隔着绝缘体234重叠的区域被用作电容器130b。

[0332] 绝缘体234优选使用可具有铁电性的材料。通过将可具有铁电性的材料用于绝缘体234,可以将电容器130b用作铁电电容器。此外,以覆盖导电体235的方式设置有绝缘体236、绝缘体237、绝缘体238以及绝缘体239。

[0333] 导电体225嵌入绝缘体234、绝缘体236、绝缘体237、绝缘体238以及绝缘体239中。导电体225被用作接触插头或布线。导电体225与导电体240a电连接。此外,导电体226嵌入绝缘体236、绝缘体237、绝缘体238以及绝缘体239中。导电体226被用作接触插头或布线。导电体226与导电体235电连接。

[0334] 此外,绝缘体239及导电体225上设置有导电体227。导电体227通过导电体225及导电体240a电连接于晶体管120a。导电体227上设置有绝缘体228,绝缘体228上设置有导电体229。导电体229与导电体227隔着绝缘体228重叠的区域被用作电容器130a。

[0335] 绝缘体228优选使用可具有铁电性的材料。通过将可具有铁电性的材料用于绝缘体228,可以将电容器130b用作铁电电容器。此外,以覆盖导电体229的方式设置有绝缘体243、绝缘体244以及绝缘体247。

[0336] 导电体249嵌入绝缘体247、绝缘体244、绝缘体243以及绝缘体228中。导电体249被用作接触插头或布线。导电体249通过导电体226电连接于导电体235。此外,导电体248嵌入绝缘体247、绝缘体244以及绝缘体243中。导电体248被用作接触插头或布线。导电体248与导电体229电连接。

[0337] 此外,导电体248及绝缘体247上设置有导电体256。导电体256通过导电体248电连接于导电体229。此外,导电体249及绝缘体247上设置有导电体257。导电体257通过导电体249及导电体226电连接于导电体235。导电体256及导电体257被用作布线PL。

[0338] 此外,也可以以覆盖导电体256及导电体257的方式设置绝缘体258a、绝缘体258b以及绝缘体261。绝缘体258a及绝缘体258b中的至少一个优选为具有氢阻挡性的绝缘膜。作为具有氢阻挡性的绝缘膜,可以使用可用于上述绝缘体283等的阻挡绝缘膜。通过设置这种阻挡绝缘膜,可以减少绝缘体261等所包含的氢等杂质通过导电体256及导电体257等扩散到晶体管200。

[0339] 绝缘体258a利用溅射法形成即可。例如,作为绝缘体258a可以使用利用溅射法形成的氮化硅。因为溅射法不需要作为沉积气体使用包含氢的分子,所以可以降低绝缘体258a的氢浓度。

[0340] 绝缘体258b优选利用ALD法形成,尤其优选利用PEALD法形成。例如,作为绝缘体258b可以使用利用PEALD法形成的氮化硅。由此,可以以高覆盖性形成绝缘体258b,所以即使因基底的凹凸而在绝缘体258a中形成针孔或断开等,也通过由绝缘体258b覆盖它们可以减少氢扩散到晶体管200。

[0341] 注意,绝缘体258a及绝缘体258b的沉积方法不局限于溅射法及ALD法,也可以适当地利用CVD法、MBE法、PLD法等。此外,以上示出绝缘体258a和绝缘体258b的两层结构,但本发明不局限于此,也可以具有单层结构或三层以上的叠层结构。

[0342] 作为能够被用作层间膜的绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0343] 例如,通过将相对介电常数低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0344] 例如,绝缘体361、绝缘体352及绝缘体354等优选具有相对介电常数低的绝缘体。例如,该绝缘体优选含有添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。或者,该绝缘体优选具有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅和树脂的叠层结构。由于氧化硅及氧氮化硅具有热稳定性,因此通过将其与树脂组合,可以实现具有热稳定性且相对介电常数低的叠层结构。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸树脂等。

[0345] 此外,通过使用具有抑制氢等杂质及氧透过的功能的绝缘体围绕使用氧化物半导体的晶体管,可以使晶体管的电特性稳定。因此,作为绝缘体214、绝缘体212及绝缘体350等,使用具有抑制氢等杂质及氧的透过的功能的绝缘体,即可。

[0346] 作为具有抑制氢等杂质及氧透过的功能的绝缘体,例如可以以单层或叠层使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氙、镓、锗、铋、锆、镉、钆或钽的绝缘体。具体而言,作为具有抑制氢等杂质及氧透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化铋、氧化锆、氧化镉、氧化钆、氧化钽等金属氧化物、氮氧化硅、氮化硅等。

[0347] 作为能够用于布线、插头的导电体优选使用包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钐、钒、铌、锰、镁、锆、铍、铟以及钨等的金属元素中的一种以上的材料。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0348] 例如,作为导电体328、导电体330、导电体356、导电体141、导电体256及导电体257等,可以以单层或叠层使用由上述材料形成的金属材料、合金材料、金属氮化物材料、金属

氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨、钼等高熔点材料,尤其优选使用钨。或者,优选使用铝、铜等低电阻导电材料形成。通过使用低电阻导电材料可以降低布线电阻。此外,在被用作铁电电容器的电容器130中,通过利用热ALD法等需要对衬底进行加热的方法形成导电体229及导电体235,即使在形成后不进行高温烘烤也可以提高剩余极化。由此,可以不进行高温烘烤而制造半导体装置,因此可以使用熔点低的铜等低电阻导电材料。

#### [0349] <电容器>

导电体229被用作电容器130a的上部电极,导电体227被用作电容器130a的下部电极,绝缘体228被用作电容器130a的介电体。导电体235被用作电容器130b的上部电极,导电体233被用作电容器130b的下部电极,绝缘体234被用作电容器130b的介电体。

[0350] 作为绝缘体228及绝缘体234,使用上述实施方式所示的可具有铁电性的材料。绝缘体228及绝缘体234也可以为由多个可具有铁电性的材料构成的叠层。

[0351] 可具有铁电性的材料优选为包含氧化铪的材料或者包含氧化铪及氧化锆的材料,因为该材料即使被加工为几nm的薄膜也可具有铁电性。在此,绝缘体228及绝缘体234的厚度可以为100nm以下,优选为50nm以下,更优选为20nm以下,进一步优选为10nm以下。通过实现可以使其薄膜化的铁电层,可以将电容器130与微型化了的晶体管120组合而形成半导体装置。

[0352] 此外,绝缘体228及绝缘体234有时可以具有上述可具有铁电性的材料和介电强度高的材料的叠层结构。作为介电强度高的材料,有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。通过层叠地使用这样的介电强度高的绝缘体,介电强度提高而有时可以抑制电容器130的泄漏电流。

[0353] 被用作下部电极的导电体227及导电体233、被用作上部电极的导电体229及导电体235通过ALD法、CVD法或溅射法等沉积即可。例如,作为下部电极,也可以通过热ALD法沉积氮化钛。

[0354] 此外,被用作上部电极的导电体及被用作下部电极的导电体也可以为多个导电体的叠层。例如,作为上部电极,也可以在通过ALD法沉积氮化钛之后通过溅射法沉积钨。

[0355] 在形成上部电极之后,也可以在400℃至500℃左右的温度下进行热处理。例如,也可以在形成上部电极之后通过RTA法在500℃下进行60秒的热处理。

#### [0356] <设置有氧化物半导体的层的布线或插头>

在将氧化物半导体用于晶体管120时,有时在氧化物半导体附近设置具有过剩氧区域的绝缘体。在此情况下,优选在该具有过剩氧区域的绝缘体和设置于该具有过剩氧区域的绝缘体的导电体之间设置具有阻挡性的绝缘体。

[0357] 例如,优选在具有过剩氧的绝缘体280与导电体240之间设置绝缘体241(参照实施方式2)。通过使绝缘体241与绝缘体282及绝缘体283接触地设置,晶体管120可以具有由具有阻挡性的绝缘体密封的结构。

[0358] 也就是说,通过设置绝缘体241,绝缘体280所具有的过剩氧不容易被导电体240吸收。此外,通过具有绝缘体241,可以抑制作为杂质的氢经过导电体240扩散到晶体管200。

[0359] 作为绝缘体241,优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘材料。

例如,优选使用氮化硅、氮氧化硅、氧化铝或氧化铅等。尤其是,氮化硅对氢具有高阻挡性,所以是优选的。此外,例如还可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钐等的金属氧化物等。

[0360] 此外,如上述实施方式所示,晶体管120优选采用由绝缘体212、绝缘体214、绝缘体282及绝缘体283密封的结构。通过采用上述结构,可以减少包含在绝缘体274、绝缘体285等中的氢混入到绝缘体280等中。此时,绝缘体212、绝缘体214、绝缘体282以及绝缘体283被用作密封膜。

[0361] 在此,导电体240贯通绝缘体283及绝缘体282,导电体141贯通绝缘体214、绝缘体212,并且,如上所述,导电体240及导电体141各自与绝缘体241接触地设置。由此,可以减少通过导电体240及导电体141混入绝缘体212、绝缘体214、绝缘体282及绝缘体283的内侧的氢。如此,可以密封晶体管120,而可以减少包含在绝缘体274等中的氢等杂质混入到晶体管120。注意,图12示出由绝缘体212及绝缘体283等密封的区域内的两个晶体管120,但不局限于此,也可以在该密封区域内设置一个或三个以上的晶体管120。

[0362] <切割线>

下面,对当将大面积衬底按每个半导体组件分割而得到芯片形状的多个半导体装置时设置的切割线(有时也称为分割线、分断线或截断线)进行说明。作为分割方法,例如,有时,首先在衬底中形成用来分断半导体组件的槽(切割线)之后,在切割线处截断,得到被分断(被分割)的多个半导体装置。

[0363] 在此,例如,优选以绝缘体283与绝缘体212接触的区域重叠于切割线的方式进行设计。也就是说,在设置在包括多个晶体管200的存储单元的边缘的成为切割线的区域附近,在绝缘体282、绝缘体280、绝缘体275、绝缘体224、绝缘体222、绝缘体216及绝缘体214中设置开口。

[0364] 也就是说,在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体224、绝缘体222、绝缘体216及绝缘体214的开口中,绝缘体283与绝缘体212接触。绝缘体212及绝缘体283也可以使用相同材料及相同方法形成。通过使用相同的材料及相同的方法形成绝缘体212和绝缘体283,可以提高紧密性。例如,也可以使用氮化硅。

[0365] 此外,例如,也可以在绝缘体282、绝缘体280、绝缘体275、绝缘体224、绝缘体222、绝缘体216中形成开口。通过采用这种结构,在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体224、绝缘体222、绝缘体216的开口中,绝缘体283与绝缘体214接触。

[0366] 通过采用该结构,可以由绝缘体212、绝缘体214、绝缘体282及绝缘体283包围晶体管120。绝缘体214、绝缘体282和绝缘体283中的至少一个具有抑制氧、氢及水的扩散的功能。通过按每个形成有根据本实施方式的半导体元件的电路区域分割衬底,可以防止氢或水等杂质从截断的部分扩散到晶体管120。

[0367] 此外,通过采用该结构,可以防止绝缘体280及绝缘体224中的过剩氧扩散到外部。因此,绝缘体280及绝缘体224中的过剩氧高效地被供应到晶体管120中的形成沟道的氧化物中。由于该氧,而可以减少晶体管120中的形成沟道的氧化物的氧空位。由此,可以使晶体管120中的形成沟道的氧化物成为缺陷态密度低且具有稳定的特性的氧化物半导体。也就是说,可以在抑制晶体管120的电特性变动的同时提高可靠性。

[0368] <存储装置的变形例子1>

图13示出图12所示的存储装置的变形例子。在图12中,导电体141嵌入绝缘体224、绝缘体222、绝缘体216、绝缘体214、绝缘体212以及绝缘体361中,但是导电体141也可以嵌入绝缘体285、绝缘体283、绝缘体282、绝缘体280、绝缘体271以及绝缘体275中。

[0369] 在图13中,导电体292设置在导电体141及绝缘体285上,绝缘体293及绝缘体294设置在导电体292及绝缘体285上。此外,导电体295及导电体296嵌入绝缘体293及绝缘体294中。

[0370] 导电体233及绝缘体234设置在绝缘体294上方。导电体225与导电体240a通过导电体295电连接。导电体233通过导电体296电连接于导电体240b。导电体292与导电体359电连接。此外,虽然在图13中导电体359设置在晶体管120下方,但是也可以设置在晶体管120上方。

[0371] <存储装置的变形例子2>

如上述实施方式所示,彼此重叠的电容器130的个数不局限于两个。三个以上的电容器130也可以彼此重叠。在图14中,示出不仅使电容器130a及电容器130b重叠而且到电容器130m及电容器130n重叠的结构例子。

[0372] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0373] (实施方式4)

本实施方式示出形成根据本发明的一个方式的半导体装置等的半导体晶片及组装有该半导体装置的电子构件的一个例子。

[0374] <半导体晶片>

首先,使用图15A说明形成有半导体装置等的半导体晶片的例子。

[0375] 图15A所示的半导体晶片4800包括晶片4801及设置在晶片4801的顶面的多个电路部4802。在晶片4801的顶面上没设置有电路部4802的部分相当于空隙4803,其为用于切割的区域。

[0376] 半导体晶片4800可以通过在前工序中在晶片4801的表面上形成多个电路部4802来制造。此外,也可以之后对晶片4801的形成有多个电路部4802的面的背面进行抛光来减薄晶片4801。通过上述工序,可以减少晶片4801翘曲等而实现构件的小型化。

[0377] 下面进行切割工序。沿点划线所示的划分线SCL1及划分线SCL2(有时称为切割线或截断线)进行切割。为了容易进行切割工序,优选以多个划分线SCL1平行,多个划分线SCL2平行,且划分线SCL1与划分线SCL2垂直的方式设置空隙4803。

[0378] 通过进行切割工序,可以从半导体晶片4800切割出图15B所示的芯片4800a。芯片4800a包括晶片4801a、电路部4802以及空隙4803a。此外,空隙4803a优选尽可能小。在此情况下,相邻的电路部4802之间的空隙4803的宽度只要与划分线SCL1的划分用部及划分线SCL2的划分用部大致相等即可。

[0379] 此外,本发明的一个方式的元件衬底的形状不局限于图15A所示的半导体晶片4800的形状。例如,可以为矩形形状的半导体晶片。此外,可以根据元件的制造工序及制造用设备适当地改变元件衬底的形状。

[0380] <电子构件>

图15C示出电子构件4700及安装有电子构件4700的衬底(安装衬底4704)的立体图。图15C所示的电子构件4700在模子4711中包括芯片4800a。作为芯片4800a可以使用上述

实施方式所说明的半导体装置。

[0381] 在图15C中,省略电子构件4700的一部分以表示其内部。电子构件4700在模子4711的外侧包括连接盘(land)4712。连接盘4712与电极焊盘4713电连接,电极焊盘4713通过引线4714与芯片4800a电连接。电子构件4700例如安装于印刷电路板4702。通过组合多个该电子构件并使其分别在印刷电路板4702上电连接,由此完成安装衬底4704。

[0382] 图15D示出电子构件4730的立体图。电子构件4730是SiP(System in package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件4730中,封装衬底4732(印刷电路板)上设置有插板(interposer)4731,插板4731上设置有半导体装置4735及多个半导体装置4710。

[0383] 半导体装置4710例如可以使用芯片4800a、在上述实施方式中说明的半导体装置、高带宽存储器(HBM:High Bandwidth Memory)等。此外,半导体装置4735可以使用CPU、GPU、FPGA、存储装置等集成电路(半导体装置)。

[0384] 封装衬底4732可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板4731可以使用硅插板、树脂插板等。

[0385] 插板4731具有多个布线且具有与端子间距不同的多个集成电路电连接的功能。多个布线由单层或多层构成。此外,插板4731具有将设置于插板4731上的集成电路与设置于封装衬底4732上的电极电连接的功能。因此,有时也将插板称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板4731中设置贯通电极,通过该贯通电极使集成电路与封装衬底4732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0386] 作为插板4731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0387] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0388] 此外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0389] 此外,也可以与电子构件4730重叠地设置散热器(散热板)。在设置散热器的情况下,优选设置于插板4731上的集成电路的高度一致。例如,在本实施方式所示的电子构件4730中,优选使半导体装置4710与半导体装置4735的高度一致。

[0390] 为了将电子构件4730安装在其他的衬底上,可以在封装衬底4732的底部设置电极4733。图15D示出用焊球形成电极4733的例子。通过在封装衬底4732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)安装。此外,电极4733也可以使用导电针形成。通过在封装衬底4732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)安装。

[0391] 电子构件4730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:

地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0392] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0393] (实施方式5)

在本实施方式中说明本发明的一个方式的存储装置的应用例子。

[0394] 本发明的一个方式的存储装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码相机、录像再现装置、导航系统、游戏机等)。此外,还可以用于图像传感器、IoT(Internet of Things:物联网)以及医疗有关设备等。这里,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。

[0395] 通过使用根据本发明的一个方式的半导体装置,可以实现单位面积的存储容量较大的电子设备。通过使用根据本发明的一个方式的半导体装置,可以实现电子设备的小型化。

[0396] 对包括根据本发明的一个方式的存储装置的电子设备的一个例子进行说明。图16A至图16J、图17A至图17E示出具有该存储装置的电子构件4700包括在各电子设备中的情况。

[0397] [移动电话机]

图16A所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入界面在显示部5511中包括触控面板,并且在外壳5510上设置有按钮。

[0398] 通过将本发明的一个方式的存储装置应用于信息终端5500,可以储存在执行程序时暂时生成的文档(例如,使用网页浏览器时的缓存等)。

[0399] [可穿戴终端]

此外,图16B示出可穿戴终端的一个例子的信息终端5900。信息终端5900包括外壳5901、显示部5902、操作开关5903、操作开关5904、表带5905等。

[0400] 与上述信息终端5500同样,通过将本发明的一个方式的存储装置应用于可穿戴终端,可以储存在执行程序时暂时生成的文档。

[0401] [信息终端]

图16C示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示部5302及键盘5303。

[0402] 与上述信息终端5500同样,通过将本发明的一个方式的存储装置应用于台式信息终端5300,可以储存在执行程序时暂时生成的文档。

[0403] 注意,在上述例子中,图16A至图16C示出智能手机、可穿戴终端及台式信息终端作为电子设备的例子,但是也可以应用智能手机、可穿戴终端及台式信息终端以外的信息终端。作为智能手机、可穿戴终端及台式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0404] [电器产品]

此外,图16D示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。例如,电冷藏冷冻箱5800是对应于IoT

(Internet of Things:物联网)的电冷藏冷冻箱。

[0405] 可以将本发明的一个方式的存储装置应用于电冷藏冷冻箱5800。通过利用互联网等,可以使电冷藏冷冻箱5800对信息终端等发送储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等的信息。电冷藏冷冻箱5800可以在该存储装置中储存在发送该信息时暂时生成的文档。

[0406] 在上述例子中,作为电器产品说明电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0407] [游戏机]

此外,图16E示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200包括外壳5201、显示部5202、按钮5203等。

[0408] 此外,图16F示出游戏机的一个例子的固定式游戏机7500。固定式游戏机7500包括主体7520及控制器7522。主体7520可以以无线方式或有线方式与控制器7522连接。此外,虽然在图16F中未图示,但是控制器7522可以包括显示游戏的图像的显示部、作为按钮以外的输入接口的触控面板及控制杆、旋转式抓手、滑动式抓手等。此外,控制器7522不局限于图16F所示的形状,也可以根据游戏的种类改变控制器7522的形状。例如,在FPS (First Person Shooter, 第一人称射击类游戏)等射击游戏中,作为扳机使用按钮,可以使用模仿枪的形状的控制器。此外,例如,在音乐游戏等中,可以使用模仿乐器、音乐器件等的形状的控制器。再者,固定式游戏机也可以设置照相机、深度传感器、麦克风等,由游戏玩者的手势及/或声音等操作以代替控制器操作。

[0409] 此外,上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器、头戴显示器等显示装置输出。

[0410] 通过将上述实施方式所说明的存储装置用于便携式游戏机5200或固定式游戏机7500,可以实现存储容量大的便携式游戏机5200或固定式游戏机7500。此外,可以实现低功耗的便携式游戏机5200或固定式游戏机7500。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0411] 并且,通过将上述实施方式所说明的存储装置用于便携式游戏机5200或固定式游戏机7500,可以储存在执行游戏时暂时生成的运算用文档。

[0412] 在图16E中,作为游戏机的例子示出便携式游戏机。图16F示出家用固定式游戏机。本发明的一个方式的电子设备不局限于此。作为应用本发明的一个方式的电子设备,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0413] [移动体]

上述实施方式所说明的存储装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0414] 图16G示出作为移动体的一个例子的汽车5700。

[0415] 汽车5700的驾驶座位附近设置有能够显示速度表、转速计、行驶距离、加油量、排档状态、空调的设定等以提供各种信息的仪表板。此外,驾驶座位附近也可以设置有表示上述信息的显示装置。

[0416] 尤其是,通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上,可以补充被支柱等遮挡的视野、驾驶座位的死角等,从而可以提高安全性。也就是说,通过显示设置在汽车5700外侧的拍摄装置所拍摄的图像,可以补充视野来避免死角,以提高安全性。

[0417] 上述实施方式所说明的半导体装置能够暂时储存信息,例如,可以将该半导体装置应用于汽车5700的自动驾驶系统、进行导航、危险预测等的系统等来暂时储存必要信息。此外,也可以在该显示装置上暂时显示导航、危险预测等信息。此外,也可以储存安装在汽车5700上的行车记录仪的录像。

[0418] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等。

[0419] [照相机]

上述实施方式所说明的存储装置可以应用于照相机。

[0420] 图16H示出摄像装置的一个例子的数码相机6240。数码相机6240包括外壳6241、显示部6242、操作开关6243、快门按钮6244等,并且安装有可装卸的镜头6246。在此,数码相机6240采用能够从外壳6241拆卸下镜头6246的结构,但是镜头6246及外壳6241也可以被形成为一体。此外,数码相机6240还可以包括另外安装的闪光灯装置及取景器等。

[0421] 通过将上述实施方式所说明的存储装置用于数码相机6240,可以实现低功耗的数码相机6240。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0422] [视频摄像机]

上述实施方式所说明的存储装置可以应用于视频摄像机。

[0423] 图16I示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一外壳6301、第二外壳6302、显示部6303、操作开关6304、镜头6305、连接部6306等。操作开关6304及镜头6305设置在第一外壳6301上,显示部6303设置在第二外壳6302上。第一外壳6301与第二外壳6302由连接部6306连接,第一外壳6301与第二外壳6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一外壳6301与第二外壳6302间的角度切换。

[0424] 当记录由视频摄像机6300拍摄的图像时,需要进行根据数据记录方式的编码。借助于上述存储装置,上述视频摄像机6300可以储存在进行编码时暂时生成的文档。

[0425] [ICD]

可以将上述实施方式所说明的存储装置应用于埋藏式心律转复除颤器(ICD)。

[0426] 图16J是示出ICD的一个例子的截面示意图。ICD主体5400至少包括电池5401、电子构件4700、调节器、控制电路、天线5404、向右心房的金属丝5402、向右心室的金属丝5403。

[0427] ICD主体5400通过手术设置在体内,两个金属丝穿过人体的锁骨下静脉5405及上腔静脉5406,并且其中一个金属丝的先端设置于右心室,另一个金属丝的先端设置于右心房。

[0428] ICD主体5400具有心脏起搏器的功能,并在心律在规定范围之外时对心脏进行起搏。此外,在即使进行起搏也不改善心律时(快速的心室频脉或心室颤动等)进行利用去颤

的治疗。

[0429] 为了适当地进行起搏及去颤,ICD主体5400需要经常监视心律。因此,ICD主体5400包括用来检测心律的传感器。此外,ICD主体5400可以在电子构件4700中储存通过该传感器测得的心律的数据、利用起搏进行治疗的次数、时间等。

[0430] 此外,因为由天线5404接收电力,且该电力被充电到电池5401。此外,通过使ICD主体5400包括多个电池,可以提高安全性。具体而言,即使ICD主体5400中的部分电池产生故障,其他电池可以起作用而被用作辅助电源。

[0431] 此外,除了能够接收电力的天线5404,还可以包括能够发送生理信号的天线,例如,也可以构成能够由外部的监视装置确认脉搏、呼吸数、心律、体温等生理信号的监视心脏活动的系统。

[0432] [PC用扩展装置]

上述实施方式所说明的存储装置可以应用于PC(Personal Computer;个人计算机)等计算机、信息终端用扩展装置。

[0433] 图17A示出该扩展装置的一个例子的可以携带且安装有能够储存信息的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB(Universal Serial Bus;通用串行总线)等连接于PC,可以储存信息。注意,虽然图17A示出可携带的扩展装置6100,但是根据本发明的一个方式的扩展装置不局限于此,例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0434] 扩展装置6100包括外壳6101、盖子6102、USB连接器6103及衬底6104。衬底6104被容纳在外壳6101中。衬底6104设置有驱动上述实施方式所说明的存储装置等的电路。例如,衬底6104安装有电子构件4700、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0435] [SD卡]

上述实施方式所说明的存储装置可以应用于能够安装在信息终端或数码相机等电子设备上的SD卡。

[0436] 图17B是SD卡的外观示意图,图17C是SD卡的内部结构的示意图。SD卡5110包括外壳5111、连接器5112及衬底5113。连接器5112具有连接到外部装置的接口的功能。衬底5113被容纳在外壳5111中。衬底5113设置有存储装置及驱动该存储装置的电路。例如,衬底5113安装有电子构件4700、控制器芯片5115。此外,电子构件4700及控制器芯片5115的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,电子构件所包括的写入电路、行驱动器、读出电路等也可以不安装在电子构件4700上而安装在控制器芯片5115上。

[0437] 通过在衬底5113的背面一侧也设置电子构件4700,可以增大SD卡5110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底5113。由此,可以进行外部装置与SD卡5110之间的无线通信,可以进行电子构件4700的数据的读出及写入。

[0438] [SSD]

上述实施方式所说明的存储装置可以应用于能够安装在信息终端等电子设备上的固态驱动器(SSD)。

[0439] 图17D是SSD的外观示意图,图17E是SSD的内部结构的示意图。SSD5150包括外壳5151、连接器5152及衬底5153。连接器5152具有连接到外部装置的接口的功能。衬底5153被

容纳在外壳5151中。衬底5153设置有存储装置及驱动该存储装置的电路。例如,衬底5153安装有电子构件4700、存储器芯片5155、控制器芯片5156。通过在衬底5153的背面一侧也设置电子构件4700,可以增大SSD5150的容量。存储器芯片5155中安装有工作存储器。例如,可以将DRAM芯片用于存储器芯片5155。控制器芯片5156中安装有处理器、ECC电路等。注意,电子构件4700、存储器芯片5155及控制器芯片5156的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,控制器芯片5156中也可以设置用作工作存储器的存储器。

[0440] [计算机]

图18A所示的计算机5600是大型计算机的例子。在计算机5600中,多个机架式计算机5620收纳在机架5610中。

[0441] 计算机5620例如可以具有图18B所示的立体图的结构。在图18B中,计算机5620包括母板5630,母板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到母板5630。

[0442] 图18C所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图18C示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明。

[0443] 连接端子5629具有可以插入母板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0444] 连接端子5623、连接端子5624、连接端子5625例如可以被用作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以被用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB(通用串行总线)、SATA(串行ATA)、SCSI(小型计算机系统接口)等。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格可以举出HDMI(注册商标)等。

[0445] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0446] 半导体装置5627包括多个端子,通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA(Field Programmable Gate Array:现场可编程门阵列)、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件4730。

[0447] 半导体装置5628包括多个端子,通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件4700。

[0448] 计算机5600可以用作并行计算机。通过将计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0449] 通过将本发明的一个方式的半导体装置用于上述各种电子设备,可以实现电子设

备的小型化、高速化及/或低功耗化。此外,本发明的一个方式的半导体装置的功耗少,由此可以降低电路发热。由此,可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的半导体装置,可以实现高温环境下也稳定工作的电子设备。由此,可以提高电子设备的可靠性。

[0450] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[符号说明]

[0451] 100:半导体装置、120:晶体管、130:电容器、141:导电体、142:导电体、143:导电体、151:晶体管层、152:电容层、153:电容层、154:电容层、155:电容层

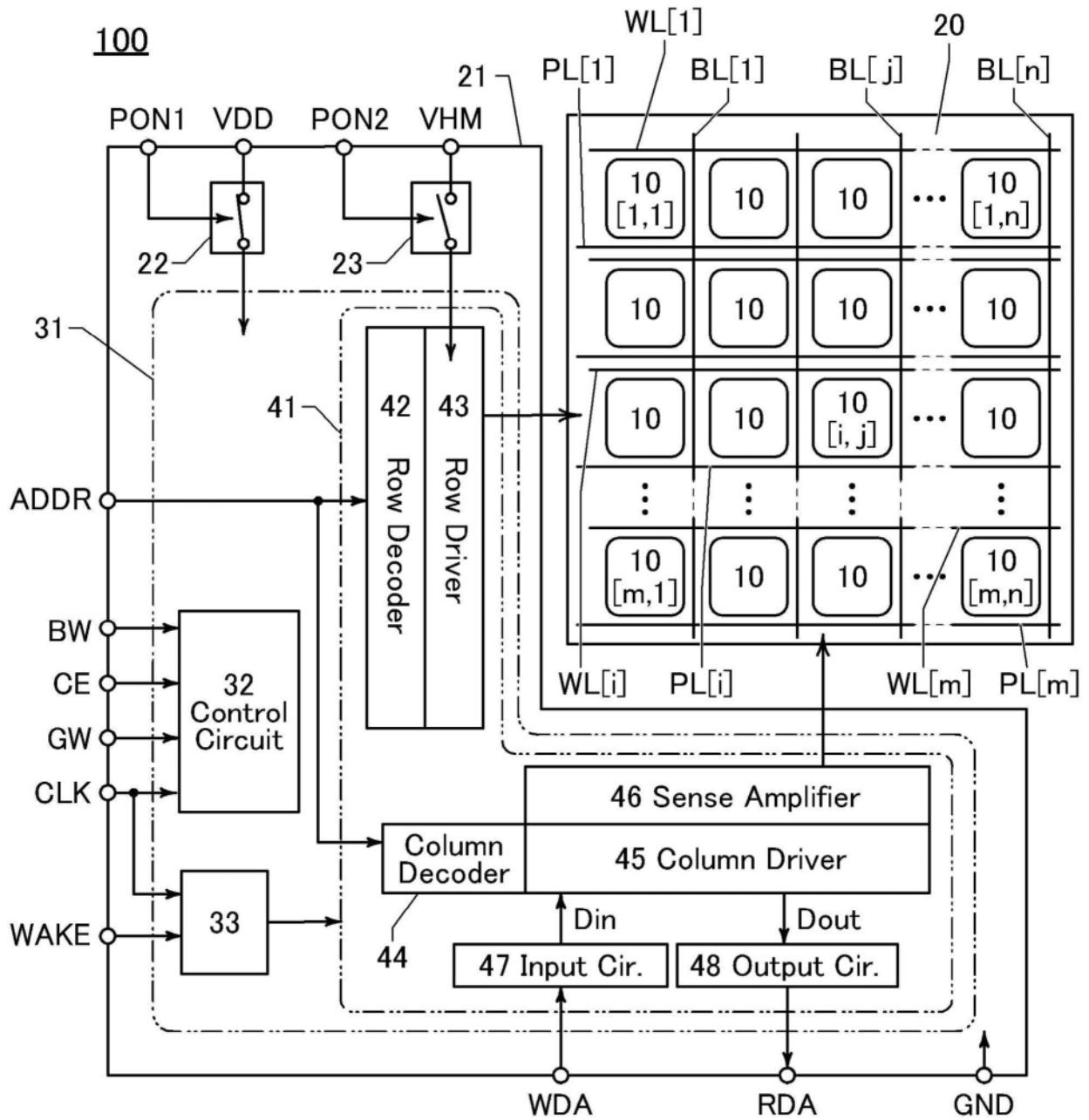


图1A

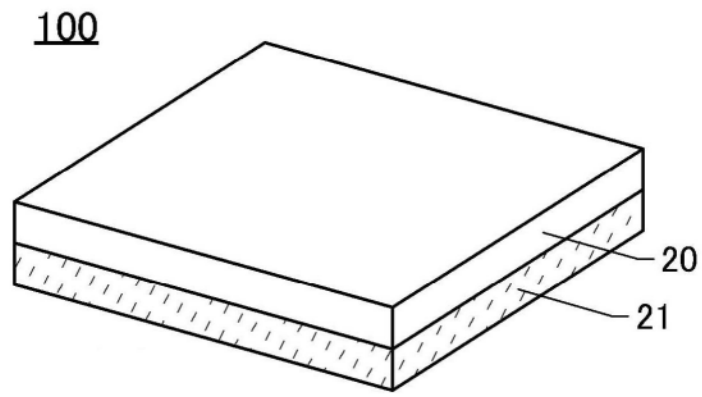


图1B

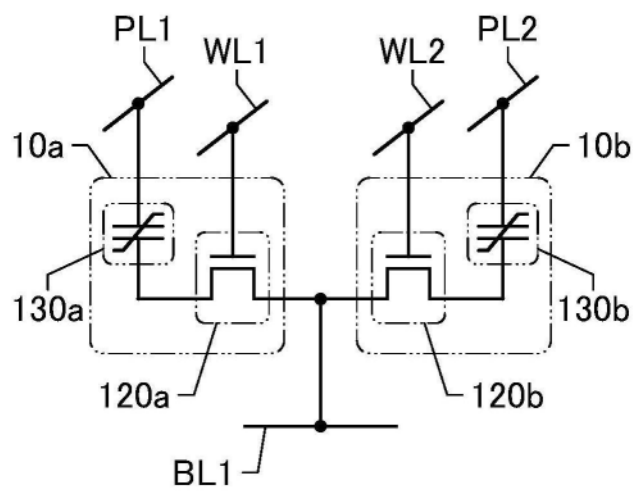


图2A

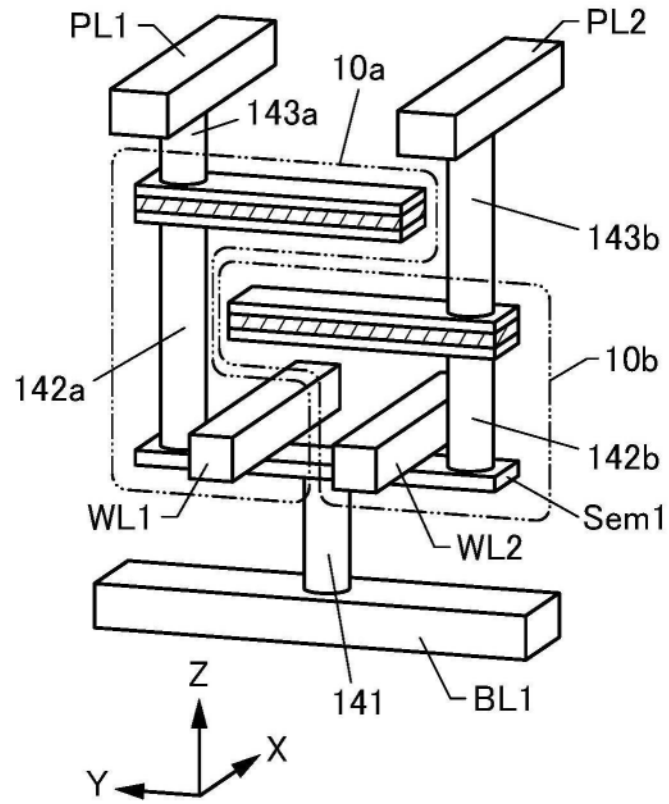


图2B

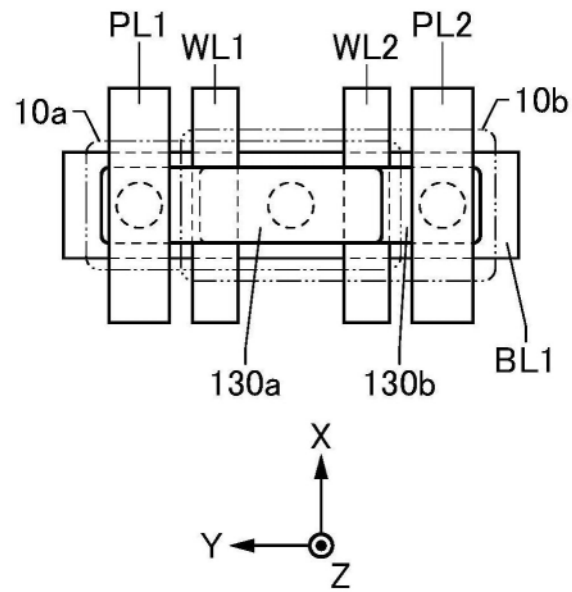


图2C



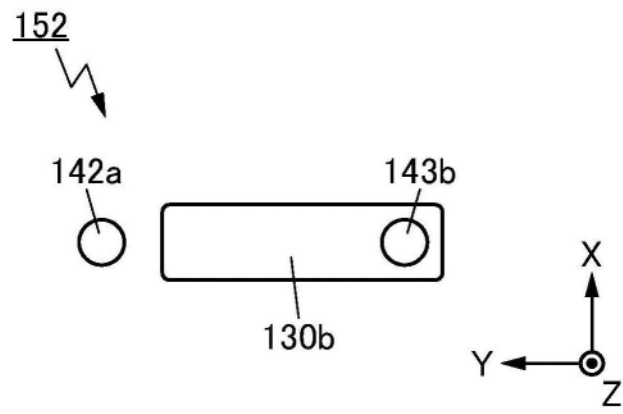


图3B

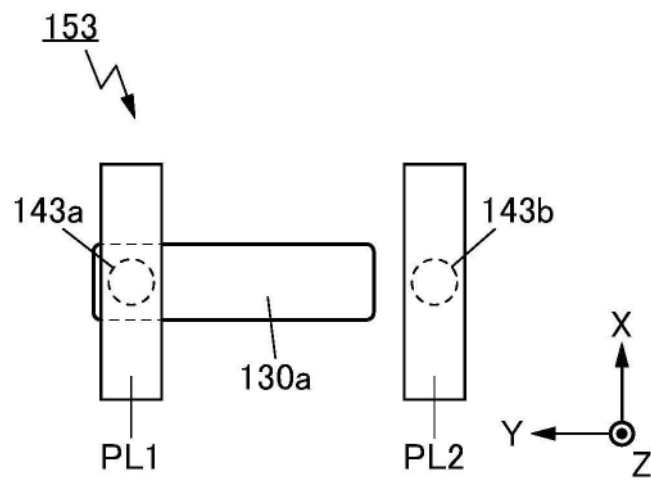


图3C



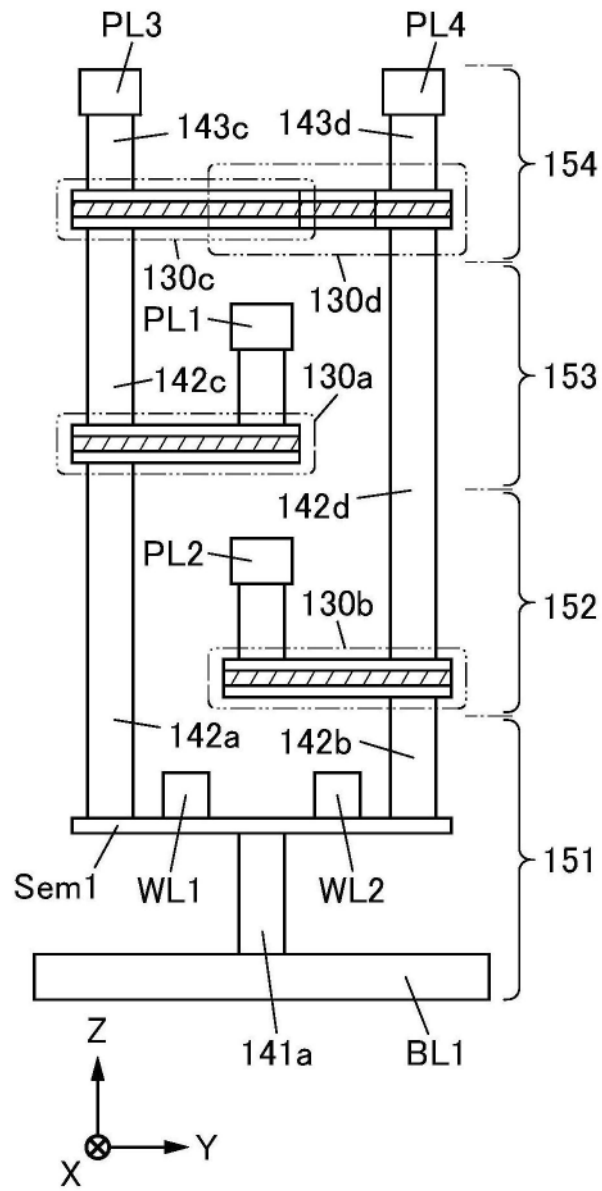


图4B

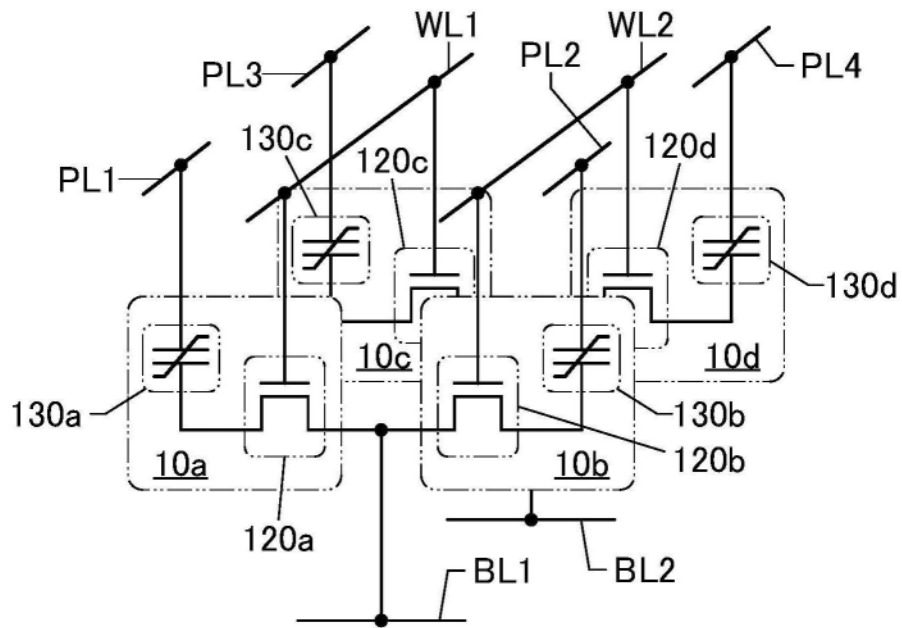


图4C

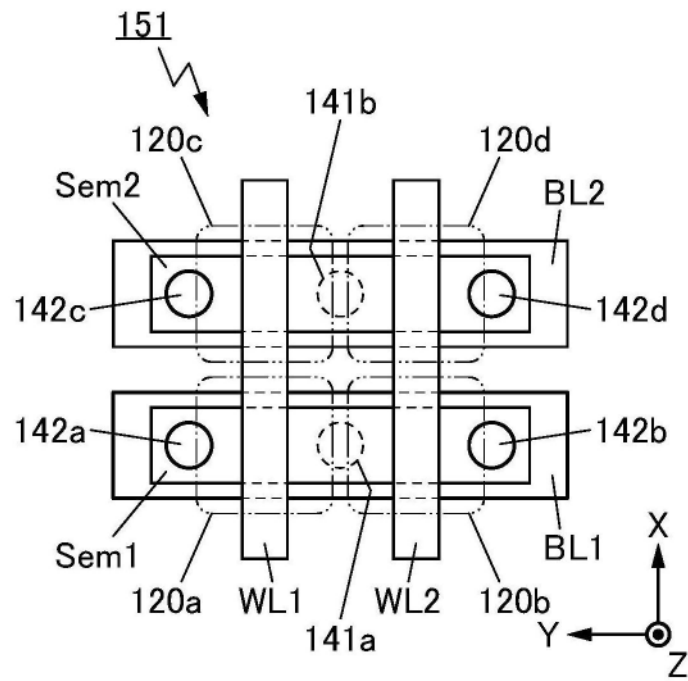


图5A

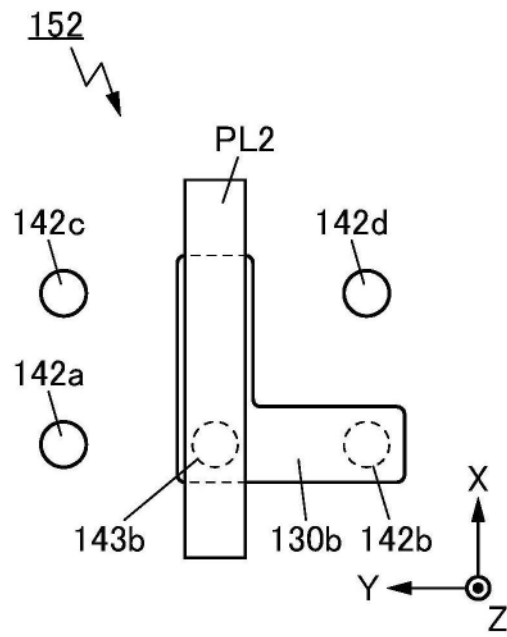


图5B

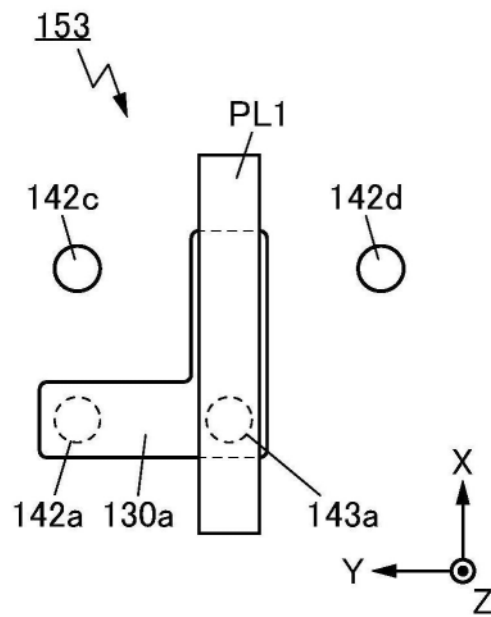


图5C

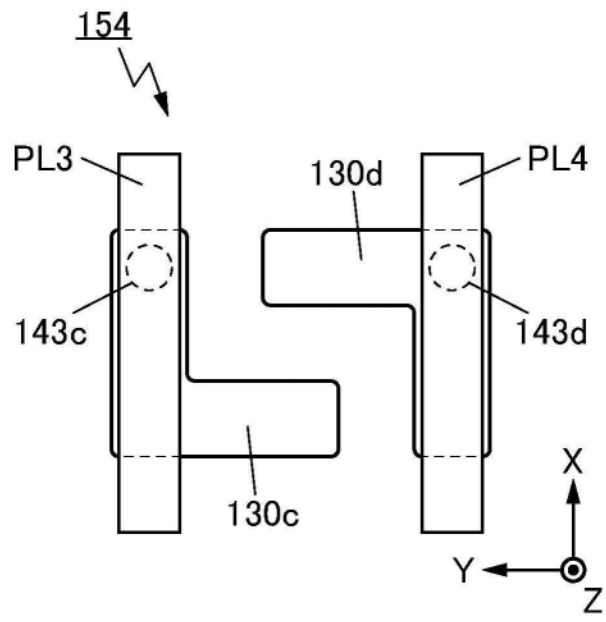


图5D

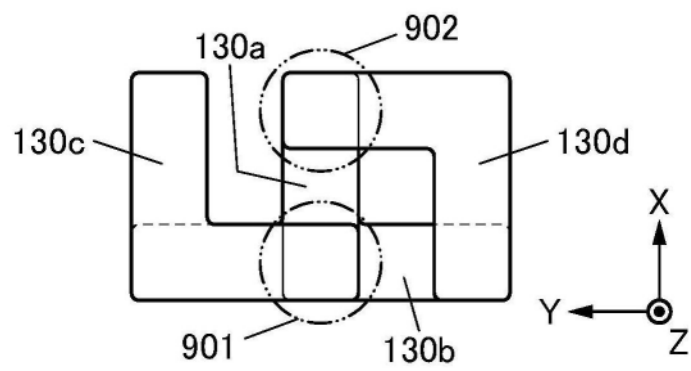


图5E

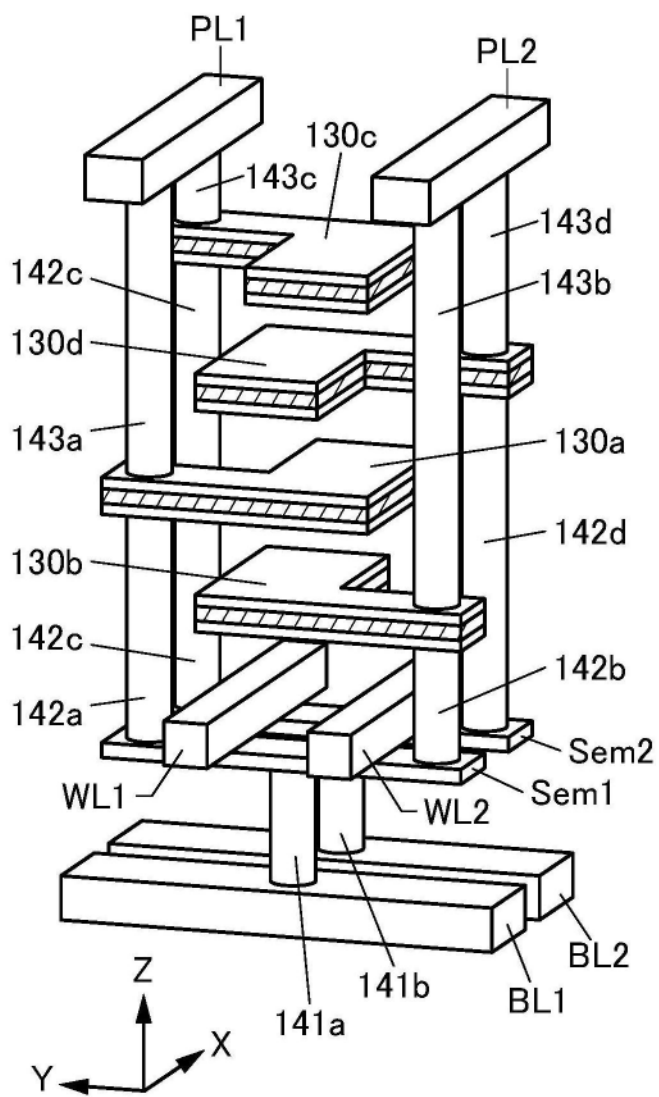


图6A



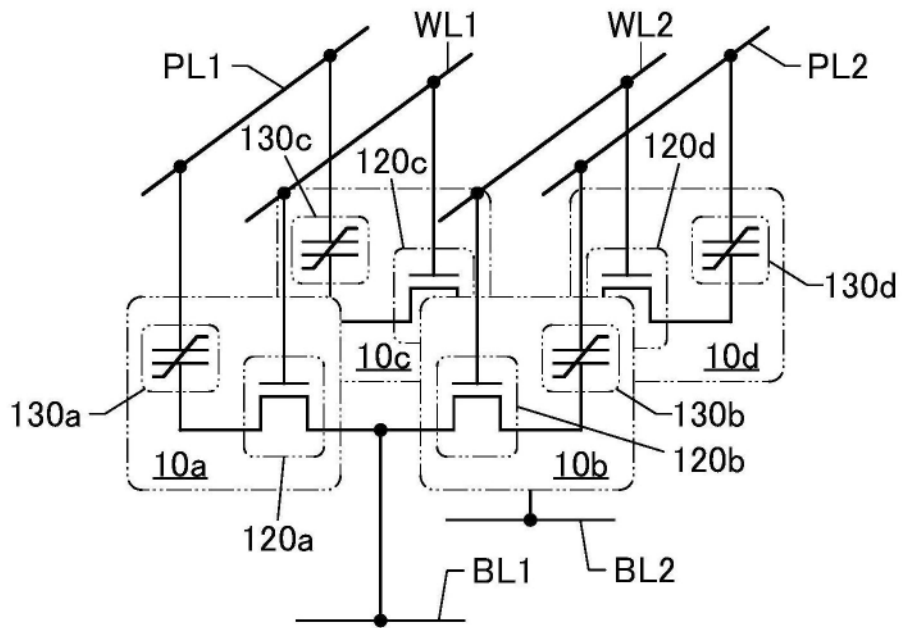


图6C

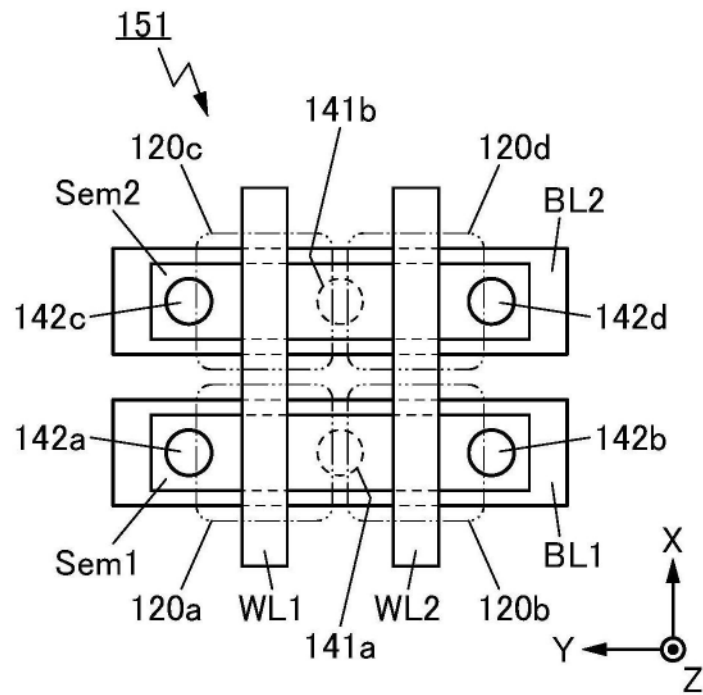


图7A

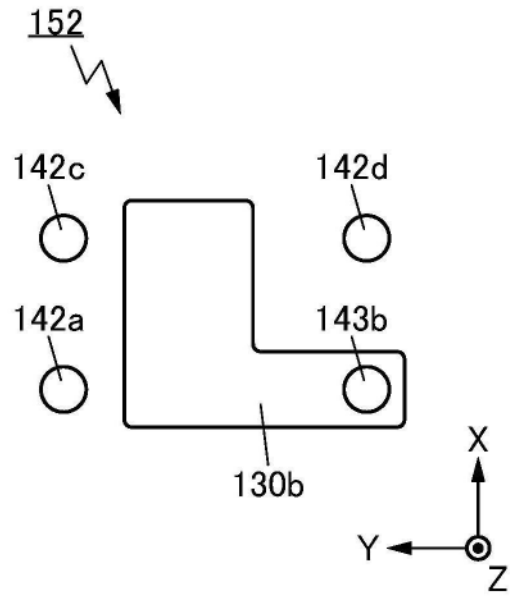


图7B

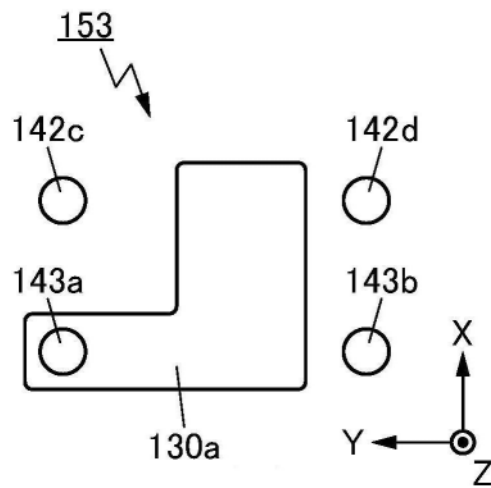


图7C

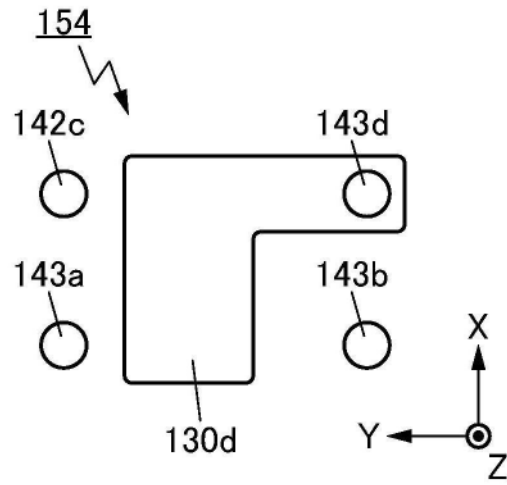


图7D

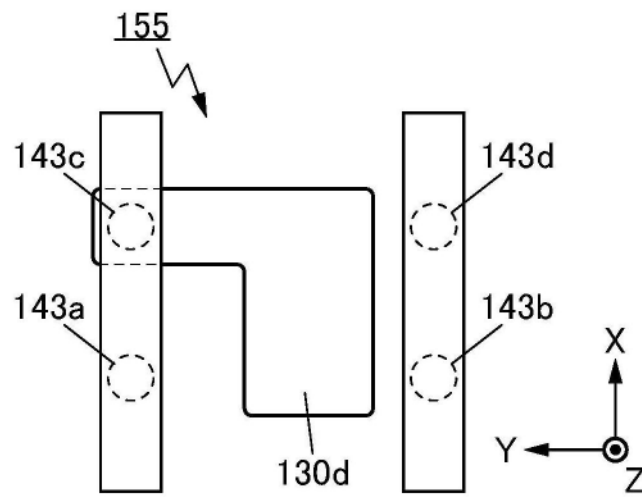


图7E

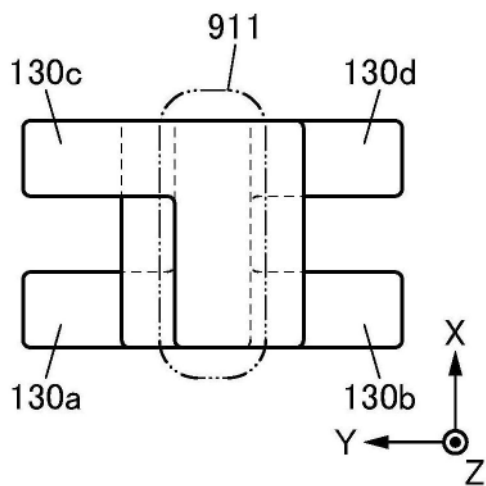


图7F

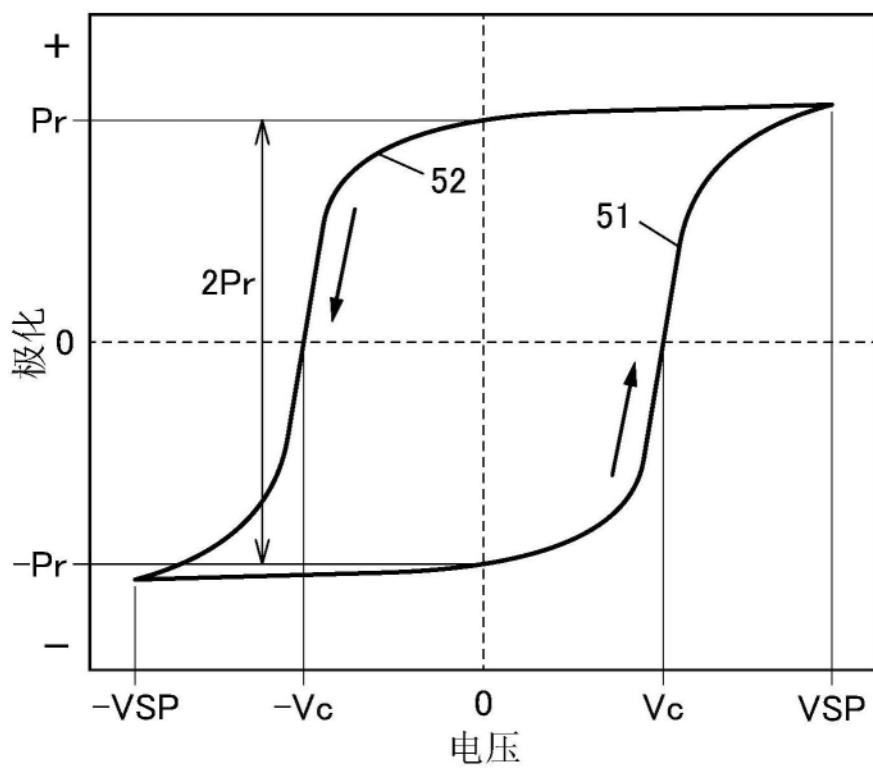


图8

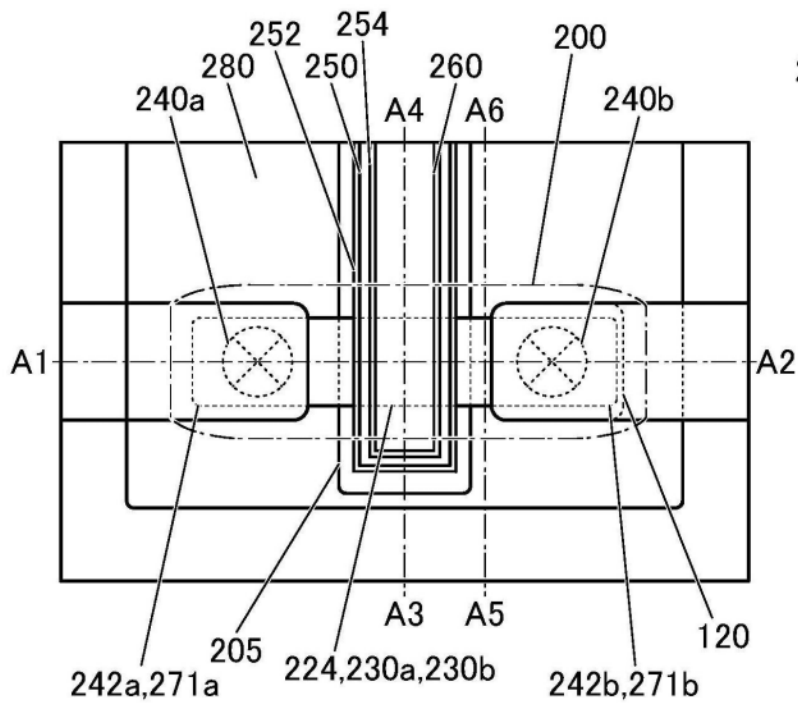


图9A

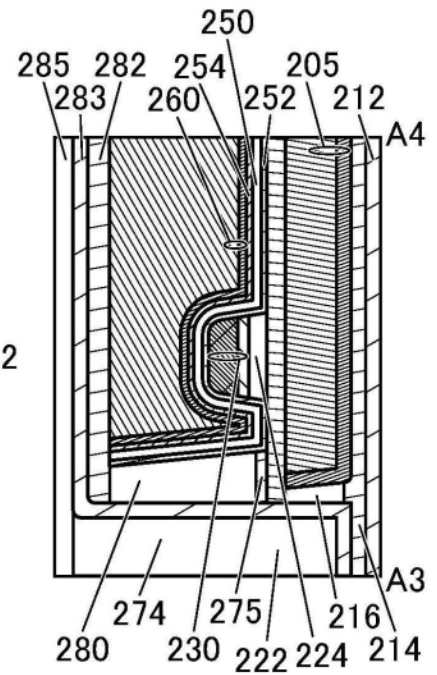


图9C

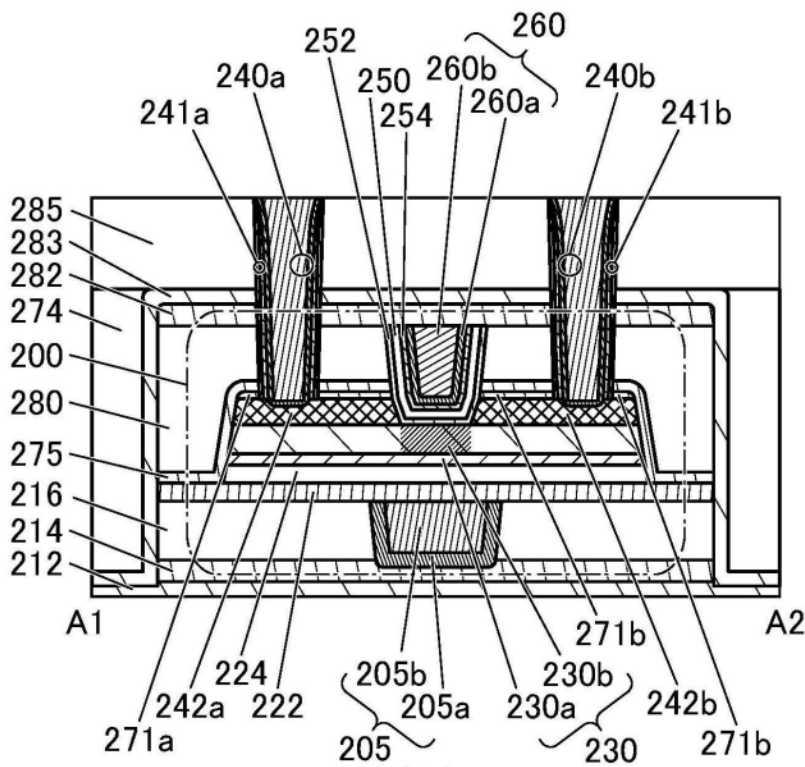


图9B

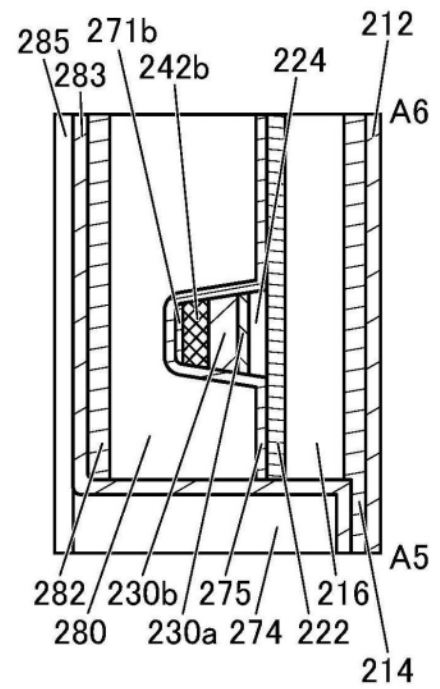


图9D

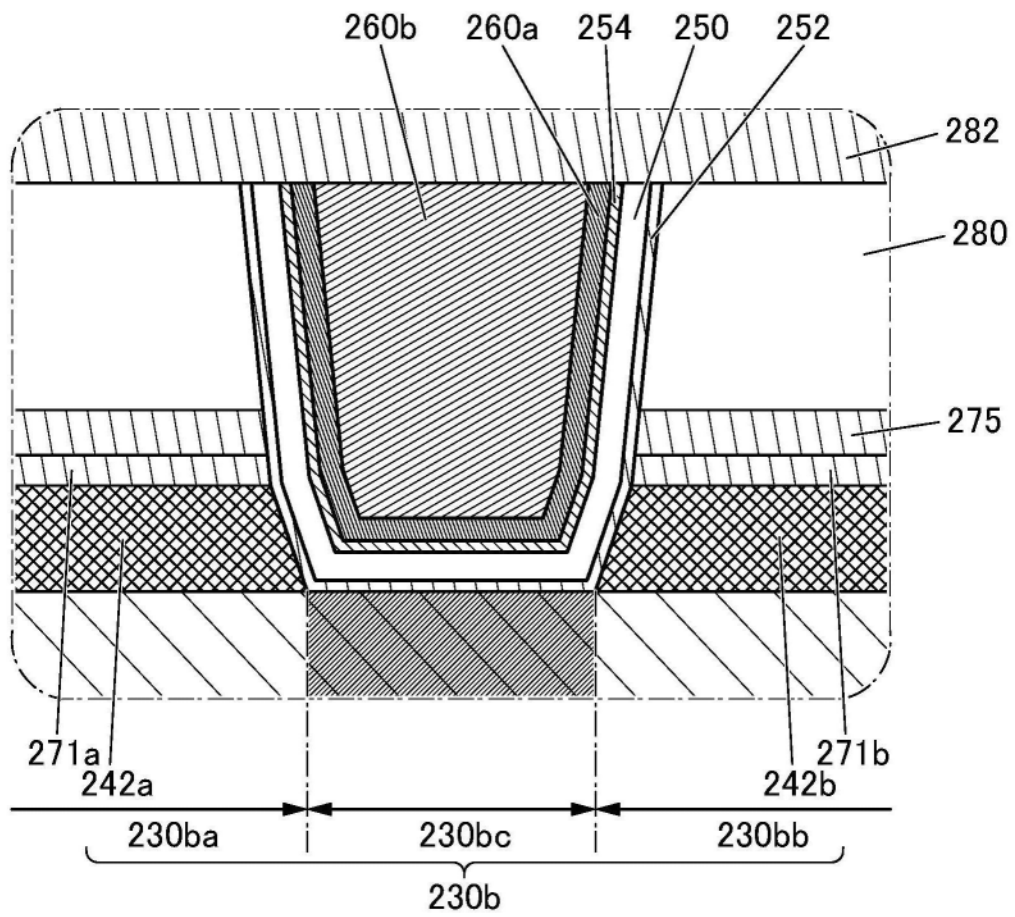


图10A

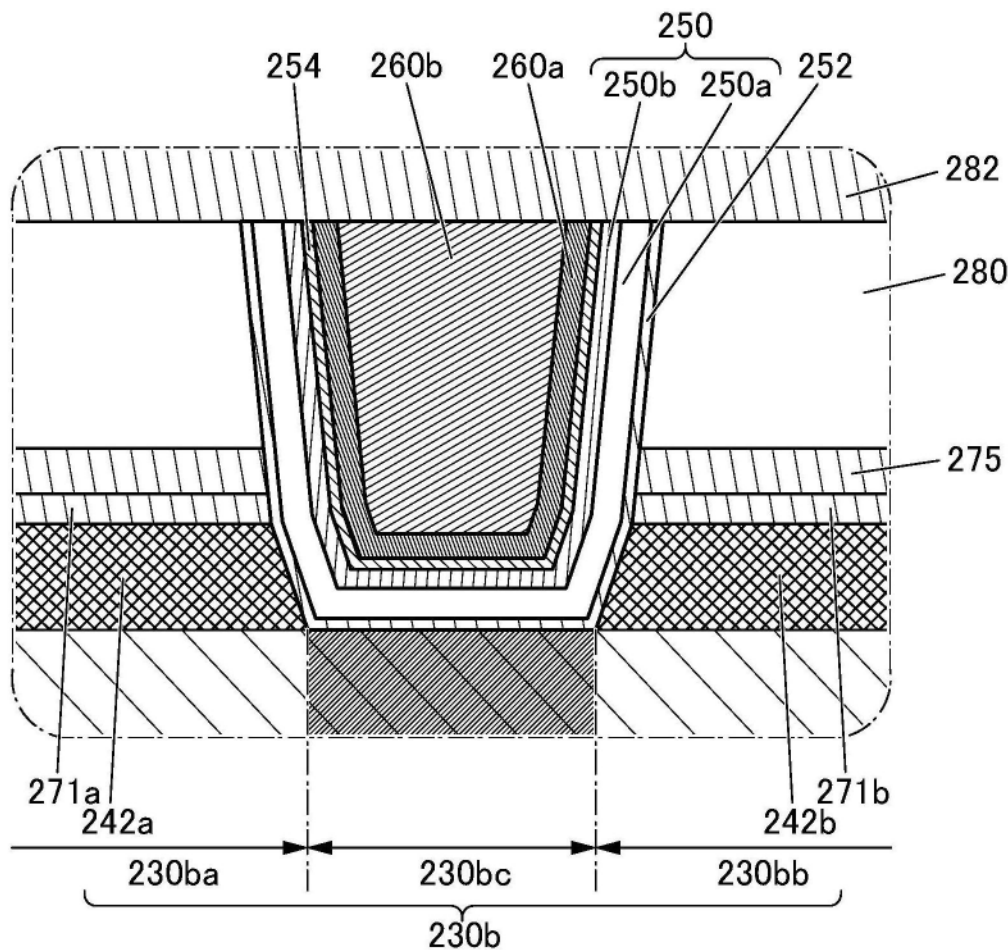


图10B

中间状态  
新的边界区域

| Amorphous<br>(无定形)       | Crystalline<br>(结晶性)                 | Crystal<br>(结晶) |
|--------------------------|--------------------------------------|-----------------|
| •completely<br>amorphous | •CAAC<br>•nc<br>•CAC<br>不包含单晶及<br>多晶 | •单晶<br>•多晶      |

图11A

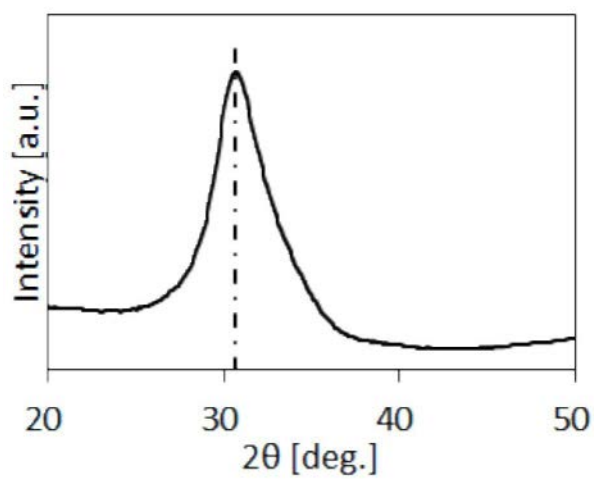


图11B

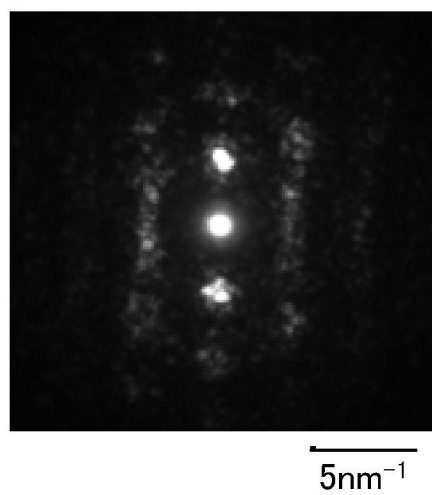


图11C

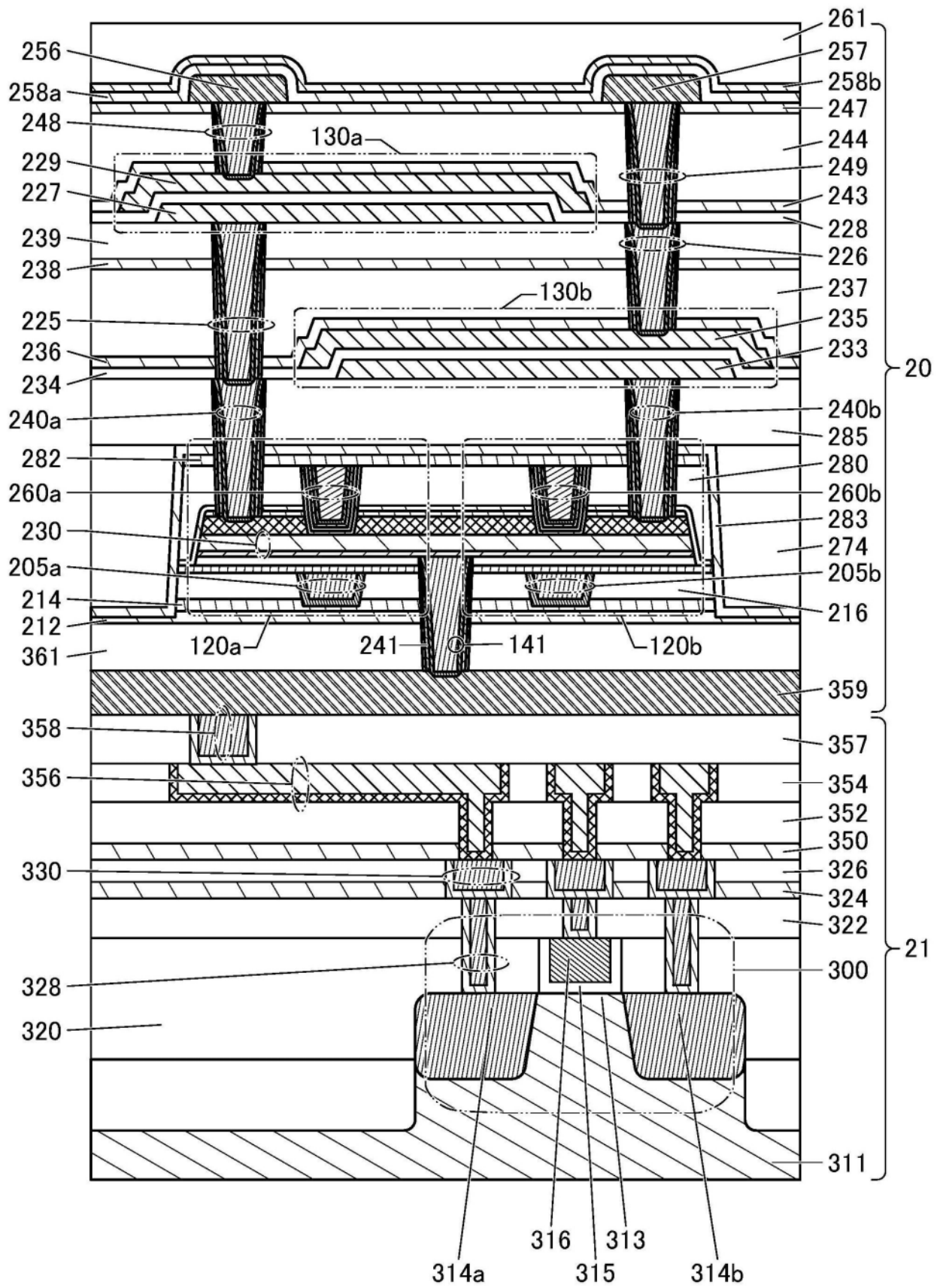


图12

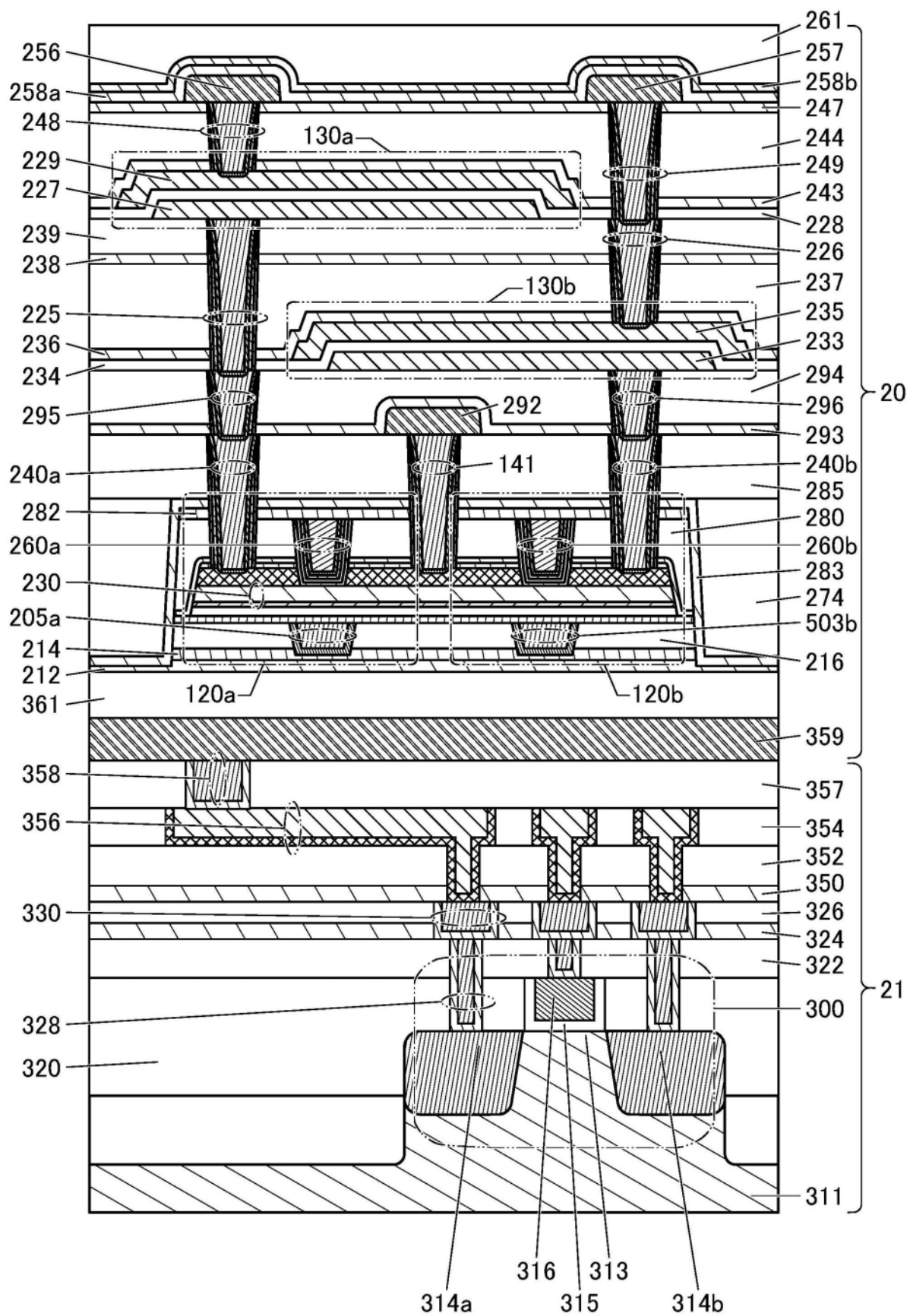


图13

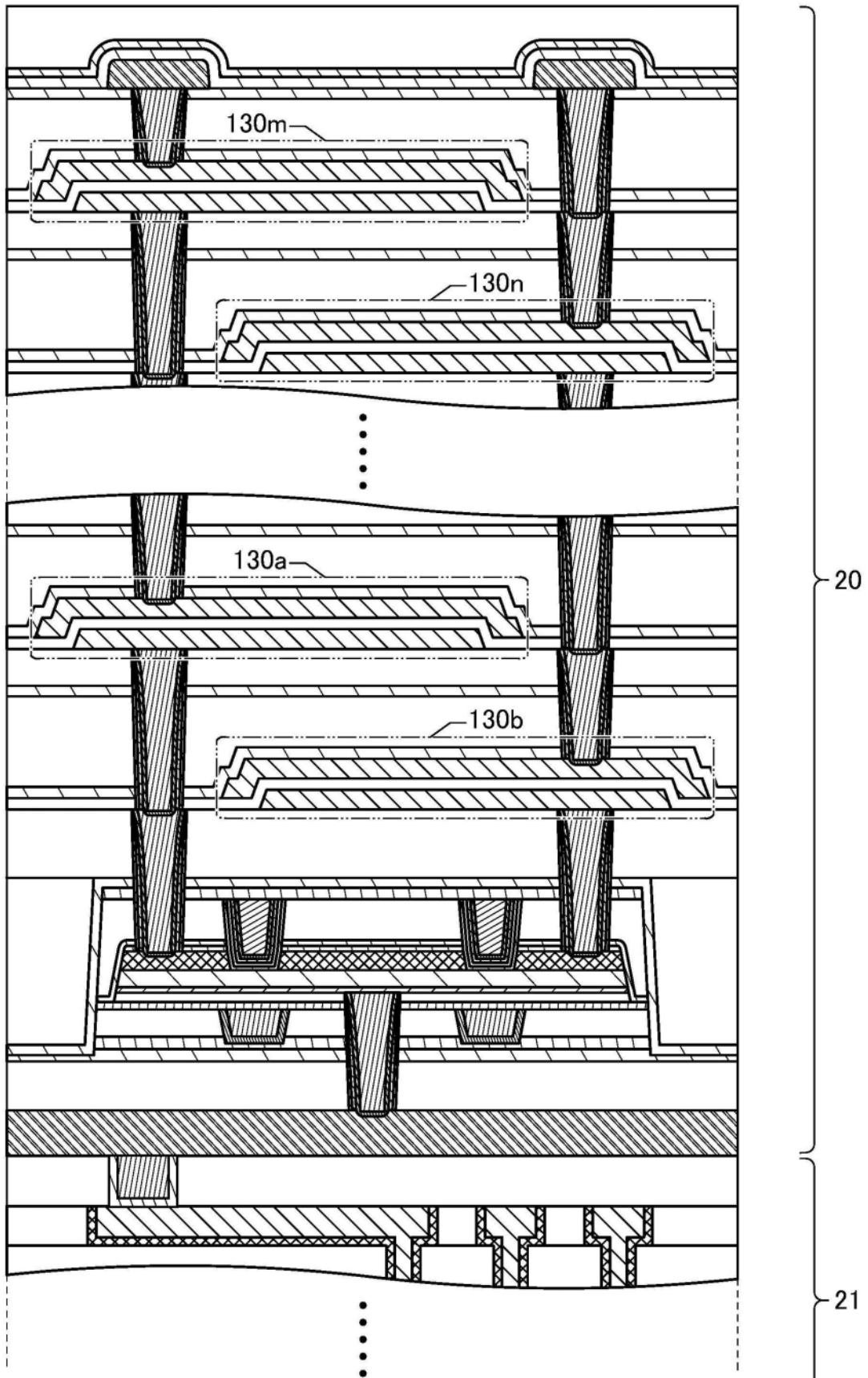


图14

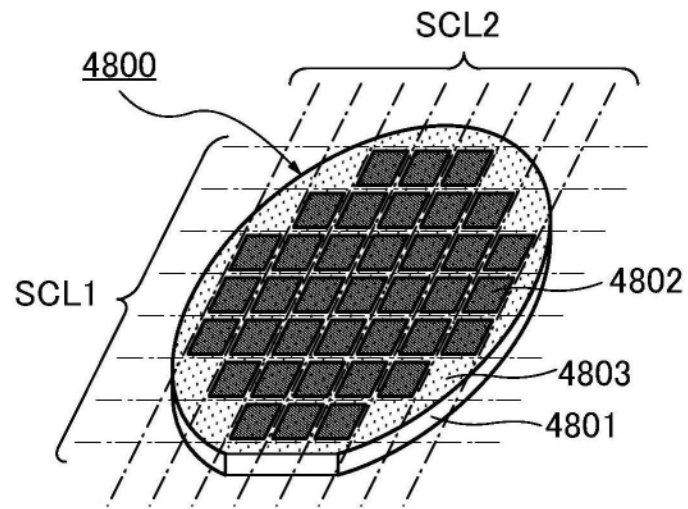


图15A

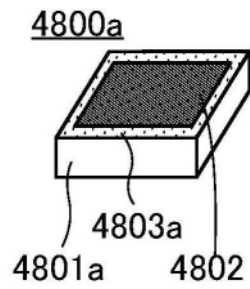


图15B

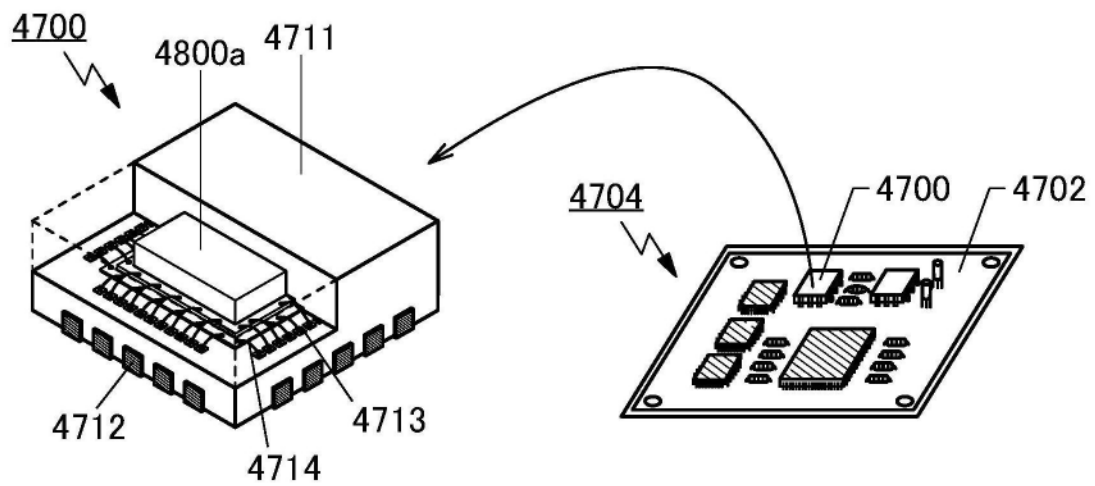


图15C

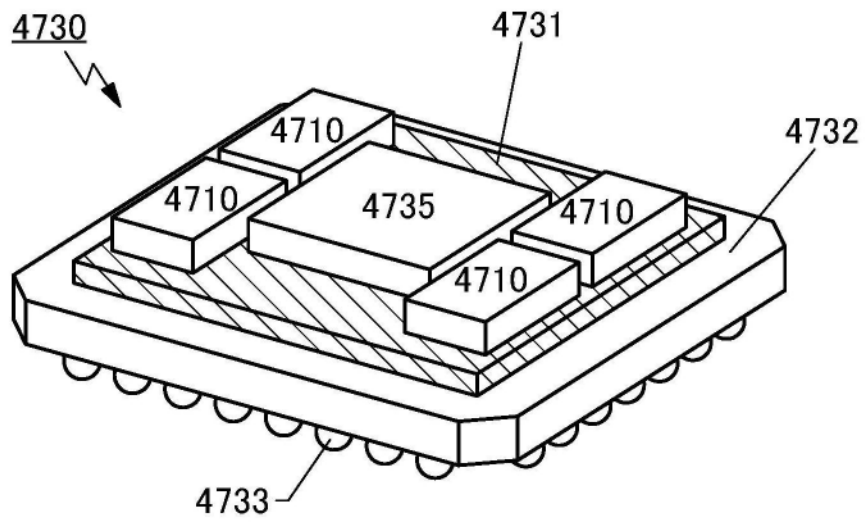


图15D

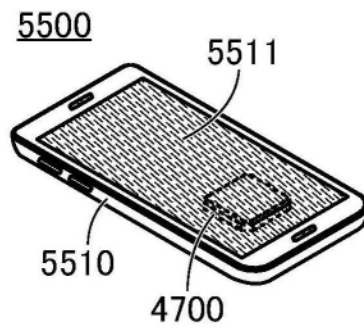


图16A

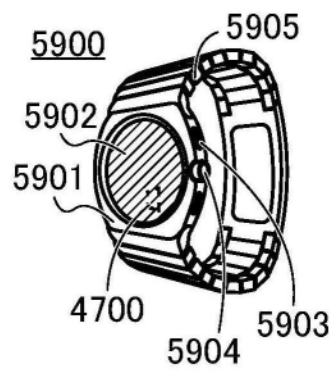


图16B

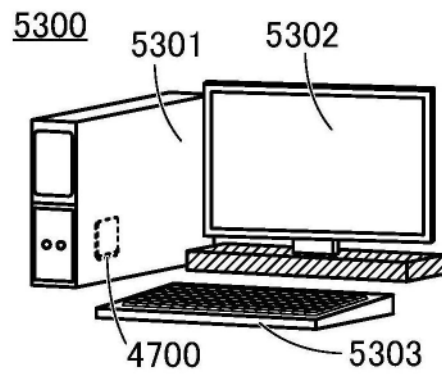


图16C

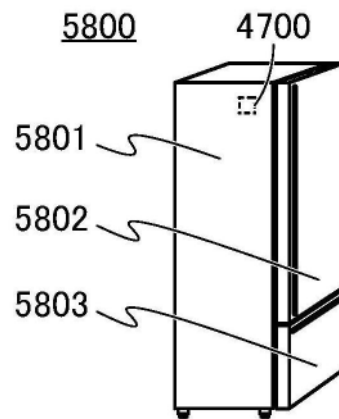


图16D

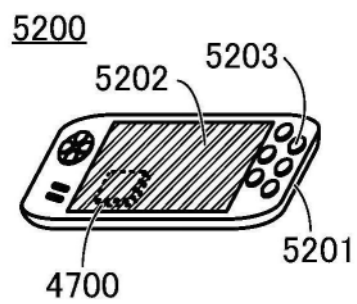


图16E

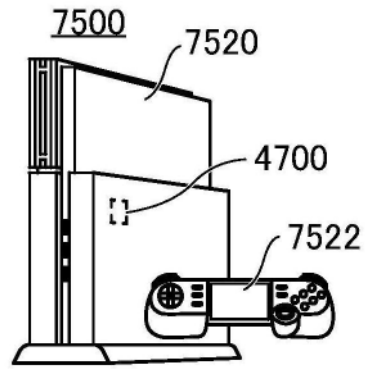


图16F

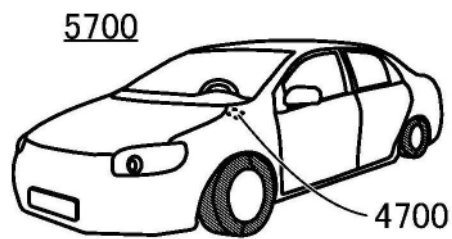


图16G

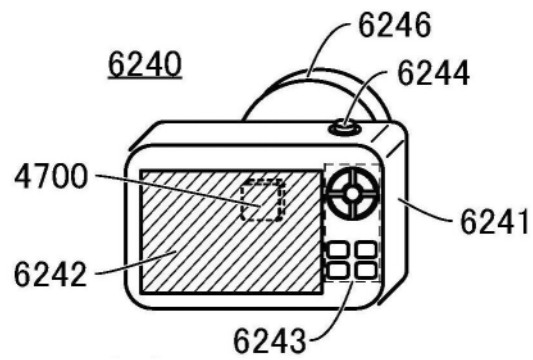


图16H

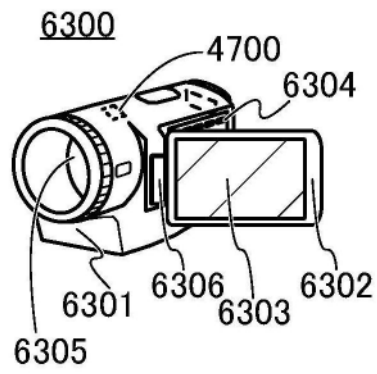


图16I

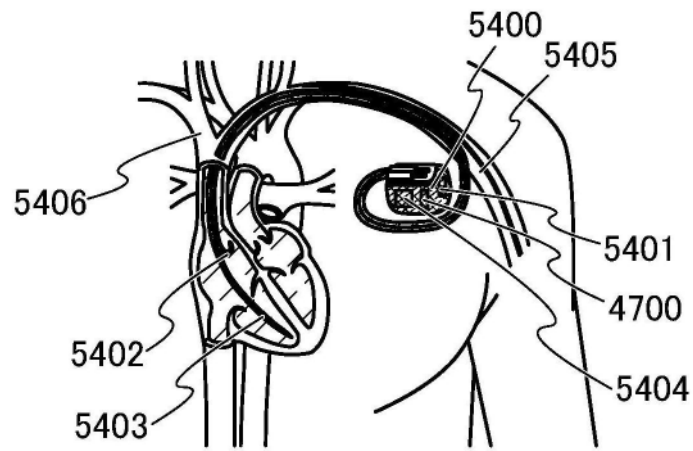


图16J

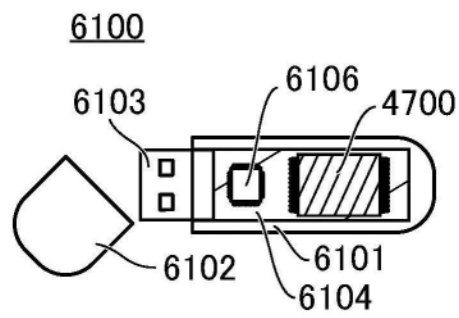


图17A

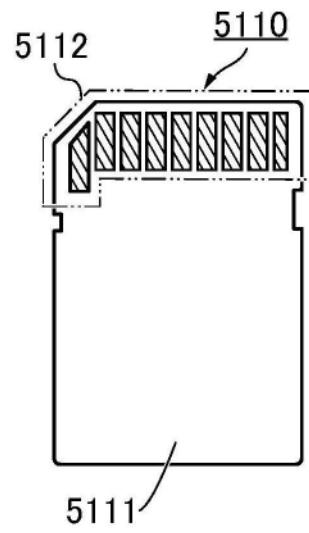


图17B

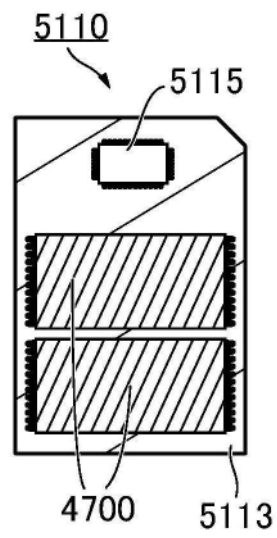


图17C

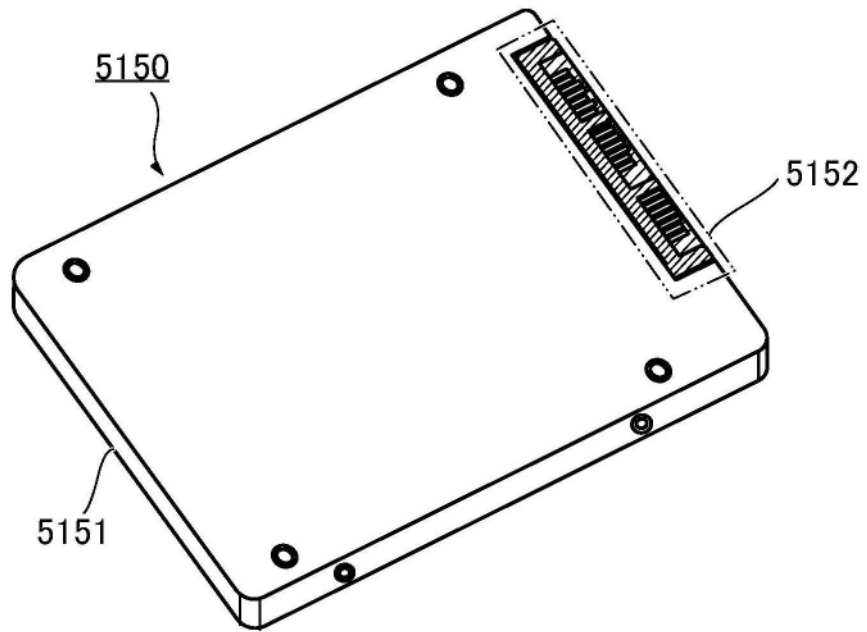


图17D

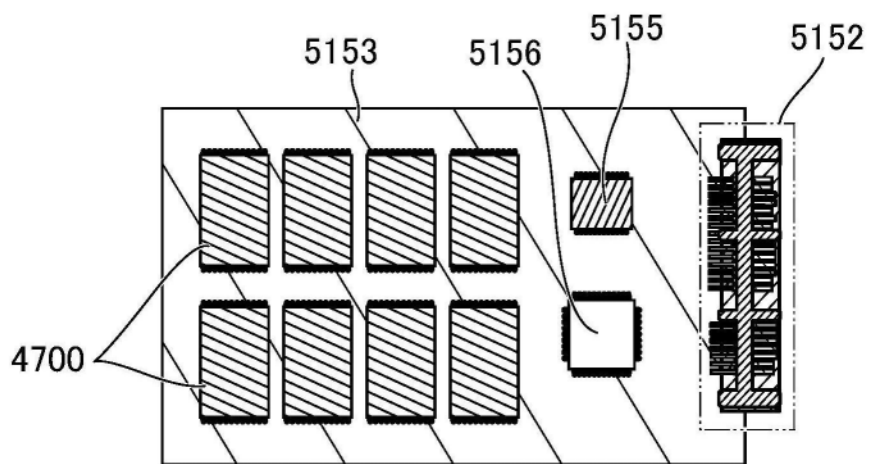


图17E

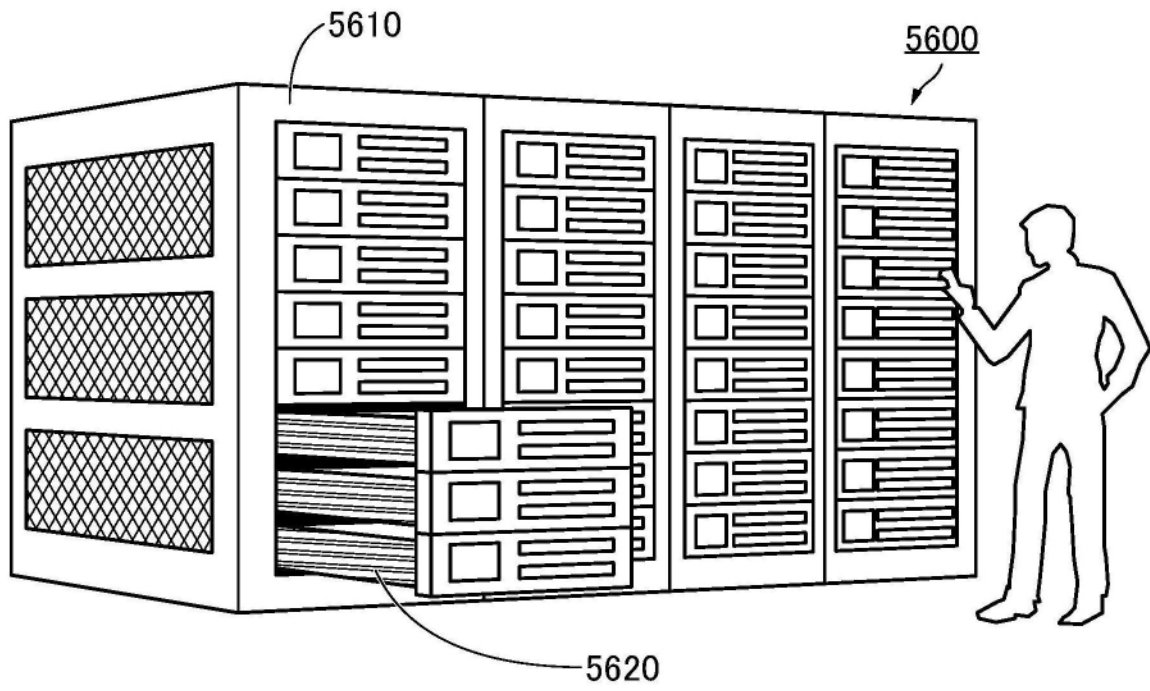


图18A

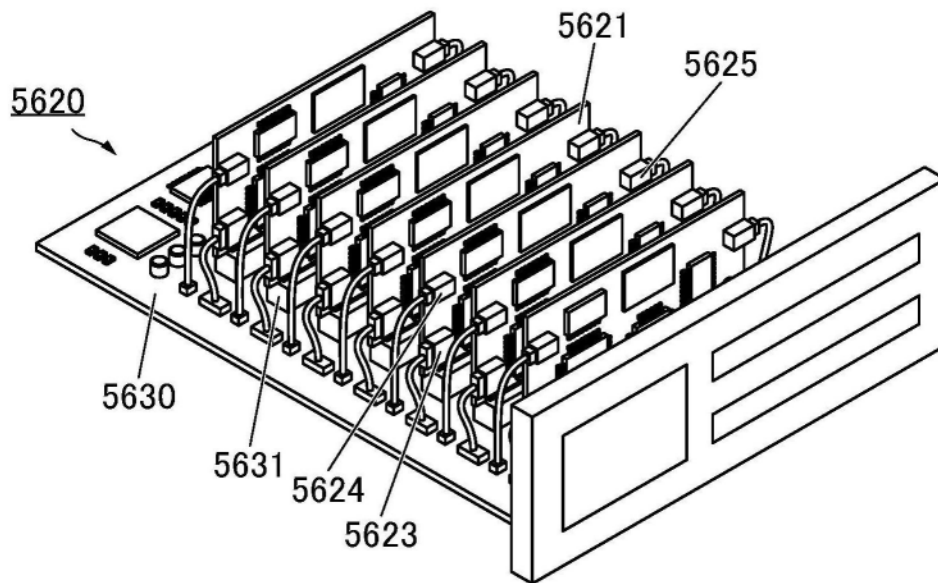


图18B

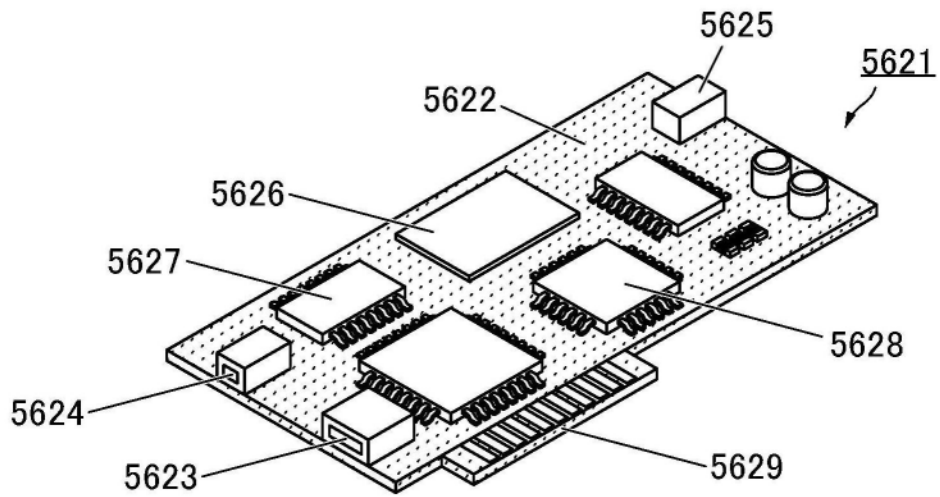


图18C