公告本

304264

申請日期	85 年 4 月 9 日
案號	85104140
類別	G11C 5/02

Int.·Cl[6]

A4
C4

304264

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	資料寫入或讀出用之裝置及方法
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 西川明成
	國籍	(1) 日本
	住、居所	(1) 日本國東京都武蔵野市吉祥寺南町四の一八の一〇
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 佐藤文夫

經濟部中央標準局員工消費合作社印製

裝 訂 線

304264

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1995 年 3 月 29 日	P07-071368	☑無主張優先權
日本	1996 年 3 月 14 日	P08-057533	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

＜發明所須之技術領域＞

本發明係與記憶資訊之媒體相關。

＜先行技術＞

一向，半導體記憶體係備有冗長之電路。此冗長電路係有以預備記憶體格來取代有缺欠之記憶體之機能。故即使記憶體格之一部分有缺欠、和可防止資料之錯誤。

但，預備之記憶體格之數目（列或行）受費用及挽救效率面之限制。故，有缺欠之記憶體格之數目超過預備之記憶體格之數目（列或行）時，超過的部分即無法挽救。

又，習知硬碟含缺欠區段時，會迴避此含缺欠區段之區段來記錄資訊。故，硬碟之記憶容量實質上係減少了。

＜發明所欲解決之課題＞

因此，習知半導體記憶體中，有缺欠之記憶體格之數目超過預備之記憶體格之數目（列或行）時，此超過之部分便無法挽救是爲其缺點。又，硬碟中，因迴避含缺久格之區段來記錄資訊之故、有硬碟之記憶容量係實質減少之缺點。

本發明即可解決上記缺點，其目的爲於ＲＡＭ、ＲＯＭ等之半導體記憶體中，不必挽救有缺欠之記憶體格亦可將資料錯誤之影響抑制至最少；於ＨＤ（硬碟）、ＦＤ（軟碟）ＣＤ－ＲＡＭ、ＳＤ－ＲＡＭ、ＭＯ（光碟）、ＰＤ（相變化改變型碟）ＭＴ（磁帶）等之記錄媒體

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（2）

中，即使有有缺欠之區段，亦可將資料錯誤之影響限制至最少。

＜解決課題之方法＞

本發明之記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，具有有複數區域之記憶機構；及上記複數區域內，予定寫入上記複數之位元之第1位元之第1區域上有缺欠部分時，將上記複數位元排列改變之第1排列改變機構；及將上記第1位元之重疊還要少之第2位元寫入上記第1區域，將上記第1位元寫入上記第1區域以外之其他區域之控制上記第1排列改變機構之控制機構。

本發明之記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，具有有複數之區域，各個區域係由複數之部分所構成之記憶機構；及給與記憶上記複數位元之上記複數區域之部分指定位址之位址機構；及上記複數區域內，予定寫入上記複數位元之第1位元之第1區域上有缺欠部分，且上記位址係指定於上記缺欠部分時，將上記複數位元排列改變之第1排列改變機構；及將比上記第1位元之重疊還要少之第2位元寫入上記第1區域之上記缺欠部分，將上記第1位元寫入上記第1區域以外之其他區域地控制上記第1排列改變機構之控制機構。

本發明之記憶體裝置，具有將上記記憶機構讀出之記

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

憶複數位元排列改變之第2排列改變機構；上記控制機構係將自上記記憶機構讀出之上記第1及第2位元歸回正確位置地控制上記第2排列改變機構。

上記第2位元係爲ＬＳＢ。

上記複數區域內，予定寫入上記複數位元之第3位元之第2區域上有缺欠部分時，上記控制機構係將上記第3位元之重疊還要少之第4位元寫入上記第2區域之上記缺欠部分，將上記第3位元寫入上記第2區域以外其他區域地控制上記第1排列改變機構。

上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元構成之第3位元群之第2區域上有缺欠部分，且上記控制機構係指定於上記缺欠部分時，上記控制機構係將比構成上記第3位元群之各位元之重疊還要少之相互連續2以上之位元構成之第4位元群寫入上記第2區域之上記缺欠部分，將上記第3位元群寫入上記第2區域以外之其他區域地控制上記第1排列改變機構。

上記第1及第2排列改變機構係由如複數之選擇器所構成。

上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元群寫入上記第1區域地控制上移暫存器。

上記控制機構有記憶上記第1區域相關之資訊之記憶部。又，上記控制機構有記憶上記第1及第2區域相關之資訊之記憶部。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

上記控制機構有記憶指定上記缺欠部分之錯誤位置相關之資訊之記憶部、及記憶第1區域之資訊之記憶部；上記控制機構係，當裡上記位址機構指定之位址與上記錯誤位置一致時，將上記第2位元記憶於上記第1區域之上記缺欠部分地控制上記第1排列改變機構。

上記記憶機構之上記複數之區域爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO、PD，及MT之記憶區域。

本發明之記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，具有有複數區域之記憶機構；及上記複數區域內，予定寫入上記複數之位元之相互連續2以上之位元所構成之第1位元群之第1區域上有缺欠部分時，將上記複數位元排列改變之第1排列改變機構；及將比構成上記第1位元之間之各位元之重疊還要少之相互連續2以上之位元構成之第2位元群寫入第1區域，將上記第1位元群寫入上記第1區域以外其他區域地控制上記第1排列改變機構之控制機構。

本發明記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，具有有複數區域，各個區域係由複數部分構成之記憶機構；及給與記憶上記複數位元之上記複數區域之部分指定位址之位址機構；上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元所構成之第1位元群之第1區域上有缺欠部分，且上記位址指定於上記缺欠部分時，將上記複數位元

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

之排列改變之第1排列改變機構；及將比構成上記第1位元群之各位元之重疊還要少之相互連續2以上之位元構成之第2位元群主入上記第1區域之上記缺欠部分，將上記第1位元群寫入上記第1區域以外之其他區域地控制上記第1排列改變機構之控制機構。

有將自上記記憶機構讀出之上記複數位元之排列改變之第2排列改變機構；上記控制機構係將自上記記憶機構讀出之上記第1及第2位元歸回正確位置地控制上記第2排列改變機構。

上記第2位元群係爲ＬＳＢ。

上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元構成之第3位元之第2區域上有缺欠部分時，上記控制機構係將比構成上記第3位元之各位元之重疊還要少之相互連續2以上之位元構成之第4位元群寫入上記第2區域，將上記第3複數位元寫入上記第2區域以外其他區域地控制上記第1排列改變機構。

上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元構成之第3位元之第2區域上有缺欠部分時，上記控制機構係將比構成上記第3位元群之各位元之重疊還要少之相互連續2以上之位元構成之第4位元群寫入上記第2區域之上記缺欠部分，將上記第3複數位元寫入上記第2區域以外其他區域地控制上記第1排列改變機構。

上記第1及第2排列改變機構係由複數之選擇器所構

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 6 ）

成。

又，上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元寫入上記第1區域地控制上記上移暫存器。

上記控制機構有記憶上記第1區域相關之資訊之記憶部。

上記控制機構有記憶上記第1及第2區域相關之資訊之記憶部。

上記控制機構有記憶指定上記缺欠部分之錯誤位址之相關資訊之記憶部、及記憶與上記第1區域相關之資訊之記憶部；上記控制機構係當被上記位址機構指定之位址與上記錯誤位址一致時，將上記第2位位元群記憶於上記缺欠部分地控制上記第1排列改變機構。

上記記憶機構之上記複數之區域爲半導體記憶體、硬碟、軟碟、ＣＤ－ＲＡＭ、ＳＤ－ＲＡＭ、ＭＯ、ＰＤ，及ＭＴ之記憶區域。

本發明之裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之裝置，有上記複數區域內，予定寫入上記複數位元之第1位元之第1區域上有缺欠部分時，將上記複數位元排列改變之第1排列改變機構；及將比上記第1位元之重疊還要少之第2位元寫上記第1區域，將上記第1位元寫入第1區域以外其他區域地控制第1排列改變機構之控制機構。

本發明之裝置，係爲由各有不同重疊之複數之位元構

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

成之資料寫入或讀出用之記憶體裝置，具有給予記憶上記複數位元之上記複數區域之部分指定位址之位址機構；及上記複數區域內，予定寫入上記複數之位元之第1位元之第1區域上有缺欠部分，且上記位地係指定於上記缺欠部分時，將上記複數位元之排列改變之第1排列改變機構；及將比上記第1位元之重疊還要少之第2位元寫入上記第1區域之上記缺欠部分，將上記第1位元寫入上記第1區域以外之其他區域之部份地控制上記第1排列改變機構之控制機構。

本發明之裝置，有將自上記記憶機構讀出之上記複數位元之排列改變之第2排列改變機構；上記控制機構係將自上記記憶機構讀出之第1及第2位元歸回正確位址地控制上記第2排列改變機構。

上記第2位元係爲ＬＳＢ。

上記複數區域內，予定寫入上記複數位元之第3位元之第2區域上有缺欠部分時，上記控制機構係將比上記第3位元之重疊還要少之第4位元寫入上記第2區域內，將上記第3位元寫入上記第2區域以外其他區域地控制上記第1排列改變機構。

上記複數區域內，予定寫入上記複數位元之第3位元之第2區域上有缺欠部分，且上記位址係指定於上記缺欠部分時，上記控制機構係將比記第3位元之重疊還要少之第4位元寫入上記第2區域之上記缺欠部分，將上記第3位元寫入上記第2區域以外其他區域地控制上記第1排列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

改變機構。

上記第1及第2排列改變機構係由複數之選擇器所構成。

上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元寫入上記第1區域地控制上記上移暫存器。

上記控制機構有記憶上記第1區域相關之資訊之記憶部。

上記控制機構有記憶上記第1及第2區域相關之資訊之記憶部。

上記控制機構有記憶指定上記缺欠部分之錯誤位址之相關之資訊之記憶部、及記憶與上述第1區域相關之資訊之記憶部；上記控制機構係當被上記位址機構指定之位址與上記錯誤位址一致時，將上記第2位元群記憶於上記缺欠部分地控制上記第1排列改變機構。

上記記憶機構之上記複數之區域爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO、PD，及MT之記憶區域。

本發明之裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，具有有複數區域之記憶機構；及上記複數區域內，予定寫入上記複數之位元之相互連續2以上之位元所構成之第1位元群之第1區域上有缺欠部分時，將上記複數位元排列改變之第1排列改變機構；及將比構成上記第1位元之區之各位元之重疊還

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

要少之相互連續2以上之位元構成之第2位元群寫入第1區域，將上記第1位元群寫入上記第1區域以外其他區域地控制上記第1排列改變機構之控制機構。

本發明之裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，具有有複數區域，各個區域係由複數部分構成之記憶機構；及給與記憶上記複數位元之上記複數區域之部分指定位址之位址機構；上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元所構成之第1位元群之第1區域上有缺欠部分，且上記位址指定於上記缺欠部分時，將上記複數位元之排列改變之第1排列改變機構；及將比構成上記第1位元群之各位元之重疊還要少之相互連續第2以上之位元構成之第2位元群主入上記第1區域之上記缺欠部分，將上記第1位元群寫入上記第1區域以外之其他區域地控制上記第1排列改變機構之控制機構。

本發明之裝置，有將自上記記憶機構讀出之上記複數位元排列改變之第2排列改變機構；上記控制機構係將自上記記憶機構讀出之上記第1及第2位元歸回正確位置地控制上記第2排列改變機構。

上記第2位元群係爲ＬＳＢ。

上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元構成之第3位元群之第2區域上有缺欠部分時，上記控制機構係將比構成上記第3位元群之各位元之重疊還要少之相互連續2以上之位元構成之第4位元群

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

寫入上記第2區域之上記缺欠部分，將上記第3位元寫入上記第2區域以外其他區域地控制第1排列改變機構。

上記第1及第2排列改變機構係由複數之選擇器所構成。

上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元寫入上記第1區域地控制上記上移暫存器。

上記控制機構有記憶上記第1區域相關之資訊之記憶部。

上記控制機構有記憶上記第1及第2區域相關之資訊之記憶部。

上記控制機構有記憶指定上記缺欠部分之錯誤位址之相關資訊之記憶部、及記憶與上記第1區域相關之資訊之記憶部；上記控制機構係當被上記位址機構指定之位址與上記錯誤位址一致時，將上記第2位位元群記憶於上記缺欠部分地控制上記第1排列改變機構。

上記記憶機構之上記複數之區域爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO、PD，及MT之記憶區域。

本發明之方法，係將由各有不同重疊之複數位元構成之資料寫入記憶機構之複數區域內，且將上記資料自上記記憶機構之複數區域讀出之方法，上記複數區域內，予定寫入上記複數位元之第1位元之第1區域上有缺欠部分時，將上記複數位元排列改變，將比上記第1位元之重疊還

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

要少之第2位元寫入上記第1區域，將上記第1位元寫入上記第1區域以外其他區域，將自上記記憶機構讀出之上記複數位元排列改變，將上記第1及第2位元歸回正確位置，之一連串工程所構成。

上記第1區域上被寫入ＬＳＢ爲佳。

將ＬＳＢ寫入上記第1區域之上記缺欠部分。

本發明之方法，係將由各有不同重疊之複數位元構成之資料寫入記憶機構之複數區域內，且將上記資料自上記記憶機構之複數區域讀出之方法，上記複數區域內，予定寫入由上記複數位元之第相互連續之2以上之位元所構成之1位元群之第1區域上有缺欠部分時，將上記複數位元排列改變，將比構成上記第1位元之各位元之重疊還要少之第2以上之位元構成之第2位元群寫入上記第1區域；將上記第1位元群寫入上記第1區域以外其他區域，將自上記記憶機構讀出之上記複數位元排列改變，將上記第1及第2位元歸回正確位置之一連串工程所構成。

將ＬＳＢ寫入上記第1區域之上記缺欠部分爲佳。

本發明之方法，係將由各有不同重疊之複數位元構成之資料寫入記憶機構之複數區域內，且將上記資料自上記記憶機構之複數區域讀出之方法，將自定位址供給於記憶上記複數位元之上記複數區域之部分；上記複數區域內，予定寫入由上記複數位元之相互連續之2以上之位元所構成之第1位位元群之第1區域上有缺欠部分，且位址係指定於上記缺欠部分時，將上記複數位元排列改變，將比構

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

成上記第1位元之各位元之重疊還要少之第2以上之位元構成之第2位元群寫入上記第1區域之缺欠部分，將上記第1位元群寫入上記第1區域以外其他區域，將自上記記憶機構讀出之上記複數位元排列改變，將上記第1及第2位元歸回正確位置之一連串工程所構成。

上記第2位元群係含有ＬＳＢ爲佳。

本發明之方法，係將由各有不同重疊之複數位元構成之資料寫入記憶機構之複數區域內，且將上記資料自上記記憶機構之複數區域讀出之方法，將自定位址供給於記憶上記複數位元之上記複數區域之部分；上記複數區域內，予定寫入由上記複數位元之相互連續之第2以上之位元所構成之第1位位元群之第1區域上有缺欠部分，且位址係指定於上記缺欠部分時，將上記複數位元排列改變，將比構成上記第1位元之各位元之重疊還要少之第2以上之位元構成之第2位元群寫入上記第1區域之缺欠部分，將上記第1位元群寫入上記第1區域以外其他區域，將自上記記憶機構讀出之上記複數位元排列改變，將上記第1及第2位元歸回正確位置之一連串工程所構成。

本發明之裝置，係爲一種各有不同重疊之複數位元中，至少第1位元被記憶於記憶機構之缺欠部分以外之部分，比上記第1位元之重疊還要少之第2位元被記憶於上記記憶機構之上記缺欠部分時，將上記複數位元自上記記憶機構讀出用之裝置，具備將上記複數位元自上記記憶機構讀出之機構，及將上記複數位元排列改變，將第1及第2

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

位元歸回正確位置之機構。

本發明之裝置，係爲一種各有不同重疊之複數位元中，將由連續2以上位元構成之第1位元群記憶於記憶機構之缺欠部分以外之部分，將比構成第1位元群之各位元之重疊還要少之連續2以上之位元所構成之第2位元群記憶於上記記憶機構之上記缺欠部分時，將上記複數位元自上記記憶機構讀出用之裝置，具備將上記複數位元自上記記憶機構讀出之機構，及將上記複數位元排列改變，將構成第1位元群及第2位元群之各位元歸回正確位置之機構。

本發明之方法，係爲一種各有不同重疊之複數位元中，至少第1位元被記憶於記憶機構之缺欠部分以外之部分，比上記第1位元之重疊還要少之第2位元被記憶於上記記憶機構之上記缺欠部分時，將上記複數位元自上記記憶機構讀出用之方法，係爲將上記複數位元自上記記憶機構讀出，將上記複數位元排列改變，將第1及第2位元歸回正確位置之一連串工程所構成。

本發明之方法，係爲一種各有不同重疊之複數位元中，將由連續2以上位元構成之第1位元群記憶於記憶機構之缺欠部分以外之部分，將比構成第1位元群之各位元之重疊還要少之連續2以上之位元所構成之第2位元群記憶於上記記憶機構之上記缺欠部分時，將上記複數位元自上記記憶機構讀出用之方法，係爲：將上記複數位元自上記記憶機構讀出，將上記複數位元排列改變，將構成第1位元群及第2位元群之各位元歸回正確位置之一連串工程所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

構成。

依有以上構成之裝置及方法，ＲＡＭ，可改寫ＲＯＭ等之半導體記憶體、及硬碟、軟碟、ＣＤ－ＲＡＭ。ＳＤ－ＲＡＭ、光碟、相變化改變型碟、磁帶等之記錄媒體上即使一部分有缺欠、藉排列改變電路，ＬＳＢ（最下位之位元）可被記憶於缺欠部分地來將複數位元之資料（影像資料或者音樂資料等）之各位元之排列改變。

故，記憶於記憶部之缺欠部分之資料，雖和原來之資料不同，但記憶於缺欠部分之資料和原來之資料之差異可抑制至最少限。又，此程度之差異，並無法由人類之視覺或聽覺分辨之故，對於影像資料及音樂資料之重現並無不適。

又，有缺欠部分之記憶體格之挽救，或用以迴避有缺欠部分之區段之電路皆不需要之故，電路規模可變少。

如此，本發明於，記憶人類之視覺或聽覺相關之影像資料或音樂資料等資料時，不用進行缺欠部分之挽救或迴避，上依進行資料之排列改變來使記憶體格或區段之缺欠所致之影響限制至最少限度。

＜發明之實施形態＞

以下參照圖對本發明之讀出寫入裝置及使用其之記憶體裝置、以及讀出寫入之方法予以詳述。

圖１係表示本發明之記憶體裝置之基本構成。

１１爲記憶部。記憶部１１係由如ＲＯＭ、ＲＡＭ、

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

半導體記憶體、ＨＤ、ＦＤ、ＣＤ－ＲＡＭ、ＳＤ－ＲＡＭ、ＭＯ、ＰＤ、ＭＴ等記錄媒體構成。

１２、１３爲排列改變電路。排列改變電路１２係具有將依每位元重疊之不同而表示影像或音樂資料之各位元予以改變排列並記憶於記憶部１１內之機能。排列改變電路１３係具有將有記憶部１１讀出之表示影像或音樂資料之各位元予以改變排列並輸出之機能。

１４爲控制電路。控制電路１４係將排列改變控制信號ＣＲ給予排列改變電路１２，１３，以控制排列改變電路１２，１３中各位元之排列改變。

本發明之讀出寫入裝置係由排列改變電路１２，１３及控制電路１４所構成，本發明之記憶體裝置係於本發明之讀出寫入裝置上加上記憶部１１所構成。

半導體記憶體之情況下，如排列改變電路１２，１３及控制電路１４係與形成記憶部（半導體記憶體）之半導體晶片分開，而被形成於１個或以上之半導體晶片上。但，記憶部１１，排列改變電路１２，１３及控制電路１４皆形成於１個半導體晶片上亦可。

ＨＤ、ＦＤ、ＣＤ－ＲＡＭ、ＳＤ－ＲＡＭ、ＭＯ、ＰＤ、ＭＴ等之記錄媒體之情況下，如排列改變電路１２，１３及控制電路１４係形成於此記錄媒體之驅動裝置內。此時，排列改變電路１２、１３及控制電路１４係形成於１個或以上之半導體晶片上。

一般而言，對人類之視覺或聽覺作用之視聽器材，即

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

使影像資料或音樂資料之1位元或複數位元有錯、亦不會被人類所察覺。即，此種與人類相關之視覺或聽覺有關之影像資料及音樂資料係允許有某程度之誤差。

本發明係於記憶此種與人類視覺或聽覺有關之影像資料及音樂資料之記憶體電路中，並不挽救有缺欠之記憶體格，亦不迴避有缺欠之區段，而是以進行資料之排列改變來使記憶體格或區段之缺欠所致之影響抑制至最少限度。

即，RAM、ROM、FD或HD等之記憶部11之一部分有缺欠時，如，排列改變電路12便將LSB（最下位之位元）欲記憶於缺欠區域內之表示影像資料及音樂資料之位元予以改變排列。

故，原予定寫入LSB之區域上有缺欠之情況下，沒有必要改變各位元之排列，但，LSB以外之位元，如予定寫入MSB（最上位之位元）之區域上有缺欠之情況時，如欲將LSB記憶於此缺欠區域址改變各位元之排列。

圖2爲表示本發明之第1實施形態之記憶體裝置。

此記憶體裝置係與半導體記憶體（RAM）有關。如數位音響之音樂資料係以16位元表示，以下爲簡化說明、以4位元之情況予以說明。

首先說明此記憶體裝置之構成。

RAM11a具有由形成行列狀之複數之記憶體格所成之記憶部。記憶部之周邊電路予以省略。

RAM11a之記憶部係，如於行方向4等分，構成區域A～D。排列改變電路12係將依重疊不同而表示影

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

像資料及音樂資料之各位元予以改變排列而給予ＲＡＭ１１ａ。又，排列改變電路１３係將自ＲＡＭ１１ａ讀出之表示影像資料及音樂資料之各位元予以改變回正確之排列。

控制電路１４備有記憶部（如ＲＯＭ）１５。控制電路１４係基於記憶於記憶部１５之資料，給予排列改變電路１２，１３排列改變控制信號ＣＲ，以控制排列改變電路１２，１３中之各位元之排列改變。

圖３表示圖２之排列改變電路１２之一例。圖４表示圖２之排列改變電路１３之一例。

排列改變電路１２係由４個選擇器Ｓ０～Ｓ３所構成。排列改變電路１３係由４個選擇器Ｓ０′～Ｓ３′所構成。

排列改變電路１２之選擇器Ｓ０～Ｓ３中，被輸入排列改變控制信號ＣＲ及表示影像資料或音樂資料之４位元資料Ｘ３～Ｘ０。各選擇器Ｓ３～Ｓ０係如圖１所示，基於排列改變控制信號ＣＲ予以選擇規定之１位元之資料，將此被選出之１位元之資料予以輸出。

排列改變電路１３之各選擇器Ｓ３′～Ｓ０′中，被輸入排列改變控制信號ＣＲ及記憶體部之４位元之輸出資料Ｘ３～Ｘ０。各選擇器Ｓ３′～Ｓ０′係如圖２所示，基於排列改變控制信號ＣＲ予以選擇規定之１位元之資料，將此被選出之１位元之資料予以輸出。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

〔表1〕

控制信號（錯誤型式 E3, E2, E1, E0）		0 0 0 0	0 0 0 1	0 0 1 0	0 1 0 0	1 0 0 0
輸入		X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X1, X0
被選擇信號	選擇器S3	X3	X3	X3	X3	X0
	選擇器S2	X2	X2	X2	X0	X2
	選擇器S1	X1	X1	X0	X1	X1
	選擇器S0	X0	X0	X1	X2	X3
輸出		X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X0, X1	X3, X0, X1, X2	X0, X2, X1, X3

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

〔表 2〕

控制信號（錯誤型式 E3, E2, E1, E0）		0 0 0 0	0 0 0 1	0 0 1 0	0 1 0 0	1 0 0 0
輸入		X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X0, X1	X3, X0, X1, X2	X0, X2, X1, X3
被選擇信號	選擇器 S3'	X3	X3	X3	X3	X3
	選擇器 S2'	X2	X2	X2	X2	X2
	選擇器 S1'	X1	X1	X1	X1	X1
	選擇器 S0/	X0	X0	X0	X0	X0
輸出		X3, X2, X1, X0	X3, X2, X1, X0	X3, X2, X0, X1	X3, X2, X1, X0	X3, X2, X1, X0

（請先閱讀背面之注意事項再寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

接著對此記憶體裝置之動作予以說明。

首先，製造時或系統啓動時，進行對ＲＡＭ１１ａ之資料之寫入及讀出試驗，檢查是否存在有無法記錄影像資料或音樂資料或記錄錯襲之有缺欠之記憶體格。

又，有缺欠之記憶體格存在於ＲＡＭ１１ａ時，確認此有缺欠之記憶體格係存在於ＲＡＭ１１ａ之何區域。將與記憶體格之缺欠相關之資料，記憶於控制電路１４之記憶部１５內。

控制電路１４係於記憶影像資料或音樂資料時，基於記憶部１５之資訊將排列改變控制信號ＣＲ給予排列改變電路１２。此排列改變控制信號ＣＲ，如以４位元表示，係決定影像資料及音樂資料之各位元之配置。

排列改變電路１２之各選擇器ＳＳ～Ｓ０係如表１所示，接收此控制信號ＣＲ後，由表示影像資料或音樂資料之４位元中選擇出規定之１位元予以輸出。

此時，在記憶ＭＳＢ等之上位位元（重疊大之位元）之區域內存在有有缺欠之記憶體格時，控制電路１４係將ＬＳＢ等之下位位元（重疊少之位元）記憶於該區域內地將控制信號ＣＲ給與排列改變電路１２。

如，於ＲＡＭ１１ａ之區域Ａ內存在有有缺欠之記憶體格時，控制電路１４係將１，０、０、０之控制信號ＣＲ給與排列改變電路１２之各選擇器ＳＳ～Ｓ０。結果，選擇器Ｓ３選擇位元Ｘ０，選擇器Ｓ２選擇位元Ｘ２，選擇器Ｓ１選擇位元Ｘ１，選擇器Ｓ０選擇位元Ｘ３。

（請先閱讀背面之注意事項再寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

故，影像資料或音樂資料之4位元由X3（MSB）、X2、X1、X0（LSB）變成X0（LSB），X2、X1、X3（MSB）之排列。即，位元X0被寫入區域A之記憶體格內。

又，RAM11a之區域A內存在有有缺欠之記憶體格等，控制電路14係將1，0，0，0之控制信號CR給與排列改變電路13之各選擇器S3´～S0´。結果，選擇器S3´選擇位元X3，選擇器S2´選擇位元X2，選擇器S1´選擇位元X1，選擇器S0´選擇位元X0。

故，由RAM11a輸出之影像資料或音樂資料之4位元由X0（LSB）、X2、X1、X3（MSB）變成X3（MSB）、X2、X1、X0之排列。

控制信號CR亦爲表示出有缺欠之區域之錯誤型式。即，0、0、0、0爲無缺欠；1、0、0、0爲區域A內有缺欠；0、1、0、0爲區域B內有缺欠；0、0、1、0爲區域C內有缺欠；0、0、0、1爲區域D內有缺欠。

圖5表示RAM11a之4個區域內之1個以上之區域有缺欠之情況。

此時，與記憶體格之缺欠有關之資料被記憶於控制電路14之記憶部15。故，RAM11a之4個區域內之1個以上之區域有缺欠時，排列改變電路12係如表3所示，由控制信號CR（錯誤型式E3～E0）予以控制，

（請先閱讀背面之注意事項再填本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

而排列改變電路13係如表4所示，由控制信號CR（錯誤型式E3～E0）予以控制。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

〔表4〕

錯誤型式 E3,E2,E1,E0	輸入 / 輸出	錯誤型式 E3,E2,E1,E0	輸入 / 輸出	錯誤型式 E3,E2,E1,E0	輸入 / 輸出	錯誤型式 E3,E2,E1,E0	輸入 / 輸出
0 0 0 0	X3X2X1X0 / X3X2X1X0	0 1 0 0	X3X0X1X2 / X3X2X1X0	1 0 0 0	X3X2X1X3 / X3X2X1X0	1 1 0 0	X0X1X2X3 / X3X2X1X0
0 0 0 1	X3X2X1X0 / X3X2X1X0	0 1 0 1	X3X1X2X0 / X3X2X1X0	1 0 0 1	X1X2X3X0 / X3X2X1X0	1 1 0 1	X1X2X3X0 / X3X2X1X0
0 0 1 0	X3X2X1X0 / X3X2X1X0	0 1 1 0	X3X0X1X2 / X3X2X1X0	1 0 1 0	X0X2X1X3 / X3X2X1X0	1 1 1 0	X0X2X1X3 / X3X2X1X0
0 0 1 1	X3X2X1X0 / X3X2X1X0	0 1 1 1	X3X2X1X0 / X3X2X1X0	1 0 1 1	X2X3X1X0 / X3X2X1X0	1 1 1 1	X3X2X1X0 / X3X2X1X0

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（23）

〔表3〕

錯誤型式 E3,E2,E1,E0	輸入 / 輸出	錯誤型式 E3,E2,E1,E0	輸入 / 輸出	錯誤型式 E3,E2,E1,E0	輸入 / 輸出	錯誤型式 E3,E2,E1,E0	輸入 / 輸出
0 0 0 0	X3X2X1X0 / X3X2X1X0	0 1 0 0	X3X2X1X0 / X3X0X1X2	1 0 0 0	X3X2X1X0 / X0X2X1X3	1 1 0 0	X3X2X1X0 / X0X1X2X3
0 0 0 1	X3X2X1X0 / X3X2X1X0	0 1 0 1	X3X2X1X0 / X3X1X2X0	1 0 0 1	X3X2X1X0 / X1X2X3X0	1 1 0 1	X3X2X1X0 / X1X2X3X0
0 0 1 0	X3X2X1X0 / X3X2X0X1	0 1 1 0	X3X2X1X0 / X3X0X1X2	1 0 1 0	X3X2X1X0 / X0X2X1X3	1 1 1 0	X3X2X1X0 / X0X2X1X3
0 0 1 1	X3X2X1X0 / X3X2X1X0	0 1 1 1	X3X2X1X0 / X3X2X1X0	1 0 1 1	X3X2X1X0 / X2X3X1X0	1 1 1 1	X3X2X1X0 / X3X2X1X0

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（25）

如，ＲＡＭ１１ａ之區域Ａ及區域Ｂ內各存在有有缺欠之記憶體格時，控制電路１４係將１、１、０、０之控制信號ＣＲ給與排列改變電路１２之各選擇器Ｓ０～Ｓ３。結果，選擇器Ｓ３選擇位元Ｘ０，選擇器Ｓ２選擇位元Ｘ１，選擇器Ｓ１選擇位元Ｘ２，選擇器Ｓ０選擇位元Ｘ３。

故，影像資料或音樂資料之４位元由Ｘ３（ＭＳＢ）、Ｘ２、Ｘ１、Ｘ０（ＬＳＢ）變成Ｘ０（ＬＳＢ）、Ｘ１、Ｘ２、Ｘ３（ＭＳＢ）之排列。即，位元Ｘ０被寫入區域Ａ之記憶體格內，位元Ｘ１被寫入區域Ｂ之記憶體格內。

又，ＲＡＭ１１ａ之區域Ａ及區域Ｂ內各有在有有缺欠之記憶體格時、控制電路１４係將１、１、０、０之控制信號ＣＲ給與排列改變電路１３之各選擇器Ｓ３´～Ｓ０´。結果，選擇器Ｓ３´選擇位元Ｘ３、選擇器Ｓ２´選擇位元Ｘ２、選擇器Ｓ１´選擇位元Ｘ１，選擇器Ｓ０´選擇位元Ｘ０。

故，由ＲＡＭ１１ａ輸出之影像資料或音樂資料之４位元由Ｘ０（ＬＳＢ）、Ｘ１、Ｘ２、Ｘ３（ＭＳＢ）變成Ｘ３（ＭＳＢ）、Ｘ２、Ｘ１、Ｘ０（ＬＳＢ）之排列。

圖６係表示由圖３之選擇器Ｓ３～Ｓ０之電路構成之一例。

此選擇器之電路構成係用於ＲＡＭ１１ａ之４個區域

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（26）

Ａ～Ｄ中之僅１個區域有缺欠之情況。

ＣＩ１～ＣＩ１０係時脈反相器，ＮＯＲ係ＮＯＲ閘，Ｅ３～Ｅ１係表示錯誤型式。

上記第１實施例係，於１個區域內存在有１個有缺欠之記憶體格之情況，於此領域內，記憶重疊少之位元，如ＬＳＢ之構成。

即，於區域Ａ內選擇有缺欠之記憶體格之情況時，區域Ａ之記憶體格，取代予定記憶於區域Ａ內之位元（ＭＳＢ），而將比該位元重疊少之位元如ＬＳＢ記憶於其內。

故，不必挽救有缺欠之記憶體格、即可將資料之讀差所致之影響抑制至最少限製。

但，於上記第１實施例中，於區域Ａ內選擇正常之記憶體格時，區域Ａ之記憶體格亦會取代予定記憶於區域Ａ內之位元（ＭＳＢ），而將比該位元重疊少之位元如ＬＳＢ記憶於其內。

於此，以下之第２實施例中，提供對每一位址可決定位資料之排列改變與否之記憶體裝置。

圖７，表示本發明之第２實施例相關之記憶體裝置。

此記憶體裝置係與半導體記憶體（ＲＡＭ）相關。如數位音響係以１６位元表示音樂資料，以下爲便於說明以８位元之情況予以說明。

首先，對此記憶體裝置之構成予以說明。

ＲＡＭ１１ａ有由形成爲行列狀之複數之記憶體格所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

構成之記憶部。

ＲＡＭ１１ａ之記憶部係如於行方向８等分構成區域Ａ～Ｈ。排列改變電路１２係依重疊不同而表示影像資料及音樂資料之各位元予以排列改變開給予ＲＡＭ１１ａ。又，排列改變電路１３係將自ＲＡＭ１１ａ讀出之表示影像資料及音樂資料之各位元之排列予以改變。

控制電路１４係備有記憶部（如，ＲＯＭ）１５ａ、１５ｂ。記憶部１５ａ係選擇記憶，存在有不良記憶體格之行之錯誤位址。又，記憶部１５ｂ係記憶由錯誤位址選擇器出之１行之中之８個區域Ａ～Ｈ中存在有不良記憶體格之區域（錯誤型式）。

控制電路１４係備有錯誤型式選擇信號生成電路１６、選擇器１７及排列改變控制信號生成電路１８。

錯誤型式選擇信號生成電路１６係接收位址ａ及記憶部１５ａ之輸出信號（錯誤位址），位址ａ與錯誤位址一致時，輸出錯誤型式選擇信號。

選擇器１７係基於錯誤型式選擇信號之種類，選擇記憶部１５ｂ之輸出信號（錯誤型式）予以輸出。排列改變電路１８係基於選擇器１７所輸出之錯誤型式，將３位元之排列改變控制信號ＣＲ給與排列改變控制電路１２、１３。

位址解碼器係接收位址ａ，自ＲＡＭ１１ａ之ｎ（ｎ爲自然數）行中選擇１行。

圖８係表示圖７之排列改變電路１２之一例。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

排列改變電路１２係由８個選擇器Ｓ７～Ｓ０所構成。排列改變電路１２之各選擇器Ｓ７～Ｓ０中被輸入有排列改變控制信號（Ａｍ、Ｂｍ、Ｃｍ　（ｍ爲０～７））ＣＲ、及表示影像資料及音樂資料之８位元資料Ｘ７～Ｘ０。各選擇器Ｓ７～Ｓ０係如表５所示，基於排列改變控制信號（Ａｍ、Ｂｍ、Ｃｍ）ＣＲ選擇規定之１位元之資料、而將此被選擇之１位元之資料予以輸出。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

〔表5〕

e7 e6 e5 e4 e3 e2 e1 e0	選擇信號								輸出							
	C7B7A7	C6B6A6	C5B5A5	C4B4A4	C3B3A3	C2B2A2	C1B1A1	C0B0A0	X'7	X'6	X'5	X'4	X'3	X'2	X'1	X'0
0 0 0 0 0 0 0 0	1 1 1	1 1 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 1	0 0 0	X7	X6	X5	X4	X3	X2	X1	X0
0 0 0 0 0 0 0 1	1 1 1	1 1 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 1	0 0 0	X7	X6	X5	X4	X3	X2	X1	X0
0 0 0 0 0 0 1 0	1 1 1	1 1 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 0	0 0 1	X7	X6	X5	X4	X3	X2	X0	X1
0 0 0 0 0 1 0 0	1 1 1	1 1 0	1 0 1	1 0 0	0 1 1	0 0 0	0 0 1	0 1 0	X7	X6	X5	X4	X3	X0	X1	X2
0 0 0 0 1 0 0 0	1 1 1	1 1 0	1 0 1	1 0 0	0 0 0	0 1 0	0 0 1	0 1 1	X7	X6	X5	X4	X0	X2	X1	X3
0 0 0 1 0 0 0 0	1 1 1	1 1 0	1 0 1	0 0 0	0 1 1	0 1 0	0 0 1	1 0 0	X7	X6	X5	X0	X3	X2	X1	X4
0 0 1 0 0 0 0 0	1 1 1	1 1 0	0 0 0	1 0 0	0 1 1	0 1 0	0 0 1	1 0 1	X7	X6	X0	X4	X3	X2	X1	X5
0 1 0 0 0 0 0 0	1 1 1	0 0 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 1	1 1 0	X7	X0	X5	X4	X3	X2	X1	X6
1 0 0 0 0 0 0 0	0 0 0	1 1 0	1 0 1	1 0 0	0 1 1	0 1 0	0 0 1	1 1 1	X0	X6	X5	X4	X3	X2	X1	X7

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（30）

圖９係表示圖７之排列改變控制信號生成電路１８之電路構成之一例。圖１０係表示圖９之解碼器２１之一例。

此排列改變控制信號生成電路之構成係用於ＲＡＭ１１ａ之８個區域Ａ～Ｈ之中僅有１個區域有缺欠之時。

ｅ７～ｅ０係爲由記憶部１５ｂ輸出之錯誤型式。錯誤型式ｅ７～ｅ０通過閉鎖電路２０，由解碼器２１解碼。閉鎖電路２０係由閉鎖脈衝Ｐ控制，解碼器２１係將排列改變控制信號（Ａｍ、Ｂｍ、Ｃｍ）ＣＲ輸出。

Ｉ０～Ｉ７係反相器、Ｎ１～Ｎ１１係ＮＡＮＯ閘、Ａ１～Ａ３係ＡＮＤ閘。／ＮＯ－ＥＲＲ係於規定之位址所選擇之行係連接於不良之記憶體格時（ｅ７～ｅ０之至少１個爲〝１〞），變成〝１〞。

接著對此記憶體裝置之動作予以說明。

首先，製造時或寫讀啓動時，進行對ＲＡＭ１１ａ之資料之寫入及讀出試驗，檢查是否有在有無法影像資料資料或音樂資料或記錄錯誤之有缺欠之記憶體格。

又，有有缺欠之記憶體格存在於ＲＡＭ１１ａ時，確認此有缺欠之記憶體格係存在於ＲＡＭ１１ａ之何區域。將有缺欠之記憶體格之位址相關之資料記憶於控制電路１４之記憶部１５ａ內。將與有缺欠之記憶體格所存在區域相關之資料記憶於控制電路１４之記憶部１５ｂ內。

記憶影像資料或音樂資料時，位址ａ與資料Ｘ７～

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（31）

Ｘ０被給予後，位址ａ便被輸入位址解碼器１９及錯誤型式選擇信號生成電路１６。

位址解碼器１９將位址ａ解碼，選擇ＲＡＭ１１ａ之１行。錯誤型式選擇信號生成電路１６係將位址ａ與記憶部１５ａ之錯誤位址予以比較。再者一致時產生錯誤型式選擇信號。

首先說明位址ａ與錯誤位址不一致之情況。此時，因錯誤型式選擇信號來被輸出，選擇器１７便選擇意味不存在不良記憶體格之錯誤型式（ｅ７～ｅ０全部爲〝０〞），將此錯誤型式給予排列改變控制信號生成電路１８。

排列改變控制信號生成電路１８將此錯誤型式解碼，如表５所示，把規定之排列改變控制信號（Ａｍ、Ｂｍ、Ｃｍ）ＣＲ給與排列改變電路１２，１３。

排列改變電路１２並不改變８位元之資料Ｘ７～Ｘ０之排列，保持原狀地將此８位元之資料Ｘ７～Ｘ０轉送給ＲＡＭ１１ａ。資料Ｘ７～Ｘ０係被記憶於由位址ａ選擇之１行之各記憶體格內。

其次說明位址ａ與錯誤位址一致之情況。此時，因錯誤型式選擇信號被輸出之故，選擇器１７便選擇意味存在有有缺欠之記憶體格之錯誤型式（ｅ７～ｅ０之中有一個爲〝０〞）將此錯誤型式給與排列改變控制信號生成電路１８。

排列改變控制信號生成電路１８將此錯誤型式解碼，如表５所示，將規定之排列改變控制信號（Ａｍ、Ｂｍ、

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（32）

Ｃｍ）ＣＲ給與排列改變電路１２、１３。排列改變電路１２係於記憶ＭＳＢ等重疊較大之位元之區域內存在有有缺欠之記憶體格時，使該區域記憶ＬＳＢ地改變資料Ｘ７～Ｘ０之排列。

如，ＲＡＭ１１ａ之區域Ａ內存在有有缺欠之記憶體格時，錯誤型式之僅ｅ７變爲１之故，排列改變電路１２將ＬＳＢ記憶於區域Ａ，將ＭＳＢ記憶於區域Ｈ地把表示影像資料及音樂資料之８位元由Ｘ７（ＭＳＢ）、Ｘ６、～Ｘ１、Ｘ０（ＬＳＢ）變成Ｘ０（ＬＳＢ）、Ｘ６～Ｘ１、Ｘ７（ＭＳＢ）之排列。即，將位元Ｘ０寫入區域Ａ之記憶體格內。

又，排列改變電路１３，係將由ＲＡＭ１１ａ輸出之８位元之資料Ｘ０（ＬＳＢ）、Ｘ６～Ｘ１、Ｘ７（ＭＳＢ）之排列改變爲Ｘ７（ＭＳＢ）、Ｘ６～Ｘ１、Ｘ０（ＬＳＢ）之排列。即，排列改變電路１３係將影像資料及音樂資料回歸原來之順序以輸出。

上記第２實施例係對ＲＡＭ１１ａ之８個區域之僅１個存在有不良之記憶體格之情況予以說明，但本發明於ＲＡＭ１１ａ之８個區域之１個以上之區域內存在有不良記憶體格之情況亦適用。

此時，不良之記憶體格存在於１個以上之區域內、此１個以上之區域內記憶比原予定記憶之各位元之重疊少之位元。

如，不良之記憶體格存在於１個以上之區域內，時常

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（33）

以記憶ＬＳＢ及最ＬＳＢ側之位元之構成爲佳。

因此，不必挽救有缺欠之記憶體格即可將資料之誤差之影響抑制至最少限座。

上述第１及第２實施例係以１位元爲單元進行資料之排列改變。但，實際之影像資料及音樂資料係爲１６位元之故，１位元單位地進行資料之排列改變，則排列改變電路１２、１３及控制電路１４之構成變得複雜且電路規模變大。

於此，以下之第３及第４實施例提供將ＲＡＭ１１ａ分爲複數之區塊，如１６位元之資料以複數位元之單位地進行排列改變之記憶體裝置。

圖１１表示本發明之第３實施例相關之記憶體裝置。

此記憶體裝置與半導體記憶體（ＲＡＭ）相關。本實施例的係對數位音響中之１６位元之音樂資料寫入ＲＡＭ之情況予以說明。

首先對此記憶體裝置之構成予以說明。

ＲＡＭ１１ａ有由形成爲行列狀之複數之記憶體格構成之記憶部。

ＲＡＭ１１ａ之記憶部係如於行方向４等分，由區域Ａ～Ｄ所構成。排列改變電路１２將依重疊不同而表示影像資料或音樂資料之各位元之排列改變再給予ＲＡＭ１１ａ。又，排列改變電路１３係將自ＲＡＭ１１ａ讀出之表示影像資料或音樂資料之各位元之排列改變。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

控制電路１４備有記憶部（如ＲＯＭ）１５。控制電路１４基於記憶於記憶部１５內之資料，將排列改變控制信號ＣＲ給與排列改變電路１２、１３，而控制排列改變電路１２、１３中各位元之排列改變。

其次對此記憶體裝置之動作予以說明。

首先，製造時或系統啓動時，進行對ＲＡＭ１１ａ之資料寫入及讀出試驗，檢查是否存在有無法記錄影像資料或音樂資料或記錄錯誤之記憶體格。

又，有有缺欠之記憶體格存在於ＲＡＭ１１ａ時，確認此有缺欠之記憶體格係存在於ＲＡＭ１１ａ之何區域，將與記憶體格之缺欠相關之資料記憶於控制電路１４之記憶部１５內。

控制電路１４於影像資料資料或者音樂資料時，基於記錄部１５之資訊將排列改變控制信號ＣＲ給與排列改變電路１２。此排列改變控制信號ＣＲ係決定影像資料或音樂資料之各位元之配置。

即，有缺欠之記憶體格存在於記憶ＭＳＢ側之較重疊較多之位元之區域時，控制電路１４係將ＬＳＢ側之位元記憶於該區域地將控制信號ＣＲ給與排列改變電路１２。

如，ＲＡＭ１１ａ之區域Ａ內存在有有缺欠之記憶體格時，控制電路１４將位元Ｘ３～Ｘ０記憶於區域Ａ、位元Ｘ１１～Ｘ８記憶於區域Ｂ，位元Ｘ７～Ｘ４記憶於區域Ｃ，位元Ｘ１５～Ｘ１２記憶於區域Ｃ地控制排列改變電路１２。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（35）

故，影像資料或音樂資料之16位元係由X5（MSB）～X0（LSB）變成X3～X0，X11～X8、X7～X4，X15～X12之排列。即，LSB側之位元X3～X0被寫入區域A之記憶體格內。

又，RAM11a之區域A存在有有缺欠之記憶體格時，排列改變電路13基於來自控制電路14之控制信號CR，將自RAM11a讀出之位元X3～X0，X11～X8、X7～X4，X15～X12變成X15（MSB）～X0（LSB）之排列。

上記第3實施例係對RAM11a之4個區域內之僅1個區域內存在有有缺欠之記憶體格之情況予以說明，但本發明亦適用於RAM11a之4個區域內之1個以上之區域內存在有有缺欠之記憶體格之情況。

此時，有有缺欠部分之1個以上之區域係記憶比原予定記憶之各位元之重疊少之位元。

如，有有缺欠部分之1個以上之區域，時常以記憶LSB及最LSB側之位元之構成爲佳。

因此，不必挽救有缺欠之記憶體格，亦可將資料之讀差所致之影響抑制至最少限度。

圖12表示本發明之第4實施例相關之記憶體裝置。

此記憶體裝置與半導體記憶體（RAM）相關。本實施例對將數位音響中之16位元之音樂資料寫入RAM之情況予以說明。

首先，對此記憶體裝置之構造作一說明。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

ＲＡＭ１１ａ有形成行列狀之複數之記憶體格構成之記憶部。

ＲＡＭ１１ａ之記憶部係如於行方向４等分，構成區域Ａ～Ｄ。排列改變電路１２係將依重疊不同而表示影像資料及音樂資料之各位元予以改變排列改變而給予ＲＡＭ１１ａ。又，排列改變電路１３係將自ＲＡＭ１１ａ讀出之表示影像資料及音樂資料之各位元予以改變排列。

控制電路１４備有記憶部（如，ＲＯＭ）１５ａ、１５ｂ。記憶部１５ａ係記憶選擇存在有不良記憶體格之行之錯誤位址。又，記憶部１５ｂ係記憶由錯誤位址選擇出之１行之中之４個區域Ａ～Ｄ中存在有不良之記憶體格之區域（錯誤型式）。

控制電路１４備有錯誤型式選擇信號生成電路１６、選擇器１７及排列改變控制信號生成電路１８。

錯誤型式選擇信號生成電路１６係接收位址ａ及記憶部１５ａ之輸出信號（錯誤位址），當位址ａ與錯誤位址一致時，輸出錯誤型式選擇信號。

選擇器１７基於錯誤型式選擇信號之種類，選擇記憶部１５ｂ之輸出信號（錯誤型式）予以輸出。排列改變控制信號生成電路１８基於由選擇器１７輸出之錯誤型式，將排列改變控制信號ＣＲ給與排列改變控制電路１２、１３。

位址解碼器接收位址ａ、選擇ＲＡＭ１１ａ之ｎ（ｎ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（37）

爲自然數）行中之一行。

其次，對此記憶體裝置之動作予以說明。

首先，製造時或系統啓動時，進行對ＲＡＭ１１ａ之資料寫入及讀出試驗，檢查是否存在有無法記錄影像資料或音樂資料或記錄錯誤之記憶體格。

又，有有缺欠之記憶體格存在於ＲＡＭ１１ａ時，確認此有缺欠之記憶體格之位址及其存在之區域。將與此有缺欠之記憶體格之位址相關之資料記憶於控制電路１４之記憶部１５ａ內，將與此有缺欠之記憶體格存在之區域相關之資料記憶於控制電路１４之記憶部１５ｂ內。

記憶影像資料或音樂資料時，給與位址ａ及資料Ｘ１５～Ｘ０後，位址ａ被輸入位址解碼器１９及錯誤型式選擇信號生成電路１６。

位址解碼器１９將位址ａ解碼，選擇ＲＡＭ１１ａ之１行。錯誤型式選擇信號生成電路１６比較位址ａ及記憶部１５ａ之錯誤位址，再者一致時產生錯誤型式選擇信號。

首先，說明位址ａ與錯誤位址不一樣之情況。此時，錯誤型式選擇信號未被輸出之故，選擇器１７選擇意味不良之記憶體格不存在之錯誤型式，將此錯誤型式給與排列改變控制信號生成電路１８。

排列改變控制信號生成電路１８將此錯誤型式解碼將規定之排列改變控制信號ＣＲ給與排列改變電路１２、１３。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

排列改變電路12並不改變16位元之資料X15～X0之排列，而係維持原狀地將資料X15～X0轉送給RAM11a。資料X15～X0被記憶於由位址a之1行之各記憶體格內。

其次說明位址a與錯誤位址一致之情況。此時，因錯誤型式被輸出之故，選擇器17選擇意味不良之記憶體格係存在之錯誤型式，將此錯誤型式給與排列改變控制信號生成電路18。

排列改變控制信號生成電路18將此錯誤型式解碼，把規定之排列改變控制信號CR給與排列改變電路12、13。排列改變電路12於有缺欠之記憶體格係存在於記憶MSB側之重疊較多之位元之區域內時，將LSB側之位元記憶於該區域地將資料X15～X0之排列改變。

上記第4實施例係對RAM11a之4個區域中之僅1個區域內存在有有缺欠之記憶體格之情況予以說明，但RAM11a之4個區域內之1個以上之區域存在有有缺欠之記憶體格時亦適用。

本發明，除半導體外，記憶各有不同重疊之複數位元之資料，且，有依位址指定資料記憶部分之構成之記錄媒體，如HD、MD等媒體亦適用。

圖15表示本發明之第5實施例相關之記憶體裝置。

此記憶體裝置與HD、FD、CD－RAM、SD－RAM、MO、PD及MT之驅動裝置有關。

本實施例係對將數位音響中16位元之音樂資料及影

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（39）

像資料寫入記憶部（ＨＤ、ＦＤ、ＣＤ－ＲＡＭ、ＳＤ－ＲＡＭ、ＭＯ、ＰＤ、ＭＴ等）之情況予以說明。

首先，對此記憶體裝置之構成予以說明。

排列改變電路１２，於缺欠部分在於ＲＡＭ１１ａ之製造之記憶區域內時，將寫入之資料Ｘ１５～Ｘ０之排列改變。寫入資料Ｘ１５～Ｘ０各有不同重疊，構成相互連續之１６位元。

圖排列改變電路１２輸出之寫入資料經類似附加部２４輸入至變調部２５。

變調部２５係如將寫入資料ＥＦＭ變調。被ＥＦＭ變調之寫入資料被寫入記憶部１１之規定之記憶區域內。

於此，記憶部１１之規定之記憶區域內有予定寫入規定之位元時，此規定之記憶區域存在有有缺欠之部分時，比規定之位元重疊少之位元（最好爲ＬＳＢ）將被寫入此規之記憶區域。

又，自記憶部１１讀出之讀出資料被輸入復調部２６，復調部２６係如將讀出資料ＥＦＭ復調。被ＥＦＭ復調之讀出資料於訂正處理部２７中進行訂正處理。

訂正處理部２７之輸出資料被輸入排列改變電路１３。排列改變電路１３係將自記憶部１１讀出之讀出資料配置於正確位置地將相互連續之１６位元之各別改變排列。

排列改變電路１２、１３之動作係由控制電路１４予以控制。

控制電路１４、接收位址ａ，此位址ａ係指定於記憶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（40）

部１１之缺欠部分時，將寫入資料或讀出資料之排列改變。

記憶部之缺欠部分係由予先檢查予以特定，而可將與此缺欠部分相關之資訊記憶於控制電路１４內之記憶部。

本實施例之記憶體裝置中設有檢知記憶部１１之缺欠部分之檢知電路，此檢知電路基於與記憶部１１之缺欠部分有關之資訊，將寫入資料或讀出資料之排列改變亦可。

上述第１～第５實施例中，排列改變電路１２、１３可由選擇器或上移暫存器等所構成。

圖１３表示排列改變電路係使用上移暫存器之情況。又，圖１４係表示圖１３之上移暫存器２２、２３之動體。

此時，控制電路將時脈信號ＣＫ１給與上移暫存器２２、將時脈信號ＣＫ２給與上移暫存器２３。上部暫存器２２、２３作因應時脈信號之數目將輸入資料（如８位元Ｘ７～Ｘ０）之排列改變。

即，上移暫存器２２於不良之記憶體格存在於ＲＡＭ１１ａ時，經常係將ＬＳＢ　Ｘ０記憶於不良之記憶體格地將輸入資料予以排列改變。又，上移暫存器２３係將自ＲＡＭ１１ａ輸出之資料回歸正確之順序地予以改變其排列而體爲輸出資料予以輸出。

又，於上述第１～第５實施例中，與錯誤位址及不良之記憶體格所存在之區域相關之資料係記憶於控制電路之記憶部，但予以改變，由外部（形成排列改變電路及控制

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（41）

電路之半導體晶片係不同之半導體記憶體）供給亦可。

＜發明之效果＞

如上所述，本發明之讀出寫入裝置，及使用其之記憶體裝置，並行讀出寫入之方法，可得如下之效果。

與人類之視覺或聽覺相關之影像資料或音樂資料等寫入記憶部時，因進行資料之排列改變，可將因記憶體格或區段之缺欠之影響抑制至最少限。

即ＲＡＭ、ＲＯＭ、ＦＤ、ＨＤ等之記憶部之一部分有缺欠時，藉排列改變電路，將ＬＳＢ（最低位之位元）或ＬＳＢ側之位元記憶於缺欠區域地將表示影像資料及音樂資料之各位元之排列改變。

故，如圖１６所示，記憶於缺欠部分之資料雖和原來之資料有異，但記憶於缺欠部分之資料和原來之資料之差異已被抑制至最少。

又，此種程度之差異，人類之視覺或聽覺並無法辨別之故，影像資料或音樂資料之重現毫無不適。

又，不需挽救有缺欠部分之記憶體格或迴避有缺欠之區段用之電路之故，可使電路規模變少。

＜圖面之簡單說明＞

圖１：表示本發明之記憶體裝置之概念之方塊圖。

圖２：表示本發明之第１實施例之記憶體裝置之方塊圖。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（42）

圖３：表示圖２之排列改變電路１２之構成圖。

圖４：表示圖２之排列改變電路１３之構成圖。

圖５：表示本發明之第１實施例之記憶體裝置之方塊圖。

圖６：表示圖３及圖４之選擇器之構成圖。

圖７：表示本發明之第２實施例之記憶體裝置之方塊圖。

圖８：表示圖７之排列改變電路之構成圖。

圖９：表示圖７之排列改變控制信號生成電路１８之構成圖。

圖１０：表示圖９之解碼器之電路圖。

圖１１：表示本發明之第３實施例之記憶體裝置之方塊圖。

圖１２：表示本發明之第４實施例之記憶體裝置之方塊圖。

圖１３：表示於排列改變電路上使用上移暫存器之例之表示圖。

圖１４：表示圖１３之上移暫存器之動作表示圖。

圖１５：表示本發明之第５實施例之記憶體裝置之方塊圖。

圖１６：本發明中資料之差異之表示圖。

＜符號之說明＞

１１、１５、１５ａ、１５ｂ：記憶部；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（43）

11a：RAM；

12、13：排列改變電路；

14：控制電路；

16：錯誤圖型選擇信號產生電路；

17：選擇器；

18：排列改變控制信號生成電路；

14：位址暫存器；

20：閉鎖電路；

21：解碼器；

22、23：上移暫存器；

S7～S0，S3′～S0′：選擇器；

CI1～CI10：時脈反相器

NOR：NOR閘

I0～I7：反相器

N1～N11：NAND閘

A1～A3：AND閘

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：資料寫入或讀出用之裝置及方法）

各有不同重疊之複數位元Ｘ３～Ｘ０被輸入排列改變電路１２。排列改變電路１２於ＲＡＭ１１ａ上有缺欠部分時，將重疊最少之位元（ＬＳＢ）寫入此缺欠部分地，將複數位元Ｘ３～Ｘ０之排列改變。排列改變電路１３係將直ＲＡＭ１１ａ讀出之複數位元Ｘ３～Ｘ０變成正確順序地，再次將複數位元Ｘ３～Ｘ０之排列改變。控制電路１４係基於記憶部１５中所記憶之關於缺欠部分之資料來控制排列改變電路１２，１３之動作。

英文發明摘要（發明之名稱：）

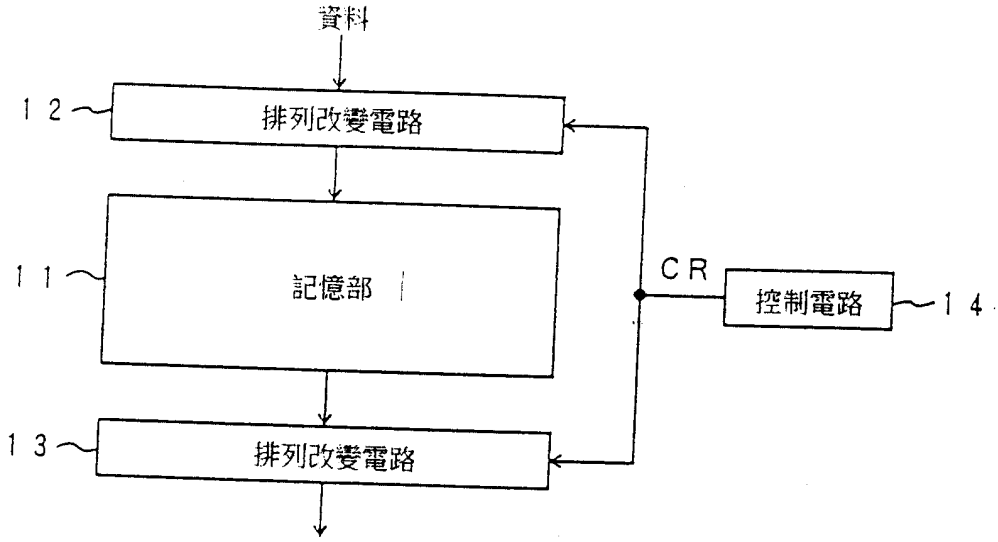
（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

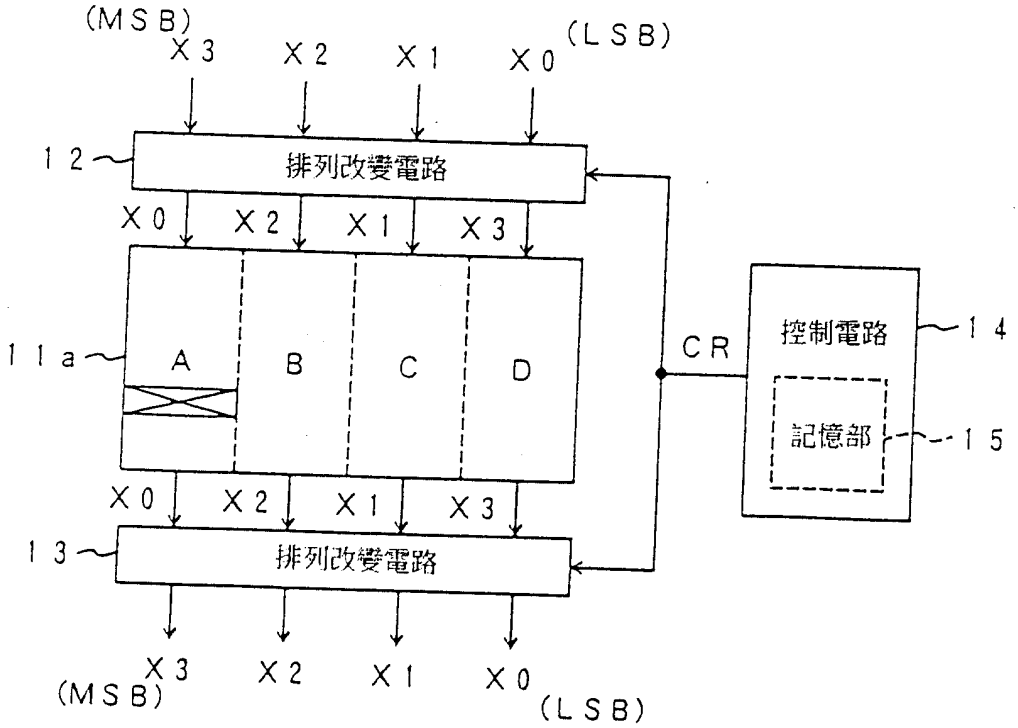
經濟部中央標準局員工消費合作社印製

85104140 (1/~~11~~) 12

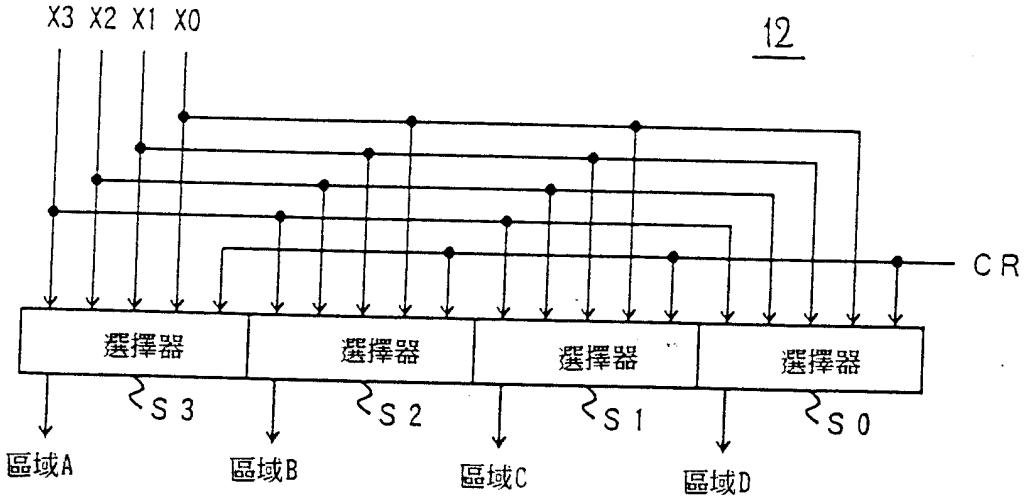
725199



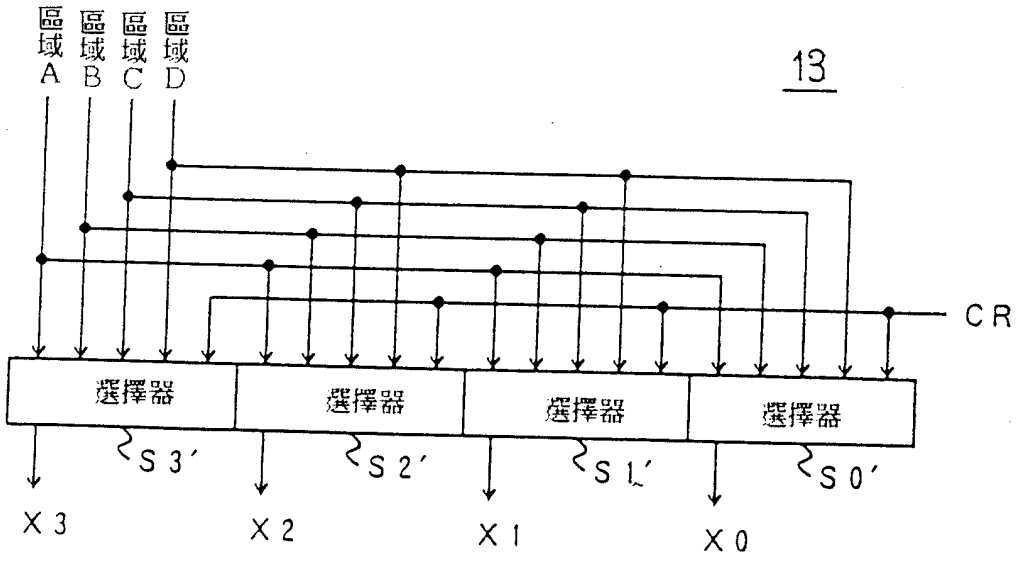
第1圖



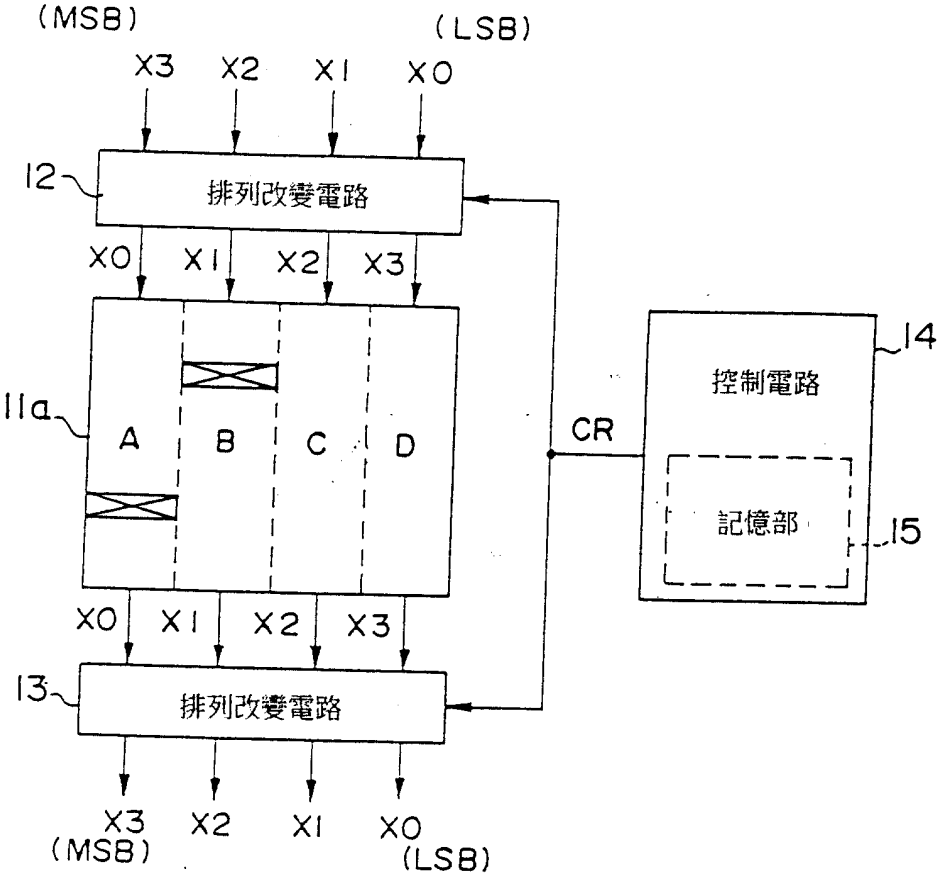
第2圖


X3 X2 X1 X0
12
CR
選擇器
選擇器
選擇器
選擇器
S 3
S 2
S 1
S 0
區域A
區域B
區域C
區域D

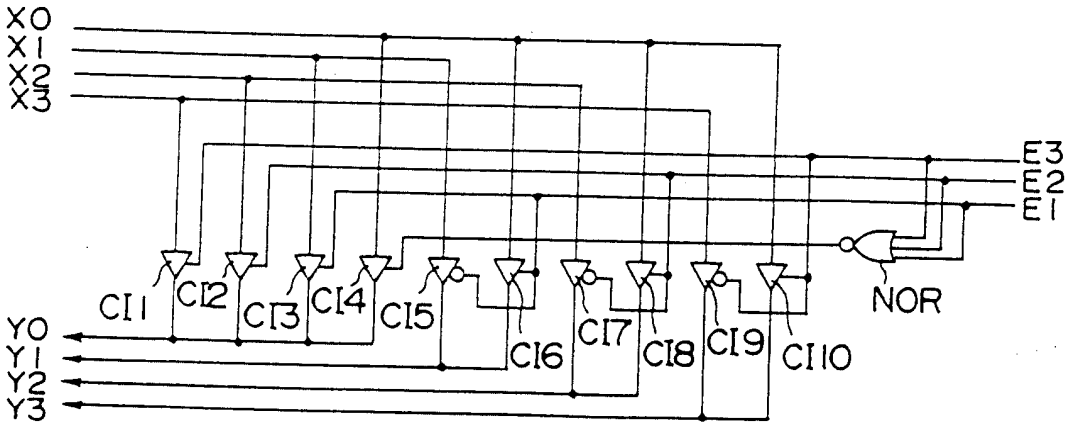
第 3 圖


區域A
區域B
區域C
區域D
13
CR
選擇器
選擇器
選擇器
選擇器
S 3′
S 2′
S 1′
S 0′
X 3
X 2
X 1
X 0

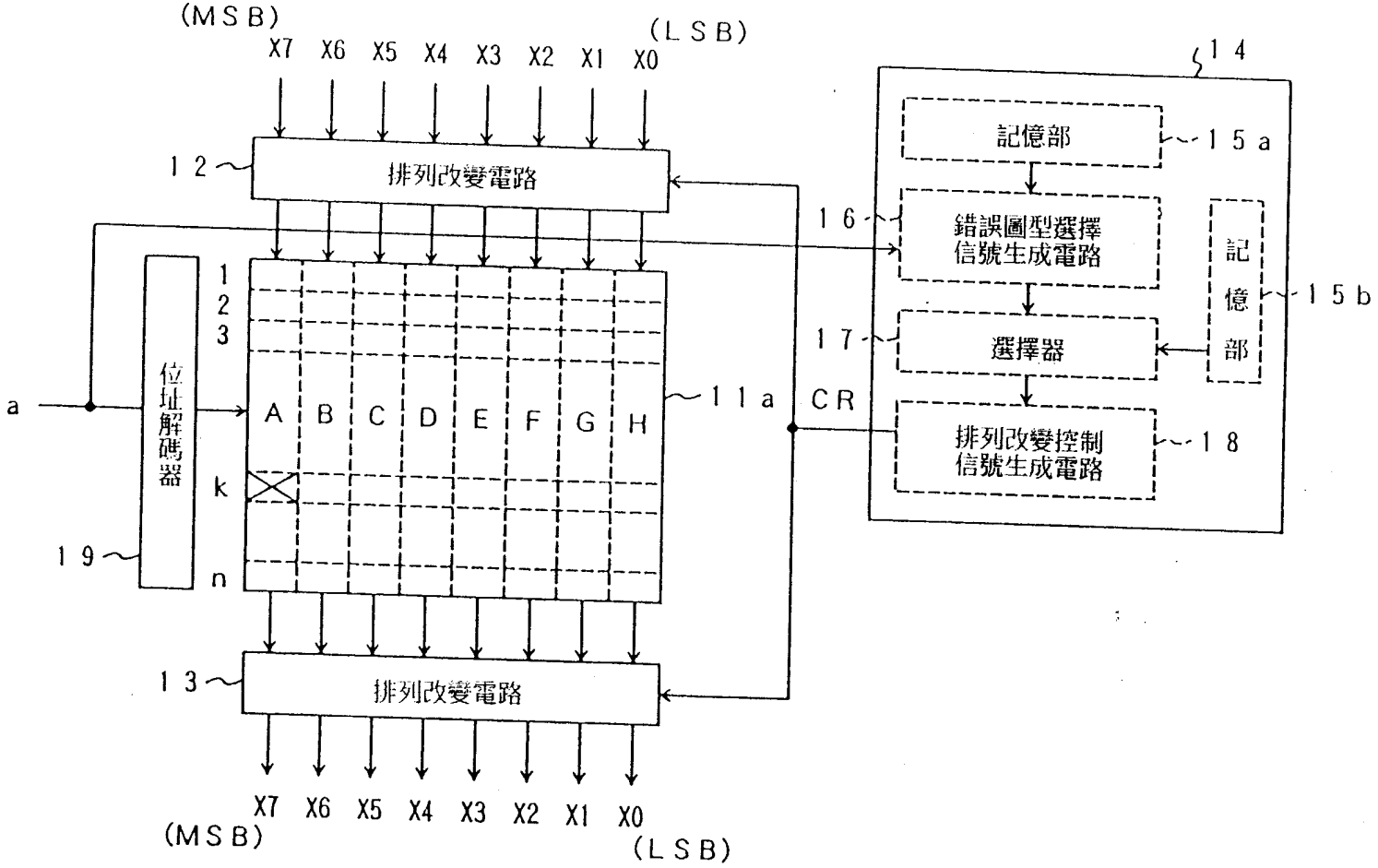
第 4 圖


(MSB)
(LSB)
X3
X2
X1
X0
12
排列改變電路
X0
X1
X2
X3
11a
A
B
C
D
CR
控制電路
14
記憶部
15
X0
X1
X2
X3
13
排列改變電路
X3
X2
X1
X0
(MSB)
(LSB)

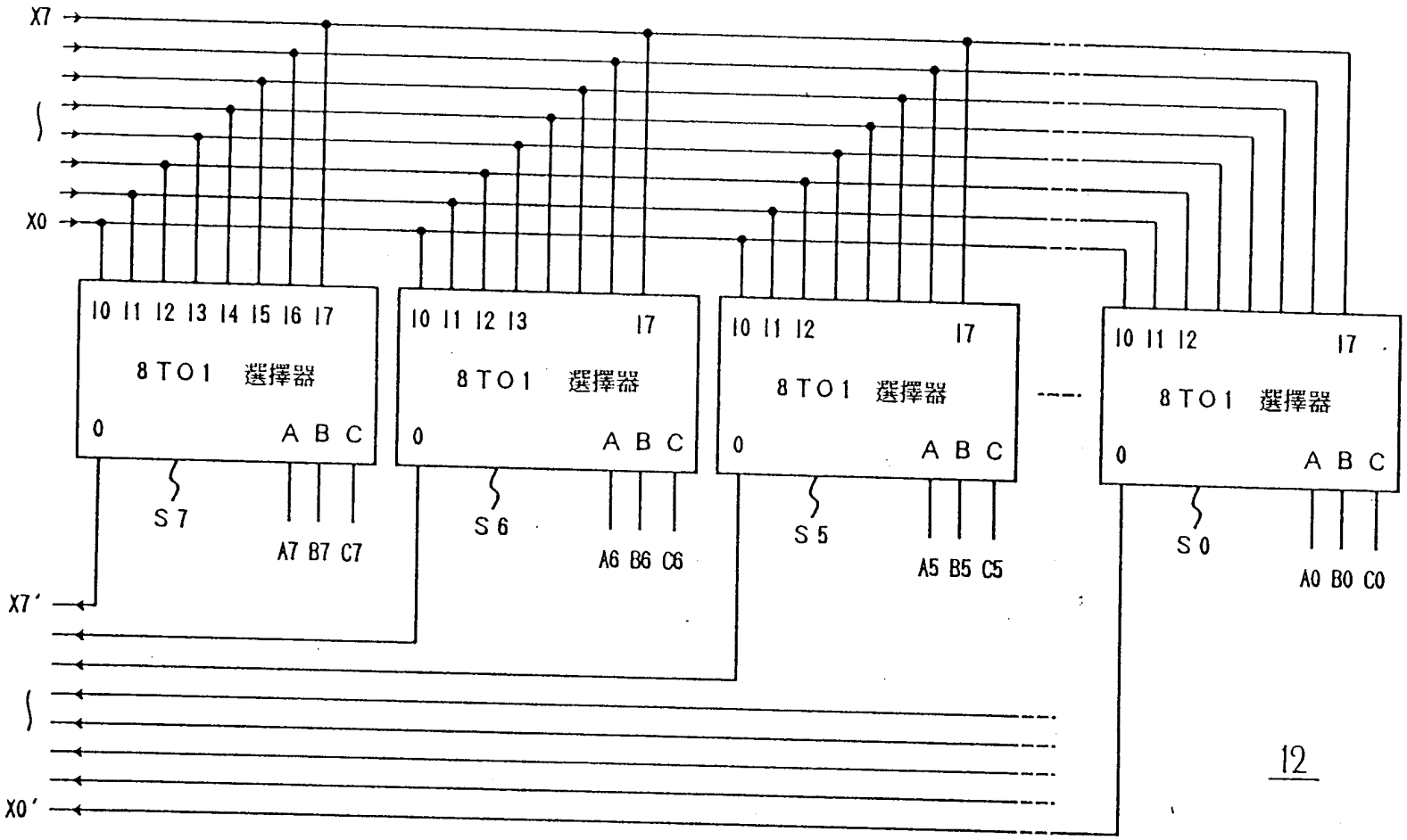
第 5 圖


X0
X1
X2
X3
E3
E2
E1
CI1
CI2
CI3
CI4
CI5
CI6
CI7
CI8
CI9
CI10
NOR
Y0
Y1
Y2
Y3

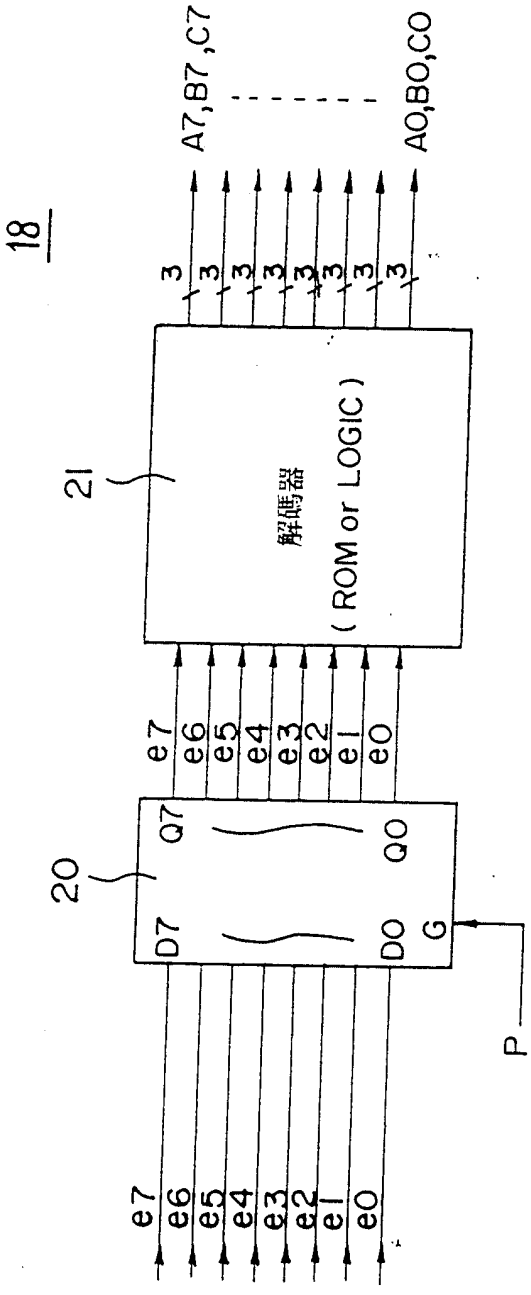
第 6 圖


(MSB)
X7 X6 X5 X4 X3 X2 X1 X0
(LSB)
12
排列改變電路
14
記憶部
15a
16
錯誤圖型選擇
信號生成電路
記憶部
15b
17
選擇器
CR
排列改變控制
信號生成電路
18
a
位址解碼器
19
1
2
3
k
n
A B C D E F G H
11a
13
排列改變電路
X7 X6 X5 X4 X3 X2 X1 X0
(MSB)
(LSB)

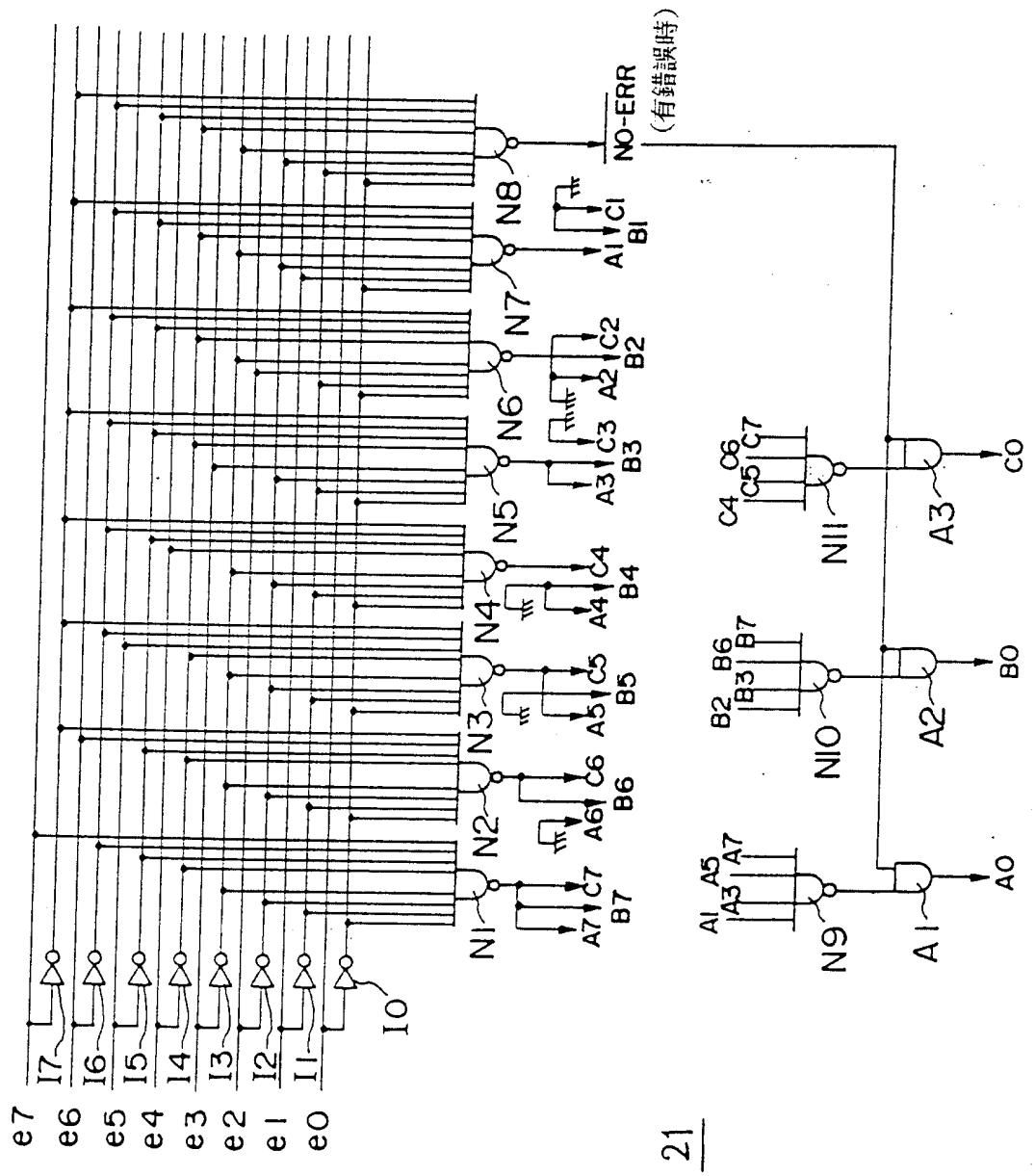
第7圖


X7
X0
I0 I1 I2 I3 I4 I5 I6 I7
8 TO 1 選擇器
0
A B C
S 7
A7 B7 C7
I0 I1 I2 I3 I7
8 TO 1 選擇器
0
A B C
S 6
A6 B6 C6
I0 I1 I2 I7
8 TO 1 選擇器
0
A B C
S 5
A5 B5 C5
I0 I1 I2 I7
8 TO 1 選擇器
0
A B C
S 0
A0 B0 C0
X7'
X0'
12

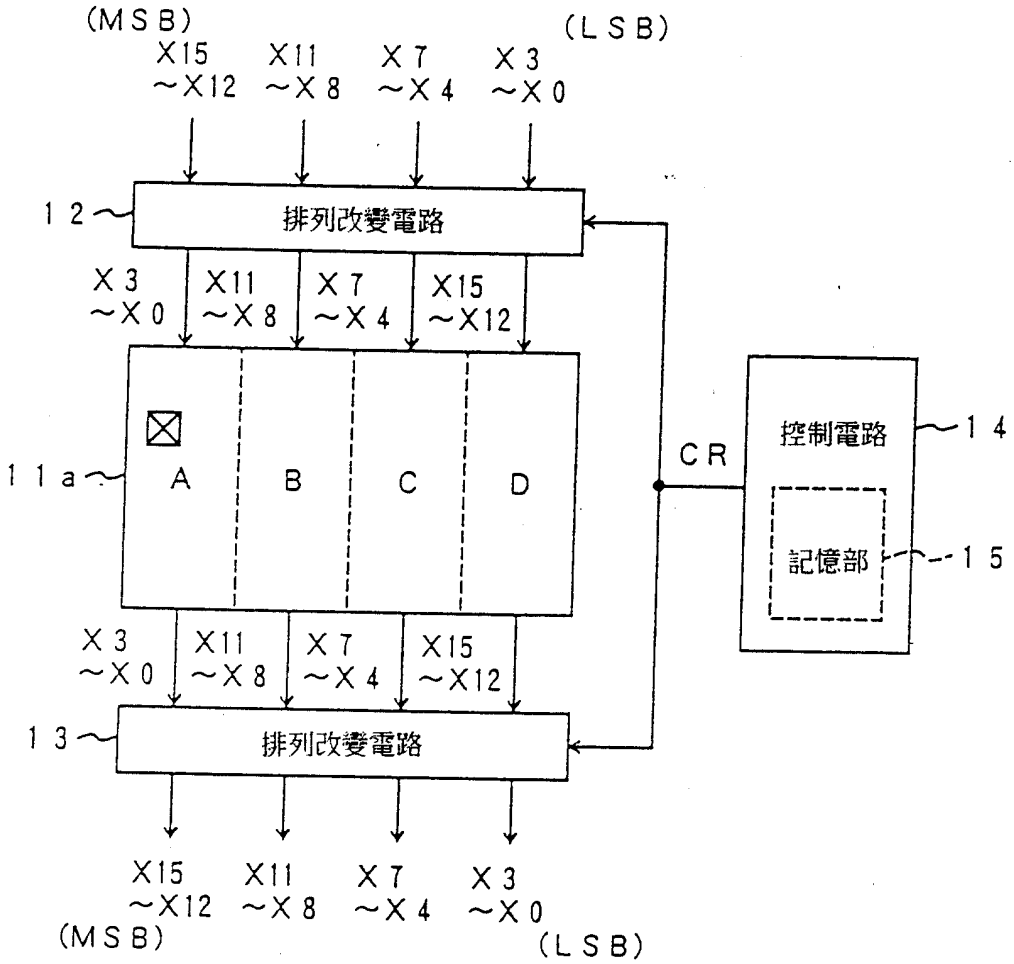
第 8 圖


18
A7,B7,C7
A0,B0,C0
3
21
解碼器
(ROM or LOGIC)
e7
e6
e5
e4
e3
e2
e1
e0
20
Q7
Q0
D7
D0
G
P

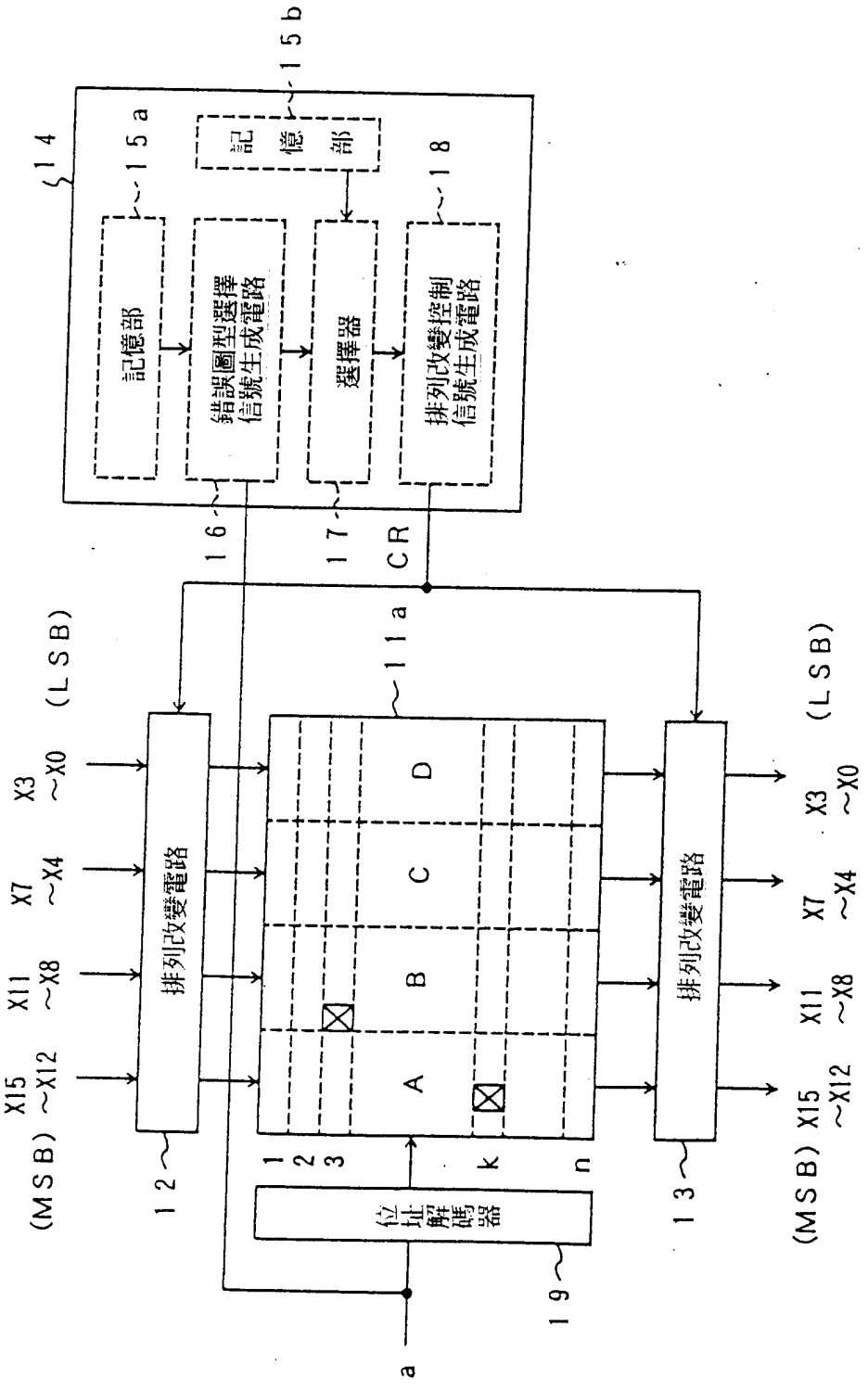
第9圖


e7
e6
e5
e4
e3
e2
e1
e0
I7
I6
I5
I4
I3
I2
I1
I0
N1
N2
N3
N4
N5
N6
N7
N8
N9
N10
N11
A7
B7
A6
B6
A5
B5
A4
B4
A3
B3
A2
B2
A1
B1
C7
C6
C5
C4
C3
C2
C1
NO-ERR
(有錯誤時)
A0
B0
C0

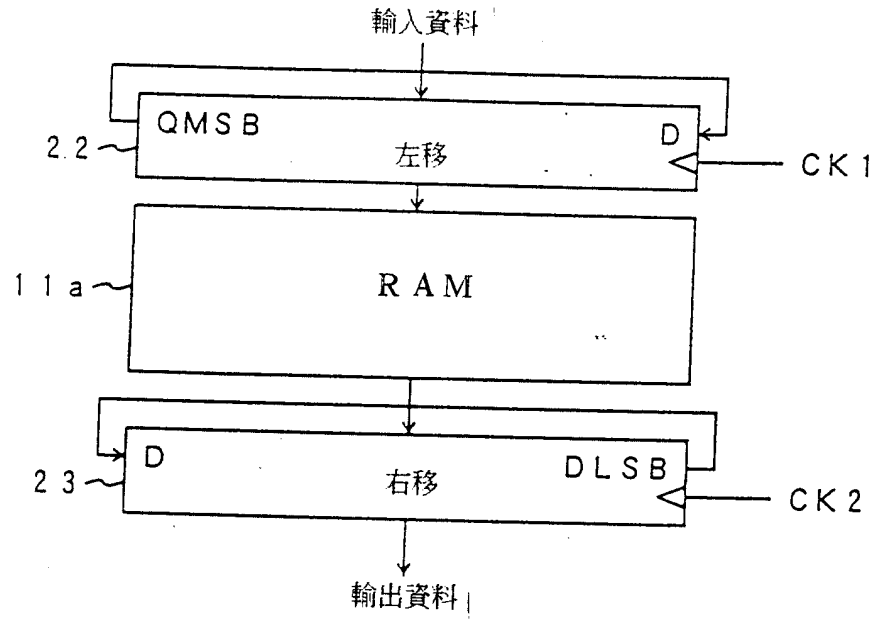
第10圖


(MSB)
X15 ~X12
X11 ~X8
X7 ~X4
X3 ~X0
(LSB)
12
排列改變電路
X3 ~X0
X11 ~X8
X7 ~X4
X15 ~X12
11a
A
B
C
D
CR
控制電路
14
記憶部
15
X3 ~X0
X11 ~X8
X7 ~X4
X15 ~X12
13
排列改變電路
X15 ~X12
X11 ~X8
X7 ~X4
X3 ~X0
(MSB)
(LSB)

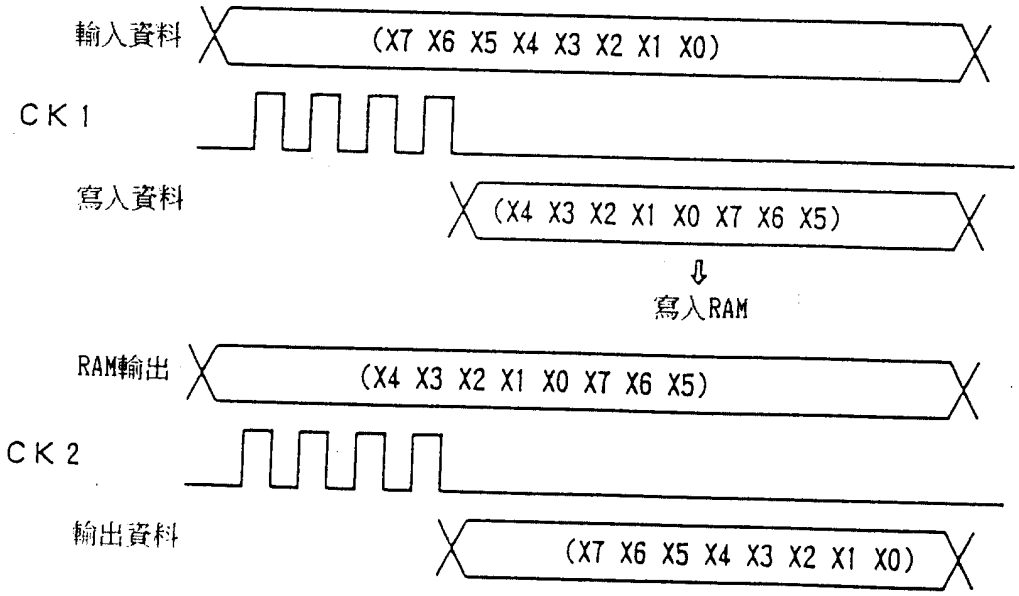
第11圖


14
15a
記憶部
錯誤圖型選擇信號生成電路
15b
記憶部
選擇器
18
排列改變控制信號生成電路
16
17
CR
11a
A
B
C
D
1
2
3
k
n
19
位址解碼器
a
12
排列改變電路
X15 ~X12 (MSB)
X11 ~X8
X7 ~X4
X3 ~X0 (LSB)
13
排列改變電路
X15 ~X12 (MSB)
X11 ~X8
X7 ~X4
X3 ~X0 (LSB)

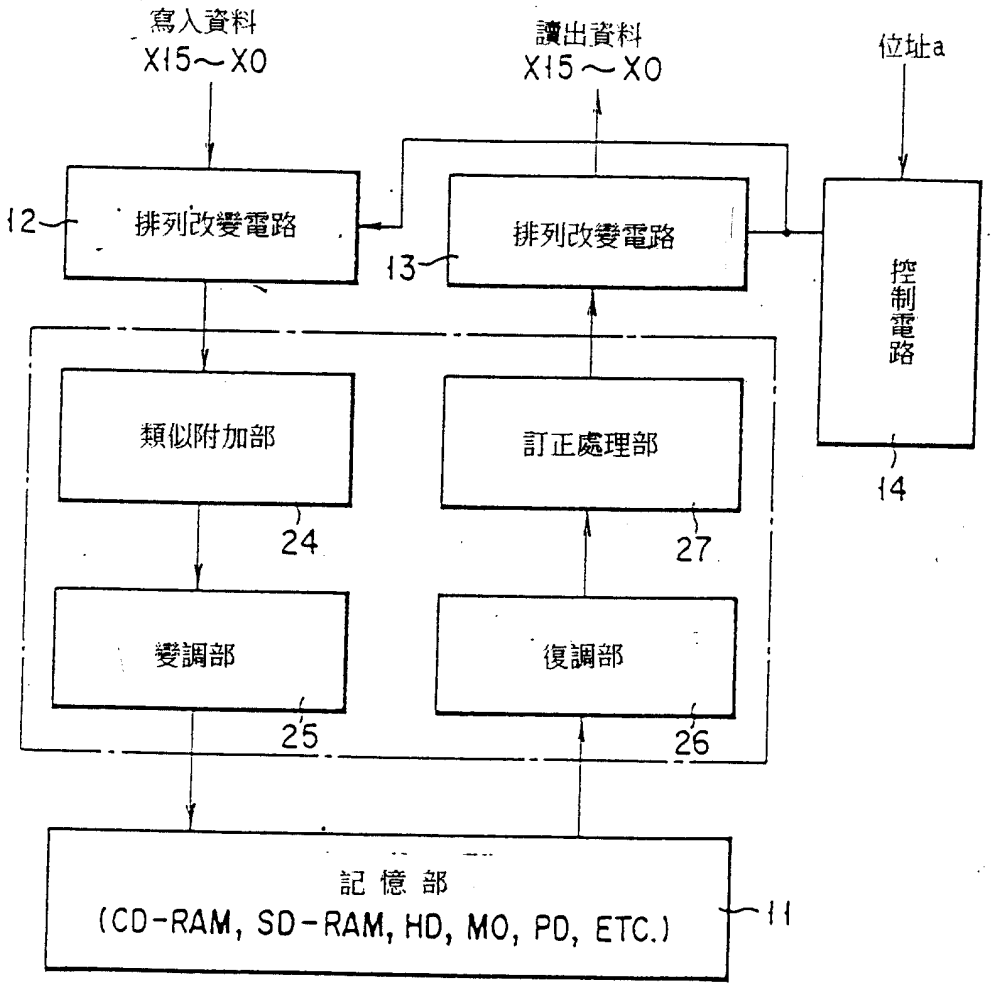
第12圖


輸入資料
QMSB
左移
D
CK1
22
11a
RAM
D
右移
DLSB
CK2
23
輸出資料

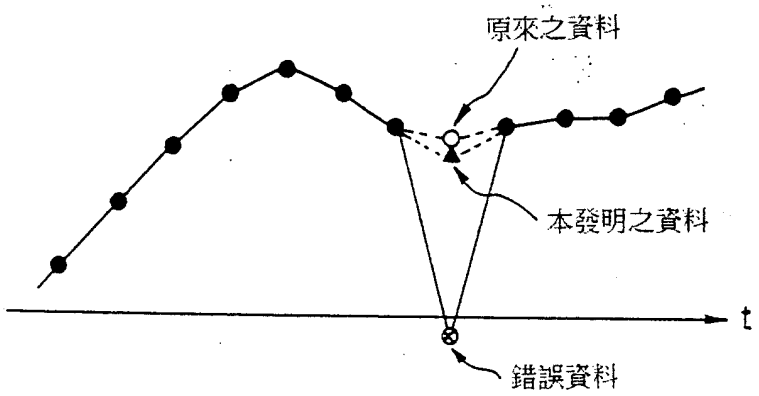
第13圖


輸入資料
(X7 X6 X5 X4 X3 X2 X1 X0)
CK1
寫入資料
(X4 X3 X2 X1 X0 X7 X6 X5)
⇩
寫入RAM
RAM輸出
(X4 X3 X2 X1 X0 X7 X6 X5)
CK2
輸出資料
(X7 X6 X5 X4 X3 X2 X1 X0)

第14圖


寫入資料
X15～X0
讀出資料
X15～X0
位址a
12
排列改變電路
13
排列改變電路
控制電路
14
類似附加部
24
訂正處理部
27
變調部
25
復調部
26
記憶部
(CD-RAM, SD-RAM, HD, MO, PD, ETC.)
11

第15圖



第16圖

六、申請專利範圍

第85104140號專利申請案

中文申請專利範圍修正本

民國85年12月修正

1. 一種記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，其特徵在於：

具有有複數區域之記憶機構；及上記複數區域內，予定寫入上記複數之位元之第1位元之第1區域上有缺欠部分時，將上記複數位元排列改變之第1排列改變機構；及將上記第1位元之重疊還要少之第2位元寫入上記第1區域，將上記第1位元寫入上記第1區域以外之其他區域之控制上記第1排列改變機構之控制機構。

2. 如申請專利範圍第1項之記憶體裝置，其中

具有將自上記記憶機構讀出之上記複數位元排列改變之第2排列改變機構；及上記控制機構係將自上記記憶機構讀出之上記第1及第2位元歸回正確位置地控制上記第2排列改變機構。

3. 如申請專利範圍第1項或第2項之記憶體裝置，其中上記第2位元係爲LSB。

4. 如申請專利範圍第1項之記憶體裝置，其中

上記複數區域內，予定寫入上記複數位元之第3位元之第2區域上有缺欠部分時，上記控制機構係將上記第3位元之重疊還要少之第4位元寫入上記第2區域，將上記第3位元寫入上記第2區域以外之其他區域地控制上記第

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1 排列改變機構。

5．如申請專利範圍第2項之記憶體裝置，其中上記第1及第2排列改變機構係由複數之選擇器所構成。

6．如申請專利範圍第2項之記憶體裝置，其中上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元寫入上記第1區域地控制上記上移暫存器。

7．如申請專利範圍第1項之記憶體裝置，其中上記控制機構有記憶上記第1區域相關之資訊之記憶部。

8．如申請專利範圍第4項之記憶體裝置，其中上記控制機構有記憶上記第1及第2區域相關之資訊之記憶部。

9．如申請專利範圍第1項或第2項之記憶體裝置，其中上記記憶機構之上記複數之區域爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO（光磁碟）、PD（相變化改寫型磁片），及MT（磁帶）之記憶區域。

10．一種記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，其特徵在於：

具有有複數之區域，各個區域係由複數之部分所構成之記憶機構；及給與記憶上記複數位元之上記複數區域之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

部分指定位址之位址機構；及上記複數區域內，予定寫入上記複數位元之第1位元之第1區域上有缺欠部分，且上記位址係指定於上記缺欠部分時，將上記複數位元排列改變之第1排列改變機構；及將比上記第1位元之重疊還要少之第2位元寫入上記第1區域之上記缺欠部分，將上記第1位元寫入上記第1區域以外之其他區域地控制上記第1排列改變機構之控制機構。

11. 如申請專利範圍第10項之記憶體裝置，其中具有將上記記憶機構讀出之記憶複數位元排列改變之第2排列改變機構；上記控制機構係將自上記記憶機構讀出之上記第1及第2位元歸回正確位置地控制上記第2排列改變機構。

12. 如申請專利範圍第10項或第11項之記憶體裝置，其中上記第2位元係爲LSB。

13. 如申請專利範圍第10項之記憶體裝置，其中上記複數區域內，予定寫入上記複數位元之第3位元之第2區域上有缺欠部分時，且上記位址係指定於上記缺欠部分時，上記控制機構係將上記第3位元之重疊還要少之第4位元寫入上記第2區域之上記缺欠部分，將上記第3位元寫入上記第2區域以外其他區域地控制上記第1排列改變機構。

14. 如申請專利範圍第11項之記憶體裝置，其中上記第1及第2排列改變機構係由複數之選擇器所構成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

15. 如申請專利範圍第11項之記憶體裝置，其中上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元寫入上記第1區域地控制上記上移暫存器。

16. 如申請專利範圍第10項之記憶體裝置，其中上記控制機構有記憶指定上記缺欠部分之錯誤位置相關之資訊之記憶部、及記憶第1區域之資訊之記憶部；上記控制機構係，當裡上記位址機構指定之位址與上記錯誤位置一致時，將上記第2位元記憶於上記第1區域之上記缺欠部分地控制上記第1排列改變機構。

17. 如申請專利範圍第10項或第11項之記憶體裝置，其中上記記憶機構之上記複數之區域爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO、PD，及MT之記憶區域。

18. 一種記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，其特徵在於：

具有有複數區域之記憶機構；及上記複數區域內，予定寫入上記複數位元之相互連續2以上之位元所構成之第1位元群之第1區域上有缺欠部分時，將上記複數位元排列改變之第1排列改變機構；及將比構成上記第1位元之區之各位元之重疊還要少之相互連續2以上之位元構成之第2位元群寫入第1區域，將上記第1位元群寫入上記第1區域以外其他區域地控制上記第1排列改變機構之控制

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

機構。

１９．如申請專利範圍第１８項之記憶體裝置，其中有將自上記記憶機構讀出之上記複數位元排列改變之第２排列改變機構；上記控制機構係將自上記記憶機構讀出之第１及第２位元群歸回正確位置地控制第２排列改變機構。

２０．如申請專利範圍第１８項或第１９項之記憶體裝置，其中上記第２位元群係爲ＬＳＢ。

２１．如申請專利範圍第１８項之記憶體裝置，其中上記複數區域內，予定寫入由上記複數位元之相互連續２以上之位元構成之第３位元群之第２區域上有缺欠部分時，上記控制機構係將比構成上記第３位元群之各位元之重疊還要少之相互連續２以上之位元構成之第４位元群寫入上記第２區域，將上記第３位元寫入上記第２區域以外其他區域地控制第１排列改變機構。

２２．如申請專利範圍第１９項之記憶體裝置，其中上記第１及第２排列改變機構係由複數之選擇器所構成。

２３．如申請專利範圍第１９項之記憶體裝置，其中上記第１排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第２位元群寫入上記第１區域地控制上記上移暫存器。

２４．如申請專利範圍第１８項之記憶體裝置，其中上記控制機構有記憶上記第１區域相關之資訊之記憶部。

２５．如申請專利範圍第２１項之記憶體裝置，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

上記控制機構有記憶上記第1及第2區域相關之資訊之記憶部。

26. 如申請專利範圍第18項或第19項之記憶體裝置，其中上記記憶機構之上記複數區域爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO、PD及MT之記憶區域。

27. 一種記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，其特徵在於：

具有有複數區域，各個區域係由複數部分構成之記憶機構；及給與記憶上記複數位元之上記複數區域之部分指定位址之位址機構；上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元所構成之第1位元群之第1區域上有缺欠部分，且上記位址指定於上記缺欠部分時，將上記複數位元之排列改變之第1排列改變機構；及將比構成上記第1位元群之各位元之重疊還要少相互連續之第2以上之位元構成之第2位元群寫入上記第1區域之上記缺欠部分，將上記第1位元群寫入上記第1區域以外其他區域地控制上記第1排列改變機構之控制機構。

28. 如申請專利範圍第27項之記憶體裝置，其中具有將自上記記憶機構讀出之上記複數位元排列改變之第2排列改變機構；上記控制機構係將自上記記憶機構讀出之上記第1及第2位元群歸回正確位置地控制第2排列改變機構。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

29. 如申請專利範圍第27項或第28項之記憶體裝置，其中上記第2位元群係爲LSB。

30. 如申請專利範圍第27項之記憶體裝置，其特徵在於：

上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元構成之第3位元群之第2區域上有缺欠部分，且上記控制機構係指定於上記缺欠部分時，上記控制機構係將比構成上記第3位元群之各位元之重疊還要少之相互連續2以上之位元構成之第4位元群寫入上記第2區域之上記缺欠部分，將上記第3位元群寫入上記第2區域以外之其他區域地控制上記第1排列改變機構。

31. 如申請專利範圍第28項之記憶體裝置，其中上記第1及第2排列改變機構係由複數之選擇器所構成。

32. 如申請專利範圍第28項之記憶體裝置，其中上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元群寫入上記第1區域地控制上移暫存器。

33. 如申請專利範圍第27項之記憶體裝置，其中上記控制機構有記憶指定上記缺欠部分之錯誤位址之相關資訊之記憶部、及記憶與上記第1區域相關之資訊之記憶部；上記控制機構係當被上記位址機構指定之位址與上記錯誤位置一致時，將上記第2位位元群記憶於上記缺欠部分地控制上記第1排列改變機構。

34. 如申請專利範圍第27項或第28項之記憶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

裝置，其中上記記憶機構之上記複數區域爲半導體記憶體、硬碟、軟碟、ＣＤ－ＲＡＭ、ＳＤ－ＲＡＭ、ＭＯ、ＰＤ及ＭＴ之記憶區域。

３５．一種裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之裝置，其特徵在於：

有上記複數區域內，予定寫入上記複數位元之第１位元之第１區域上有缺欠部分時，將上記複數位元排列改變之第１排列改變機構；及將比上記第１位元之重疊還要少之第２位元寫上記第１區域，將上記第１位元寫入第１區域以外其他區域地控制第１排列改變機構之控制機構。

３６．如申請專利範圍第３５項之裝置，其中

有將自上記記憶機構讀出之上記複數位元排列改變之第２排列改變機構；上記控制機構係將自上記記憶機構讀出之上記第１及第２位元歸回正確位置地控制上記第２排列改變機構。

３７．如申請專利範圍第３５項或第３６項之裝置，其中上記第２位元係爲ＬＳＢ。

３８．如申請專利範圍第３５項之裝置，其中

上記複數區域內，予定寫入上記複數位元之第３位元之第２區域上有缺欠部分時，上記控制機構係將比上記第３位元之重疊還要少之第４位元寫入上記第２區域內，將上記第３位元寫入上記第２區域以外其他區域地控制上記第１排列改變機構。

３９．如申請專利範圍第３６項之裝置，其中上記第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1及第2排列改變機構係由複數之選擇器所構成。

40. 如申請專利範圍第36項之裝置，其中上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元寫入上記第1區域地控制上記上移暫存器。

41. 如申請專利範圍第35項之裝置，其中上記控制機構有記憶上記第1區域相關之資訊之記憶部。

42. 如申請專利範圍第38項之裝置，其中上記控制機構有記憶上記第1及第2區域相關之資訊之記憶部。

43. 如申請專利範圍第35項或第36項之裝置，其上記記憶機構之上記複數區域係爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO、PD及MT之記憶區域。

44. 一種裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之裝置，其特徵在於：

具有給予記憶上記複數位元之上記複數區域之部分指定位址之位址機構；及上記複數區域內，予定寫入上記複數之位元之第1位元之第1區域上有缺欠部分，且上記位址係指定於上記缺欠部分時，將上記複數位元之排列改變之第1排列改變機構；及將比上記第1位元之重疊還要少之第2位元寫入上記第1區域之上記缺欠部分，將上記第1位元寫入上記第1區域以外之其他區域之部份地控制上記第1排列改變機構之控制機構。

45. 如申請專利範圍第44項之裝置，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

有將自上記記憶機構讀出之上記複數位元之排列改變之第2排列改變機構；上記控制機構係將自上記記憶機構讀出之第1及第2位元歸回正確位址地控制上記第2排列改變機構。

46. 如申請專利範圍第44項或第45項之裝置，其中上記第2位元係爲LSB。

47. 如申請專利範圍第44項之裝置，其中

上記複數區域內，予定寫入上記複數位元之第3位元之第2區域上有缺欠部分，且上記位址係指定於上記缺欠部分時，上記控制機構係比上記第3位元之重疊還要少之第4位元寫入上記第2區域之上記缺欠部分，將上記第3位元寫入上記第2區域以外其他區域地控制上記第1排列改變機構。

48. 如申請專利範圍第45項之裝置，其中上記第1及第2排列改變機構係由複數之選擇器所構成。

49. 如申請專利範圍第45項之裝置，其中上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元寫入上記第1區域地控制上記上移暫存器。

50. 如申請專利範圍第44項之裝置，其中

上記控制機構有記憶指定上記缺欠部分之錯誤位址之相關之資訊之記憶部、及記憶與上記第1區域相關之資訊之記憶部；上記控制機構係當被上記位址機構指定之位址與上記錯誤位址一致時，將上記第2位元群記憶於上記缺

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

欠部分地控制上記第１排列改變機構。

５１．如申請專利範圍第４４項或第４５項之裝置，其中上記記憶機構之上記複數之區域爲半導體記憶體、硬碟、軟碟、ＣＤ－ＲＡＭ、ＳＤ－ＲＡＭ、ＭＯ、ＰＤ，及ＭＴ之記憶區域。

５２．一種記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，其特徵在於：

具有有複數區域之記憶機構；及上記複數區域內，予定寫入上記複數之位元之相互連續２以上之位元所構成之第１位元群之第１區域上有缺欠部分時，將上記複數位元排列改變之第１排列改變機構；及將比構成上記第１位元之區之各位元之重疊還要少之相互連續２以上之位元構成之第２位元群寫入第１區域，將上記第１位元群寫入上記第１區域以外其他區域地控制上記第１排列改變機構之控制機構。

５３．如申請專利範圍第５２項之裝置，其中

有將自上記記憶機構讀出之上記複數位元排列改變之第２排列改變機構；上記控制機構係將自上記記憶機構讀出之上記第１及第２位元歸回正確位置地控制上記第２排列改變機構。

５４．如申請專利範圍第５２項或第５３項之記憶體裝置，其中上記第２位元群係爲ＬＳＢ。

５５．如申請專利範圍第５２項之記憶體裝置，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元構成之第3位元群之第2區域上有缺欠部分時，上記控制機構係將比構成上記第3位元群之各位元之重疊還要少之相互連續2以上之位元構成之第4位元群寫入上記第2區域，將上記第3位元寫入上記第2區域以外其他區域地控制第1排列改變機構。

56. 如申請專利範圍第53項之記憶體裝置，其中上記第1及第2排列改變機構係由複數之選擇器所構成。

57. 如申請專利範圍第53項之記憶體裝置，其中上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元群寫入上記第1區域地控制上記上移暫存器。

58. 如申請專利範圍第52項之記憶體裝置，其中上記控制機構有記憶上記第1區域相關之資訊之記憶部。

59. 如申請專利範圍第55項之記憶體裝置，其中上記控制機構有記憶上記第1及第2區域相關之資訊之記憶部。

60. 如申請專利範圍第52項或第53項之記憶體裝置，其中上記記憶機構之上記複數區域爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO、PD及MT之記憶區域。

61. 一種記憶體裝置，係爲由各有不同重疊之複數之位元構成之資料寫入或讀出用之記憶體裝置，其特徵在於：

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

具有有複數區域，各個區域係由複數部分構成之記憶機構；及給與記憶上記複數位元之上記複數區域之部分指定位址之位址機構；上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元所構成之第1位元群之第1區域上有缺欠部分，且上記位址指定於上記缺欠部分時，將上記複數位元之排列改變之第1排列改變機構；及將比構成上記第1位元群之各位元之重疊還要少之相互連續第2以上之位元構成之第2位元群主入上記第1區域之上記缺欠部分，將上記第1位元群寫入上記第1區域以外其他區域地控制上記第1排列改變機構之控制機構。

62. 如申請專利範圍第61項之裝置，其中有將自上記記憶機構讀出之上記複數位元排列改變之第2排列改變機構；上記控制機構係將自上記記憶機構讀出之上記第1及第2位元歸回正確位置地控制上記第2排列改變機構。

63. 如申請專利範圍第61項或第62項之記憶體裝置，其中上記第2位元群係爲LSB。

64. 如申請專利範圍第61項之記憶體裝置，其中上記複數區域內，予定寫入由上記複數位元之相互連續2以上之位元構成之第3位元群之第2區域上有缺欠部分時，上記控制機構係將比構成上記第3位元群之各位元之重疊還要少之相互連續2以上之位元構成之第4位元群寫入上記第2區域之上記缺欠部分，將上記第3位元寫入上記第2區域以外其他區域地控制第1排列改變機構。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

65. 如申請專利範圍第62項之記憶體裝置，其中上記第1及第2排列改變機構係由複數之選擇器所構成。

66. 如申請專利範圍第62項之裝置，其中上記第1排列改變機構有輸入上記複數位元之上移暫存器；上記控制機構係將上記第2位元寫入上記第1區域地控制上記上移暫存器。

67. 如申請專利範圍第61項之記憶體裝置，其中上記控制機構有記憶指定上記缺欠部分之錯誤位址之相關資訊之記憶部、及記憶與上記第1區域相關之資訊之記憶部；上記控制機構係當被上記位址機構指定之位址與上記錯誤位址一致時，將上記第2位位元群記憶於上記缺欠部分地控制上記第1排列改變機構。

68. 如申請專利範圍第61項或第62項之記憶體裝置，其中上記記憶機構之上記複數之區域爲半導體記憶體、硬碟、軟碟、CD－RAM、SD－RAM、MO、PD，及MT之記憶區域。

69. 一種資料讀寫方法，係將由各有不同重疊之複數位元構成之資料寫入記憶機構之複數區域內，且將上記資料自上記記憶機構之複數區域讀出之方法，其特徵在於：

上記複數區域內，予定寫入上記複數位元之第1位元之第1區域上有缺欠部分時，將上記複數位元排列改變，將比上記第1位元之重疊還要少之第2位元寫入上記第1區域，將上記第1位元寫入上記第1區域以外其他區域，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

將自上記記憶機構讀出之上記複數位元排列改變，將上記第１及第２位元歸回正確位置。

７０．如申請專利範圍第６９項之方法，其中將ＬＳＢ寫入上記第１區域上。

７１．一種資料讀寫方法，係將由各有不同重疊之複數位元構成之資料寫入記憶機構之複數區域內，且將上記資料自上記記憶機構之複數區域讀出之方法，其特徵在於：

將指定位址供給於記憶上記複數位元之上記複數區域之部分；上記複數區域內，予定寫入上記複數位元之第１位元之第１區域上有缺欠部分，且位址係指定於上記缺欠部分時，將上記複數位元之排列改變，將比上記第１位元之重疊還要少之第２位元寫入上記第１區域之上記缺欠部分，將上記第１位元寫入上記第１區域以外之其他區域之部分，將自上記記憶機構讀出之上記複數位元排列改變，將上記第１及第２位元歸回正確位置。

７２．如申請專利範圍第７１項之方法，其中將ＬＳＢ寫入上記第１區域之上記缺欠部分。

７３．一種資料讀寫方法，係將由各有不同重疊之複數位元構成之資料寫入記憶機構之複數區域內，且將上記資料自上記記憶機構之複數區域讀出之方法，其特徵在於：上記複數區域內，予定寫入由上記複數位元之相互連續之２以上之位元所構成之第１位元群之第１區域上有缺欠部分時，將上記複數位元排列改變，將比構成上記第１位

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

元之各位元之重疊還要少之2以上之位元構成之第2位元群寫入上記第1區域；將上記第1位元群寫入上記第1區域以外其他區域，將自上記記憶機構讀出之上記複數位元排列改變，將上記第1及第2位元歸回正確位置。

74. 如申請專利範圍第73項之方法，其中上記第2位元群係含有LSB。

75. 一種資料讀寫方法，係將由各有不同重疊之複數位元構成之資料寫入記憶機構之複數區域內，且將上記資料自上記記憶機構之複數區域讀出之方法，其特徵在於：

將指定位址供給於記憶上記複數位元之上記複數區域之部分；上記複數區域內，予定寫入由上記複數位元之相互連續之2以上之位元所構成之第1位元群之第1區域上有缺欠部分，且位址係指定於上記缺欠部分時，將上記複數位元排列改變，將比構成上記第1位元群之各位元之重疊還要少之2以上之位元構成之第2位元群寫入上記第1區域之缺欠部分，將上記第1位元群寫入上記第1區域以外其他區域，將自上記記憶機構讀出之上記複數位元排列改變，將上記第1及第2位元歸回正確位置。

76. 如申請專利範圍第75項之方法，其中上記第2位元群係含有LSB。

77. 一種裝置，係爲一種各有不同重疊之複數位元中，至少第1位元被記憶於記憶機構之缺欠部分以外之部分，比上記第1位元之重疊還要少之第2位元被記憶於上

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

記記憶機構之上記缺欠部分時，將上記複數位元自上記記憶機構讀出用之裝置，其特徵在於：具備

將上記複數位元自上記記憶機構讀出之機構，及

將上記複數位元排列改變，將第1及第2位元歸回正確位置之機構。

78. 一種裝置，係爲一種各有不同重疊之複數位元中，將由連續2以上位元構成之第1位元群記憶於記憶機構之缺欠部分以外之部分，將比構成第1位元群之各位元之重疊還要少之連續2以上之位元所構成之第2位元群記憶於上記記憶機構之上記缺欠部分時，將上記複數位元自上記記憶機構讀出用之裝置，其特徵在於：具備

將上記複數位元自上記記憶機構讀出之機構，及

將上記複數位元排列改變，將構成第1位元群及第2位元群之各位元歸回正確位置之機構。

79. 一種方法，係爲一種各有不同重疊之複數位元中，至少第1位元被記憶於記憶機構之缺欠部分以外之部分，比上記第1位元之重疊還要少之第2位元被記憶於上記記憶機構之上記缺欠部分時，將上記複數位元自上記記憶機構讀出用之方法，其特徵在於：

將上記複數位元自上記記憶機構讀出；

將上記複數位元排列改變，將第1及第2位元歸回正確位置。

80. 一種方法，係爲一種各有不同重疊之複數位元中，將由連續2以上位元構成之第1位元群記憶於記憶機

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

構之缺欠部分以外之部分，將比構成第1位元群之各位元之重疊還要少之連續2以上之位元所構成之第2位元群記憶於上記記憶機構之上記缺欠部分時，將上記複數位元自上記記憶機構讀出用之方法，其特徵在於：

將上記複數位元排列改變，將構成第1位元群及第2位元群之各位元歸回正確位置。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製