

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年5月17日(2007.5.17)

【公開番号】特開2000-315731(P2000-315731A)

【公開日】平成12年11月14日(2000.11.14)

【出願番号】特願2000-83870(P2000-83870)

【国際特許分類】

H 01 L	21/82	(2006.01)
H 03 K	19/173	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 03 K	19/0175	(2006.01)

【F I】

H 01 L	21/82	A
H 03 K	19/173	1 0 1
H 01 L	21/82	P
H 01 L	27/04	F
H 03 K	19/00	1 0 1 F
H 03 K	19/00	1 0 1 S

【手続補正書】

【提出日】平成19年3月23日(2007.3.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】集積回路であって、

電源電圧および第1の基準電圧に結合された複数の第1のI/O回路と、

前記電源電圧および第2の基準電圧に結合された複数の第2のI/O回路とを含み、前記第1の基準電圧は前記第2の基準電圧とは異なり、前記複数の第1のI/O回路は前記第1の基準電圧に基づく第1のI/O規格と互換性があり、前記複数の第2のI/O回路は前記第2の基準電圧に基づく第2のI/O電圧規格と互換性があり、

前記I/O回路の各々が、

第1のレジスタと、

パッドに結合された出力を有する出力バッファと、

前記第1のレジスタの出力を前記出力バッファの入力に選択的に結合するように構成された第1のマルチプレクサ回路と、

前記第1のマルチプレクサ回路の第1の入力を前記第1のレジスタの入力に選択的に結合するように構成された第2のマルチプレクサ回路とを含む、集積回路。

【請求項2】前記I/O回路の各々が、

前記出力バッファのトライステート制御入力に結合された出力を有する第2のレジスタをさらに含む、請求項1に記載の集積回路。

【請求項3】前記I/O回路の各々が、

複数の論理素子のうちの1つを前記第2のレジスタの入力に選択的に結合するように構成された第3のマルチプレクサ回路をさらに含む、請求項2に記載の集積回路。

【請求項4】前記I/O回路の各々が、

論理要素を前記第2のマルチプレクサ回路の第1の入力および前記第1のマルチプレク

サ回路の第1の入力に選択的に結合するように構成された第3のマルチプレクサ回路をさらに含む、請求項2に記載の集積回路。

【請求項5】 前記I/O回路の各々が、

複数の論理要素のうちの1つを前記第1のレジスタのクロック入力に選択的に結合するよう構成された第3のマルチプレクサ回路をさらに含む、請求項2に記載の集積回路。

【請求項6】 前記I/O回路の各々が、

論理素子を前記第2のマルチプレクサ回路の第1の入力および前記第1のマルチプレクサ回路の第1の入力に選択的に結合するよう構成された第3のマルチプレクサ回路と、

複数の論理素子のうちの1つを前記第2のレジスタの入力に選択的に結合するよう構成された第4のマルチプレクサ回路とをさらに含む、請求項2に記載の集積回路。

【請求項7】 前記第1のマルチプレクサ回路と前記出力バッファの前記入力との間に結合された遅延線をさらに含む、請求項2に記載の集積回路。

【請求項8】 集積回路であって、

電源電圧および第1の基準電圧に結合された複数の第1のI/O回路と、

前記電源電圧および第2の基準電圧に結合された複数の第2のI/O回路とを含み、前記第1の基準電圧は前記第2の基準電圧とは異なり、前記複数の第1のI/O回路は前記第1の基準電圧に基づく第1のI/O規格と互換性があり、前記複数の第2のI/O回路は前記第2の基準電圧に基づく第2のI/O電圧規格と互換性があり、

前記I/O回路の各々が、

第1のレジスタと、

パッドに結合された出力を有する出力バッファと、

前記第1のレジスタの出力または前記第1のレジスタの入力を前記出力バッファの入力に選択的に結合するよう構成された第1のマルチプレクサ回路と、

前記出力バッファのトライステート制御に結合された出力を有する第2のレジスタと、

複数の論理素子のうちの1つを前記第2のレジスタの入力に選択的に結合するよう構成された第2のマルチプレクサ回路とを含む、集積回路。

【請求項9】 前記I/O回路の各々が、

論理素子を前記第1のレジスタの前記入力に選択的に結合するよう構成された第3のマルチプレクサ回路をさらに含む、請求項8に記載の集積回路。

【請求項10】 前記I/O回路の各々が、

複数の論理素子のうちの1つを前記第1のレジスタのクロック入力に選択的に結合するよう構成された第3のマルチプレクサ回路をさらに含む、請求項8に記載の集積回路。

【請求項11】 前記I/O回路の各々が、

論理素子を前記第1のレジスタの前記入力に選択的に結合するよう構成された第3のマルチプレクサ回路と、

複数の論理素子のうちの1つを前記第1のレジスタのクロック入力に選択的に結合するよう構成された第4のマルチプレクサ回路とをさらに含む、請求項8に記載の集積回路。

【請求項12】 前記I/O回路の各々が、

前記第1のマルチプレクサ回路と前記出力バッファとの間に結合されたプログラマブル遅延線をさらに含む、請求項8に記載の集積回路。

【請求項13】 集積回路であって、

電源電圧および第1の基準電圧に結合された複数の第1のI/O回路と、

前記電源電圧および第2の基準電圧に結合された複数の第2のI/O回路とを含み、前記第1の電源電圧は前記第2の電源電圧とは異なり、前記複数の第1のI/O回路は前記第1の基準電圧に基づく第1のI/O規格と互換性があり、前記複数の第2のI/O回路は前記第2の基準電圧に基づく第2のI/O電圧規格と互換性があり、

前記I/O回路の各々が、

第1のレジスタと、

パッドに結合された出力を有する出力バッファと、

前記第1のレジスタの出力または前記第1のレジスタの入力を前記出力バッファの入力に選択的に結合するように構成された第1のマルチプレクサ回路と、

論理素子を前記第1のレジスタの前記入力に選択的に結合するように構成された第2のマルチプレクサ回路とを含む、集積回路。

【請求項14】 前記I/O回路の各々が、

前記出力バッファのトライステート制御に結合された出力を有する第2のレジスタをさらに含む、請求項13に記載の集積回路。

【請求項15】 前記I/O回路の各々が、

複数の論理素子のうちの1つを前記第1のレジスタのクロック入力に選択的に結合するように構成された第3のマルチプレクサ回路をさらに含む、請求項13に記載の集積回路。

【請求項16】 前記I/O回路の各々が、

前記出力バッファのトライステート制御に結合された出力を有する第2のレジスタと、複数の論理素子のうちの1つを前記第1のレジスタのクロック入力に選択的に結合するように構成された第3のマルチプレクサ回路とを含む、請求項13に記載の集積回路。

【請求項17】 集積回路であって、

電源電圧および第1の基準電圧に結合された複数の第1のI/O回路と、前記電源電圧および第2の基準電圧に結合された複数の第2のI/O回路とを含み、前記第1の基準電圧は前記第2の基準電圧とは異なり、前記複数の第1のI/O回路は前記第1の基準電圧に基づく第1のI/O規格と互換性があり、前記複数の第2のI/O回路は前記第2の基準電圧に基づく第2のI/O電圧規格と互換性があり、

前記I/O回路の各々が、

第1のレジスタと、

パッドに結合された出力を有する出力バッファと、

前記第1のレジスタの出力または前記第1のレジスタの入力を前記出力バッファの入力に選択的に結合するように構成された第1のマルチプレクサ回路と、

複数の論理素子のうちの1つを前記第1のレジスタのクロック入力に選択的に結合するように構成された第2のマルチプレクサ回路とを含む、集積回路。

【請求項18】 前記I/O回路の各々が、

前記出力バッファのトライステート制御に結合された出力を有する第2のレジスタをさらに含む、請求項17に記載の集積回路。