

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 5 月 17 日 (2007.5.17)

【公開番号】特開 2000-315731 (P2000-315731A)

【公開日】平成 12 年 11 月 14 日 (2000.11.14)

【出願番号】特願 2000-83870 (P2000-83870)

【国際特許分類】

**H 0 1 L 21/82 (2006.01)**

**H 0 3 K 19/173 (2006.01)**

**H 0 1 L 21/822 (2006.01)**

**H 0 1 L 27/04 (2006.01)**

**H 0 3 K 19/0175 (2006.01)**

【F I】

H 0 1 L 21/82 A

H 0 3 K 19/173 1 0 1

H 0 1 L 21/82 P

H 0 1 L 27/04 F

H 0 3 K 19/00 1 0 1 F

H 0 3 K 19/00 1 0 1 S

【手続補正書】

【提出日】平成 19 年 3 月 23 日 (2007.3.23)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 集積回路であって、

電源電圧および第 1 の基準電圧に結合された複数の第 1 の I / O 回路と、

前記電源電圧および第 2 の基準電圧に結合された複数の第 2 の I / O 回路とを含み、前記第 1 の基準電圧は前記第 2 の基準電圧とは異なり、前記複数の第 1 の I / O 回路は前記第 1 の基準電圧に基づく第 1 の I / O 規格と互換性があり、前記複数の第 2 の I / O 回路は前記第 2 の基準電圧に基づく第 2 の I / O 電圧規格と互換性があり、

前記 I / O 回路の各々が、

第 1 のレジスタと、

パッドに結合された出力を有する出力バッファと、

前記第 1 のレジスタの出力を前記出力バッファの入力に選択的に結合するように構成された第 1 のマルチプレクサ回路と、

前記第 1 のマルチプレクサ回路の第 1 の入力を前記第 1 のレジスタの入力に選択的に結合するように構成された第 2 のマルチプレクサ回路とを含む、集積回路。

【請求項 2】 前記 I / O 回路の各々が、

前記出力バッファのトライステート制御入力に結合された出力を有する第 2 のレジスタをさらに含む、請求項 1 に記載の集積回路。

【請求項 3】 前記 I / O 回路の各々が、

複数の論理素子のうちの 1 つを前記第 2 のレジスタの入力に選択的に結合するように構成された第 3 のマルチプレクサ回路をさらに含む、請求項 2 に記載の集積回路。

【請求項 4】 前記 I / O 回路の各々が、

論理要素を前記第 2 のマルチプレクサ回路の第 1 の入力および前記第 1 のマルチプレク

サ回路の第 1 の入力に選択的に結合するように構成された第 3 のマルチプレクサ回路をさらに含む、請求項 2 に記載の集積回路。

【請求項 5】 前記 I / O 回路の各々が、  
複数の論理要素のうちの 1 つを前記第 1 のレジスタのクロック入力に選択的に結合するように構成された第 3 のマルチプレクサ回路をさらに含む、請求項 2 に記載の集積回路。

【請求項 6】 前記 I / O 回路の各々が、  
論理素子を前記第 2 のマルチプレクサ回路の第 1 の入力および前記第 1 のマルチプレクサ回路の第 1 の入力に選択的に結合するように構成された第 3 のマルチプレクサ回路と、  
複数の論理素子のうちの 1 つを前記第 2 のレジスタの入力に選択的に結合するように構成された第 4 のマルチプレクサ回路とをさらに含む、請求項 2 に記載の集積回路。

【請求項 7】 前記第 1 のマルチプレクサ回路と前記出力バッファの前記入力との間に結合された遅延線をさらに含む、請求項 2 に記載の集積回路。

【請求項 8】 集積回路であって、  
電源電圧および第 1 の基準電圧に結合された複数の第 1 の I / O 回路と、  
前記電源電圧および第 2 の基準電圧に結合された複数の第 2 の I / O 回路とを含み、前記第 1 の基準電圧は前記第 2 の基準電圧とは異なり、前記複数の第 1 の I / O 回路は前記第 1 の基準電圧に基づく第 1 の I / O 規格と互換性があり、前記複数の第 2 の I / O 回路は前記第 2 の基準電圧に基づく第 2 の I / O 電圧規格と互換性があり、

前記 I / O 回路の各々が、  
第 1 のレジスタと、  
パッドに結合された出力を有する出力バッファと、  
前記第 1 のレジスタの出力または前記第 1 のレジスタの入力を前記出力バッファの入力に選択的に結合するように構成された第 1 のマルチプレクサ回路と、  
前記出力バッファのトライステート制御に結合された出力を有する第 2 のレジスタと  
、  
複数の論理素子のうちの 1 つを前記第 2 のレジスタの入力に選択的に結合するように構成された第 2 のマルチプレクサ回路とを含む、集積回路。

【請求項 9】 前記 I / O 回路の各々が、  
論理素子を前記第 1 のレジスタの前記入力に選択的に結合するように構成された第 3 のマルチプレクサ回路をさらに含む、請求項 8 に記載の集積回路。

【請求項 10】 前記 I / O 回路の各々が、  
複数の論理素子のうちの 1 つを前記第 1 のレジスタのクロック入力に選択的に結合するように構成された第 3 のマルチプレクサ回路をさらに含む、請求項 8 に記載の集積回路。

【請求項 11】 前記 I / O 回路の各々が、  
論理素子を前記第 1 のレジスタの前記入力に選択的に結合するように構成された第 3 のマルチプレクサ回路と、  
複数の論理素子のうちの 1 つを前記第 1 のレジスタのクロック入力に選択的に結合するように構成された第 4 のマルチプレクサ回路とをさらに含む、請求項 8 に記載の集積回路。

【請求項 12】 前記 I / O 回路の各々が、  
前記第 1 のマルチプレクサ回路と前記出力バッファとの間に結合されたプログラマブル遅延線をさらに含む、請求項 8 に記載の集積回路。

【請求項 13】 集積回路であって、  
電源電圧および第 1 の基準電圧に結合された複数の第 1 の I / O 回路と、  
前記電源電圧および第 2 の基準電圧に結合された複数の第 2 の I / O 回路とを含み、前記第 1 の電源電圧は前記第 2 の電源電圧とは異なり、前記複数の第 1 の I / O 回路は前記第 1 の基準電圧に基づく第 1 の I / O 規格と互換性があり、前記複数の第 2 の I / O 回路は前記第 2 の基準電圧に基づく第 2 の I / O 電圧規格と互換性があり、  
前記 I / O 回路の各々が、  
第 1 のレジスタと、

パッドに結合された出力を有する出力バッファと、

前記第 1 のレジスタの出力または前記第 1 のレジスタの入力を前記出力バッファの入力に選択的に結合するように構成された第 1 のマルチプレクサ回路と、

論理素子を前記第 1 のレジスタの前記入力に選択的に結合するように構成された第 2 のマルチプレクサ回路とを含む、集積回路。

【請求項 14】 前記 I / O 回路の各々が、

前記出力バッファのトライステート制御に結合された出力を有する第 2 のレジスタをさらに含む、請求項 13 に記載の集積回路。

【請求項 15】 前記 I / O 回路の各々が、

複数の論理素子のうちの 1 つを前記第 1 のレジスタのクロック入力に選択的に結合するように構成された第 3 のマルチプレクサ回路をさらに含む、請求項 13 に記載の集積回路

。

【請求項 16】 前記 I / O 回路の各々が、

前記出力バッファのトライステート制御に結合された出力を有する第 2 のレジスタと、

複数の論理素子のうちの 1 つを前記第 1 のレジスタのクロック入力に選択的に結合するように構成された第 3 のマルチプレクサ回路とを含む、請求項 13 に記載の集積回路。

【請求項 17】 集積回路であって、

電源電圧および第 1 の基準電圧に結合された複数の第 1 の I / O 回路と、

前記電源電圧および第 2 の基準電圧に結合された複数の第 2 の I / O 回路とを含み、前記第 1 の基準電圧は前記第 2 の基準電圧とは異なり、前記複数の第 1 の I / O 回路は前記第 1 の基準電圧に基づく第 1 の I / O 規格と互換性があり、前記複数の第 2 の I / O 回路は前記第 2 の基準電圧に基づく第 2 の I / O 電圧規格と互換性があり、

前記 I / O 回路の各々が、

第 1 のレジスタと、

パッドに結合された出力を有する出力バッファと、

前記第 1 のレジスタの出力または前記第 1 のレジスタの入力を前記出力バッファの入力に選択的に結合するように構成された第 1 のマルチプレクサ回路と、

複数の論理素子のうちの 1 つを前記第 1 のレジスタのクロック入力に選択的に結合するように構成された第 2 のマルチプレクサ回路とを含む、集積回路。

【請求項 18】 前記 I / O 回路の各々が、

前記出力バッファのトライステート制御に結合された出力を有する第 2 のレジスタをさらに含む、請求項 17 に記載の集積回路。