

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 3 年 5 月 27 日 (2021.5.27)

【公表番号】特表 2020-520118 (P2020-520118A)

【公表日】令和 2 年 7 月 2 日 (2020.7.2)

【年通号数】公開・登録公報 2020-026

【出願番号】特願 2019-562412 (P2019-562412)

【国際特許分類】

H 0 1 L 21/02 (2006.01)

H 0 1 L 21/304 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 21/02 B

H 0 1 L 21/304 6 4 3 A

H 0 1 L 25/08 B

【手続補正書】

【提出日】令和 3 年 4 月 12 日 (2021.4.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

超小型電子システムを形成するための方法であって、

ウェハ構成要素から複数の半導体ダイ構成要素を個片化することであって、前記半導体ダイ構成要素が各々、実質的に平坦な表面を有する、個片化することと、

前記複数の半導体ダイ構成要素の縁部から材料の粒子及び破片を除去することと、

前記複数の半導体ダイ構成要素の前記実質的に平坦な表面を、事前選択された深さ又は事前選択された持続時間にエッチングすることと、

前記複数の半導体ダイ構成要素のうちの 1 つ以上を、前記実質的に平坦な表面を介して、準備された接合表面に接合することと、を含む、方法。

【請求項 2】

前記複数の半導体ダイ構成要素の前記縁部をエッチングして、前記複数の半導体ダイ構成要素の前記縁部から前記粒子及び破片を除去することを更に含む、請求項 1 に記載の超小型電子システムを形成するための方法。

【請求項 3】

前記複数の半導体ダイ構成要素がダイシングキャリア上にある間に、前記複数の半導体ダイ構成要素の前記縁部をエッチングすることを更に含む、請求項 2 に記載の超小型電子システムを形成するための方法。

【請求項 4】

ベンゾトリアゾール (B T A) と共にフッ化水素酸及び硝酸を含む化学エッチング液を使用して、前記複数の半導体ダイ構成要素の前記縁部をエッチングすることを更に含む、請求項 2 に記載の超小型電子システムを形成するための方法。

【請求項 5】

プラズマエッチングを使用して、前記複数の半導体ダイ構成要素の前記縁部をエッチン

グすることを更に含む、請求項2に記載の超小型電子システムを形成するための方法。

【請求項 6】

前記複数の半導体ダイ構成要素の各々の前記縁部のうちの1つ以上において空間が創られるように、前記複数の半導体ダイ構成要素の前記縁部をエッチングして前記複数の半導体ダイ構成要素の厚さを低減することを更に含む、請求項2に記載の超小型電子システムを形成するための方法。

【請求項 7】

前記半導体ダイ構成要素が、前記実質的に平坦な表面として酸化物層を含み、前記エッチングすることが、前記複数の半導体ダイ構成要素の前記縁部において前記酸化物層の少なくとも一部分を除去することを含む、請求項2に記載の超小型電子システムを形成するための方法。

【請求項 8】

前記エッチングの前に、前記複数の半導体ダイ構成要素の前記実質的に平坦な表面に保護コーティングを塗布して、前記実質的に平坦な表面をエッチング液から保護することを更に含む、請求項2に記載の超小型電子システムを形成するための方法。

【請求項 9】

個片化の後に前記複数の半導体ダイ構成要素を加熱して、前記複数の半導体ダイ構成要素の周辺部から前記保護コーティングを後退させることと、

前記複数の半導体ダイ構成要素の前記周辺部を事前選択された深さまでエッチングすることと、を更に含む、請求項8に記載の超小型電子システムを形成するための方法。

【請求項 10】

前記複数の半導体ダイ構成要素が、ベース半導体層の上に誘電体層を含み、前記複数の半導体ダイ構成要素の前記周辺部をエッチングすることが、前記誘電体層を除去することと、前記複数の半導体ダイ構成要素の前記周辺部に前記ベース半導体層を露出させることと、を含む、請求項9に記載の超小型電子システムを形成するための方法。

【請求項 11】

さらに、前記複数の半導体ダイ構成要素の前記周辺部において前記誘電体層に加えて前記複数の半導体ダイ構成要素の一部を除去することを含む、請求項 10 に記載の超小型電子システムを形成するための方法。

【請求項 12】

さらに、前記ベース半導体層の面積が前記誘電体層の占有面積よりも小さいように、前記ベース半導体層の周辺部においてアンダーカットを形成することを含む、請求項 11 に記載の超小型電子システムを形成するための方法。

【請求項 13】

さらに、前記準備された接合表面の面積が前記誘電体層の占有面積よりも小さいように、前記準備された接合表面の周辺部においてアンダーカットを形成することを含む、請求項 12 に記載の超小型電子システムを形成するための方法。

【請求項 14】

さらに、前記誘電体層の面積が前記ベース半導体層の占有面積よりも小さいように、前記誘電体層の周辺部においてアンダーカットを形成することを含む、請求項 10 に記載の超小型電子システムを形成するための方法。

【請求項 15】

前記保護コーティングは、前記複数の半導体ダイ構成要素の少なくとも前記周辺部を露出させるようにパターン化されたレジスト層を備える、請求項 8 に記載の超小型電子システムを形成するための方法。

【請求項 16】

前記複数の半導体ダイ構成要素のうちの前記1つ以上が、接着剤を用いない直接接合技術又は金属間拡散接合のいずれかを使用して接合される、請求項1に記載の超小型電子システムを形成するための方法。

【請求項 17】

前記複数の半導体ダイ構成要素の側壁から材料の粒子及び破片を除去することを更に含み、前記粒子及び破片が、前記複数の半導体ダイ構成要素の前記側壁をエッチングすることによって、前記側壁から除去される、請求項1に記載の超小型電子システムを形成するための方法。

【請求項 18】

前記複数の半導体ダイ構成要素の側壁に材料の粒子及び破片をコーティングすることを更に含み、前記粒子及び破片が、前記複数の半導体ダイ構成要素の前記側壁上にコーティング層を堆積させることによって、前記側壁にコーティングされる、請求項1に記載の超小型電子システムを形成するための方法。

【請求項 19】

前記複数の半導体ダイ構成要素の前記側壁を、ガラス、ホウ素ドープガラス、又はリンドープガラスでスピンコーティング又はエレクトロコーティングすることを更に含む、請求項18に記載の超小型電子システムを形成するための方法。

【請求項 20】

前記複数の半導体ダイ構成要素の前記側壁に、前記ガラス、前記ホウ素ドープガラス、又は前記リンドープガラスを、熱硬化することを更に含む、請求項19に記載の超小型電子システムを形成するための方法。

【請求項 21】

超小型電子システムを形成するための方法であって、

ウェハ構成要素から複数の半導体ダイ構成要素を個片化することであって、前記半導体ダイ構成要素が各々、ベース半導体層の上に誘電体層を含むと共に、実質的に平坦な表面を有する、個片化することと、

前記複数の半導体ダイ構成要素の前記周辺部を、事前選択された深さ又は事前選択された持続時間にエッチングすることであって、前記複数の半導体ダイ構成要素の前記周辺部において前記誘電体層の少なくとも一部を除去することを含む前記エッチングすることと

、

前記複数の半導体ダイ構成要素のうちの1つ以上を、前記実質的に平坦な表面を介して、準備された接合表面に接合することと、を含む、方法。