(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6173684号
(P6173684)

(45)発行日　平成29年8月2日(2017.8.2)　(24)登録日　平成29年7月14日(2017.7.14)

(51)Int.Cl.　F I
H01L 27/11582 (2017.01)　H01L 27/11582
H01L 29/788 (2006.01)　H01L 29/78 371
H01L 21/336 (2006.01)
H01L 29/792 (2006.01)

請求項の数 15　(全 22 頁)

(21)出願番号　特願2012-280480 (P2012-280480)
(22)出願日　平成24年12月25日 (2012.12.25)
(65)公開番号　特開2014-127475 (P2014-127475A)
(43)公開日　平成26年7月7日 (2014.7.7)
審査請求日　平成27年11月2日 (2015.11.2)

(73)特許権者　501387839
株式会社日立ハイテクノロジーズ
東京都港区西新橋一丁目２４番１４号
(74)代理人　100098660
弁理士　戸田　裕二
(72)発明者　小藤　直行
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社　日立製作所　中央研究所内
(72)発明者　根岸　伸幸
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社　日立製作所　中央研究所内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
３次元メモリセルの形成工程を備える半導体装置の製造方法において、
前記３次元メモリセルの形成工程は、絶縁層と導電体層との積層膜によって構成され複数積層されたコントロールゲート層にチャネルホールを形成する工程と、プラズマエッチングにより前記複数積層されたコントロールゲート層に溝を形成して前記複数積層されたコントロールゲート層を分離し、複数のコントロールゲート群を形成する工程とを有し、前記コントロールゲート群の長手方向の長さと前記コントロールゲート群の高さは、前記長さを２倍とする値を自然数で除した値である座屈周期を前記高さで除した値の関数である座屈係数が前記コントロールゲート群の幅に対する前記高さの比の二乗とヤング率に対する残留応力の比との積で定義される座屈ファクタより大きくなるように規定されていることを特徴とする半導体装置の製造方法。
【請求項２】
請求項１に記載の半導体装置の製造方法において、
前記コントロールゲート群の長手方向の長さと前記コントロールゲート群の高さは、前記座屈周期を前記高さで除した値が３．３より小さくなるように規定されていることを特徴とする半導体装置の製造方法。
【請求項３】
請求項１に記載の半導体装置の製造方法において、
前記コントロールゲート群の短辺方向の長さと前記コントロールゲート群の高さは、前記

高さを前記長さで除した値が１０以上となるように規定されていることを特徴とする半導体装置の製造方法。
【請求項４】
請求項１に記載の半導体装置の製造方法において、
前記コントロールゲート群の長手方向の長さと前記コントロールゲート群の高さは、前記長さを前記高さで除した値が１．６５未満となるように規定されていることを特徴とする半導体装置の製造方法。
【請求項５】
請求項４に記載の半導体装置の製造方法において、
前記コントロールゲート群における分離された方向の長さである幅に対する前記長さの比が１６．５未満であることを特徴とする半導体装置の製造方法。
【請求項６】
請求項５に記載の半導体装置の製造方法において、
前記コントロールゲート群の内部に前記チャネルホールを複数列形成することを特徴とする半導体装置の製造方法。
【請求項７】
請求項１ないし６のいずれか一項に記載の半導体装置の製造方法において、
上方のコントロールゲート層の長さが下方のコントロールゲート層の長さよりも短くなるような階段状形状に前記コントロールゲート群を形成し、
前記コントロールゲート群の長手方向の長さを前記階段状形状の最下層のコントロールゲート層の長さとし、
前記高さを前記階段状形状全体の高さとすることを特徴とする半導体装置の製造方法。
【請求項８】
請求項２に記載の半導体装置の製造方法において、
前記長さを前記高さで除した値が１．６５未満であることを特徴とする半導体装置の製造方法。
【請求項９】
請求項４に記載の半導体装置の製造方法において、
複数のコントロールゲート群を形成する工程は、前記複数積層されたコントロールゲート層上にラインアンドスペースパターンを形成する工程と当該ラインアンドスペースパターンをマスクとして前記複数積層されたコントロールゲート層を最下層までエッチングする工程とを含み、
前記ラインアンドスペースパターンは、個々のパターンが互いに同位相でうねった形状を有し、当該うねりの変曲点位置に前記チャネルホールが位置する形状であることを特徴とする半導体装置の製造方法。
【請求項１０】
複数のコントロールゲート層が積層され、かつ互いに溝で分離された複数のコントロールゲート群と、当該コントロールゲート群に形成されたチャネルホールと、前記コントロールゲート群に電極を介して接続されたビット線と、前記コントロールゲート層にコンタクトプラグを介して接続されたワード線とを備える半導体装置において、
前記コントロールゲート群の長手方向の長さを２倍とする値を自然数で除した値である座屈周期を前記コントロールゲート群の高さで除した値の関数である座屈係数が前記コントロールゲート群の幅に対する前記高さの比の二乗とヤング率に対する残留応力の比との積で定義される座屈ファクタより大きくなるように前記長さと前記高さが規定されていることを特徴とする半導体装置。
【請求項１１】
請求項１０に記載の半導体装置において、
前記コントロールゲート群の長手方向の長さを前記コントロールゲート群の高さで除した値が１．６５未満となるように前記長さと前記高さが規定されていることを特徴とする半導体装置。

【請求項１２】
請求項１１に記載の半導体装置において、
前記コントロールゲート群における分離された方向の長さである幅に対する前記長さの比が１６.５未満であることを特徴とする半導体装置。
【請求項１３】
請求項１２に記載の半導体装置において、
前記チャネルホールが前記コントロールゲート群の内部に複数列形成されていることを特徴とする半導体装置。
【請求項１４】
請求項１０に記載の半導体装置において、
前記複数のコントロールゲート群は、互いに同位相でうねった形状を備え、
前記チャネルホールが前記うねりの形状の変曲点位置に形成されていることを特徴とする半導体装置。
【請求項１５】
請求項１０ないし１４のいずれか一項に記載の半導体装置において、
上方のコントロールゲート層の長さが下方のコントロールゲート層の長さよりも短くなるような階段状形状に前記コントロールゲート群を形成し、
前記コントロールゲート群の長手方向の長さを前記階段状形状の最下層のコントロールゲート層の長さとし、
前記高さを前記階段状形状全体の高さとすることを特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体デバイスおよび半導体デバイスの製造方法に係わり、好適には、３次元構造のNAND-flashメモリの製造に不可欠な高アスペクト比のラインパターンの形成方法に関する。
【背景技術】
【０００２】
半導体デバイスの高速化・高密度化の要請に伴い、近年、３次元構造の半導体装置の開発が盛んである。例えば非特許文献１には、３次元NAND-flashメモリ（以下3D-NANDと略す）その一例として、が開示されている。図１には、3D-NANDのメモリセルの概略を３面図にて示す。図１の(Ａ)は3D-NANDのメモリセルを上側から見た上面図、図１の（Ｂ）は図１（Ａ）の上面図を紙面右側から見た側面図（ｙ方向に見た構造）、図１（Ｃ）は、図１（Ａ）の上面図を紙面下側から見た正面図（ｘ方向に見た構造）をそれぞれ示す。メモリセルは、実際には紙面の横方向（ｙ方向）に長く伸びており、図１（Ａ）および（Ｃ）は、いずれもメモリセル両側の端部のみを示している。なお、図１（Ａ）では図１（Ｃ）に示したビット線３３およびワード線３４は図示を省略した。
【０００３】
上記3D-NANDのメモリセルは、図１（Ｃ）に示されるように、半導体基板（Si基板）１上にタングステン膜５（導電膜）とSiO_2膜３（絶縁膜）の積層膜からなるコントロールゲート層３０が更に階段状に積層されており、その内部にポリシリコンで穴埋めされた円柱状のチャネルホール４が形成された構造を有している。なお、製造工程の最初の段階では、コントロールゲート層３０はSi_3N_4膜とSiO_2膜３の積層膜として形成され、製造工程の途中でSi_3N_4膜がタングステン膜５に置換される。コントロールゲート層３０に含まれるタングステン膜５はゲート電極として動作させるため、コントロールゲート層３０が階段状に積層されたテラス構造になっており、それぞれ、コンタクトホール３５を介してワード線３４と接続されている。（以下、コントロールゲート層３０の積層膜を、便宜上コントロールゲート群３１と称す。）コントロールゲート群３１は、図１（Ｂ）に示すように溝（スペース）３２によってｘ方向に分割されており、上側から見ると、図１（Ａ）に示すようにラインアンドスペース状の構造を有している。

【０００４】
チャネルホール４上にはコンタクトホール６が形成され、更にその上部に形成されるビット線３３と接続される。また図示されてはいないが、チャネルホール４の内壁面（コントロールゲート群３０内部に形成された穴の壁面と穴埋めされたポリシリコンの柱との界面）にはチャージトラップ材料としてＯＮＯ膜が形成されており、メモリセルのキャパシタとして動作する。
【０００５】
非特許文献１に開示される3D-NANDのメモリセルの特徴点は、図１（Ｂ）に示すように、コントロールゲート群３１が溝３２によってｘ方向に分割されていることにある。この溝３２はエッチングにより形成される。図２の（Ａ）（Ｂ）には、溝３２の形成工程の前後のパターンを図１（Ｂ）と同様の側面図で示す。図２の（Ａ）がエッチング前のパターンを、図２（Ｂ）がエッチング後のパターンをそれぞれ示す。図２（Ａ）に示されるエッチング前の状態においてはSi基板１上に、前述のSi_3N_4膜２とSiO_2膜３の積層膜からなるコントロールゲート層３０が積層され、内部にポリシリコンで埋められたチャネルホール４が形成されている。この上面にリソグラフィによってラインアンドスペースのレジストパターンが形成され、これをマスクとするドライエッチングにより図２（Ｂ）に示す溝３２が形成される。
【０００６】
図１に示したメモリセルでは、コントロールゲート群はコントロールゲート層３０が８層積層されているが、高密度化のためには、積層数を増やしたり、あるいは、チャネルホール４の径を縮小してX方向とY方向のチャネルホールの間隔を狭くする必要がある。例えば、非特許文献１には、今後の展開としてコントロールゲート層３０の積層数を128層にすることや、チャネルホール４の径を45nmに縮小して、ビットあたりのコスト（ビットコスト）を低減することが提案されている。
【先行技術文献】
【非特許文献】
【０００７】
【非特許文献１】Proceeding of 2009 symposium on VLSI Technology,P192-193
【発明の概要】
【発明が解決しようとする課題】
【０００８】
非特許文献１に開示される3D-NANDでは、メモリセル高密度化のためにコントロールゲート層３０の積層数を増やしていくとコントロールゲート群３１の高さが高くなる。コントロールゲート層３０の膜厚を薄くすればコントロールゲート群の高さ増大を抑制することは可能であるが、現実には困難である。タングステン膜５を薄くすると、チャージトラップ用のONO膜にトラップされる電荷の量が小さくなり過ぎてNAND-flashメモリのデータ保持性能が低下する。また、SiO_2膜３を薄くすると、隣接するコントロールゲートの信号によって、誤ったデータが書込まれるクロストークと呼ばれる現象が発生する。このため、実際はタングステン膜５やSiO_2膜３の膜厚を極端に薄くすることはできない。
【０００９】
また、チャネルホール４の径を縮小してチャネルホールの間隔を狭くすると、必然的にコントロールゲート群３１の幅（図１（Ａ）のx方向の長さ）も小さくなっていく。従って、積層数を増やしチャネルホール径を縮小すると、必然的にパターン幅に対する高さの比すなわちアスペクト比（ここでは高さを幅で割った値とする）が大きくなる。
【００１０】
本願発明者による解析の結果、アスペクト比が大きくなると、コントロールゲート群３１をラインアンドスペースに分割する工程において、Wigglingと呼ばれるパターンの変形が発生することが明らかになってきた。Wigglingの発生は、アスペクト比が10以上になると特に顕著となる。Wigglingとは、高アスペクト比のパターンが左右にうねりながら倒れる現象であり、図３の（Ａ）と（Ｂ）には、Wigglingが生じたメモリセルの上面図と側面

図をそれぞれ示す。図３（Ｂ）は図３（Ａ）をl-m線で切った断面図を示すが、隣合うパターンが接触して溝３２形成のための積層膜のエッチングが途中で止まってしまっている。更に、エッチングが下層まで到達しないため下層のゲート電極が電気的にショートしてしまう、あるいは変形によってチャネル部が破壊されるといった問題が発生している。また、コントロールゲート群３１が互いに接触するほどの変形はしないまでも、ラインアンドスペースにうねりが生じてチャネルの位置が設計値とずれて、図１（Ｃ）に示したチャネルホール４とコンタクトホール６がうまく接続できないといった問題も発生する。

【００１１】

よって本発明の目的は、上記3D-NANDのように、半導体基板の上方に能動素子を形成するための積層膜が形成され、当該積層膜が層間絶縁材料によって分離されて形成された半導体素子ブロックを備える半導体装置あるいは当該半導体装置の製造方法において、Wigglingに起因する上記半導体素子ブロック同士のショートを抑制するための方法およびこれらの問題が発生しない半導体装置を提供することにある。

【００１２】

また、本発明の別の目的は、膜状の能動素子を形成するための積層膜が上記半導体基板の上方に形成され、当該積層膜が互いに層間絶縁材料によって分離された半導体素子ブロックを備える半導体装置あるいは当該半導体装置の製造方法において、上記半導体素子ブロックと配電極あるいは配線間の接続不良の発生が抑制された半導体装置の製造方法あるいは半導体装置を提供することにある。

【課題を解決するための手段】

【００１３】

本願発明者は、解析の結果、上記Wigglingは膜に作用する応力によって発生し、エッチングによってラインアンドスペース状に分割される半導体素子ブロックの高さと幅あるいは高さと長さの比を座屈が発生しない範囲に規定することにより、Wigglingの発生を抑制できることを見出した。従って、本発明は上記半導体素子ブロックの高さと幅あるいは高さと長さの比を座屈が発生しない範囲に規定することにより、上述の課題を解決する。

【００１４】

また本願発明者は、ラインアンドスペース状に分割される半導体素子ブロックにうねりが生じたとしても、うねりの２回微分に相当する位置にはパターンを変形させる力が殆ど加わらないことを見出した。よって本発明は、隣接するラインアンドスペースのパターンを予め同じ形状にうねらせておき、うねりの２回微分がゼロになる位置にチャネルホールを形成することでチャネルホールの設計位置からの変動を抑制し、これにより上記「チャネルホールとコンタクトホールの接続不良の発生を抑制する」という課題を解決する。

【発明の効果】

【００１５】

Wigglingを低減できる。もしくは、Wigglingが発生してもデバイス特性の劣化を最小限度に留めることができる。

【図面の簡単な説明】

【００１６】

【図１】（Ａ）3D-NANDのメモリセル構造を示す上面図、（Ｂ）同側面図、（Ｃ）同正面図

【図２】（Ａ）3D-NANDエッチング工程前のメモリセル側面図、（Ｂ）同側面図

【図３】（Ａ）Wigglingが生じたメモリセルの上面図、（Ｂ）同側面図

【図４】（Ａ）座屈発生前のラインパターンを示す上面図、（Ｂ）同側面図

【図５】（Ａ）座屈発生後のラインパターンを示す上面図、（Ｂ）同側面図

【図６】座屈周期－パターン高さ比λ/ｈと座屈係数ｋとの関係を示すシミュレーション結果

【図７】実施例２のメモリセルが形成された3D-NANDフラッシュメモリのダイ

【図８】（Ａ）実施例１のメモリセルにおける積層膜をラインアンドスペースに加工するプロセスを説明する上面図、（Ｂ）同側面図、（Ｃ）同正面図

【図９】実施例２のメモリセルにおける積層膜をラインアンドスペースに加工するプロセスを説明する正面図
【図１０】同正面図
【図１１】同正面図
【図１２】（Ａ）実施例２のメモリセルにおける積層膜をラインアンドスペースに加工するプロセスを説明する上面図、（Ｂ）同側面図、（Ｃ）同正面図
【図１３】Ａ）実施例２のメモリセルにおける積層膜をラインアンドスペースに加工するプロセスを説明する上面図、（Ｂ）同側面図、（Ｃ）同正面図
【図１４】実施例２のメモリセルにおけるa-Cのエッチング深さと座屈係数および座屈ファクタの関係を示す図
【図１５】実施例２のメモリセルにおける積層膜のエッチング深さと座屈係数および座屈ファクタの関係を示す図
【図１６】実施例２のメモリセルのコントロールゲート群の構造を示す斜視図
【図１７】実施例２の積層膜分割エッチングの例
【図１８】初期うねりがあるラインパターンの例
【図１９】うねり増幅後のラインパターン
【図２０】初期うねりの周期とうねり増幅率の関係
【図２１】実施例３のうねり増幅への対策案を示す模式図
【図２２】実施例３のうねり増幅対策を施したラインパターンの変形を示す模式図
【図２３】うねりのある状態でマスク材料をエッチングした場合におけるマスク材料（a-C）のエッチング深さとうねりの振幅の関係を示す図
【図２４】（Ａ）Wigglingにより加工不良が発生した3D-NANDのコントロールゲート群を示す模式図、（Ｂ）同Ａ－Ａ'断面図
【図２５】図２４に示す加工不良が発生した3D-NANDのコントロールゲート群における積層膜のエッチング深さとうねりの振幅の関係
【図２６】（Ａ）配線接続不良が発生した3D-NAND メモリセルの概要を示す上面図、（Ｂ）同Ａ－Ａ'断面図
【図２７】（Ａ）実施例４のレジストマスクレイアウトを示す上面図、（Ｂ）同側面図
【図２８】実施例４のa-Cのエッチング深さとうねりの振幅の関係
【図２９】実施例４の積層膜エッチ後の加工形状
【図３０】実施例４のa-Cのエッチング深さとうねりの振幅の関係
【図３１】実施例４の露光用レチクルのレイアウトの例
【図３２】実施例４の本発明のレジストマスクレイアウトの例
【発明を実施するための形態】
【００１７】
（実施例１）
まず、ラインアンドスペース状の半導体素子ブロックを備える半導体装置においてWigglingの発生するメカニズムについて、単層膜により形成されたラインパターンを例にして説明する。
【００１８】
前述の通り、3D-NANDのコントロールゲート層は、製造プロセスの初段階においてはSi_3N_4膜上にSiO_2膜がＣＶＤで積層されて形成される。3D-NANDの製造プロセスに限らず、ＣＶＤで形成される材料には成膜時に微小な残留応力を有することが知られている。また、コントロールゲート層の積層膜をエッチングによりラインアンドスペースに加工する際、エッチングプロセスにより積層膜が変質すると積層膜に応力が発生し、この応力によって積層膜が変形することもわかった。従って、Wigglingは、上記残留応力とエッチングによる積層膜の変質の２つの要因が作用して発生していると考えられ、積層膜の方が単層膜よりもよりWigglingが発生しやすいと考えられる。
【００１９】
現象面では、Wigglingには座屈とうねり増幅の二つのモードが存在することが解析の結

果から判明した。図４と図５には、座屈が発生したパターンの例を座屈の前後で対比して示す。座屈は、図４（Ａ）および（Ｂ）のような真直ぐなラインパターン７が応力によって変形して倒れる現象である。図４（Ａ）はラインパターン７の上面図を示しており、高さｈ、長手方向（ｙ方向）の長さＬ、短辺方向の長さである幅ｗ（ｘ方向の長さ。厚みと定義してもよい。）のパターンが形成された様子を示す。図４（Ｂ）は図４（Ａ）に示すラインパターンのＡ－Ａ’断面を示す側面図である。図５（Ａ）は、座屈により倒れたパターンの上面図を示しており、参考のため座屈発生前のラインパターン７も点線で示してある。図５（Ｂ）は、図４（Ｂ）と同様、図５（Ａ）に示すラインパターンのＡ－Ａ’断面を示す側面図である。図５（Ａ）に示すように、座屈が発生した場合、パターンはある一定の周期でうねることがわかっている。この周期が座屈周期λと呼ばれるもので、図５（Ａ）中にλで示す。

【００２０】

数値計算の結果、座屈の発生条件は以下の式１で表されることがわかった。

【００２１】

【数１】

$$\gamma \equiv \left(\frac{h}{w}\right)^2 \frac{\sigma}{E} > k \qquad (1)$$

γ：座屈ファクタ
σ：残留応力（Pa）
Ｅ：ヤング率（Pa）
ｗ：パターン幅
ｈ：パターン高さ
ｋ：座屈係数

【００２２】

上記、式１の左辺は、残留応力σとヤング率Ｅの比にアスペクト比ｈ/ｗの二乗を掛けた無次元の値である。この値を我々は座屈ファクタγと定義した。一方、上記式１の右辺ｋは座屈係数と呼ばれる無次元の値であり、座屈ファクタγが座屈係数ｋを上回ると座屈が発生する。数値計算の結果、パターンの高さｈ（例えば図４（Ｂ）を参照）と図５に示す座屈周期λおよびパターン高さｈとに密接に関係していることがわかってきた。図６には、座屈係数ｋと値λ/ｈ（無次元）の関係を示す数値計算結果を示す。数値計算の結果から、座屈係数ｋは値λ/ｈの関数であり、材料や膜厚によらずλ/ｈが3.3の時に最小値1.1をとることが分かった。

【００２３】

半導体デバイスで通常使われる材料、例えば、SiO_2やSi_3N_4などは、ヤング率Ｅの数％に相当する残留応力σを有することが知られており、従って式１の左辺は必ず有限の値を持っている。このため、アスペクト比ｈ/ｗが大きくなると、上記式１の左辺の値が大きくなり、座屈係数ｋより大きくなった時点で座屈が発生する。仮にσ/Ｅが１％であるとすると、アスペクト比ｈ/ｗが11前後で座屈ファクタγが、座屈係数ｋの最小値1.1を超えて座屈が発生する可能性がある。

【００２４】

次に、座屈周期λの取りうる値の制約について説明する。ラインパターンの長さが有限の値Ｌの場合（長さの定義は、図４（Ａ）に示す通りとする）、座屈周期λは下記の条件を満たさねばならない。

【００２５】

【数２】

$$L = n\frac{\lambda}{2} \qquad (2)$$

n：正の整数

【００２６】

上述した通り、座屈が最も発生しやすいのは（すなわち座屈係数ｋが最小値1.1を取るのは）は、λ/ｈが3.3の時、すなわちλの値が3.3ｈの場合である。これと式２の関係を考慮すれば、λ/ｈの値として3.3をとりうるのは、Ｌが1.65ｈの倍数となる場合である。つまり、Ｌとhの関係がＬ＝1.65ｈの関係を満たすと常にｋが最小値1.1を取り、より小さな応力、小さなアスペクト比で座屈が発生する。

【００２７】

一方、Ｌが1.65ｈより小さい場合、λの値としては3.3ｈより小さい値しか取りえない。したがって、λ/ｈは3.3より必ず小さく、ｋも最小値1.1より必ず大きくなる。したがって座屈発生に必要な応力は大きくなり、許容されるアスペクト比も大きくなる。

【００２８】

例えば、Ｌ＝1.65ｈの場合、λのとりうる値は3.3ｈ、3.3ｈ/2、3.3ｈ/3・・・である。したがって、λ/ｈのとりうる値は、3.3、3.3/2、3.3/3・・・である。図６に示す関係から、ｋが最小値1.1を取るのはλ＝3.3ｈの周期の場合である。このため、周期λ＝3.3ｈのWigglingが発生しやすい。

【００２９】

Ｌ＝0.5ｈと小さい場合には、λのとりうる値は、ｈ、ｈ/2、ｈ/3・・・であり、λ/ｈのとりうる値は１、1/2、1/3・・・である。図６の関係に即して言えば、ｋの取りうる範囲はλ/ｈ＝1よりも左側ということであり、ｋが最小となるのはλ/ｈ＝1、すなわちλ＝ｈの周期の場合である。図６に示す関係から、このときのｋは4.0となる。このｋの値は、Ｌ＝1.65ｈの場合の約3.6倍と大きい。数式１の座屈発生条件を考慮すると、パターン長さの値を1.65ｈから0.5ｈに短くすると、座屈発生に必要な応力が3.6倍に増大する。すなわち、座屈が発生しにくくなる。

【００３０】

したがって、パターン長さＬの大きさをパターン高さｈの1.65倍より小さくすることで座屈によるWigglingを抑制することができることがわかった。

【００３１】

なお、本実施例では、単一のラインパターンを例にして説明したが、面状積層膜をエッチングにより分離してラインアンドスペース状のパターンを形成する形態の微細加工プロセスであれば、座屈発生のメカニズムは共通である。よって、上記の微細加工プロセス一般に本実施例の知見が適用できることはいうまでもない。

【００３２】

（実施例２）

本実施例では、実施例１で説明した手法を3D-NANDの製造プロセスに適用して座屈起因のWigglingを抑制した例について説明する。

【００３３】

図７には、本実施例の3D-NANDを構成するダイの外観図を示す。図７に示すダイは、４つは3D-NANDのメモリセル７０と周辺回路７１が集積された構造を有している。個々のメモリセルの構造は図１に示したメモリセルとほぼ同様であるが、コントロールゲート群３１のアスペクト比は座屈が起きにくい値に規定されている。

【００３４】

次に、座屈が発生した3D-NANDの構造と座屈が発生しない3D-NANDの構造について、これらを比較しながら説明する。前述の通り、座屈が発生するのは溝３２を形成してSi_3N_4膜２とSiO_2膜３の積層膜をラインアンドスペースパターンに分離形成するエッチング時であるため、初めにラインアンドスペースパターンの形成プロセスについて詳細に説明する。

【００３５】
図８～１３は、上記のラインアンドスペースパターンの形成プロセスを説明する図である。図８（Ａ）～（Ｃ）は、図２（Ａ）に示した状態のメモリセルを３面図で示した図であり、図１３は、図２（Ｂ）に示した状態のメモリセル、すなわちエッチング終了後のメモリセルを示す３面図である。また、図面の煩雑さを防ぐため、図９～図１１については、Si_3N_4膜とSiO_2膜の積層膜をｘ方向にみた正面図のみ示し、エッチング直前の状態を示す図１２については３面図で表示する。
【００３６】
図８（Ｃ）には、Si基板１上にSi_3N_4膜２とSiO_2膜３からなるコントロールゲート層３０が更に３４積層された積層膜（つまりSi_3N_4膜２とSiO_2膜３が各々３４層、計６８層の積層膜）の正面図を示す。Si_3N_4膜２とSiO_2膜３の膜厚は各々30nmであるので、総膜厚はおよそ2μｍである。なお、作画の便宜上、図では積層数が８層の断面図を記載しているが、実際には、総積層数が６８層の試料を作成して実験を行った。構造物の内部にはチャネルホール４が形成されており、内部はポリシリコンで埋められている。最下層のSi_3N_4膜２のワード線方向（本実施例ではy方向）の長さはLであり、コントロールゲート群３１の高さはｈである。なお、図示の都合上、Si基板１は一部のみしか示していないが、実際にはSi基板は紙面の横方向及び前後方向に広がっている。
【００３７】
まず、この構造物の階段状構造上部の何もない部分を、図８（Ａ）あるいは（Ｃ）に示されるように層間絶縁材料であるSiO_2膜８で埋める。次に、この試料上に厚さ1μｍのアモルファスカーボン（a-C）膜９と厚さ100nmの SiON膜１０をCVDによって順次積層する（図９）。さらに、その上にＬＥＲの少ないナノインプリントという手法により、図１０に示すようなライン幅50nm、スペース幅50nmのラインアンドスペース状のレジストマスク１１を形成する。後段のエッチング工程では最下層のSi_3N_4膜２までをライン分割する必要があるため、ラインパターンの長さは最下層のSi_3N_4膜２のy方向の長さLと同じかそれ以上でなければならない。本実施例では、長さLのレジストパターンを形成した。形成されたレジストマスク１１に沿ってSiON膜１０をエッチングして、SiONマスクを形成する（図１１）。同様に、形成されたSiONマスクに沿って、a-C膜９をエッチングしてa-Cマスクを形成する。図１２（Ａ）～（Ｃ）には、a-Cマスクが形成された状態のメモリセル上面図、側面図、正面図をそれぞれ示す。図１２（Ａ）および（Ｂ）との対比から分かるように、チャネルホール４上にa-Cマスクが形成されており、ｙ方向に延びるラインアンドスペースのパターンが形成されている。最終的に形成されたa-Cマスクの厚さは1μｍ、ライン幅とスペース幅は、各々50nmである。
【００３８】
最後に、上記a-Cマスクに沿ってSi_3N_4膜２とSiO_2膜３の積層膜を一貫でプラズマエッチングする。これにより積層膜に溝３２が形成され、ラインアンドスペースパターン状のコントロールゲート群３１が分離形成される（図１３）。コントロールゲート群３１の長手方向の最大長さ、すなわち階段状構造の最下層のコントロールゲート層３０の長手方向の長さはＬであり、コントロールゲート群３１の幅、すなわち溝によって分離された方向の長さはｗである。図１（Ｃ）から分かるように、ワード線３４は上記長手方向に平行に形成され、ビット線３３は上記幅方向に平行に形成される。図１３（Ａ）～（Ｃ）を対比すれば分かるように、エッチング直後の状態ではコントロールゲート群３１間の溝３２には何も埋められておらず、積層膜の剛性のみで自立している状態である（階段状構造の上部は層間絶縁材料であるSiO_2膜８で埋められている）。
【００３９】
以上のプロセスを用いて、コントロールゲート群３１の長さＬが6.6μｍの試料と、440nmとの２つの試料を作成し、座屈が発生するかどうかの試験を行った。
【００４０】
6.6μｍは、最終的なパターン高さ2μｍの1.65倍、すなわち3.3μｍの倍数となっており、実施例１の考察から、非常に座屈が発生しやすいものと推測される一方、440nmは3.3μｍ

より小さく、座屈が発生しにくいものと推測される。

【００４１】

長さＬが6.6μmの試料については、図１２の工程でa-C膜９を深さ500nmまでエッチングした時点でWigglingが発生した。この場合に関して、取りうる数種類の座屈周期λ=2L/nについて計算した座屈係数kとエッチング深さhの関係、および、これら座屈係数kの最小値と座屈ファクタγの値とエッチング深さhの関係を計算した結果を図１４（a）に示す。長さＬが6.6μmと長いため、座屈周期λとしては、13.2μm以下の様々な値をとりうる。このため、座屈係数kの最小値は1.1でほとんど変化しない。これに対して、座屈ファクタγは、エッチング深さhの二乗に比例して増加する。そして、エッチング深さが500nmに達すると座屈ファクタγが座屈係数kの最小値より大きくなる。この時、a-C膜９は高さhが500nm、幅wが50nmのアスペクト比10のパターンとなる。また、本検討で使用したa-Cはヤング率Eの1.2%に相当する残留応力σを有しているため、座屈ファクタγは1.2となる。この時点で座屈ファクタγが座屈係数kより大きくなるため、座屈によりWigglingが発生したものと考えられる。

【００４２】

次に長さＬが440nm の試料の試験結果について説明する。結果は良好であり、a-C膜９の底部までエッチングを行っても座屈によるWigglingは発生しなかった。この場合に関して、取りうる数種類の座屈周期λ=2L/nについて計算した座屈係数kとエッチング深さhの関係、および、これら座屈係数kの最小値と座屈ファクタγの値とエッチング深さhの関係を計算した結果を図１４（b）に示す。本実験で設定した長さＬは440nmと短い。そのため、座屈周期λとしては、2L すなわち0.88μm以下の値しかとりえない。このため、2L/h=3.3となるエッチ深さh=266nm以上では、座屈係数kの最小値が増加する。このため、座屈ファクタγが1.1を超えるエッチ深さ500nmすなわちアスペクト比10においても、座屈ファクタγが座屈係数kを下回るため、座屈によるWigglingが発生しない。

【００４３】

すなわち、エッチング途中の過程まで考えると、座屈を抑制するためには、座屈ファクタγが1.1前後となるアスペクト比10相当のエッチ深さh_1と、$2L/h_0=3.3$を満たすh_0を比較した場合に、$h_1>h_0$ =が成り立たなければならない。言い換えると、パターンの長さLが幅wがの16.5倍よりも小さくなければならない。

【００４４】

つづいて、上記試験により作成されたa-Cマスクを使用して、その下部のSi_3N_4膜とSiO_2膜の積層膜をエッチングした。図１５（ｂ）には、積層膜のエッチング深さと、座屈ファクタγおよび座屈係数kの最小値の関係を示す。Si_3N_4膜とSiO_2膜の残留応力はいずれもヤング率の1.0%である。グラフ横軸の範囲は、0から積層膜の厚さである2μmに設定した。座屈ファクタγの値は、高さの二乗に比例して増加する。これに対して、座屈係数kの最小値は図１４（ｂ）の場合と同様にエッチ深さh=266nm以上で増加する。このため、0から2μm の範囲で、座屈ファクタγの値が座屈係数kの最小値より常に小さいため、座屈によるWigglingは発生しないものと考えられ、実際の試験においても積層膜のエッチング中に座屈は発生しなかった。

【００４５】

つぎに、a-Cに代えて、残留応力の少ない有機材料の塗布膜（ＳＯＣ）を使用して同様の評価を行った。作成した試料は、マスクがa-Cの場合と同様、コントロールゲート群３１の長さＬが6.6μmと440nmの２つである。また、ＳＯＣマスクの厚さは1μm、ライン幅とスペース幅は、各々50nmとした。ＳＯＣは、残留応力σがヤング率Ｅの0.16%しかない。したがって、ＳＯＣマスクを1μm までエッチングしてアスペクト比が20に達した状態でも座屈ファクタγは0.64であり、座屈係数kの最小値1.1よりも小さい。このため、長さＬが6.6μmと440nmのいずれの試料でも座屈によるWigglingは発生しなかった。

【００４６】

次に、このＳＯＣマスクを使用し図１３に示される要領にてSi_3N_4膜とSiO_2膜の積層膜をエッチングした。長さＬが6.6μmの試料については、積層膜を深さ550nmまでエッチン

グした時点でWigglingが発生した。この場合に関して、取りうる数種類の座屈周期λ=2L/nについて計算した座屈係数kとエッチング深さhの関係、および、これら座屈係数kの最小値と座屈ファクタγの値とエッチング深さhの関係を計算した結果を図１５（a）に示す。本実験で設定した長さＬは6.6μmと短い。このため、前述の2L/h=3.3となるエッチ深さもh=4.0μmと大きい。したがって、0から2μmの間で座屈係数kの最小値は1.1でほぼ一定である。これに対して、座屈ファクタγは、エッチング深さhの二乗に比例して増加する。そして、エッチング深さが550nmに達すると座屈ファクタγが座屈係数kの最小値より大きくなる。この時のアスペクト比は11である。また、積層膜の残留応力σはSi_3N_4膜とSiO_2膜のヤング率Ｅの1.0％程度であることを考慮すると、この時の座屈ファクタγは1.21である。よってこの時点で座屈ファクタが座屈係数を上回り、座屈によりWigglingが発生したものと考えられる。

【００４７】

一方、長さＬが440nm の試料については座屈によるWigglingは発生しなかった。パターン長さが440nmであるため、この場合の座屈係数kの最小値と座屈ファクタγのエッチング深さhへの依存性は図１５（ｂ）と同じである。したがって、エッチング深さ0から2μmの範囲で、座屈ファクタγの値は座屈係数kの最小値より常に小さくなるため座屈は発生しない。

【００４８】

以上の通り、残留応力がヤング率Ｅの数％程度存在する積層膜に関しては、アスペクト比が大きく（例えば10以上に）なると座屈によるWigglingが発生する可能性がある。このための対策としては、マスクのラインパターンの長さLを短くすることが有効であり、その値は少なくとも被エッチング材料の厚みhの1.65倍以下にする必要がある。すなわち、積層膜の上部に積層膜底面の長さの1.65倍以下の長さを有するマスクパターンを形成し、これをマスクとしてエッチングを行うことにより、積層膜に発生するWigglingを抑制することができる。図１６には、アスペクト比が以上のように規定された本実施例のコントロールゲート群を斜視図で示した。本実施例で説明した3D-NANDにおいては、図１６に示されるコントロールゲート群がメモリセル内に複数形成されており、Wigglingの発生が抑制された構造を具備している。

【００４９】

また、本実施例では、コントロールゲート群３１を構成する各コントロールゲート層３０の膜厚と積層数を各々一定にし、最下層の長さ（すなわちＬ）を調整した条件で比較実験を行っているが、Ｌを一定にしてコントロールゲート群３１の高さ（すなわちコントロールゲート層３０の膜厚または積層数を変えて）比較実験を行っても同様の結果が得られることはいうまでもない。

【００５０】

さらに、エッチング途中のことも考慮すると、ラインパターンの長さＬをアスペクト比（ｈ/ｗ）が10となるエッチング深さの1.65倍以下となることが望ましい。この場合、ｈ/ｗ＝10であり、Ｌ＜1.65ｈの関係からＬ＜16.5ｗ、すなわちパターン幅ｗの16.5倍未満が望ましいことになる。

【００５１】

また、ラインパターンの長さＬをパターン幅wの16.5倍以下にした場合、一つのゲート電極５に接続されるチャネルホール４の数が所望の数より少なくなる可能性があるが、その場合は、例えば図１７に示すように積層膜のパターン幅ｗを広くして、チャネルホールを複数列配列すれば、一つのゲート電極５に接続されるチャネルホール４の数を大きくできる。

【００５２】

以上、本実施例では、エッチング深さあるいは積層膜底面の長さを所定範囲に設定して、アスペクト比を座屈が起きにくい値にすることでWigglingの発生を抑制する手法について説明した。積層膜の残留応力はＣＶＤで形成された膜で特に大きいため、本実施例の手法はＣＶＤで形成された積層膜に対して特に有効であるが、単層膜あるいは他の膜形成方

法（例えばスパッタリング法等）で形成された膜に対しても有効である。また、コントロールゲート群のような能動素子として動作する積層膜は導電性膜と絶縁膜とを積層して形成する場合が多く、このような積層膜はＣＶＤにより形成する場合が多い。従って、本実施例のWiggling 抑制手法は、複数の能動素子を構成するための積層膜のエッチングに特に有効であるとも言える。

【００５３】

（実施例３）

本実施例では、もうひとつのWigglingメカニズムであるうねり増幅現象とうねり増幅の抑制原理について説明する。リソグラフィによって形成されるマスクには、Line-Edge-Roughness（ＬＥＲ）と呼ばれる欠陥があり、ラインパターンのマスクが数nm程度うねる特徴がある。このうねりに起因して大きなWigglingが発生する現象がうねり増幅現象である。例えば、図１８（Ａ）のように周期λの正弦波状に左右にうねったラインパターン７があると想定する。図１８（Ｂ）は図１８（Ａ）のＡ－Ａ'断面図を示すが、この状態では倒れずに自立している。いま、うねりを表す正弦波の振幅を仮想的にa_0とすると、このパターンの位置座標は、次式であらわされる。

【００５４】

【数３】

$$x = a_o \sin\left(\frac{y}{\lambda}\right) \qquad (3)$$

【００５５】

このパターンを構成する材料に残留応力σがある場合、x方向にパターンを変形させる力Ｆが発生する。この力Ｆの値は次式であらわされる。

【００５６】

【数４】

$$F \propto \sigma \frac{d^2x}{dy^2} = \frac{a_o \sigma}{\lambda^2} \sin\left(\frac{y}{\lambda}\right) \qquad (4)$$

【００５７】

すなわち、うねりを増幅する方向にパターンを変形させようとする力Ｆが発生する。したがって、図１８のパターンに残留応力σがある場合、パターンは図１９（Ａ）のようにうねりを増幅する方向に変形し、図１９（Ｂ）のように倒れる。変形後のうねりの振幅をa_1とすると、変形前のうねりの振幅a_0とa_1の関係は次式であらわされる。

【００５８】

【数５】

$$A \equiv \frac{a_1}{a_o} = \frac{1.5\gamma}{k-\gamma} + 1 \qquad (5)$$

Ａ：うねり増幅率

【００５９】

この増幅率Ａは、座屈ファクタγと座屈係数ｋが座屈の発生しない条件を満たしていても１より大きくなる。すなわち、座屈の発生しない微弱な応力、低アスペクト比の条件でもうねり増幅現象は起きうる。

【００６０】

【数６】

$$k-\gamma > 0 \qquad (6)$$

【００６１】

また、図２０に示すように、アスペクト比や残留応力が高くγの値が大きくなる場合や初期うねりの周期がλ/ｈに近くｋの値が小さくなる場合に、増幅率Ａが大きくなる。

【００６２】
このうねり増幅現象を抑制するためには、ＬＥＲを抑制して初期うねりの振幅a_0を小さくするか、アスペクト比や残留応力を小さくしてλを小さくするしかない。しかし、いずれも現実的には難しい。
【００６３】
そこで、うねり増幅が発生しても、デバイス特性に影響を与えない構造を検討した。うねり増幅現象が発生する場合には、前述のようにうねりの二階微分が大きい部分に力Ｆが加わり、大きく変形する。逆に、うねりの二階微分がゼロとなる部分にはほとんど力Ｆが発生せず、変形も起きない。
【００６４】
したがって、対策としては、例えば図２１（Ａ）に示すように、隣合うパターン[7]を同周期、同位相の正弦波状にうねらせておき、うねりの２階微分が0となる位置、すなわちうねりの変曲点の位置にデバイス性能を左右するチャネルホール４を形成する方法が考えられる。この場合、うねり増幅が発生しても、図２２（Ａ）に示されるようにチャネルホール４の形成箇所は殆ど変形しないため、応力によって特性が劣化したり、もしくは、チャネルホール４の位置が設計値とずれてコンタクトホールと接続できなかったりする問題が生じない。図２２（Ｂ）には図２２（Ａ）のＡ－Ａ'断面図を示すが、チャネルホール４の内部は特に変形していないことが分かる。また、２階微分が大きい部分では、変形量が大きくなるが、隣合うパターン７同士が同じ方向に変形するため、接触して電気的にショートすることもない。
【００６５】
（実施例４）
本実施例では、実施例３で説明した手法を3D-NANDの製造プロセスに適用して、うねり増幅が発生しても、デバイス特性に影響を与えない構造の3D-NANDを作成した例について説明する。
【００６６】
本実施例では、実施例３で説明したうねり増幅の抑制構造を備える3D-NANDのメモリセルと、備えない3D-NANDのメモリセルを比較用に作成した。うねり増幅の抑制構造を備えない3D-NANDのメモリセルは、実施例２と同様のプロセスで作成し、座屈を抑制するためパターン長さLを440nmとした。実施例２との製造プロセス上の相違点としては、本実施例のメモリセルでは、実施例２のナノインプリント（図１０の説明を参照）ではなく通常のリソグラフィー技術によってレジストマスク１１を形成した。通常のリソグラフィーにより形成されたレジストマスク１１には、ＬＥＲに起因して周期880nm、振幅1nm程度のうねりが不規則に存在することがわかっている。実施例２と同様に、このレジストマスク１１に沿ってSiON、a-Cを順次エッチングして、最後に、Si_3N_4膜２とSiO_2膜３の積層膜を一貫でエッチングする。
【００６７】
その結果、a-Cエッチング工程（図１３の説明を参照）で、うねり増幅によって不規則なWigglingが発生した。
【００６８】
図２３には、うねりの振幅とa-Cのエッチング深さの関係を示す。うねりの振幅はエッチングの進行（エッチング深さ）とともに徐々に増加し、1.0μmエッチングし終わった時点で、振幅4.7nmのうねりが発生している。つまり、a-Cマスクには振幅4.7nmのＬＥＲが発生したことになる。さらに、このa-Cマスクを使用して図１３で説明した積層膜のエッチングを行った結果、Wigglingがさらに増大して、図２４（Ａ）に示すように隣接するパターン同士が部分的に接合してしまった。また、当該接合部では、図２４（Ｂ）に示されるように積層膜のエッチングが途中で止まってしまった。
【００６９】
図２５には、積層膜エッチング中のうねりの振幅とエッチング深さの関係を示す。うねりの振幅はエッチングの進行（深さ）とともに徐々に増加し、積層膜の膜厚に等しい2.0

μｍまでエッチングした時点で、振幅27nmとa-Cマスクに生じたうねりの5.7倍もの振幅を持つうねりが発生している。このため、隣接パターン同士が部分的に接合してしまったものと考えられる。

【００７０】

さらに、チャネルホール４上に配線となるコンタクトホール６を接続する工程で接続不良が発生していることがわかった。図２６には、接続不良部分の概要を示す。図２６（Ａ）接続不良が発生したコントロールゲート群の上面図であり、コンタクトホール６が本来の形成位置であるチャネルホール４の中心から部分的に外れていることが分かる。図２６（Ｂ）は図２６（Ａ）のＡ－Ａ’断面図であるが、不良個所６１でコンタクトホール６とチャネルホール４の接続不良が発生していることが分かる。この原因は、Wigglingが増大することによって、チャネルホール４が本来の設計位置から大幅にずれて形成されてしまったためである。

【００７１】

次に、うねり増幅の抑制構造を備える3D-NANDメモリセルの製造プロセスおよびデバイス構造について説明する。

【００７２】

まず、Si基板上にSi_3N_4膜２とSiO_2膜３の積層膜からなるコントールゲート層の形成とエッチングを順次行い、図９に示した構造を形成する。積層膜底面の長さＬや積層膜の高さｈは、座屈の起きない値に設定されているものとする。次に、a-C膜上にレジストのマスクパターン１１を形成するが、この際、実施例２で説明したラインアンドスペースのパターンではなく正弦波状のパターンを形成する。本実施例では、正弦波の周期をチャネルホール４のピッチ100nmの２倍である200nmに、振幅を50nmにそれぞれ設定し、チャネルホール４の位置が正弦波の２階微分に相当する位置（変曲点位置）となるように位相を合わせた。図２７（Ａ）には、本実施例で形成した正弦波状レジストパターンの上面図を、図２７（Ｂ）には図２７（Ａ）のＡ－Ａ’断面図をそれぞれ示す。

【００７３】

形成したレジストマスク１１を用いてa-C膜のエッチングを行ったところ、振幅がわずかに増大したが、うねりの２階微分が0になる位置すなわちチャネルホール４の位置では、マスクの位置ずれはほとんど発生しなかった。

【００７４】

図２８には、周期200nmのうねりにおける振幅とa-Cのエッチング深さの関係を示す。

【００７５】

うねりの振幅は正弦波の振幅として与えられた初期値50nmから、エッチングの進行とともにエッチング深さ100nmでの値53nmまで増加するが、それ以降はほとんど増加していない。また、ＬＥＲに起因する880nm周期のうねりもほとんど増幅されていなかった。これは、エッチングの初期に短周期（本実施例では200nm）のうねりの振幅が増大することによって応力が緩和されたため、ＬＥＲ起因の長周期のうねりが増幅されなかったためと思われる。

【００７６】

上の要領で形成されたa-Cマスクを使用して、図１２に示したテラス状積層膜のエッチングを行った。その結果、さらにうねりがわずかに増大したが、図２９に示すように隣接パターン同士が同じ方向に変形するため、パターン同士の接合が抑制された。また、a-Cエッチングの場合と同様に、うねりの２階微分が0になる位置すなわちチャネルホールの位置では、パターンの変形はほとんどみられなかった。

【００７７】

図３０には、テラス状積層膜をエッチングした際におけるうねりの振幅とエッチング深さの関係を示す。200nm周期のうねりについては、エッチングの進行とともにうねりの振幅は初期値53nm（a-Cマスクのうねり振幅）から56nmまで増加（エッチング深さ100nmでの値）したが、その後は殆ど変化していない。また、ＬＥＲ起因の周期880nmのうねりも殆ど増幅されていなかった。更に、チャネルホール４の位置ずれがないため、チャネル

ホール４にコンタクトホール６の接続不良は全くみられなかった。

【００７８】

以上のように、パターンを最初から正弦波状にうねらせておき、うねりの２階微分がゼロとなる位置にチャネルホールを形成すれば、チャネルホール部分は変形しないため、Wigglingに起因する問題を回避することができる。また、隣合うパターンを同じ位相にしておけば、Wigglingで倒れが大きくなってもとなり合うパターンが接触することもない。

【００７９】

また、レジストマスクの形状は必ずしも正弦波形状には限られず、２回微分が0になるような波形であれば何を採用してもよい。例えば図３１のようにレジストマスク１１をジグザグにうねらせて、チャネルホール４の形成位置がうねりの２階微分が0になる位置に一致するように位相を合わせれば、同様の効果が得られる。

【００８０】

図３２には、図３１に示したジグザグパターンをリソグラフィーで形成するためのレチクルの例を示す。図３２は、レチクル基板１２上にジグザグのTiマスク１３を形成した露光用レチクルで、このようなジグザグパターンでもWigglingに起因するチャネルホール位置の変動を抑制することができる。また、うねりの振幅が最小露光寸法に近ければ、ジグザグパターンを露光すれば正弦波状にうねったレジストマスクを自然に形成できる。

【００８１】

（実施例５）

本実施例は、以下の構成を備えた半導体装置である。

１）能動素子として動作する半導体素子を備え、溝によって互いに分離された半導体素子ブロックを備える半導体装置において、前記半導体素子ブロックの長手方向の最大長さを高さで割った比が、座屈が発生しない範囲に規定されていることを特徴とする半導体装置。

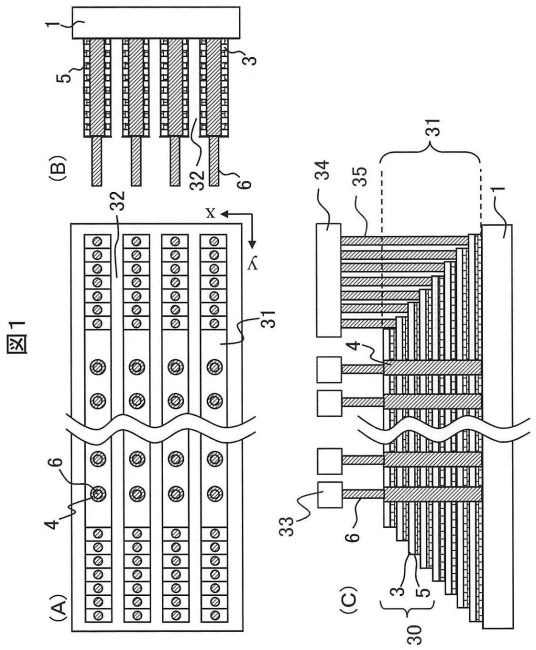
２）複数のコンタクトゲート層が積層され、かつ互いに溝で分離された複数のコントロールゲート群と、当該コントロールゲート群に形成されたチャネルホールと、前記コントロールゲート群に電極を介して接続されたビット線と、前記コンタクトゲート層にコンタクトプラグを介して接続されるワード線とを備える半導体装置において、前記複数のコントロールゲート群は互いに同位相でうねった形状を備え、前記チャネルホールは前記うねりの形状の変曲点位置に形成されていることを特徴とする半導体装置。

【符号の説明】

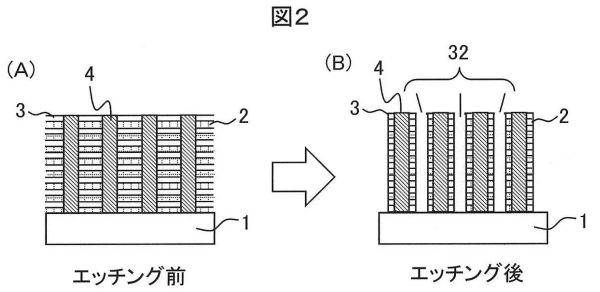
【００８２】

1…Si基板、2…Si3N4、3…SiO2、4…チャネルホール、5…タングステンゲート電極、6…コンタクトホール、7…パターン、8…SiO2、9…アモルファスカーボン、10…SiON、11…レジストマスク、12…レチクル基板、13…TiNマスク

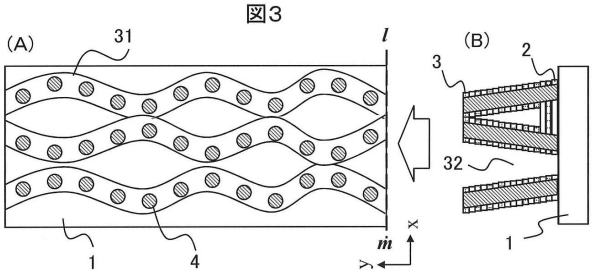
【図１】



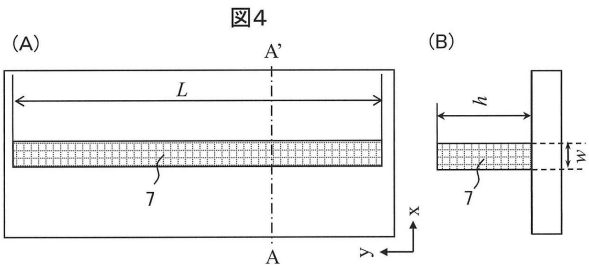
【図２】



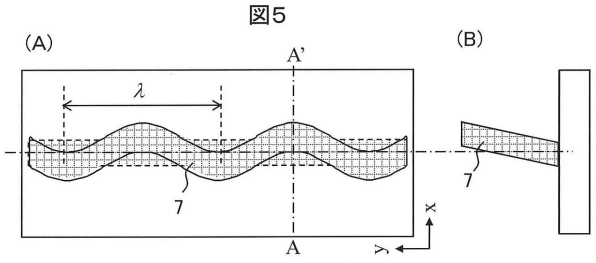
【図３】



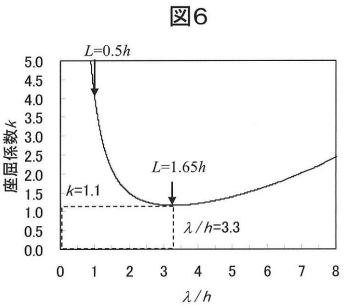
【図４】



【図５】

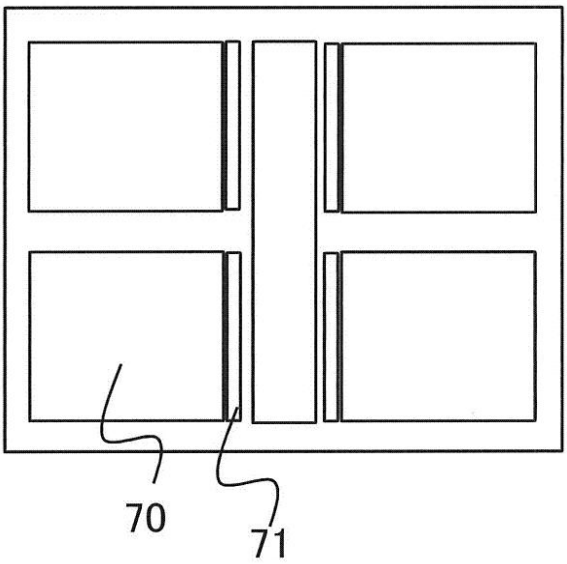


【図６】

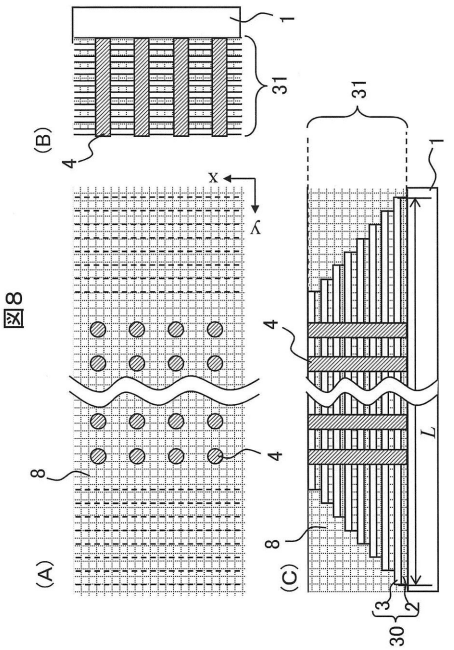


【図７】

図7

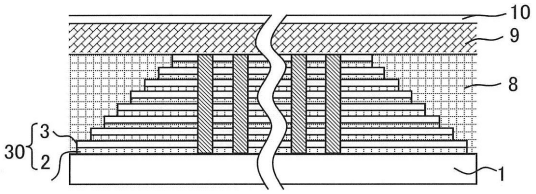


【図８】



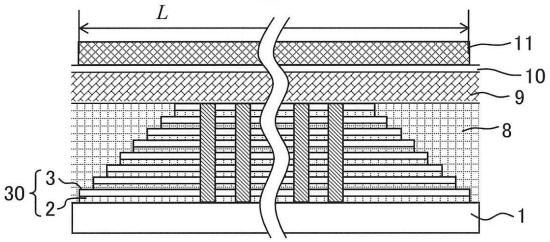
【図９】

図9



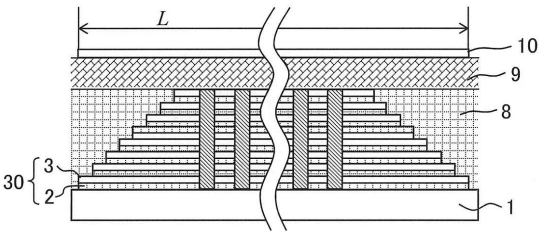
【図１０】

図10



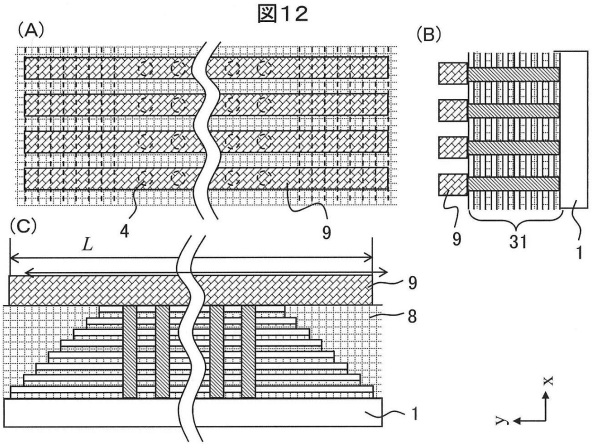
【図１１】

図11



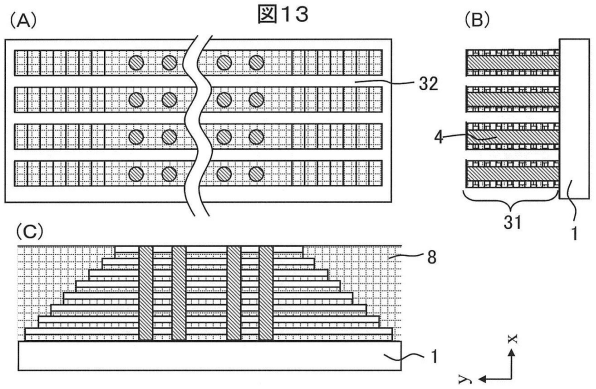
【図１２】

図12



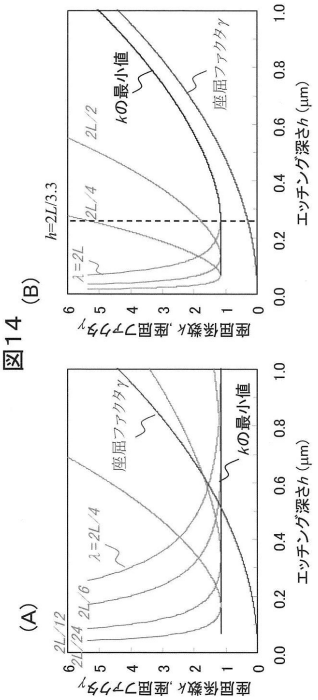
【図１３】

図13



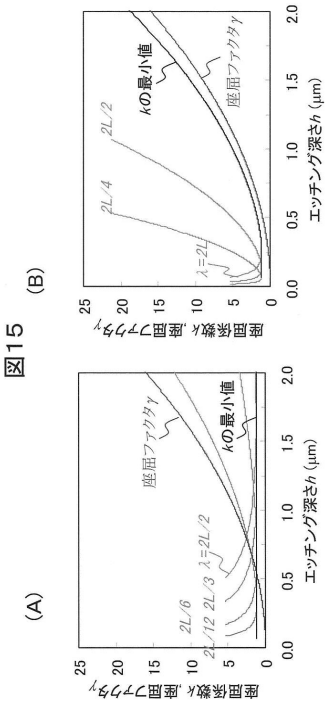
【図１４】

図14



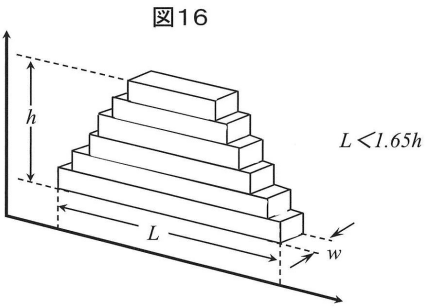
【図１５】

図15



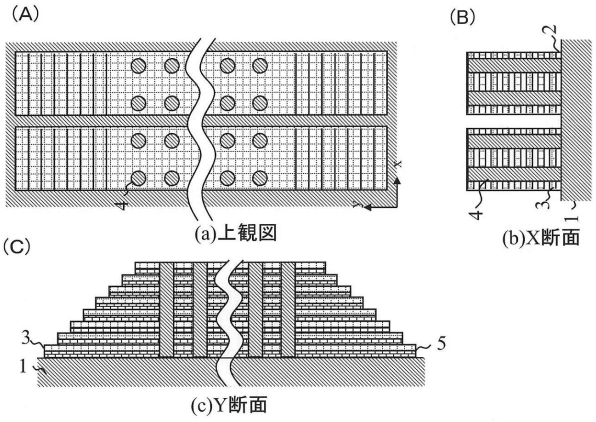
【図１６】

図16



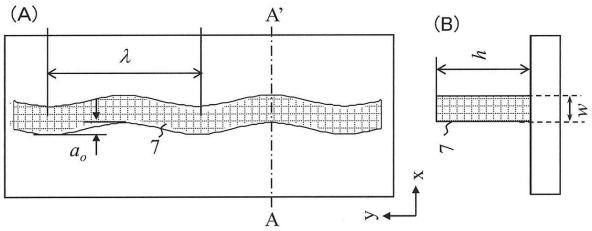
【図１７】

図17



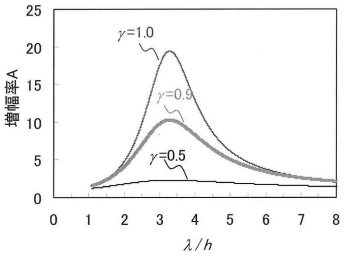
【図１８】

図18



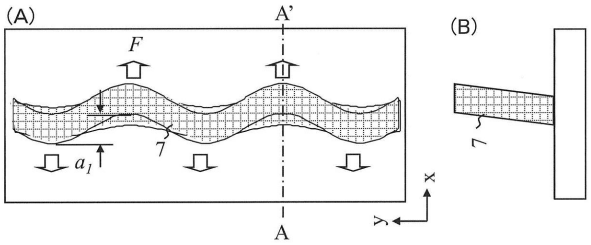
【図２０】

図20



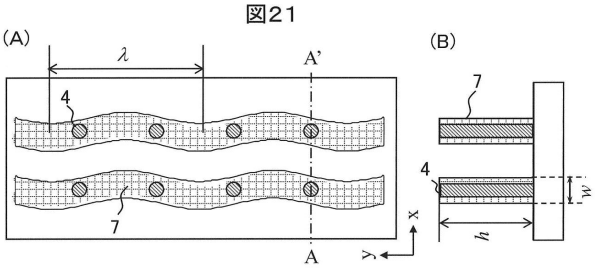
【図１９】

図19



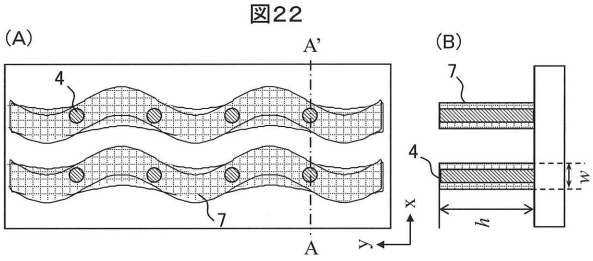
【図２１】

図21



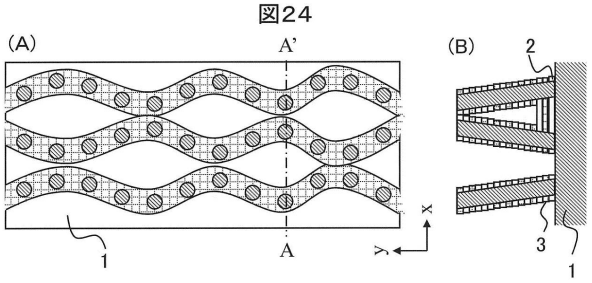
【図２２】

図22



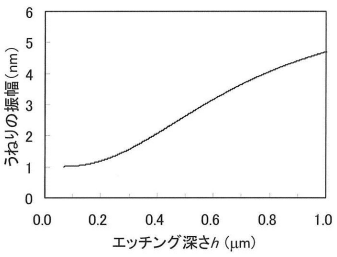
【図２４】

図24



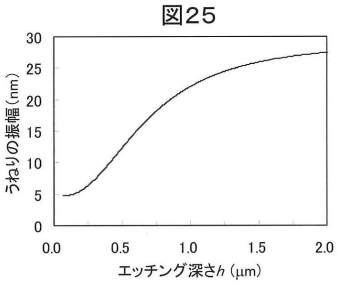
【図２３】

図23



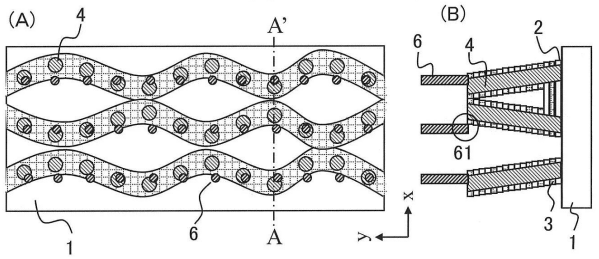
【図２５】

図25



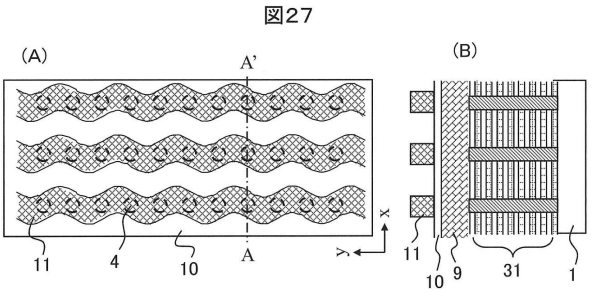
【図２６】

図26



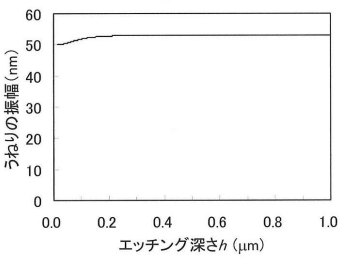
【図２７】

図27



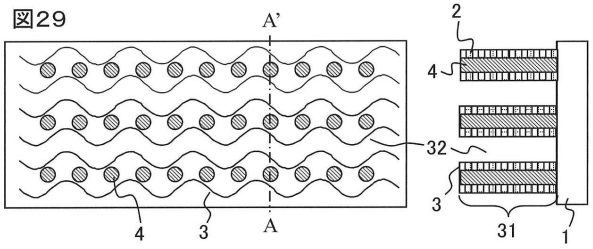
【図２８】

図28



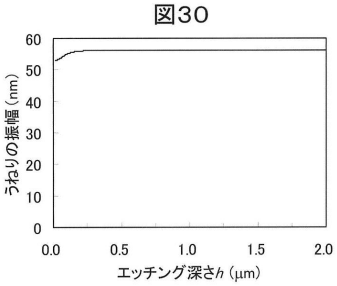
【図２９】

図29



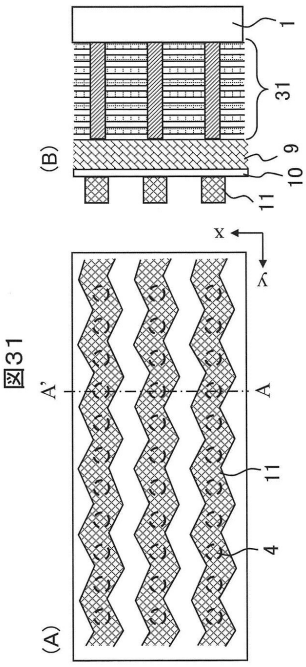
【図３０】

図30



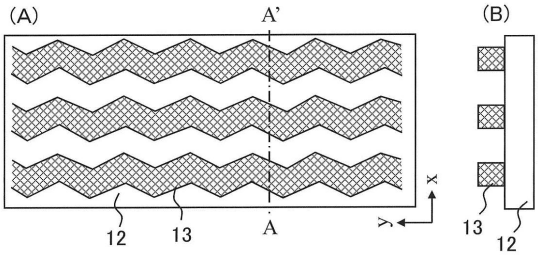
【図３１】

図31



【図３２】

図32



フロントページの続き

(72)発明者　石村　裕昭
山口県下松市大字東豊井７９４番地　株式会社　日立ハイテクノロジーズ　笠戸事業所内

審査官　加藤　俊哉

(56)参考文献　特開２００７－２６６１４３（ＪＰ，Ａ）
特開２０１２－０１５３４３（ＪＰ，Ａ）
特開２００７－１８０３８９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２７／１１５８２
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２９／７８８
Ｈ０１Ｌ　２９／７９２