(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月31日(31.03.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/065032 A1

(51) 国際特許分類:
H04N 5/3745 (2011.01) *H04N 5/378* (2011.01)

(21) 国際出願番号： PCT/JP2021/032977

(22) 国際出願日： 2021年9月8日(08.09.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-162509 2020年9月28日(28.09.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 半澤 克彦 (**HANZAWA Katsuhiko**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

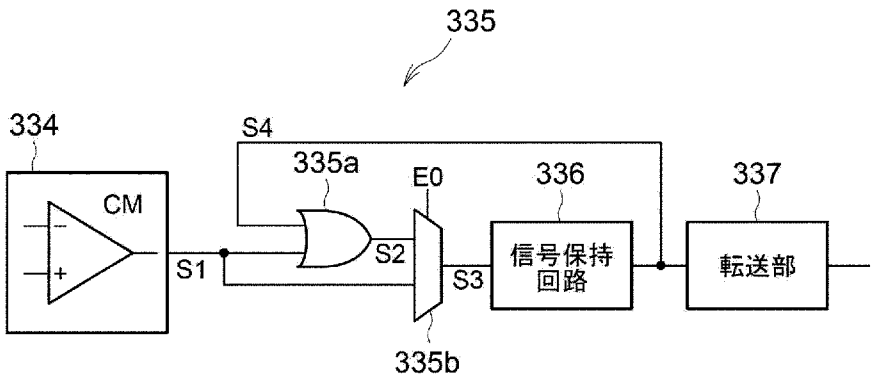
(74) 代理人: 中村 行孝, 外(**NAKAMURA Yukitaka** et al.); 〒1000005 東京都千代田区丸の内１丁目６番６号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** IMAGING DEVICE AND IMAGING METHOD

(54) 発明の名称： 撮像装置及び撮像方法

［図12］



336 Signal holding circuit
337 Transfer unit

(57) **Abstract:** [Problem] The present disclosure provides an imaging device and an imaging method that enables reading an event at a higher speed while suppressing an increase in a circuit size. [Solution] An imaging device comprising: a signal holding circuit that holds a first event signal indicating whether a luminance signal based on luminance has exceeded a first threshold value; and an arithmetic circuit that, on the basis of the first event signal held in the signal holding circuit and a second event signal indicating whether the luminance signal has exceeded a second threshold value different from the first threshold value, generates an event signal indicating whether the luminance signal has exceeded the first threshold value and/or the second threshold value.

WO 2022/065032 A1

［続葉有］

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:[課題]本開示では、回路規模の増加を抑制しつつ、より高速にイベントの読み出しが可能な撮像装置及び撮像方法を提供する。[解決手段]撮像装置は、輝度に基づく輝度信号が第1閾値を超えたか否かを示す第1イベント信号を保持する信号保持回路と、輝度信号が第1閾値と異なる第2閾値を超えたか否かを示す第2イベント信号と、信号保持回路に保持される第1イベント信号とに基づき、輝度信号が第1閾値及び第2閾値の少なくとも一方を超えたか否かを示すイベント信号を生成する演算回路と、を備える。

明　細　書

発明の名称 ： 撮像装置及び撮像方法

技術分野

[0001]　本開示は、撮像装置及び撮像方法に関する。

背景技術

[0002]　垂直同期信号などの同期信号に同期して画像データ（フレーム）を撮像する同期型の固体撮像素子が、撮像装置などにおいて用いられている。この一般的な同期型の固体撮像素子では、同期信号の周期（例えば、１／６０秒）ごとにしか画像データを取得することができないため、交通やロボットなどに関する分野において、より高速な処理が要求された場合に対応することが困難になる。そこで、画素アドレスごとに、その画素の光量が閾値を超えた旨をアドレスイベントとしてリアルタイムに検出する検出回路を画素毎に設けた非同期型の固体撮像素子が提案されている。このように、画素毎にアドレスイベントを検出する固体撮像素子は、ＤＶＳ（Ｄｙｎａｍｉｃ　Ｖｉｓｉｏｎ　Ｓｅｎｓｏｒ）と呼ばれる。同期型の固体撮像素子よりも遥かに高速にデータを生成して出力することができる。このため、例えば、交通分野において、人や障害物を画像認識する処理を高速に実行して、安全性を向上させることができる。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１７－５０８５３号公報

発明の概要

発明が解決しようとする課題

[0004]　一方で、アドレスイベントには、輝度の上昇量が上限閾値を超えた旨を示すオンイベントと、輝度の低下量が上限閾値未満の下限閾値を下回った旨を示すオフイベントとが含まれる。このため、オンイベントの有無を示す信号を保持する信号保持回路と、オフイベントの有無を示す信号を保持する信号

保持回路と、が必要となり、回路規模が増加してしまう。また、回路規模の増加を抑制するために、信号保持回路をオンイベントとオフイベントとで共有化すると、信号保持回路からオンイベントの有無を示すオンイベント信号と、オフイベントの有無を示すオフイベント信号と、の読み出しを順に２回行う必要が生じてしまう。

[0005] そこで、本開示では、回路規模の増加を抑制しつつ、より高速にイベントの読み出しが可能な撮像装置及び撮像方法を提供するものである。

課題を解決するための手段

[0006] 上記の課題を解決するために、本開示によれば、輝度に基づく輝度信号が第１閾値を超えたか否かを示す第１イベント信号を保持する信号保持回路と、

前記輝度信号が前記第１閾値と異なる第２閾値を超えたか否かを示す第２イベント信号と、前記信号保持回路に保持される前記第１イベント信号とに基づき、前記輝度信号が前記第１閾値及び前記第２閾値の少なくとも一方を超えたか否かを示すイベント信号を生成する演算回路と、

を備える、撮像装置が提供される。

[0007] 前記演算回路は、前記信号保持回路に前記イベント信号を保持し、

前記信号保持回路に保持された前記イベント信号を転送する転送部を、

更に備えてもよい。

[0008] 前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、 制御信号の入力に応じて前記第１イベント信号及び前記第２イベント信号を順に前記信号保持回路に出力する第１モードを有してもよい。

[0009] 前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、 制御信号の入力に応じて前記第１イベント信号を前記信号保持回路に出力し、前記信号保持回路に保持された前記第１イベント信号と前記第２イベント信号とに基づき前記イベント信号を生成する第２モードを有してもよい。

[0010] 前記第１イベント信号及び前記第２イベント信号は、真値及び偽値の少なくともいずれかの情報を含む信号であり、

前記演算回路は、論理和回路を有し、前記第１イベント信号及び前記第２イベント信号の論理和演算を行ってもよい。

[0011] 前前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、

前記演算回路は、前記論理和回路と、マルチプレクサとを有し、

前記マルチプレクサは、制御信号に応じて前記第１イベント信号を前記信号保持回路に出力し、

前記論理和回路は、記信号保持回路に保持された前記第１イベント信号と、前記第２イベント信号との論理和演算を行ってもよい。

[0012] 前記マルチプレクサは、前制御信号に応じて前理和演算の結果を前記信号保持回路に出力してもよい。

[0013] 前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、 前記信号保持回路には偽値が初期設定され、

前記論理和回路は、前記偽値と前記第１イベント信号の論理和演算を前記信号保持回路に保持し、次に保持した論理和演算の結果と前記第２イベント信号との論理和演算を行ってもよい。

[0014] 前記演算回路は、論理積回路を更に有してもよい。

[0015] 前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、 前記論理積回路の一端には偽値が設定され、

前記論理和回路は、前記論理積回路の出力信号と前記第１イベント信号の論理和演算を前記信号保持回路に保持し、

次に、前記論理積回路の前記一端には真値が設定され、前記保持した論理和演算の結果と前記真値の論理積の結果と、前記第２イベント信号とが前記論理和回路に入力され、

前記論理和回路は、前記保持した論理和演算の結果と前記真値の論理積の結果と、前記第２イベント信号との論理和演算を行ってもよい。

[0016] 前記演算回路は、前記論理和回路及び前記論理積回路の少なくとも一方の等価回路で構成されてもよい。

[0017] 同一の画素内には、

前記輝度に応じた信号を出力する光電変換素子と、

前記信号を対数変換する電流電圧変換部と、

前記電流電圧変換部で対数変換した信号に基づき、前記第１イベント信号及び前記第２イベント信号を生成する差分回路と、が構成されてもよい。

[0018] 前記同一の画素内には、

前記信号保持回路と、前記演算回路が更に構成されてもよい。

[0019] 輝度に応じた信号を出力する光電変換部と、前記信号を対数変換する電流電圧変換部と、を有する複数の画素と、

前記電流電圧変換部それぞれで対数変換した信号に基づき、前記第１イベント信号及び前記第２イベント信号を順に生成する差分回路と、

前記複数の画素にそれぞれ対応する複数の前記信号保持回路と、

前記複数の前記信号保持回路、及び前記演算回路は、前記順に生成される前記第１イベント信号及び前記第２イベント信号に対して処理を行ってもよい。

[0020] 本開示によれば、輝度に基づく輝度信号が第１閾値を超えたか否かを示す第１イベント信号を信号保持回路に保持する信号保持工程と、

前記輝度信号が前記第１閾値と異なる第２閾値を超えたか否かを示す第２イベント信号と、前記信号保持回路に保持される前記第１イベント信号とに基づき、前記輝度信号が前記第１閾値及び前記第２閾値の少なくとも一方を超えたか否かを示すイベント信号を生成する演算処理工程と、

を備える、撮像方法が提供される。

図面の簡単な説明

[0021] [図1]本開示に係る技術が適用される像装置の構成の一例を示すブロック図。

[図2]第１構成例に係る撮像装置の構成の一例を示すブロック図。

[図3]画素アレイ部の構成の一例を示すブロック図。

[図4]画素の回路構成の一例を示す回路図。

[図5]アドレスイベント検出部の構成例を示すブロック図。

[図6A]２ラッチ構成による第１の比較例を示す図。

[図6B]２ラッチ構成による第２の比較例を示す図。

[図6C]１ラッチ構成による第３の比較例を示す図。

[図6D]図５に示す構成例での読み出し例を示す図。

[図7]アドレスイベント検出部における電流電圧変換部の構成の一例を示す回路図。

[図8]アドレスイベント検出部における減算器及び量子化器の構成の一例を示す回路図。

[図9]スキャン方式の撮像装置の構成の一例を示すブロック図。

[図10]撮像装置の積層型のチップ構造の概略を示す分解斜視図。

[図11]第１構成例に係る撮像装置のカラム処理部の構成の一例を示すブロック図。

[図12]アドレスイベント検出部における演算回路及び信号保持回路の第１構成例を示す回路図。

[図13]マルチプレクサの真理値表を示す図。

[図14]演算回路の真理値表を示す図。

[図15]演算回路及び信号保持回路の第２構成例を示す回路図。

[図16]論理和回路の真理値表を示す図。

[図17]第２構成例における演算回路の真理値表を示す図。

[図18]第２構成例における演算回路の等価回路例を示す図。

[図19A]ドモルガンの定理による否定論理積回路の等価回路を示す図。

[図19B]ドモルガンの定理による否定論理和の等価回路を示す図。

[図20]図１８で示す演算回路の等価回路例を示す図。

[図21]図２０で示す演算回路の等価回路例を示す図。

[図22]演算回路及び信号保持回路の第３構成例を示す回路図。

[図23]第３構成例における論理和回路の真理値表を示す図。

[図24]第２実施形態に係る画素アレイ部の構成の一例を示すブロック図。

[図25]第２実施形態に係る検出部の構成の一例を示すブロック図。

[図26]第２実施形態に係る画素アレイ部とカラム処理部の構成の一例を示すブロック図。

[図27]第３実施形態に係る画素アレイ部の構成の一例を示すブロック図。

[図28]画素ブロックに対する演算回路の構成の一例を示すブロック図。

[図29]本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図。

[図30]撮像部及び車外情報検出部の設置位置の例を示す図。

発明を実施するための形態

[0022] 以下、図面を参照して、撮像装置及び撮像方法の実施形態について説明する。以下では、撮像装置の主要な構成部分を中心に説明するが、撮像装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0023] （第１実施形態）

図１は、本開示に係る技術が適用される撮像システムのシステム構成の一例を示すブロック図である。

[0024] 図１に示すように、本開示に係る技術が適用される撮像システム１０は、撮像レンズ１１、撮像装置２０、記録部１２、及び、制御部１３を備える構成となっている。この撮像システム１０は、本開示の電子機器の一例であり、当該電子機器としては、産業用ロボットに搭載されるカメラシステムや、車載カメラシステムなどを例示することができる。

[0025] 上記の構成の撮像システム１０において、撮像レンズ１１は、被写体からの入射光を取り込んで撮像装置２０の撮像面上に結像する。撮像装置２０は、撮像レンズ１１によって取り込まれた入射光を画素単位で光電変換して撮像データを取得する。この撮像装置２０として、後述する本開示の撮像装置が用いられる。

[0026] 撮像装置２０は、撮像した画像データに対して、画像認識処理等の所定の

信号処理を実行し、その処理結果と、後述するアドレスイベントの検出信号（以下、単に「検出信号」と記述する場合がある）とを示すデータを記録部１２に出力する。アドレスイベントの検出信号の生成方法については後述する。記録部１２は、信号線１４を介して撮像装置２０から供給されるデータを記憶する。制御部１３は、例えば、マイクロコンピュータによって構成され、撮像装置２０における撮像動作の制御を行う。

[0027] ［第１構成例に係る撮像装置（アービタ方式）］

図２は、本開示に係る技術が適用される撮像システム１０における撮像装置２０として用いられる第１構成例に係る撮像装置の構成の一例を示すブロック図である。

[0028] 図２に示すように、本開示の撮像装置としての第１構成例に係る撮像装置２０は、ＤＶＳと呼ばれる非同期型の撮像装置であり、画素アレイ部２１、駆動部２２、アービタ部（調停部）２３、カラム処理部２４、及び、信号処理部２５を備える構成となっている。

[0029] 上記の構成の撮像装置２０において、画素アレイ部２１には、複数の画素３０が行列状（アレイ状）に２次元配列されている。この行列状の画素配列に対して、画素列毎に、後述する垂直信号線ＶＳＬ（Ｖｅｒｔｉｃａｌ　Ｓｉｇｎａｌ　Ｌｉｎ）が配線される。

[0030] 複数の画素３０のそれぞれは、光電流に応じた電圧のアナログ信号を画素信号として生成する。また、複数の画素３０のそれぞれは、光電流の変化量が所定の閾値を超えたか否かにより、アドレスイベントの有無を検出する。そして、アドレスイベントが生じた際に画素３０は、リクエストをアービタ部２３に出力する。

[0031] 駆動部２２は、複数の画素３０のそれぞれを駆動して、各画素３０で生成された画素信号をカラム処理部２４に出力させる。

[0032] アービタ部２３は、複数の画素３０のそれぞれからのリクエストを調停し、調停結果に基づく応答を画素３０に送信する。アービタ部２３からの応答を受け取った画素３０は、検出結果を示す検出信号（アドレスイベントの検

出信号）を駆動部２２及び信号処理部２５に供給する。画素３０からの検出信号の読出しについては、複数行読出しとすることも可能である。

[0033] カラム処理部２４は、例えば、アナログ－デジタル変換器から成り、画素アレイ部２１の画素列毎に、その列の画素３０から出力されるアナログの画素信号をデジタル信号に変換する処理を行う。そして、カラム処理部２４は、アナログ－デジタル変換後のデジタル信号を信号処理部２５に供給する。

[0034] 信号処理部２５は、カラム処理部２４から供給されるデジタル信号に対して、ＣＤＳ（Ｃｏｒｒｅｌａｔｅｄ Ｄｏｕｂｌｅ Ｓａｍｐｌｉｎｇ）処理や画像認識処理などの所定の信号処理を実行する。そして、信号処理部２５は、処理結果を示すデータと、アービタ部２３から供給される検出信号とを信号線１４を介して記録部１２（図１参照）に供給する。

[0035] ［画素アレイ部の構成例］

図３は、画素アレイ部２１の構成の一例を示すブロック図である。

[0036] 複数の画素３０が行列状に２次元配列されて成る画素アレイ部２１において、複数の画素３０のそれぞれは、受光部３１、画素信号生成部３２、及び、アドレスイベント検出部３３を有する構成となっている。

[0037] 上記の構成の画素３０において、受光部３１は、入射光を光電変換して光電流を生成する。そして、受光部３１は、駆動部２２（図２参照）の制御に従って、画素信号生成部３２及びアドレスイベント検出部３３のいずれかに、光電変換して生成した光電流を供給する。

[0038] 画素信号生成部３２は、受光部３１から供給される光電流に応じた電圧の信号を画素信号ＳＩＧとして生成し、この生成した画素信号ＳＩＧを、垂直信号線ＶＳＬを介してカラム処理部２４（図２参照）に供給する。

[0039] アドレスイベント検出部３３は、受光部３１のそれぞれからの光電流の変化量が所定の閾値を超えたか否かにより、アドレスイベントの有無を検出する。アドレスイベントは、例えば、光電流の変化量が上限の閾値を超えた旨を示すオンイベント、及び、その変化量が下限の閾値を下回った旨を示すオフイベントから成る。また、本実施形態に係るアドレスイベント検出部３３

は、例えば、オンイベントが発生したか否かを示す１ビットのオンイベント信号、オフイベントが発生したか否かを示す１ビットのオフイベント信号、オンイベント及びオフイベント内のいずれかが発生したか否かを示す１ビットのイベント信号を生成可能である。例えば、オンイベント信号、オフイベント信号、及びイベント信号は、真値（例えば１）又は偽値（例えば０）を示す。例えば、オンイベント信号は、オンイベントが発生した場合に真値を示し、オンイベントが発生していない場合に偽値を示す。同様に、オフイベント信号は、オフイベントが発生した場合に真値を示し、オフイベントが発生していない場合に偽値を示す。同様に、イベント信号は、オンイベント及びオフイベント内の少なくとも一方が発生した場合に真値を示し、オンイベント及びオフイベントが共に発生していない場合に偽値を示す。

[0040] アドレスイベントが発生した際に、アドレスイベント検出部３３は、アドレスイベントの検出信号の送信を要求するリクエストをアービタ部２３（図２参照）に供給する。そして、アドレスイベント検出部３３は、リクエストに対する応答をアービタ部２３から受け取ると、アドレスイベントの検出信号を駆動部２２及び信号処理部２５に供給する。

[0041] ［画素の回路構成例］

図４は、画素３０の回路構成の一例を示す回路図である。上述したように、複数の画素３０のそれぞれは、受光部３１、画素信号生成部３２、及び、アドレスイベント検出部３３を有する構成となっている。

[0042] 上記の構成の画素３０において、受光部３１は、受光素子（光電変換素子）３１１、トランジスタ３１２、及び、トランジスタ３１３を有する構成となっている。トランジスタ３１２及びトランジスタ３１３としては、例えば、Ｎ型のＭＯＳ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）トランジスタが用いられる。トランジスタ３１２及びトランジスタ３１３は、互いに直列に接続されている。

[0043] 受光素子３１１は、トランジスタ３１２とトランジスタ３１３との共通接続ノードN_1とグランドとの間に接続されており、入射光を光電変換して入射

光の光量に応じた電荷量の電荷を生成する。

[0044] トランジスタ３１２のゲート電極には、図２に示す駆動部２２から転送信号ＴＲＧが供給される。トランジスタ３１２は、転送信号ＴＲＧに応答して、受光素子３１１で光電変換された電荷を画素信号生成部３２に供給する。

[0045] トランジスタ３１３のゲート電極には、駆動部２２から制御信号ＯＦＧが供給される。トランジスタ３１３は、制御信号ＯＦＧに応答して、受光素子３１１で生成された電気信号をアドレスイベント検出部３３に供給する。アドレスイベント検出部３３に供給される電気信号は、電荷からなる光電流である。

[0046] 画素信号生成部３２は、リセットトランジスタ３２１、増幅トランジスタ３２２、選択トランジスタ３２３、及び、浮遊拡散層３２４を有する構成となっている。リセットトランジスタ３２１、増幅トランジスタ３２２、及び、選択トランジスタ３２３としては、例えば、Ｎ型のＭＯＳトランジスタが用いられる。

[0047] 画素信号生成部３２には、受光部３１からトランジスタ３１２によって、受光素子３１１で光電変換された電荷が供給される。受光部３１から供給される電荷は、浮遊拡散層３２４に蓄積される。浮遊拡散層３２４は、蓄積した電荷の量に応じた電圧値の電圧信号を生成する。すなわち、浮遊拡散層３２４は、電荷を電圧に変換する。

[0048] リセットトランジスタ３２１は、電源電圧V_{DD}の電源ラインと浮遊拡散層３２４との間に接続されている。リセットトランジスタ３２１のゲート電極には、駆動部２２からリセット信号ＲＳＴが供給される。リセットトランジスタ３２１は、リセット信号ＲＳＴに応答して、浮遊拡散層３２４の電荷量を初期化（リセット）する。

[0049] 増幅トランジスタ３２２は、電源電圧V_{DD}の電源ラインと垂直信号線ＶＳＬとの間に、選択トランジスタ３２３と直列に接続されている。増幅トランジスタ３２２は、浮遊拡散層３２４で電荷電圧変換された電圧信号を増幅する。

[0050] 選択トランジスタ３２３のゲート電極には、駆動部２２から選択信号ＳＥＬが供給される。選択トランジスタ３２３は、選択信号ＳＥＬに応答して、増幅トランジスタ３２２によって増幅された電圧信号を画素信号ＳＩＧとして垂直信号線ＶＳＬを介してカラム処理部２４（図２参照）へ出力する。

[0051] 上記の構成の画素３０が２次元配置されて成る画素アレイ部２１を有する撮像装置２０において、駆動部２２は、図１に示す制御部１３によりアドレスイベントの検出開始が指示されると、受光部３１のトランジスタ３１３に制御信号ＯＦＧを供給することによって当該トランジスタ３１３を駆動してアドレスイベント検出部３３に光電流を供給させる。

[0052] そして、ある画素３０においてアドレスイベントが検出されると、駆動部２２は、その画素３０のトランジスタ３１３をオフ状態にしてアドレスイベント検出部３３への光電流の供給を停止させる。次いで、駆動部２２は、トランジスタ３１２に転送信号ＴＲＧを供給することによって当該トランジスタ３１２を駆動して、受光素子３１１で光電変換された電荷を浮遊拡散層３２４に転送させる。

[0053] このようにして、上記の構成の画素３０が２次元配置されて成る画素アレイ部２１を有する撮像装置２０は、アドレスイベントが検出された画素３０の画素信号のみをカラム処理部２４に出力する。これにより、アドレスイベントの有無に関わらず、全画素の画素信号を出力する場合と比較して、撮像装置２０の消費電力や、画像処理の処理量を低減することができる。

[0054] なお、ここで例示した画素３０の構成は一例であって、この構成例に限定されるものではない。例えば、画素信号生成部３２を備えない画素構成とすることもできる。この画素構成の場合は、受光部３１において、トランジスタ３１３を省略し、当該トランジスタ３１３の機能をトランジスタ３１２に持たせるようにすればよい。

[0055] ［アドレスイベント検出部の構成例］

図５は、アドレスイベント検出部３３の構成例を示すブロック図である。図５に示すように、本構成例に係るアドレスイベント検出部３３は、電流電

圧変換部３３１、バッファ３３２、減算器３３３、量子化器３３４、演算回路３３５、信号保持回路３３６、転送部３３７、及び、制御回路３３８を有する構成となっている。

[0056] 電流電圧変換部３３１は、画素３０の受光部３１からの光電流を、その対数の電圧信号に変換する。電流電圧変換部３３１は、変換した電圧信号をバッファ３３２に供給する。バッファ３３２は、電流電圧変換部３３１から供給される電圧信号をバッファリングし、減算器３３３に供給する。

[0057] 減算器３３３には、駆動部２２から行駆動信号が供給される。減算器３３３は、行駆動信号に従って、バッファ３３２から供給される電圧信号のレベルを低下させる。そして、減算器３３３は、レベル低下後の電圧信号を量子化器３３４に供給する。量子化器３３４は、減算器３３３から供給される電圧信号をデジタル信号に量子化してアドレスイベントの検出信号として演算回路３３５に出力する。例えば、量子化器３３４は、オンイベント信号及びオフイベント信号を順に演算回路３３５に供給する。

[0058] 演算回路３３５は、量子化器３３４から順に供給されるオンイベント信号及びオフイベント信号に基づく論理演算を行い、イベント信号を生成する。例えば、演算回路３３５は、オンイベント信号及びオフイベント信号のうちの最初に供給された信号の値を信号保持回路３３６に供給する。次に、演算回路３３５は、オンイベント信号及びオフイベント信号のうちの次に供給された信号の値と、信号保持回路３３６が保持する最初に供給された信号の値との内の一方が真値であれば、真値示す信号を信号保持回路３３６に供給し、両方とも偽値であれば偽値を示す信号を信号保持回路３３６に供給する。このように、演算回路３３５は、オンイベント信号及びオフイベント信号の少なくとも一方が真値であれば、真値を示すイベント信号を出力し、いずれも偽値であれば偽値を示すイベント信号を出力する。

[0059] 信号保持回路３３６は、演算回路３３５と転送部３３７との間に設けられており、制御回路３３８から供給されるサンプル信号に基づいて、演算回路３３５の演算結果を蓄積する。信号保持回路３３６は、スイッチ、プラスチ

ック、容量などのサンプリング回路であってもよいし、ラッチやフリップフロップなどのデジタルメモリ回路でもあってもよい。本実施形態に係る信号保持回路３３６は、オンイベント信号及びオフイベント信号に対して、１つで構成される所謂１ラッチ（Ｌａｔｃ）構成である。このため、オンイベント信号及びオフイベント信号それぞれに対して信号保持回路３３６が構成される所謂２ラッチ（Ｌａｔｃ）構成よりも信号保持回路３３６の面積をより少なくできる。

[0060] 転送部３３７は、量子化器３３４から供給されるアドレスイベントの検出信号をアービタ部２３等に転送する。この転送部３３７は、アドレスイベントが検出された際に、アドレスイベントの検出信号の送信を要求するリクエストをアービタ部２３に供給する。そして、転送部３３７は、リクエストに対する応答をアービタ部２３から受け取ると、アドレスイベントの検出信号を駆動部２２及び信号処理部２５に供給する。

[0061] 制御回路３３８は、コンパレータ３３４１の反転（－）入力端子に対して所定の閾値電圧V_{th}を供給する。制御回路３３８からコンパレータ３３４１に供給される閾値電圧V_{th}は、時分割で異なる電圧値である。例えば、制御回路３３８は、光電流の変化量が上限の閾値を超えた旨を示すオンイベントに対応する閾値電圧V_{th1}、及び、その変化量が下限の閾値を下回った旨を示すオフイベントに対応する閾値電圧V_{th2}を異なるタイミングで供給する。これにより、１つのコンパレータ３３４１でオンイベント信号及びオフイベント信号の生成が可能となる。

[0062] ここで、２ラッチ構成と比較しつつ転送部３３７からの読み出し（Ｒｅａｄ）回数について説明する。

図６Ａは、２ラッチ構成による第１の比較例を示す図である。横軸が時間を示す。例えば、オフイベント信号を生成するコンパレータと、オンイベント信号を生成するコンパレータを有する場合である。図６Ａに示すように、信号保持回路３３６を２つ有する２ラッチ構成による信号読み出しでは、オフイベント信号を第１信号保持回路３３６に記憶し、オンイベント信号を第

２信号保持回路３３６に記憶し、それぞれに対応する転送部３３７により信号を転送する。これから分かるように、２ラッチ構成では、読み出し（Ｒｅａｄ）回数を第１信号保持回路３３６及び第２信号保持回路３３６に対して一回で行うことが可能である。なお、図６Ａの構成では、イベントの有無の情報を含むイベント信号が必要な場合、アドレスイベント検出部３３（図４参照）以外の読み出し後の回路で生成する必要が生じる。

[0063] 図６Ｂは、２ラッチ構成による第２の比較例を示す図である。横軸が時間を示す。例えば、オフイベント信号を生成するコンパレータと、オンイベント信号を生成するコンパレータとが１つの場合である。図６Ｂに示すように、信号保持回路３３６を２つ有する２ラッチ構成による信号読み出しでは、先ずオフイベント信号を第１信号保持回路３３６に記憶し、次にオンイベント信号を第２信号保持回路３３６に記憶し、それぞれに対応する転送部３３７により信号を転送する。これらから分かるように、２ラッチ構成では、読み出し（Ｒｅａｄ）回数を第１信号保持回路３３６及び第２信号保持回路３３６に対して一回で行うことが可能である。なお、図６Ｂの構成では、イベントの有無の情報を含むイベント信号が必要な場合、アドレスイベント検出部３３（図４参照）以外の読み出し後の回路で生成する必要が生じる。

[0064] 図６Ｃは、１ラッチ構成による第３の比較例を示す図である。横軸が時間を示す。例えば、オフイベント信号を生成するコンパレータと、オンイベント信号を生成するコンパレータとが１つの場合である。図６Ｃに示すように、信号保持回路３３６を１つ有する１ラッチ構成による信号読み出しでは、先ずオフイベント信号を第１信号保持回路３３６に記憶し、読み出し（Ｒｅａｄ）を行う。次にオンイベント信号を第２信号保持回路３３６に記憶し、読み出し（Ｒｅａｄ）を行う。これから分かるように、第３の比較例による１ラッチ構成では、読み出し（Ｒｅａｄ）回数が２回となってしまう。なお、図６Ｃの構成では、イベントの有無の情報を含むイベント信号が必要な場合、アドレスイベント検出部３３（図４参照）以外の読み出し後の回路で生成する必要が生じる。

[0065] 図６Ｄは、図５に示す構成例での読み出し例を示す図である。横軸が時間を示す。図６Ｄに示すように、演算回路３３５は、先ずオフイベント信号及びオンイベント信号のうちの一方の信号を第１信号保持回路３３６に記憶する。次に演算回路３３５は、オフイベント信号及びオンイベント信号のうちの他方の信号と、第１信号保持回路３３６に記憶された信号とを用いて論理演算によりイベント信号を生成し、信号保持回路３３６に記憶する。そして、イベント信号の読み出し（Ｒｅａｄ）を行う。このように、演算回路３３５を設けることにより、イベントの有無の情報を含むイベント信号の読み出し（Ｒｅａｄ）回数を１回で行うことが可能となる。なお、図５に示す回路構成例では、オフイベントの有無の情報を含むオフイベント信号、及びオンイベントの有無の情報を含むオンイベント信号、が必要な場合にも対応可能である。この場合、図６Ｃの読み出し例と同様に、先ずオフイベント信号を第１信号保持回路３３６に記憶して読み出し（Ｒｅａｄ）、次にオンイベント信号を第２信号保持回路３３６に記憶して読み出し（Ｒｅａｄ）を行うことにより、オフイベント信号、及びオンイベント信号をアドレスイベント検出部３３（図４参照）から出力可能である。なお、本実施形態では、オフイベント信号を先に生成し、次にオンイベント信号を生成しているが、これに限定されない。例えば、オンイベント信号を先に生成し、次にオフイベント信号を生成してもよい。

[0066] 続いて、アドレスイベント検出部３３における電流電圧変換部３３１、及び、減算器３３３、量子化器３３４の構成例について説明する。なお、演算回路３３５の詳細は後述する。

[0067]（電流電圧変換部の構成例）

図７は、アドレスイベント検出部３３における電流電圧変換部３３１の構成の一例を示す回路図である。図７に示すように、本例に係る電流電圧変換部３３１は、Ｎ型トランジスタ３３１１、Ｐ型トランジスタ３３１２、及び、Ｎ型トランジスタ３３１３を有する回路構成となっている。これらのトランジスタ３３１１～３３１３としては、例えば、ＭＯＳトランジスタが用い

られる。

[0068] Ｎ型トランジスタ３３１１は、電源電圧V_{DD}の電源ラインと信号入力線３３１４との間に接続されている。Ｐ型トランジスタ３３１２及びＮ型トランジスタ３３１３は、電源電圧V_{DD}の電源ラインとグランドとの間に直列に接続されている。そして、Ｐ型トランジスタ３３１２及びＮ型トランジスタ３３１３の共通接続ノードN_2には、Ｎ型トランジスタ３３１１のゲート電極と、図５に示すバッファ３３２の入力端子とが接続されている。

[0069] Ｐ型トランジスタ３３１２のゲート電極には、所定のバイアス電圧V_{bias}が印加される。これにより、Ｐ型トランジスタ３３１２は、一定の電流をＮ型トランジスタ３３１３に供給する。Ｎ型トランジスタ３３１３のゲート電極には、信号入力線３３１４を通して、受光部３１から光電流が入力される。

[0070] Ｎ型トランジスタ３３１１及びＮ型トランジスタ３３１３のドレイン電極は電源側に接続されており、このような回路はソースフォロワと呼ばれる。これらのループ状に接続された２つのソースフォロワにより、受光部３１からの光電流は、その対数の電圧信号に変換される。

[0071]（減算器及び量子化器の構成例）

図８は、アドレスイベント検出部３３における減算器３３３及び量子化器３３４の構成の一例を示す回路図である。

[0072] 本例に係る減算器３３３は、容量素子３３３１、インバータ回路３３３２、容量素子３３３３、及び、スイッチ素子３３３４を有する構成となっている。

[0073] 容量素子３３３１の一端は、図５に示すバッファ３３２の出力端子に接続され、その他端は、インバータ回路３３３２の入力端子に接続されている。容量素子３３３３は、インバータ回路３３３２に対して並列に接続されている。スイッチ素子３３３４は、容量素子３３３３の両端間に接続されている。スイッチ素子３３３４にはその開閉制御信号として、駆動部２２から行駆動信号が供給される。スイッチ素子３３３４は、行駆動信号に応じて、容量

素子３３３３の両端を接続する経路を開閉する。インバータ回路３３３２は、容量素子３３３１を介して入力される電圧信号の極性を反転する。

[0074] 上記の構成の減算器３３３において、スイッチ素子３３３４をオン（閉）状態とした際に、容量素子３３３１のバッファ３３２側の端子に電圧信号V_{init}が入力され、その逆側の端子は仮想接地端子となる。この仮想接地端子の電位を、便宜上、ゼロとする。このとき、容量素子３３３１に蓄積されている電荷Q_{init}は、容量素子３３３１の容量値をC_1とすると、次式（１）により表される。一方、容量素子３３３３の両端は、短絡されているため、その蓄積電荷はゼロとなる。

$$Q_{init}=C_1\times V_{init} \quad \cdots (1)$$

[0075] 次に、スイッチ素子３３３４がオフ（開）状態となり、容量素子３３３１のバッファ３３２側の端子の電圧が変化してV_{after}になった場合を考えると、容量素子３３３１に蓄積される電荷Q_{after}は、次式（２）により表される。

$$Q_{after}=C_1\times V_{after} \quad \cdots (2)$$

[0076] 一方、容量素子３３３３に蓄積される電荷Q_2は、容量素子３３３３の容量値をC_2とし、出力電圧をV_{out}とすると、次式（３）により表される。

$$Q_2=-C_2\times V_{out} \quad \cdots (3)$$

[0077] このとき、容量素子３３３１及び容量素子３３３３の総電荷量は変化しないため、次の式（４）が成立する。

$$Q_{init}=Q_{after}+Q_2 \quad \cdots (4)$$

[0078] 式（４）に式（１）乃至式（３）を代入して変形すると、次式（５）が得られる。

$$V_{out}=-(C_1/C_2)\times(V_{after}-V_{init}) \quad \cdots (5)$$

[0079] 式（５）は、電圧信号の減算動作を表し、減算結果の利得はC_1/C_2となる。通常、利得を最大化することが望まれるため、C_1を大きく、C_2を小さく設計することが好ましい。一方、C_2が小さすぎると、ｋＴＣノイズが増大し、ノイズ特性が悪化するおそれがあるため、C_2の容量削減は、ノイズを許

容することができる範囲に制限される。また、画素３０毎に減算器３３３を含むアドレスイベント検出部３３が搭載されるため、容量素子３３３１や容量素子３３３３には、面積上の制約がある。これらを考慮して、容量素子３３３１、３３３３の容量値C_1、C_2が決定される。

[0080] 図８において、量子化器３３４は、コンパレータ３３４１を有する構成となっている。コンパレータ３３４１は、インバータ回路３３３２の出力信号、即ち、減算器４３０からの電圧信号を非反転（＋）入力とし、所定の閾値電圧V_{th}を反転（－）入力としている。そして、コンパレータ３３４１は、減算器４３０からの電圧信号と所定の閾値電圧V_{th}とを比較し、比較結果を示す信号をアドレスイベントの検出信号として転送部３３７に出力する。

[0081] ［第２構成例に係る撮像装置（スキャン方式）］

上述した第１構成例に係る撮像装置２０は、非同期型の読出し方式にてイベントを読み出す非同期型の撮像装置である。但し、イベントの読出し方式としては、非同期型の読出し方式に限られるものではなく、同期型の読出し方式であってもよい。同期型の読出し方式が適用される撮像装置は、所定のフレームレートで撮像を行う通常の撮像装置と同じ、スキャン方式の撮像装置である。

[0082] 図９は、本開示に係る技術が適用される撮像システム１０における撮像装置２０として用いられる、第２構成例に係る撮像装置、即ち、スキャン方式の撮像装置の構成の一例を示すブロック図である。

[0083] 図９に示すように、本開示の撮像装置としての第２構成例に係る撮像装置２０は、画素アレイ部２１、駆動部２２、信号処理部２５、読出し領域選択部２７、及び、信号生成部２８を備える構成となっている。

[0084] 画素アレイ部２１は、複数の画素３０を含む。複数の画素３０は、読出し領域選択部２７の選択信号に応答して出力信号を出力する。複数の画素３０のそれぞれについては、例えば図３に示すように、画素内に量子化器を持つ構成とすることもできる。複数の画素３０は、光の強度の変化量に対応する出力信号を出力する。複数の画素３０は、図９に示すように、行列状に２次

元配置されていてもよい。

[0085] 駆動部２２は、複数の画素３０のそれぞれを駆動して、各画素３０で生成された画素信号を信号処理部２５に出力させる。なお、駆動部２２及び信号処理部２５については、階調情報を取得するための回路部である。従って、イベント情報のみを取得する場合は、駆動部２２及び信号処理部２５は無くてもよい。

[0086] 読出し領域選択部２７は、画素アレイ部２１に含まれる複数の画素３０のうちの一部を選択する。例えば、読出し領域選択部２７は、画素アレイ部２１に対応する２次元行列の構造に含まれる行のうちのいずれか１つもしくは複数の行を選択する。読出し領域選択部２７は、予め設定された周期に応じて１つもしくは複数の行を順次選択する。また、読出し領域選択部２７は、画素アレイ部２１の各画素３０からのリクエストに応じて選択領域を決定してもよい。

[0087] 信号生成部２８は、読出し領域選択部２７によって選択された画素の出力信号に基づいて、選択された画素のうちのイベントを検出した活性画素に対応するイベント信号を生成する。イベントは、光の強度が変化するイベントである。活性画素は、出力信号に対応する光の強度の変化量が予め設定された閾値を超える、又は、下回る画素である。例えば、信号生成部２８は、画素の出力信号を基準信号と比較し、基準信号よりも大きい又は小さい場合に出力信号を出力する活性画素を検出し、当該活性画素に対応するイベント信号を生成する。

[0088] 信号生成部２８については、例えば、信号生成部２８に入ってくる信号を調停するような列選択回路を含む構成とすることができる。また、信号生成部２８については、イベントを検出した活性画素の情報の出力のみならず、イベントを検出しない非活性画素の情報も出力する構成とすることができる。

[0089] 信号生成部２８からは、出力線１５を通して、イベントを検出した活性画素のアドレス情報及びタイムスタンプ情報（例えば、（Ｘ、Ｙ、Ｔ））が出

力される。但し、信号生成部２８から出力されるデータについては、アドレス情報及びタイムスタンプ情報だけでなく、フレーム形式の情報（例えば、（０、０、１、０、・・・））であってもよい。

[0090] ［チップ構造の構成例］

上述した第１構成例又は第２構成例に係る撮像装置２０のチップ（半導体集積回路）構造としては、例えば、積層型のチップ構造を採ることができる。図１０は、撮像装置２０の積層型のチップ構造の概略を示す分解斜視図である。

[0091] 図１０に示すように、積層型のチップ構造、所謂、積層構造は、第１のチップである受光チップ２０１、及び、第２のチップである検出チップ２０２の少なくとも２つのチップが積層された構造となっている。そして、図４に示す画素３０の回路構成において、受光素子３１１のそれぞれが受光チップ２０１上に配置され、受光素子３１１以外の素子の全てや、画素３０の他の回路部分の素子などが検出チップ２０２上に配置される。受光チップ２０１と検出チップ２０２とは、ビア（ＶＩＡ）、Ｃｕ－Ｃｕ接合、バンプなどの接続部を介して電気的に接続される。

[0092] なお、ここでは、受光素子３１１を受光チップ２０１に配置し、受光素子３１１以外の素子や画素３０の他の回路部分の素子などを検出チップ２０２に配置する構成例を例示したが、この構成例に限られるものではない。

[0093] 例えば、図３に示す画素３０の回路構成において、受光部３１の各素子を受光チップ２０１に配置し、受光部３１以外の素子や画素３０の他の回路部分の素子などを検出チップ２０２に配置する構成とすることができる。また、受光部３１の各素子、及び、画素信号生成部３２のリセットトランジスタ３２１、浮遊拡散層３２４を受光チップ２０１に配置し、それ以外の素子を検出チップ２０２に配置する構成とすることができる。更には、アドレスイベント検出部３３を構成する素子の一部を、受光部３１の各素子などと共に受光チップ２０１に配置する構成とすることができる。

[0094] ［カラム処理部の構成例］

図１１は、第１構成例に係る撮像装置２０のカラム処理部２４の構成の一例を示すブロック図である。図１１に示すように、本例に係るカラム処理部２４は、画素アレイ部２１の画素列毎に配置された複数のアナログ－デジタル変換器（ＡＤＣ）２４１を有する構成となっている。

[0095] なお、ここでは、画素アレイ部２１の画素列に対して、１対１の対応関係でアナログ－デジタル変換器２４１を配置する構成例を例示したが、この構成例に限定されるものではない。例えば、複数の画素列を単位としてアナログ－デジタル変換器２４１を配置し、当該アナログ－デジタル変換器２４１を複数の画素列間で時分割により処理する構成とすることもできる。

[0096] アナログ－デジタル変換器２４１は、垂直信号線ＶＳＬを介して供給されるアナログの画素信号ＳＩＧを、先述したアドレスイベントの検出信号よりもビット数の多いデジタル信号に変換する。例えば、アドレスイベントの検出信号を２ビットとすると、画素信号は、３ビット以上（１６ビットなど）のデジタル信号に変換される。アナログ－デジタル変換器２４１は、アナログ－デジタル変換で生成したデジタル信号を信号処理部２５に供給する。

[0097] ［演算回路及び信号保持回路の第１構成例］

ここで、図１２に基づき、演算回路３３５の詳細な構成例を説明する。図１２は、アドレスイベント検出部３３における演算回路３３５及び信号保持回路３３６の第１構成例を示す回路図である。

[0098] 本例に係る演算回路３３５は、論理和回路（ＯＲ回路）３３５ａ、及び、マルチプレクサ３３５ｂを有する。論理和回路３３５ａの２入力端子の一方の入力端子は量子化器３３４の出力端子に接続され、他方の入力端子は信号保持回路３３６の出力端子に接続される。論理和回路３３５ａの出力端子は、マルチプレクサ３３５ｂの入力端子に接続される。本例に係る演算回路３３５は、制御信号の入力に応じてオンイベント信号（第１イベント信号）及びオフイベント信号（第２イベント信号）を順に信号保持回路３３６に出力する第１モードを有する。また、本例に係る演算回路３３５は、制御信号の入力に応じてオンイベント信号を信号保持回路３３６に出力し、信号保持回

路３３６に保持されたオンイベント信号とオフイベント信号とに基づきイベント信号を生成する第２モードを有する。

[0099] マルチプレクサ３３５ｂの２入力端子の一方の入力端子は、上述のように、論理和回路３３５ａの出力端子に接続され、他方の入力端子は、量子化器３３４の出力端子に接続さる。また、マルチプレクサ３３５ｂの出力端子は、信号保持回路３３６の入力端子に接続される。さらにまた、マルチプレクサ３３５ｂの選択制御端子は制御回路３３８に接続される。

[0100] 信号保持回路３３６の入力端子は、上述のように、マルチプレクサ３３５ｂの出力端子に接続される。信号保持回路３３６の出力端子は、転送部３３７の出力端子に接続される。

[0101] 図１２に示す回路構成により、論理和回路３３５ａは、量子化器３３４の出力信号Ｓ１又は信号保持回路３３６の出力信号Ｓ４が真値であれば、真値を出力する。一方で、論理和回路３３５ａは、量子化器３３４の出力信号Ｓ１及び信号保持回路３３６の出力信号Ｓ４が共に偽値であれば、偽値を出力する。なお、本実施形態では、真値を「１」、偽値を「０」として示し、「１」でも「０」でもよい場合を「－」で示すこととする。

[0102] 図１３は、マルチプレクサ３３５ｂの真理値表を示す図である。図１３に示すように、選択制御信号Ｅ０が０である場合、論理和回路３３５ａの出力信号Ｓ２によらず、量子化器３３４の出力信号Ｓ１を出力信号Ｓ３として出力する。すなわち、選択制御信号Ｅ０を０とする場合には、量子化器３３４の出力信号Ｓ１をそのまま信号保持回路３３６に供給可能である。これにより、第１モードの処理を行うことが可能である。より具体的には、先ずオフイベント信号及びオンイベント信号のうちの一方を第１信号保持回路３３６に記憶して読み出し（Ｒｅａｄ）、次にオフイベント信号及びオンイベント信号のうちの他方を第２信号保持回路３３６に記憶して読み出し（Ｒｅａｄ）を行うことにより、オフイベント信号、及びオンイベント信号をアドレスイベント検出部３３（図４参照）から出力することが可能となる。

[0103] 一方で、選択制御信号Ｅ０が１である場合、量子化器３３４の出力信号Ｓ

１によらず、論理和回路３３５ａの出力信号Ｓ２を出力信号Ｓ３として出力する。

[0104] 図１４は、第２モードにおける演算回路３３５の真理値表を示す図である。図１４では、先ず時間ｔ１で、量子化器３３４が、信号Ｓ１として、オンイベント信号を生成し、次に時間ｔ２で、量子化器３３４が、信号Ｓ１として、オフイベント信号を生成する場合を示している。なお、本実施形態では、オンイベント信号を生成し、次にオフイベント信号を生成するが、上述のように、これに限定されない。例えば、オフイベント信号を生成し、次にオンイベント信号を生成してもよい。この場合にも、オンイベント信号を生成し、次にオフイベント信号を生成する場合と、同様の処理を行うことが可能である。

[0105] まず、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が１であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が１である場合を説明する。オンイベント信号が入力される時間ｔ１では、制御回路３３８により選択制御信号Ｅ０が０として入力される。

[0106] 論理和回路３３５ａの出力信号Ｓ２は、時間ｔ１では、信号保持回路３３６の初期値が「１」又は「０」であっても、信号Ｓ１が１であるので、１である。この場合、マルチプレクサ３３５ｂは、図１０で示したように、選択制御信号Ｅ０が０であるので、論理和回路３３５ａの出力信号Ｓ２によらず、量子化器３３４の出力信号Ｓ１を出力信号Ｓ３として出力する。すなわち、時間ｔ１では、信号保持回路３３６の初期値が「１」又は「０」であっても、オンイベント信号の値である１がマルチプレクサ３３５ｂの出力信号Ｓ３として信号保持回路３３６に保持される。これにより、時間ｔ１では信号保持回路３３６の値は１として保持される。

[0107] 続いて、オフイベント信号が入力される時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は１であり、量子化器３３４の出力信号Ｓ１は１であるので、論理和回路３３５ａの出力信号Ｓ２は１となる。また

、時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。この場合、図１０で示したように、量子化器３３４の出力信号Ｓ１によらず、論理和回路３３５ａの出力信号Ｓ２を出力信号Ｓ３として出力する。すなわち、出力信号Ｓ３は１であり、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。これにより、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が１であり、オフイベント信号が１である場合には、転送部３３７から１が出力される。

[0108] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が０であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が１である場合を説明する。オンイベント信号が入力される時間ｔ１では、制御回路３３８により選択制御信号Ｅ０が０として入力される。

[0109] 時間ｔ１では、信号Ｓ１が０であり、信号保持回路３３６の初期値である信号Ｓ４は「１」又は「０」である。このため、論理和回路３３５ａの出力信号Ｓ２は、「１」又は「０」である。この場合、マルチプレクサ３３５ｂは、図１０で示したように、論理和回路３３５ａの出力信号Ｓ２によらず、量子化器３３４の出力信号Ｓ１を出力信号Ｓ３として出力する。すなわち、時間ｔ１では、信号保持回路３３６の初期値が「１」又は「０」であっても、オンイベント信号の値である０がマルチプレクサ３３５ｂの出力信号Ｓ３として信号保持回路３３６に保持される。これにより、時間ｔ１では信号保持回路３３６の値は０として保持される。

[0110] 続いて、オフイベント信号が入力される時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。時間ｔ２では、信号保持回路３３６の初期値である信号Ｓ４は０であり、量子化器３３４の出力信号Ｓ１は１であるので、論理和回路３３５ａの出力信号Ｓ２は１となる。また、時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。この場合、図１０で示したように、量子化器３３４の出力信号Ｓ１によらず、論理和回路３３５ａの出力信号Ｓ２を出力信号Ｓ３として出力する。す

なわち、信号Ｓ３は１であり、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。これにより、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が０であり、オフイベント信号が１である場合には、転送部３３７から１が出力される。

[0111] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が１であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が０である場合を説明する。オンイベント信号が入力される時間ｔ１では、上述のように、信号Ｓ１が１であり、信号Ｓ２が１であり、信号Ｓ３が１であり、信号Ｓ４が１である。

[0112] 続いて、オフイベント信号が入力される時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。時間ｔ２では、信号保持回路３３６の初期とである信号Ｓ４は１であり、量子化器３３４の出力信号Ｓ１は０であるので、論理和回路３３５ａの出力信号Ｓ２は１となる。また、時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。この場合、図１０で示したように、量子化器３３４の出力信号Ｓ１によらず、論理和回路３３５ａの出力信号Ｓ２を出力信号Ｓ３として出力する。すなわち、出力信号Ｓ３は１であり、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。これにより、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が１であり、オフイベント信号が０である場合には、転送部３３７から１が出力される。

[0113] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が０であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が０である場合を説明する。オンイベント信号が入力される時間ｔ１では、上述のように、信号Ｓ１が０であり、信号Ｓ２が「１」又は「０」であり、信号Ｓ３が０であり、信号Ｓ４が０である。

[0114] 続いて、オフイベント信号が入力される時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は０であり、量子化器３３４の出力信号

Ｓ１は０であるので、論理和回路３３５ａの出力信号Ｓ２は０となる。また、時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。この場合、図１０で示したように、量子化器３３４の出力信号Ｓ１によらず、論理和回路３３５ａの出力信号Ｓ２を出力信号Ｓ３として出力する。すなわち、出力信号Ｓ３は０であり、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では０が保持される。これにより、転送部３１７からはイベント信号として０が出力される。このように、オンイベント信号が０であり、オフイベント信号が０である場合には、転送部３３７から０が出力される。

[0115] ［演算回路及び信号保持回路の第２構成例］

図１５は、アドレスイベント検出部３３における演算回路３３５及び信号保持回路３３６の第２構成例を示す回路図である。

[0116] 本例に係る演算回路３３５は、論理和回路３３５ａ、及び、論理積回路（ＡＮＤ回路）３３５ｃを有する。論理和回路３３５ａの２入力端子の一方の入力端子は量子化器３３４の出力端子に接続され、他方の入力端子は論理積回路３３５ｃの出力端子に接続される。論理和回路３３５ａの出力端子は、信号保持回路３３６の入力端子に接続される。

[0117] 論理積回路３３５ｃの２入力端子の一方の入力端子は、制御回路３３８に接続される。論理積回路３３５ｃの他方の入力端子は、信号保持回路３３６の出力端子に接続さる。また、論理積回路３３５ｃの出力端子は、上述のように、論理和回路３３５ａの一方の入力端子に接続される。

[0118] 信号保持回路３３６の入力端子は、上述のように、論理和回路３３５ａの出力端子に接続される。信号保持回路３３６の出力端子は、転送部３３７の出力端子に接続される。

[0119] 図１６は、論理和回路３３５ａの真理値表を示す図である。図１６に示す回路構成により、論理和回路３３５ａは、量子化器３３４の出力信号Ｓ１又は論理積回路３３５ｃの出力信号Ｓ５が真値であれば、真値を出力する。一方で、論理和回路３３５ａは、量子化器３３４の出力信号Ｓ１及び論理積回路３３５ｃの出力信号Ｓ５が共に偽値であれば、偽値を出力する。この場合

、論理積回路３３５ｃの出力信号Ｓ５は、選択制御信号Ｅ０が０である場合、常に０となる。

[0120] これにより、第１モードの処理を行うことが可能である。より具体的には、選択制御信号Ｅ０を０とする場合には、論理和回路３３５ａは、量子化器３３４の出力信号Ｓ１をそのまま信号保持回路３３６に供給可能である。これにより、先ずオフイベント信号及びオンイベント信号のうちの一方を第１信号保持回路３３６に記憶して読み出し（Ｒｅａｄ）、次にオフイベント信号及びオンイベント信号のうちの他方を第２信号保持回路３３６に記憶して読み出し（Ｒｅａｄ）を行うことにより、オフイベント信号、及びオンイベント信号をアドレスイベント検出部３３（図４参照）から出力することが可能となる。

[0121] 一方で、図１７は、第２モードにおける第２構成例での演算回路３３５の真理値表を示す図である。図１７では、先ず時間ｔ１で、量子化器３３４が、信号Ｓ１として、オンイベント信号を生成し、次に時間ｔ２で、量子化器３３４が、信号Ｓ１として、オフイベント信号を生成する場合を示している。

[0122] まず、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が１であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が１である場合を説明する。オンイベント信号が入力される時間ｔ１では、制御回路３３８により選択制御信号Ｅ０が０として入力される。

[0123] 論理積回路３３５ｃの出力信号Ｓ５は、選択制御信号Ｅ０が０であるので、信号保持回路３３６の初期値が「１」又は「０」であっても、０となる。これにより、論理和回路３３５ａの出力信号Ｓ２は、量子化器３３４の出力信号Ｓ１が１であれるので１を出力する。このため、時間ｔ１では信号保持回路３３６の値は１として保持される。

[0124] 続いて、オフイベント信号が入力される時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は１であるので、論理積回路３３５ｃの

出力信号Ｓ５は１となる。これにより、量子化器３３４の出力信号Ｓ１の値によらず論理和回路３３５ａの出力信号Ｓ２は１となる。このため、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。そして、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が１であり、オフイベント信号が１である場合には、転送部３３７から１が出力される。

[0125] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が０であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が１である場合を説明する。オンイベント信号が入力される時間ｔ１では、制御回路３３８により選択制御信号Ｅ０が０として入力される。

[0126] 論理積回路３３５ｃの出力信号Ｓ５は、選択制御信号Ｅ０が０であるので、信号保持回路３３６の初期値が「１」又は「０」であっても、０となる。これにより、論理和回路３３５ａの出力信号Ｓ２は、量子化器３３４の出力信号Ｓ１が０であれるので０を出力する。このため、時間ｔ１では信号保持回路３３６の値は０として保持される。

[0127] 続いて、オフイベント信号が入力される時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は０であるので、論理積回路３３５ｃの出力信号Ｓ５は０となる。一方で、量子化器３３４の出力信号Ｓ１の値は１であるので、論理和回路３３５ａの出力信号Ｓ２は１となる。これにより、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。そして、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が０であり、オフイベント信号が１である場合には、転送部３３７から１が出力される。

[0128] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が１であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が０である場合を説明する。オンイベント信号が入力される時間ｔ１では、制御回路３３８により選択制御信号Ｅ０が０として入力される。

[0129] 上述のように、論理積回路３３５ｃの出力信号Ｓ５は、０となり、論理和回路３３５ａの出力信号Ｓ２は、１となり、時間ｔ１では信号保持回路３３６の値は１として保持される。

[0130] 続いて、オフイベント信号が入力される時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は１であるので、論理積回路３３５ｃの出力信号Ｓ５は１となる。このため、量子化器３３４の出力信号Ｓ１の値によらず、論理和回路３３５ａの出力信号Ｓ２は１となる。これにより、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。そして、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が１であり、オフイベント信号が０である場合には、転送部３３７から１が出力される。

[0131] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が０であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が０である場合を説明する。オンイベント信号が入力される時間ｔ１では、制御回路３３８により選択制御信号Ｅ０が０として入力される。

[0132] 上述のように、論理積回路３３５ｃの出力信号Ｓ５は０となり、論理和回路３３５ａの出力信号Ｓ２は０となり、時間ｔ１では信号保持回路３３６の値は０として保持される。

[0133] 続いて、オフイベント信号が入力される時間ｔ２では、制御回路３３８により選択制御信号Ｅ０が１として入力される。時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は０であるので、論理積回路３３５ｃの出力信号Ｓ５は０となる。一方で、量子化器３３４の出力信号Ｓ１の値は０であるので、論理和回路３３５ａの出力信号Ｓ２は０となる。これにより、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では０として保持される。そして、転送部３１７からはイベント信号として０が出力される。このように、オンイベント信号が０であり、オフイベント信号が０である場合には、転送部３３７から０が出力される。

[0134] ここで、第２構成例における演算回路３３５の等価回路について説明する。図１８は、第２構成例における演算回路３３５の等価回路例を示す図である。図１８に示すように、論理積回路３３５ｃは、否定倫理積回路３３ｄ及びＮｏｔ回路３３５ｉと等価である。量子化器３３４と論理和回路３３５ａとの間にＮｏｔ回路３３５ｅ、３３５ｆを接続し、論理和回路３３５ａと信号保持回路３３６との間にＮｏｔ回路３３５ｇ、３３５ｈを接続している。

[0135] 図１９Ａはドモルガンの定理による否定論理積回路の等価回路を示す図である。図１９Ａに示すように、否定論理積回路は、Ｎｏｔ回路と論理和回路の組合せと等価である。

[0136] 図１９Ｂはドモルガンの定理による否定論理和の等価回路を示す図である。図１９Ｂに示すように、否定論理和は、Ｎｏｔ回路と論理積回路の組合せと等価である。

[0137] 図２０は、図１８で示す演算回路３３５の等価回路例を示す図である。図１８に示すように、Ｎｏｔ回路３３５ｉ、３３５ｆと論理和回路３３５ａの組合せは、上述したように否定論理積回路と等価である。否定論理積回路にＮｏｔ回路３３５ｇを更に組み合わせると論理積回路３３５ｊと等価となる。

[0138] 図２１は、図２０で示す演算回路３３５の等価回路例を示す図である。図２１に示すように、図２０で示す論理積回路３３５ｊとＮｏｔ回路３３５ｈの組合せは、否定論理積回路３３５ｋと等価である。このように、回路状況に応じて演算回路３３５を様々な等価回路で構成してもよい。

[0139] （演算回路及び信号保持回路の第３構成例）

図２２は、アドレスイベント検出部３３における演算回路３３５及び信号保持回路３３６の第３構成例を示す回路図である。第３構成例は第２モードの処理のみが可能な例である。

[0140] 本例に係る演算回路３３５は、論理和回路３３５ａを有する。論理和回路３３５ａの２入力端子の一方の入力端子は量子化器３３４の出力端子に接続され、他方の入力端子は信号保持回路３３６の出力端子に接続される。また

、論理和回路３３５ａの出力端子は、信号保持回路３３６に接続される。

[0141] 信号保持回路３３６の入力端子は、上述のように、論理和回路３３５ａの出力端子に接続される。信号保持回路３３６の出力端子は、転送部３３７の出力端子に接続される。

[0142] 図２３は、第３構成例における論理和回路３３５ａの真理値表を示す図である。図２３では、先ず時間ｔ１で、量子化器３３４が、信号Ｓ１として、オンイベント信号を生成し、次に時間ｔ２で、量子化器３３４が、信号Ｓ１として、オフイベント信号を生成する場合を示している。

[0143] まず、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が１であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が１である場合を説明する。制御回路３３８は、信号保持回路３３６の初期値を０に設定する。この場合、論理和回路３３５ａの出力信号Ｓ２は、量子化器３３４の出力信号Ｓ１が１であるので、１を出力する。このため、時間ｔ１では信号保持回路３３６の値は１として保持される。

[0144] 続いて、オフイベント信号が入力される時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は１であるので、量子化器３３４の出力信号Ｓ１の値によらず論理和回路３３５ａの出力信号Ｓ２は１となる。これにより、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。そして、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が１であり、オフイベント信号が１である場合には、転送部３３７から１が出力される。

[0145] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が０であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が１である場合を説明する。制御回路３３８は、信号保持回路３３６の初期値を０に設定する。これにより、論理和回路３３５ａの出力信号Ｓ２は、量子化器３３４の出力信号Ｓ１が０であるので、０を出力する。このため、時間ｔ１では信号保持回路３３６の値は０として保持される。

[0146] 続いて、オフイベント信号が入力される時間ｔ２では、信号保持回路３３

６の初期値である出力信号Ｓ４は０である。一方で、量子化器３３４の出力信号Ｓ１の値は１であるので、回路３３５ａの出力信号Ｓ２は１となる。これにより、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。そして、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が０であり、オフイベント信号が１である場合には、転送部３３７から１が出力される。

[0147] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が１であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が０である場合を説明する。制御回路３３８は、信号保持回路３３６の初期値を０に設定する。これにより、論理和回路３３５ａの出力信号Ｓ２は、量子化器３３４の出力信号Ｓ１が１であるので、１を出力する。このため、時間ｔ１では信号保持回路３３６の値は１として保持される。

[0148] 続いて、オフイベント信号が入力される時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は１である。一方で、量子化器３３４の出力信号Ｓ１の値は０であるので、論理和回路３３５ａの出力信号Ｓ２は１となる。これにより、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では１として保持される。そして、転送部３１７からはイベント信号として１が出力される。このように、オンイベント信号が０であり、オフイベント信号が１である場合には、転送部３３７から１が出力される。

[0149] 次に、時間ｔ１でのオンイベント信号（Ｓ１の欄を参照）が０であり、時間ｔ２でのオフイベント信号（Ｓ１の欄を参照）が０である場合を説明する。制御回路３３８は、信号保持回路３３６の初期値を０に設定する。これにより、論理和回路３３５ａの出力信号Ｓ２は、量子化器３３４の出力信号Ｓ１が０であるので、０を出力する。このため、時間ｔ１では信号保持回路３３６の値は０として保持される。

[0150] 続いて、オフイベント信号が入力される時間ｔ２では、信号保持回路３３６の初期値である出力信号Ｓ４は０である。一方で、量子化器３３４の出力信号Ｓ１の値は０であるので、論理和回路３３５ａの出力信号Ｓ２は０とな

る。これにより、信号保持回路３３６の出力信号Ｓ４は、時間ｔ２では０として保持される。そして、転送部３１７からはイベント信号として０が出力される。このように、オンイベント信号が０であり、オフイベント信号が０である場合には、転送部３３７から０が出力される。

[0151] 以上説明したように、本実施形態によれば、信号保持回路３３６は、オンイベント信号及びオフイベント信号のうちの最初に供給された信号の値を保持し、演算回路３３５は、オンイベント信号及びオフイベント信号のうちの次に供給された信号の値と、信号保持回路３３６が保持する最初に供給された信号の値との内の一方が真値であれば、真値を示す信号を信号保持回路３３６に供給し、両方とも偽値であれば偽値を示す信号を信号保持回路３３６に供給することとした。これにより、オンイベント信号及びオフイベント信号に対応する信号保持回路３３６が１つであっても、一回の読み出しでイベント信号を出力することが可能となる。

[0152] （第２実施形態）

第２実施形態に係る撮像装置１００は、カラム処理部が量子化器３３４、演算回路３３５、及び信号保持回路３３６を備える点で、第１実施形態に係る撮像装置１００と相違する。以下では、第１実施形態に係る撮像装置１００と相違する点に関して説明する。

[0153] 図２４は、第２実施形態に係る画素アレイ部２１の構成の一例を示すブロック図である。図２４に示すように、複数の画素３０ａのそれぞれは、受光部３１、画素信号生成部３２、及び、検出部３３ａを有する構成となっている。第１実施形態に係る画素アレイ部２１の画素３０の構成とは、アドレスイベント検出部３３（図３参照）の替わりに検出部３３ａを有する点で相違する。

[0154] 図２５は、第２実施形態に係る検出部３３ａの構成の一例を示すブロック図である。図２５に示すように、検出部３３ａは、電流電圧変換部３３１、バッファ３３２、及び減算器３３３を有する。すなわち、量子化器３３４、演算回路３３５、信号保持回路３３６、転送部３３７、及び、制御回路３３

８を有さない点でアドレスイベント検出部３３（図３参照）と相違する。

[0155] 図２６は、第２実施形態に係る画素アレイ部２１とカラム処理部２６の構成の一例を示すブロック図である。図２６に示すように、画素アレイ部２１内に列状に配置される複数の画素３０ａそれぞれに対して、共通に量子化器３３４、演算回路３３５、信号保持回路３３６、転送部３３７、及び、制御回路３３８が設けられている。このような構成により、第２実施形態に係るカラム処理部２６は、列状に配置される複数画素３０ａの減算器３３３それぞれから順に供給されるレベル低下後の電圧信号を量子化器３３４に供給する。演算回路３３５は、量子化器３３４から順に供給されるオンイベント信号及びオフイベント信号に基づく論理演算を行い、イベント信号を順に生成する。

[0156] 以上説明したように、本実施形態によれば、列状に配置される複数画素３０ａに対して、共通に量子化器３３４、演算回路３３５、信号保持回路３３６、転送部３３７、及び、制御回路３３８を構成することとした。これにより、撮像装置１００の回路構成の規模をより抑制することが可能となる。

[0157] （第３実施形態）

第３実施形態に係る撮像装置１００は、画素ブロック毎に量子化器３３４、及び演算回路３３５を備える点で、第１実施形態に係る撮像装置１００と相違する。以下では、第１実施形態に係る撮像装置１００と相違する点に関して説明する。

[0158] 図２７は、第３実施形態に係る画素アレイ部２１の構成の一例を示すブロック図である。図２７に示すように画素アレイ部２１は、複数の画素ブロック３００ａを有する。画素ブロック３００ａは、二次元の行列状に複数の画素３０ａ（図２５参照）が配置される。

[0159] 図２８は、画素ブロック３００ａに対する演算回路３３５の構成の一例を示すブロック図である。図２８に示すように、画素ブロック３００ａには、Ｎ個の画素３０ａ（図２５参照）が二次元の行列状に配置される。また、画素ブロック３００ａには、１つの量子化器３３４が接続され、更に量子化器

３３４には１つの演算回路３３５が接続される。演算回路３３５は、論理和回路３３５ａと、マルチプレクサ３３５ｋと、Ｎ個の論理積回路３３５Ｌを有する。また、論理和回路３３５ａには、Ｎ個の信号保持回路３３６が接続される。更に、Ｎ個の信号保持回路３３６それぞれには対応するＮ個の転送部３３７が接続される。

[0160] このような構成により、画素ブロック３００ａ内に行列状に配置される複数画素３０ａの減算器３３３それぞれから順に供給されるレベル低下後の電圧信号を量子化器３３４に供給する。制御回路３３８は、１番目の画素３０ａから電圧信号が供給される際に、まずオンイベント信号を量子化器３３４に生成させ、全ての制御入力Ｅ１～ＥＮを０とする。これにより、１番目の画素３０ａに対応する信号保持回路３３６に、１番目の画素３０ａに対応するオンイベント信号の値を記憶させる。

[0161] 次に、制御回路３３８は、１番目の画素３０ａから電圧信号が供給される際に、オフイベント信号を量子化器３３４に生成させ、制御入力Ｅ１を１とし、残りの全ての制御入力Ｅ２～ＥＮを０とする。これにより、論理和回路３３５ａは、オンイベント信号及びオフイベント信号のうちの次に供給された信号の値と、信号保持回路３３６が保持する最初に供給された信号の値との内の一方が真値であれば、真値示す信号を対応する信号保持回路３３６に供給し、両方とも偽値であれば偽値を示す信号を対応する信号保持回路３３６に供給する。

[0162] 同様に、制御回路３３８は、Ｎ番目の画素３０ａから電圧信号が供給される際に、まずオンイベント信号を量子化器３３４に生成させ、全ての制御入力Ｅ１～ＥＮを０とする。これにより、Ｎ番目の画素３０ａに対応する信号保持回路３３６に、Ｎ番目の画素３０ａに対応するオンイベント信号の値を記憶させる。

[0163] 次に、制御回路３３８は、Ｎ番目の画素３０ａから電圧信号が供給される際に、オフイベント信号を量子化器３３４に生成させ、制御入力ＥＮを１とし、残りの全ての制御入力Ｅ１～ＥＮ－１を０とする。これにより、論理和

回路３３５ａは、オンイベント信号及びオフイベント信号のうちの次に供給された信号の値と、信号保持回路３３６が保持する最初に供給された信号の値との内の一方が真値であれば、真値示す信号をＮ番目の画素３０ａに対応する信号保持回路３３６に供給し、両方とも偽値であれば偽値を示す信号をＮ番目の画素３０ａに対応する信号保持回路３３６に供給する。このような処理により、Ｎ番目の画素３０ａに対応するイベント信号を生成し、対応する信号保持回路３３６に保持される。このような処理を１番目の画素３０ａからＮ番目の画素３０ａまで、順に行うことにより、１番目からＮ番目の画素３０ａ対応するイベント信号をそれぞれ、対応する保持回路３３６に保持できる。これにより、信号保持回路３３６に対応する転送部３３７は、一度の読み出しで、イベント信号を出力可能となる。

[0164] 以上説明したように、行列状に配置される複数画素３０ａに対して、共通に量子化器３３４、演算回路３３５を構成することとした。これにより、本実施形態によれば、第１実施形態に係る撮像装置１００と同等の効果を有すると共に、撮像装置１００の回路構成の規模をより抑制することが可能となる。

[0165] ＜本開示に係る技術の適用例＞

本開示に係る技術は、様々な製品に適用することができる。以下に、より具体的な適用例について説明する。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される測距装置として実現されてもよい。

[0166] ［移動体］

図２９は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システム７０００の概略的な構成例を示すブロック図である。車両制御システム７０００は、通信ネットワーク７０１０を介して接続された複数の電子制御ユニットを備える。図２９に示した例では、車両制御シス

テム７０００は、駆動系制御ユニット７１００、ボディ系制御ユニット７２００、バッテリ制御ユニット７３００、車外情報検出ユニット７４００、車内情報検出ユニット７５００、及び統合制御ユニット７６００を備える。これらの複数の制御ユニットを接続する通信ネットワーク７０１０は、例えば、ＣＡＮ（Ｃｏｎｔｒｏｌｌｅｒ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）、ＬＩＮ（Ｌｏｃａｌ　Ｉｎｔｅｒｃｏｎｎｅｃｔ　Ｎｅｔｗｏｒｋ）、ＬＡＮ（Ｌｏｃａｌ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）又はＦｌｅｘＲａｙ（登録商標）等の任意の規格に準拠した車載通信ネットワークであってよい。

[0167] 各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク７０１０を介して他の制御ユニットとの間で通信を行うためのネットワークＩ／Ｆを備えるとともに、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信Ｉ／Ｆを備える。図２７では、統合制御ユニット７６００の機能構成として、マイクロコンピュータ７６１０、汎用通信Ｉ／Ｆ７６２０、専用通信Ｉ／Ｆ７６３０、測位部７６４０、ビーコン受信部７６５０、車内機器Ｉ／Ｆ７６６０、音声画像出力部７６７０、車載ネットワークＩ／Ｆ７６８０及び記憶部７６９０が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信Ｉ／Ｆ及び記憶部等を備える。

[0168] 駆動系制御ユニット７１００は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット７１００は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。駆動系制御ユニット７１００は、ＡＢＳ（Ａｎｔｉｌｏｃｋ　Ｂｒａｋｅ　Ｓｙｓｔｅｍ）又はＥＳＣ（Ｅｌｅｃｔｒｏｎｉｃ

Ｓｔａｂｉｌｉｔｙ　Ｃｏｎｔｒｏｌ）等の制御装置としての機能を有してもよい。

[0169] 駆動系制御ユニット７１００には、車両状態検出部７１１０が接続される。車両状態検出部７１１０には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのうちの少なくとも一つが含まれる。駆動系制御ユニット７１００は、車両状態検出部７１１０から入力される信号を用いて演算処理を行い、内燃機関、駆動用モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。

[0170] ボディ系制御ユニット７２００は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット７２００は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット７２００には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット７２００は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0171] バッテリ制御ユニット７３００は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池７３１０を制御する。例えば、バッテリ制御ユニット７３００には、二次電池７３１０を備えたバッテリ装置から、バッテリ温度、バッテリ出力電圧又はバッテリの残存容量等の情報が入力される。バッテリ制御ユニット７３００は、これらの信号を用いて演算処理を行い、二次電池７３１０の温度調節制御又はバッテリ装置に備えられた冷却装置等の制御を行う。

[0172] 車外情報検出ユニット７４００は、車両制御システム７０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット７４００には

、撮像部７４１０及び車外情報検出部７４２０のうちの少なくとも一方が接続される。撮像部７４１０には、ＴｏＦ（Ｔｉｍｅ　Ｏｆ　Ｆｌｉｇｈｔ）カメラ、ステレオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部７４２０には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム７０００を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

[0173] 環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧センサ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及びＬＩＤＡＲ（Ｌｉｇｈｔ　Ｄｅｔｅｃｔｉｏｎ　ａｎｄ　Ｒａｎｇｉｎｇ、Ｌａｓｅｒ　Ｉｍａｇｉｎｇ　Ｄｅｔｅｃｔｉｏｎ　ａｎｄ　Ｒａｎｇｉｎｇ）装置のうちの少なくとも一つであってよい。これらの撮像部７４１０及び車外情報検出部７４２０は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

[0174] ここで、図３０は、撮像部７４１０及び車外情報検出部７４２０の設置位置の例を示す。撮像部７９１０、７９１２、７９１４、７９１６、７９１８は、例えば、車両７９００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部７９１０及び車室内のフロントガラスの上部に備えられる撮像部７９１８は、主として車両７９００の前方の画像を取得する。サイドミラーに備えられる撮像部７９１２、７９１４は、主として車両７９００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部７９１６は、主として車両７９００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部７９１８は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0175] なお、図３０には、それぞれの撮像部７９１０、７９１２、７９１４、７９１６の撮影範囲の一例が示されている。撮像範囲ａは、フロントノーズに設けられた撮像部７９１０の撮像範囲を示し、撮像範囲ｂ、ｃは、それぞれサイドミラーに設けられた撮像部７９１２、７９１４の撮像範囲を示し、撮像範囲ｄは、リアバンパ又はバックドアに設けられた撮像部７９１６の撮像範囲を示す。例えば、撮像部７９１０、７９１２、７９１４、７９１６で撮像された画像データが重ね合わせられることにより、車両７９００を上方から見た俯瞰画像が得られる。

[0176] 車両７９００のフロント、リア、サイド、コーナ及び車室内のフロントガラスの上部に設けられる車外情報検出部７９２０、７９２２、７９２４、７９２６、７９２８、７９３０は、例えば超音波センサ又はレーダ装置であってよい。車両７９００のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部７９２０、７９２６、７９３０は、例えばＬＩＤＡＲ装置であってよい。これらの車外情報検出部７９２０～７９３０は、主として先行車両、歩行者又は障害物等の検出に用いられる。

[0177] 図２９に戻って説明を続ける。車外情報検出ユニット７４００は、撮像部７４１０に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット７４００は、接続されている車外情報検出部７４２０から検出情報を受信する。車外情報検出部７４２０が超音波センサ、レーダ装置又はＬＩＤＡＲ装置である場合には、車外情報検出ユニット７４００は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット７４００は、受信した情報に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット７４００は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット７４００は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

[0178] また、車外情報検出ユニット７４００は、受信した画像データに基づいて、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット７４００は、受信した画像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部７４１０により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット７４００は、異なる撮像部７４１０により撮像された画像データを用いて、視点変換処理を行ってもよい。

[0179] 車内情報検出ユニット７５００は、車内の情報を検出する。車内情報検出ユニット７５００には、例えば、運転者の状態を検出する運転者状態検出部７５１０が接続される。運転者状態検出部７５１０は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット７５００は、運転者状態検出部７５１０から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。車内情報検出ユニット７５００は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

[0180] 統合制御ユニット７６００は、各種プログラムにしたがって車両制御システム７０００内の動作全般を制御する。統合制御ユニット７６００には、入力部７８００が接続されている。入力部７８００は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操作され得る装置によって実現される。統合制御ユニット７６００には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部７８００は、例えば、赤外線又はその他の電波を利用したリモートコントロール装置であってもよいし、車両制御システム７０００の操作に対応した携帯電話又はＰＤＡ（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔ

ａｌ　Ａｓｓｉｓｔａｎｔ）等の外部接続機器であってもよい。入力部７８００は、例えばカメラであってもよく、その場合搭乗者はジェスチャにより情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで得られたデータが入力されてもよい。さらに、入力部７８００は、例えば、上記の入力部７８００を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット７６００に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部７８００を操作することにより、車両制御システム７０００に対して各種のデータを入力したり処理動作を指示したりする。

[0181] 記憶部７６９０は、マイクロコンピュータにより実行される各種プログラムを記憶するＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）、及び各種パラメータ、演算結果又はセンサ値等を記憶するＲＡＭ（Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）を含んでいてもよい。また、記憶部７６９０は、ＨＤＤ（Ｈａｒｄ　Ｄｉｓｃ　Ｄｒｉｖｅ）等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス又は光磁気記憶デバイス等によって実現してもよい。

[0182] 汎用通信Ｉ／Ｆ７６２０は、外部環境７７５０に存在する様々な機器との間の通信を仲介する汎用的な通信Ｉ／Ｆである。汎用通信Ｉ／Ｆ７６２０は、ＧＳＭ（登録商標）（Ｇｌｏｂａｌ　Ｓｙｓｔｅｍ　ｏｆ　Ｍｏｂｉｌｅ　ｃｏｍｍｕｎｉｃａｔｉｏｎｓ）、ＷｉＭＡＸ、ＬＴＥ（Ｌｏｎｇ　Ｔｅｒｍ　Ｅｖｏｌｕｔｉｏｎ）若しくはＬＴＥ－Ａ（ＬＴＥ－Ａｄｖａｎｃｅｄ）などのセルラー通信プロトコル、又は無線ＬＡＮ（Ｗｉ－Ｆｉ（登録商標）ともいう）、Ｂｌｕｅｔｏｏｔｈ（登録商標）などのその他の無線通信プロトコルを実装してよい。汎用通信Ｉ／Ｆ７６２０は、例えば、基地局又はアクセスポイントを介して、外部ネットワーク（例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク）上に存在する機器（例えば、アプリケーションサーバ又は制御サーバ）へ接続してもよい。また、汎用通信Ｉ／Ｆ７６２０は、例えばＰ２Ｐ（Ｐｅｅｒ　Ｔｏ　Ｐｅｅｒ

）技術を用いて、車両の近傍に存在する端末（例えば、運転者、歩行者若しくは店舗の端末、又はＭＴＣ（Ｍａｃｈｉｎｅ　Ｔｙｐｅ　Ｃｏｍｍｕｎｉｃａｔｉｏｎ）端末）と接続してもよい。

[0183] 専用通信Ｉ／Ｆ７６３０は、車両における使用を目的として策定された通信プロトコルをサポートする通信Ｉ／Ｆである。専用通信Ｉ／Ｆ７６３０は、例えば、下位レイヤのＩＥＥＥ８０２．１１ｐと上位レイヤのＩＥＥＥ１６０９との組合せであるＷＡＶＥ（Ｗｉｒｅｌｅｓｓ　Ａｃｃｅｓｓ　ｉｎ　Ｖｅｈｉｃｌｅ　Ｅｎｖｉｒｏｎｍｅｎｔ）、ＤＳＲＣ（Ｄｅｄｉｃａｔｅｄ　Ｓｈｏｒｔ　Ｒａｎｇｅ　Ｃｏｍｍｕｎｉｃａｔｉｏｎｓ）、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信Ｉ／Ｆ７６３０は、典型的には、車車間（Ｖｅｈｉｃｌｅ　ｔｏ　Ｖｅｈｉｃｌｅ）通信、路車間（Ｖｅｈｉｃｌｅ　ｔｏ　Ｉｎｆｒａｓｔｒｕｃｔｕｒｅ）通信、車両と家との間（Ｖｅｈｉｃｌｅ　ｔｏ　Ｈｏｍｅ）の通信及び歩車間（Ｖｅｈｉｃｌｅ　ｔｏ　Ｐｅｄｅｓｔｒｉａｎ）通信のうちの１つ以上を含む概念であるＶ２Ｘ通信を遂行する。

[0184] 測位部７６４０は、例えば、ＧＮＳＳ（Ｇｌｏｂａｌ　Ｎａｖｉｇａｔｉｏｎ　Ｓａｔｅｌｌｉｔｅ　Ｓｙｓｔｅｍ）衛星からのＧＮＳＳ信号（例えば、ＧＰＳ（Ｇｌｏｂａｌ　Ｐｏｓｉｔｉｏｎｉｎｇ　Ｓｙｓｔｅｍ）衛星からのＧＰＳ信号）を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。なお、測位部７６４０は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、ＰＨＳ若しくはスマートフォンといった端末から位置情報を取得してもよい。

[0185] ビーコン受信部７６５０は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。なお、ビーコン受信部７６５０の機能は、上述した専用通信Ｉ／Ｆ７６３０に含まれてもよい。

[0186] 車内機器Ｉ／Ｆ７６６０は、マイクロコンピュータ７６１０と車内に存在

する様々な車内機器７７６０との間の接続を仲介する通信インターフェースである。車内機器Ｉ／Ｆ７６６０は、無線ＬＡＮ、Ｂｌｕｅｔｏｏｔｈ（登録商標）、ＮＦＣ（Ｎｅａｒ　Ｆｉｅｌｄ　Ｃｏｍｍｕｎｉｃａｔｉｏｎ）又はＷＵＳＢ（Ｗｉｒｅｌｅｓｓ　ＵＳＢ）といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器Ｉ／Ｆ７６６０は、図示しない接続端子（及び、必要であればケーブル）を介して、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＨＤＭＩ（登録商標）（Ｈｉｇｈ－Ｄｅｆｉｎｉｔｉｏｎ　Ｍｕｌｔｉｍｅｄｉａ　Ｉｎｔｅｒｆａｃｅ）、又はＭＨＬ（Ｍｏｂｉｌｅ　Ｈｉｇｈ－ｄｅｆｉｎｉｔｉｏｎ　Ｌｉｎｋ）等の有線接続を確立してもよい。車内機器７７６０は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも１つを含んでいてもよい。また、車内機器７７６０は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器Ｉ／Ｆ７６６０は、これらの車内機器７７６０との間で、制御信号又はデータ信号を交換する。

[0187] 車載ネットワークＩ／Ｆ７６８０は、マイクロコンピュータ７６１０と通信ネットワーク７０１０との間の通信を仲介するインターフェースである。車載ネットワークＩ／Ｆ７６８０は、通信ネットワーク７０１０によりサポートされる所定のプロトコルに則して、信号等を送受信する。

[0188] 統合制御ユニット７６００のマイクロコンピュータ７６１０は、汎用通信Ｉ／Ｆ７６２０、専用通信Ｉ／Ｆ７６３０、測位部７６４０、ビーコン受信部７６５０、車内機器Ｉ／Ｆ７６６０及び車載ネットワークＩ／Ｆ７６８０のうちの少なくとも一つを介して取得される情報に基づき、各種プログラムにしたがって、車両制御システム７０００を制御する。例えば、マイクロコンピュータ７６１０は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット７１００に対して制御指令を出力してもよい。例えば、マイクロコンピュータ７６１０は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追

従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Ａｄｖａｎｃｅｄ　Ｄｒｉｖｅｒ　Ａｓｓｉｓｔａｎｃｅ　Ｓｙｓｔｅｍ）の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ７６１０は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。

[0189] マイクロコンピュータ７６１０は、汎用通信Ｉ／Ｆ７６２０、専用通信Ｉ／Ｆ７６３０、測位部７６４０、ビーコン受信部７６５０、車内機器Ｉ／Ｆ７６６０及び車載ネットワークＩ／Ｆ７６８０のうちの少なくとも一つを介して取得される情報に基づき、車両と周辺の構造物や人物等の物体との間の３次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ７６１０は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警告音を発生させたり、警告ランプを点灯させたりするための信号であってよい。

[0190] 音声画像出力部７６７０は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２９の例では、出力装置として、オーディオスピーカ７７１０、表示部７７２０及びインストルメントパネル７７３０が例示されている。表示部７７２０は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。表示部７７２０は、ＡＲ（Ａｕｇｍｅｎｔｅｄ　Ｒｅａｌｉｔｙ）表示機能を有していてもよい。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ７６１０が行った各種処理により得られた結果

又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

[0191] なお、図２９に示した例において、通信ネットワーク７０１０を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットにより構成されてもよい。さらに、車両制御システム７０００が、図示されていない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせてもよい。つまり、通信ネットワーク７０１０を介して情報の送受信がされるようになっていれば、所定の演算処理が、いずれかの制御ユニットで行われるようになってもよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク７０１０を介して相互に検出情報を送受信してもよい。

[0192] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部７９１０、７９１２、７９１４、７９１６、７９１８や、車外情報検出部７９２０、７９２２、７９２４、７９２６、７９２８、７９３０や、運転者状態検出部７５１０等に適用され得る。具体的には、これらの撮像部や検出部に対して、本開示の撮像装置を有する図１の撮像システム１０を適用することができる。そして、本開示に係る技術を適用することにより、センサノイズ等のノイズイベントの影響を緩和し、真イベントの発生を確実に、かつ、迅速に感知することができるため、安全な車両走行を実現することが可能となる。

[0193] なお、本技術は以下のような構成を取ることができる。

[0194] （１）輝度に基づく輝度信号が第１閾値を超えたか否かを示す第１イベン

ト信号を保持する信号保持回路と、

前記輝度信号が前記第１閾値と異なる第２閾値を超えたか否かを示す第２イベント信号と、前記信号保持回路に保持される前記第１イベント信号とに基づき、前記輝度信号が前記第１閾値及び前記第２閾値の少なくとも一方を超えたか否かを示すイベント信号を生成する演算回路と、

を備える、撮像装置。

[0195] （２）前記演算回路は、前記信号保持回路に前記イベント信号を保持し、

前記信号保持回路に保持された前記イベント信号を転送する転送部を、

更に備える、（１）に記載の撮像装置。

[0196] （３）前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、

制御信号の入力に応じて前記第１イベント信号及び前記第２イベント信号を順に前記信号保持回路に出力する第１モードを有する、（１）又は（２）に記載の撮像装置。

[0197] （４）前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、

制御信号の入力に応じて前記第１イベント信号を前記信号保持回路に出力し、前記信号保持回路に保持された前記第１イベント信号と前記第２イベント信号とに基づき前記イベント信号を生成する第２モードを有する、（１）乃至（３）のいずれかに記載の撮像装置。

[0198] （５）前記第１イベント信号及び前記第２イベント信号は、真値及び偽値の少なくともいずれかの情報を含む信号であり、

前記演算回路は、論理和回路を有し、前記第１イベント信号及び前記第２イベント信号の論理和演算を行う、（１）乃至（４）のいずれかに記載の撮像装置。

[0199] （６）前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、

前記演算回路は、前記論理和回路と、マルチプレクサとを有し、

前記マルチプレクサは、制御信号に応じて前記第１イベント信号を前記信号保持回路に出力し、

前記論理和回路は、記信号保持回路に保持された前記第１イベント信号と、前記第２イベント信号との論理和演算を行う、（５）に記載の撮像装置。

[0200] （７）前記マルチプレクサは、前制御信号に応じて前理和演算の結果を前記信号保持回路に出力する、（６）に記載の撮像装置。

[0201] （８）前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、

前記信号保持回路には偽値が初期設定され、

前記論理和回路は、前記偽値と前記第１イベント信号の論理和演算を前記信号保持回路に保持し、次に保持した論理和演算の結果と前記第２イベント信号との論理和演算を行う、（５）に記載の撮像装置。

[0202] （９）前記演算回路は、論理積回路を更に有する、（５）に記載の撮像装置。

[0203] （１０）前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、

前記論理積回路の一端には偽値が設定され、

前記論理和回路は、前記論理積回路の出力信号と前記第１イベント信号の論理和演算を前記信号保持回路に保持し、

次に、前記論理積回路の前記一端には真値が設定され、前記保持した論理和演算の結果と前記真値の論理積の結果と、前記第２イベント信号とが前記論理和回路に入力され、

前記論理和回路は、前記保持した論理和演算の結果と前記真値の論理積の結果と、前記第２イベント信号との論理和演算を行う、（９）に記載の撮像装置。

[0204] （１１）前記演算回路は、前記論理和回路及び前記論理積回路の少なくとも一方の等価回路で構成される（９）に記載の撮像装置。

[0205] （１２）同一の画素内には、

前記輝度に応じた信号を出力する光電変換素子と、

前記信号を対数変換する電流電圧変換部と、

前記電流電圧変換部で対数変換した信号に基づき、前記第１イベント信号及び前記第２イベント信号を生成する差分回路と、が構成される、（１）乃至（１１）のいずれかに記載の撮像装置。

[0206] （１３）前記同一の画素内には、

前記信号保持回路と、前記演算回路が更に構成される、（１２）に記載の撮像装置。

[0207] （１４）輝度に応じた信号を出力する光電変換部と、前記信号を対数変換する電流電圧変換部と、を有する複数の画素と、

前記電流電圧変換部それぞれで対数変換した信号に基づき、前記第１イベント信号及び前記第２イベント信号を順に生成する差分回路と、

前記複数の画素にそれぞれ対応する複数の前記信号保持回路と、

前記複数の前記信号保持回路、及び前記演算回路は、前記順に生成される前記第１イベント信号及び前記第２イベント信号に対して処理を行う、（１）乃至（１１）のいずれかに記載の撮像装置。

[0208] （１５）輝度に基づく輝度信号が第１閾値を超えたか否かを示す第１イベント信号を信号保持回路に保持する信号保持工程と、

前記輝度信号が前記第１閾値と異なる第２閾値を超えたか否かを示す第２イベント信号と、前記信号保持回路に保持される前記第１イベント信号とに基づき、前記輝度信号が前記第１閾値及び前記第２閾値の少なくとも一方を超えたか否かを示すイベント信号を生成する演算処理工程と、

を備える、撮像方法。

[0209] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0210] ３０：画素アレイ部、３１：受光部（光電変換素子）、１００：撮像装置、３３１：電流電圧変換部（対数変換回路）、３３４：量子化器（差分回路）、３３５：演算回路、３３５ａ：演算回路、３３５ｂ：マルチプレクサ、３３５ｃ：論理積回路、３３６：信号保持回路、３３７：転送部、３３８：制御回路。

請求の範囲

[請求項1] 輝度に基づく輝度信号が第１閾値を超えたか否かを示す第１イベント信号を保持する信号保持回路と、

前記輝度信号が前記第１閾値と異なる第２閾値を超えたか否かを示す第２イベント信号と、前記信号保持回路に保持される前記第１イベント信号とに基づき、前記輝度信号が前記第１閾値及び前記第２閾値の少なくとも一方を超えたか否かを示すイベント信号を生成する演算回路と、

を備える、撮像装置。

[請求項2] 前記演算回路は、前記信号保持回路に前記イベント信号を保持し、

前記信号保持回路に保持された前記イベント信号を転送する転送部を、

更に備える、請求項１に記載の撮像装置。

[請求項3] 前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、　制御信号の入力に応じて前記第１イベント信号及び前記第２イベント信号を順に前記信号保持回路に出力する第１モードを有する、請求項１に記載の撮像装置。

[請求項4] 前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、　制御信号の入力に応じて前記第１イベント信号を前記信号保持回路に出力し、前記信号保持回路に保持された前記第１イベント信号と前記第２イベント信号とに基づき前記イベント信号を生成する第２モードを有する、請求項３に記載の撮像装置。

[請求項5] 前記第１イベント信号及び前記第２イベント信号は、真値及び偽値の少なくともいずれかの情報を含む信号であり、

前記演算回路は、論理和回路を有し、前記第１イベント信号及び前記第２イベント信号の論理和演算を行う、請求項４に記載の撮像装置。

[請求項6] 前記演算回路には、前記第１イベント信号及び前記第２イベント信

号が順に入力され、　前記演算回路は、前記論理和回路と、マルチプレクサとを有し、

前記マルチプレクサは、制御信号に応じて前記第１イベント信号を前記信号保持回路に出力し、

前記論理和回路は、記信号保持回路に保持された前記第１イベント信号と、前記第２イベント信号との論理和演算を行う、請求項５に記載の撮像装置。

[請求項7]　前記マルチプレクサは、前制御信号に応じて前理和演算の結果を前記信号保持回路に出力する、請求項６に記載の撮像装置。

[請求項8]　前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、　前記信号保持回路には偽値が初期設定され、

前記論理和回路は、前記偽値と前記第１イベント信号の論理和演算を前記信号保持回路に保持し、次に保持した論理和演算の結果と前記第２イベント信号との論理和演算を行う、請求項５に記載の撮像装置。

[請求項9]　前記演算回路は、論理積回路を更に有する、請求項５に記載の撮像装置。

[請求項10]　前記演算回路には、前記第１イベント信号及び前記第２イベント信号が順に入力され、　前記論理積回路の一端には偽値が設定され、

前記論理和回路は、前記論理積回路の出力信号と前記第１イベント信号の論理和演算を前記信号保持回路に保持し、

次に、前記論理積回路の前記一端には真値が設定され、前記保持した論理和演算の結果と前記真値の論理積の結果と、前記第２イベント信号とが前記論理和回路に入力され、

前記論理和回路は、前記保持した論理和演算の結果と前記真値の論理積の結果と、前記第２イベント信号との論理和演算を行う、請求項９に記載の撮像装置。

[請求項11]　前記演算回路は、前記論理和回路及び前記論理積回路の少なくとも

一方の等価回路で構成される請求項９に記載の撮像装置。

[請求項12] 同一の画素内には、

前記輝度に応じた信号を出力する光電変換素子と、

前記信号を対数変換する電流電圧変換部と、

前記電流電圧変換部で対数変換した信号に基づき、前記第１イベント信号及び前記第２イベント信号を生成する差分回路と、が構成される、請求項１に記載の撮像装置。

[請求項13] 前記同一の画素内には、

前記信号保持回路と、前記演算回路が更に構成される、請求項１２に記載の撮像装置。

[請求項14] 輝度に応じた信号を出力する光電変換部と、前記信号を対数変換する電流電圧変換部と、を有する複数の画素と、

前記電流電圧変換部それぞれで対数変換した信号に基づき、前記第１イベント信号及び前記第２イベント信号を順に生成する差分回路と、

前記複数の画素にそれぞれ対応する複数の前記信号保持回路と、

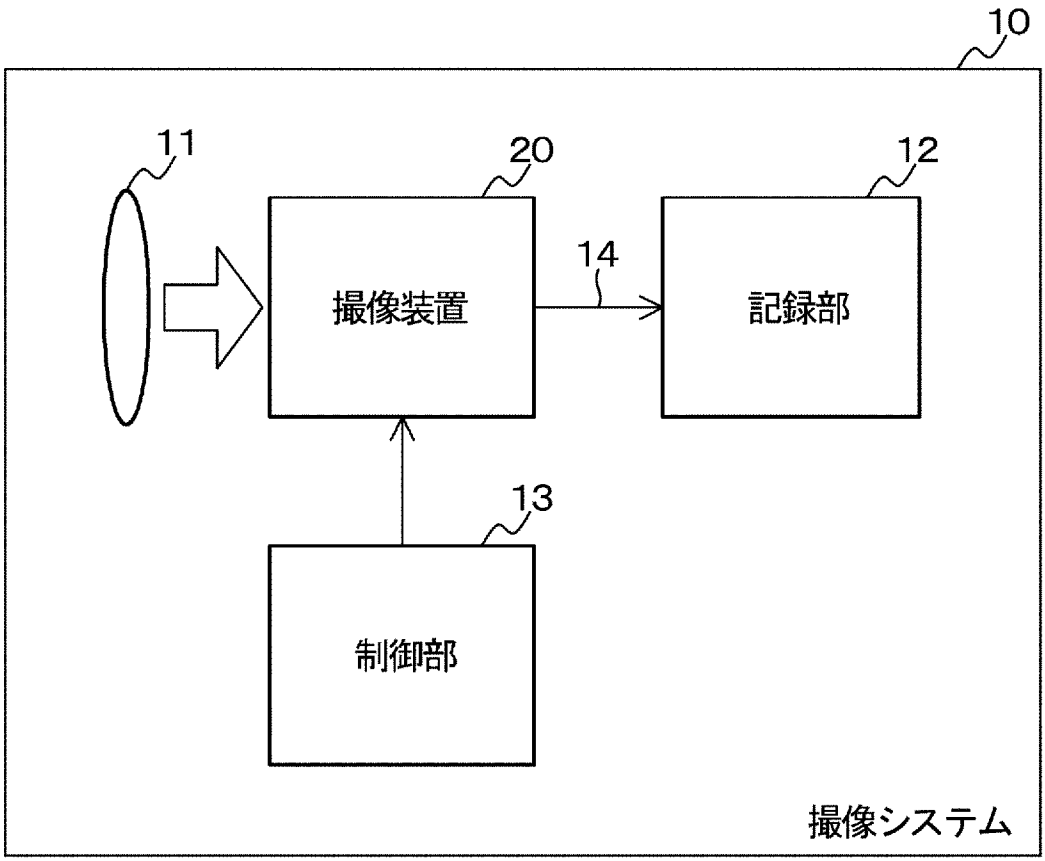
前記複数の前記信号保持回路、及び前記演算回路は、前記順に生成される前記第１イベント信号及び前記第２イベント信号に対して処理を行う、請求項１に記載の撮像装置。

[請求項15] 輝度に基づく輝度信号が第１閾値を超えたか否かを示す第１イベント信号を信号保持回路に保持する信号保持工程と、

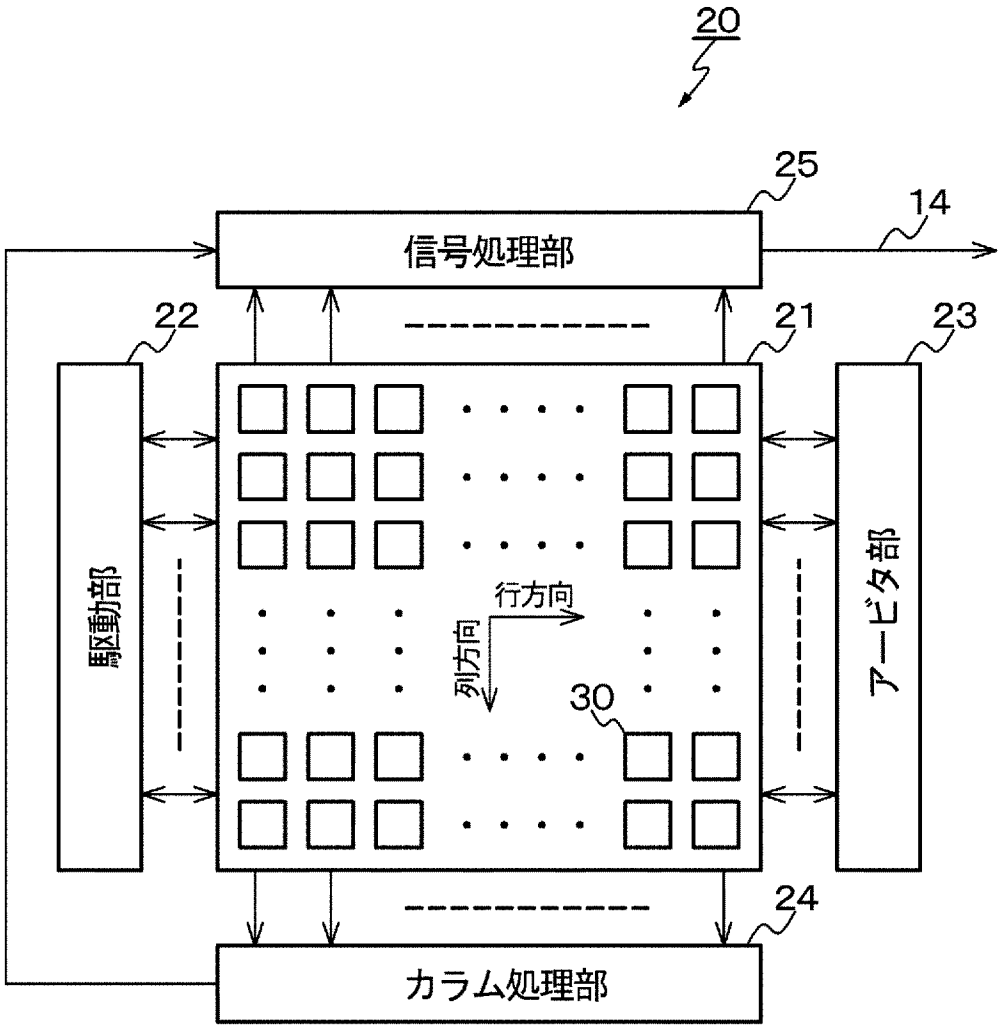
前記輝度信号が前記第１閾値と異なる第２閾値を超えたか否かを示す第２イベント信号と、前記信号保持回路に保持される前記第１イベント信号とに基づき、前記輝度信号が前記第１閾値及び前記第２閾値の少なくとも一方を超えたか否かを示すイベント信号を生成する演算処理工程と、

を備える、撮像方法。

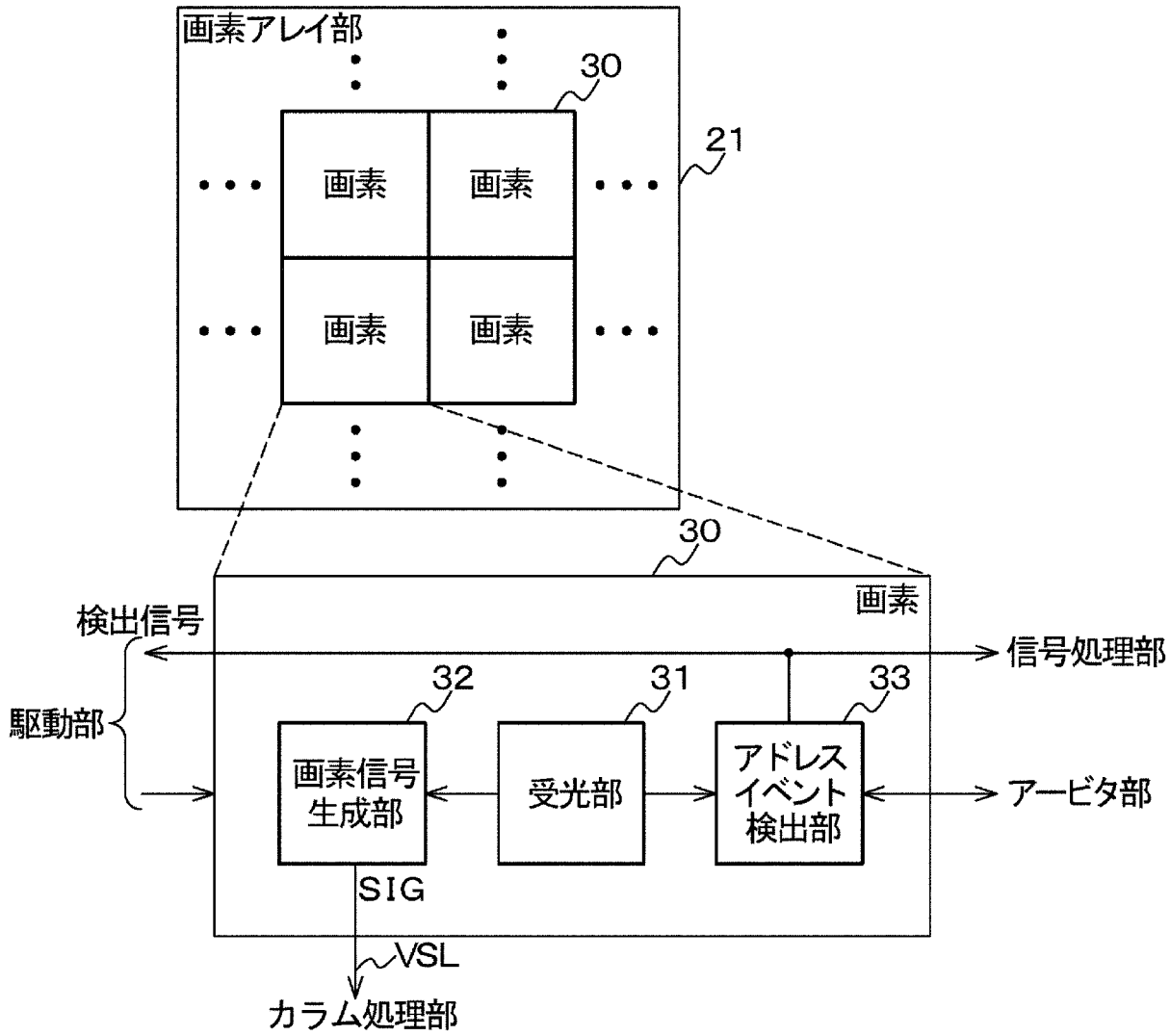
[図1]



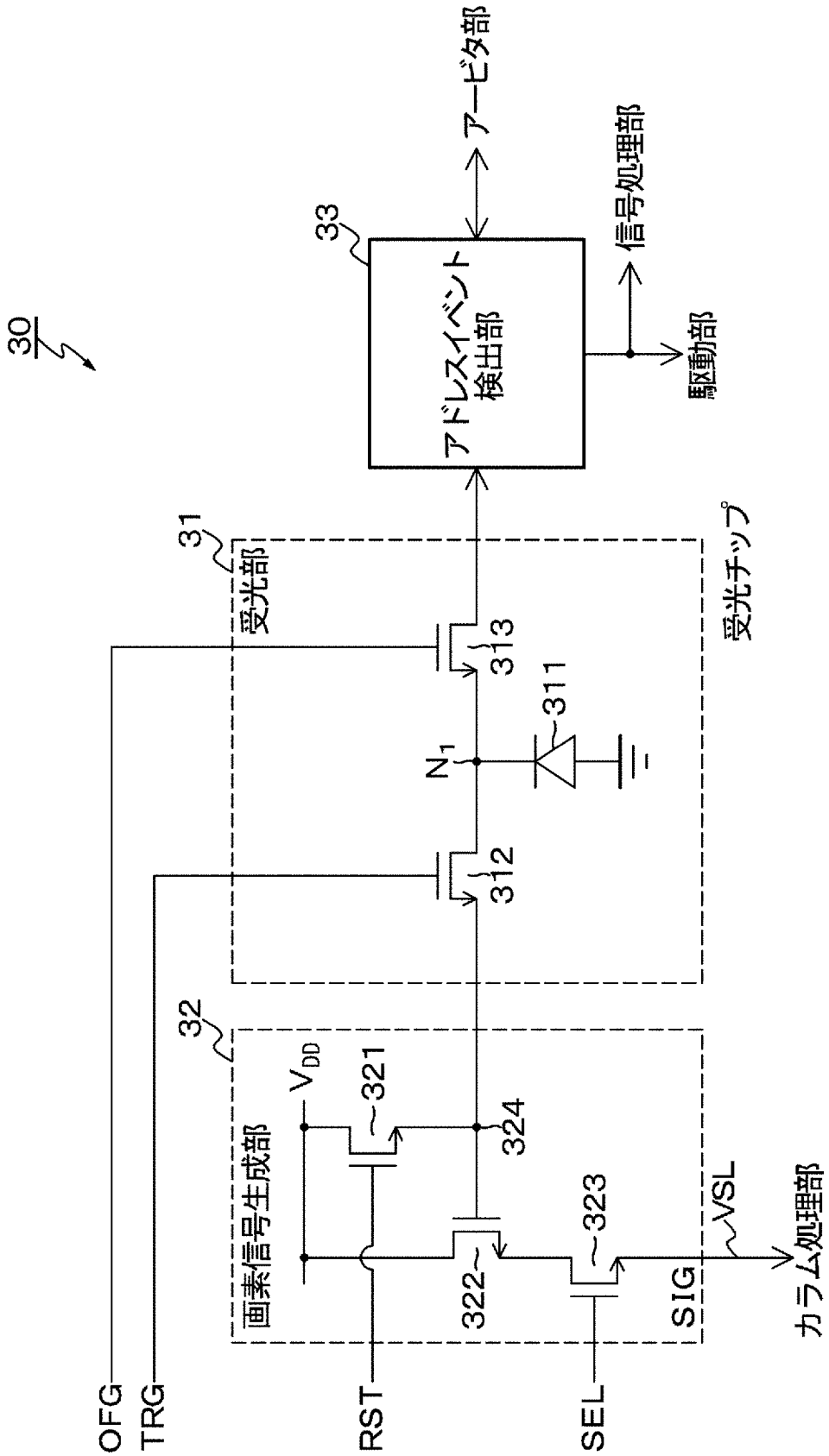
[図2]



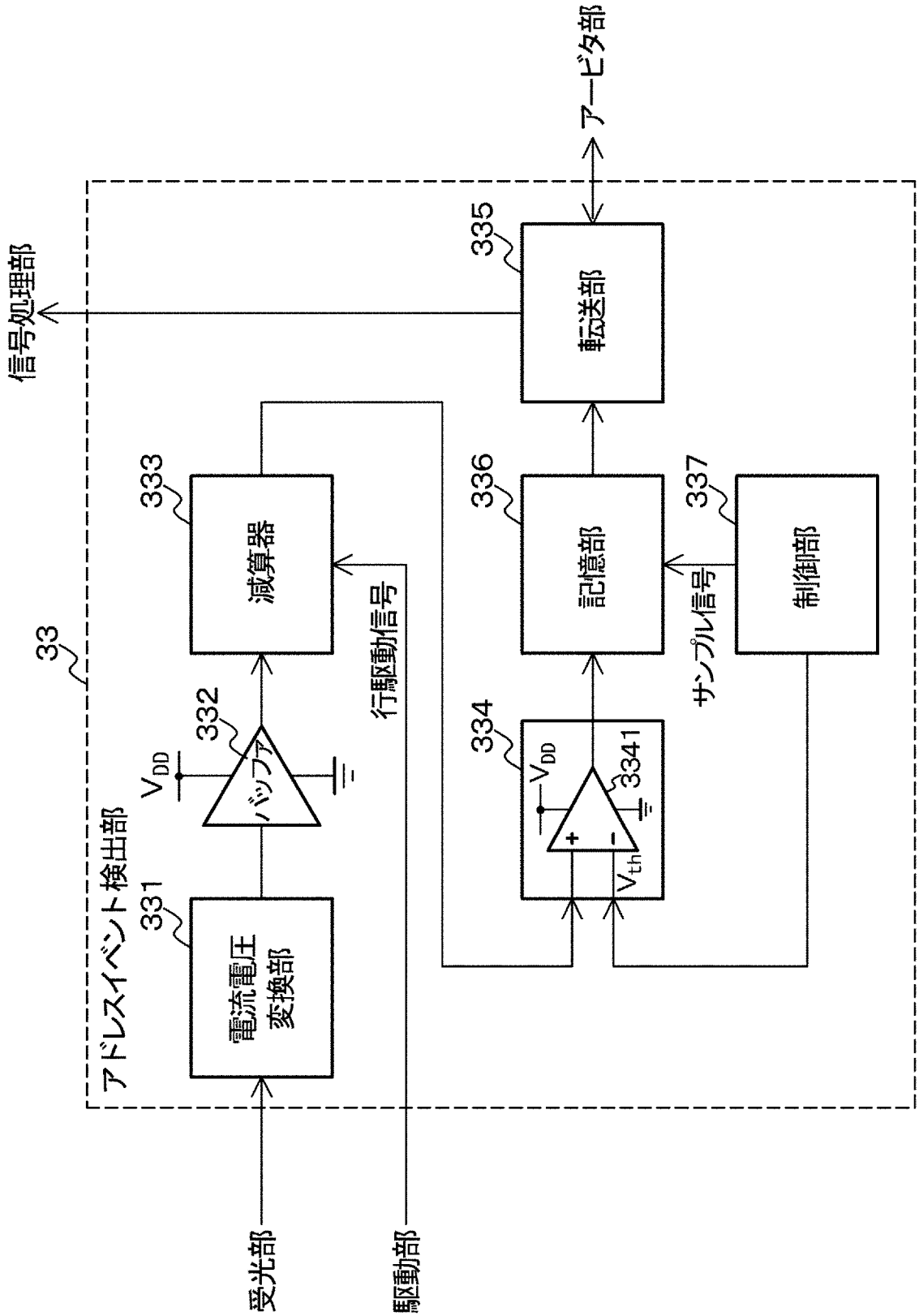
[図3]


画素アレイ部
30
21
画素
画素
画素
画素
30
画素
検出信号
信号処理部
32
31
33
駆動部
画素信号
生成部
受光部
アドレス
イベント
検出部
アービタ部
SIG
VSL
カラム処理部

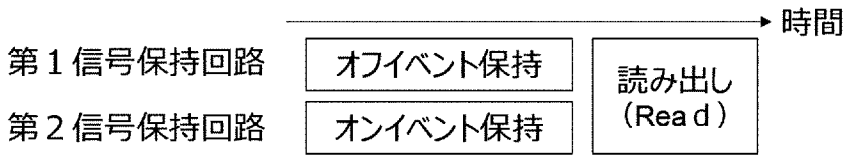
[図4]


30
33
アドレスイベント
検出部
アービタ部
信号処理部
駆動部
31
受光部
受光チップ
313
311
N1
312
32
画素信号生成部
VDD
321
324
322
323
VSL
SIG
カラム処理部
OFG
TRG
RST
SEL

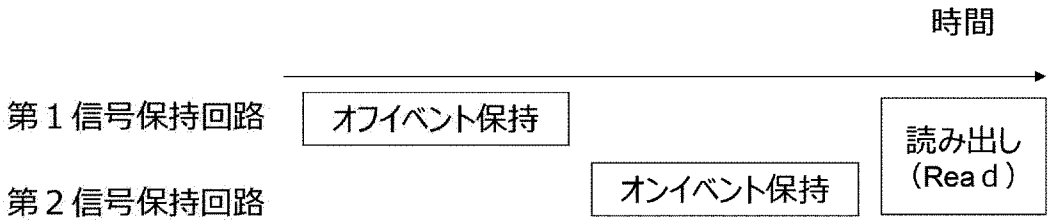
[図5]


アービタ部
信号処理部
335
転送部
333
減算器
336
記憶部
337
制御部
33
332
バッファ
334
3341
行駆動信号
サンプル信号
V_{DD}
V_{th}
アドレスイベント検出部
331
電流電圧
変換部
受光部
駆動部

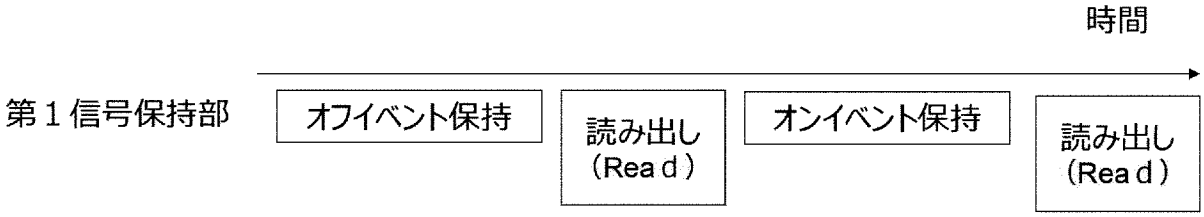
[図6A]



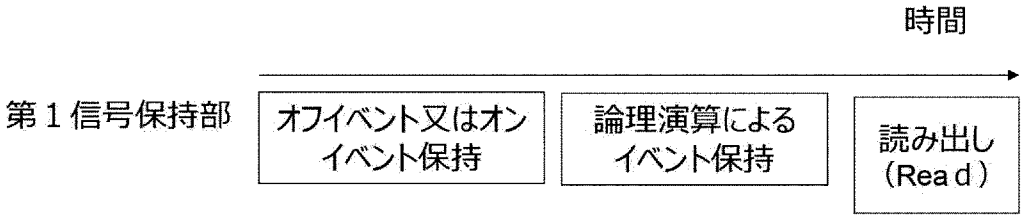
[図6B]



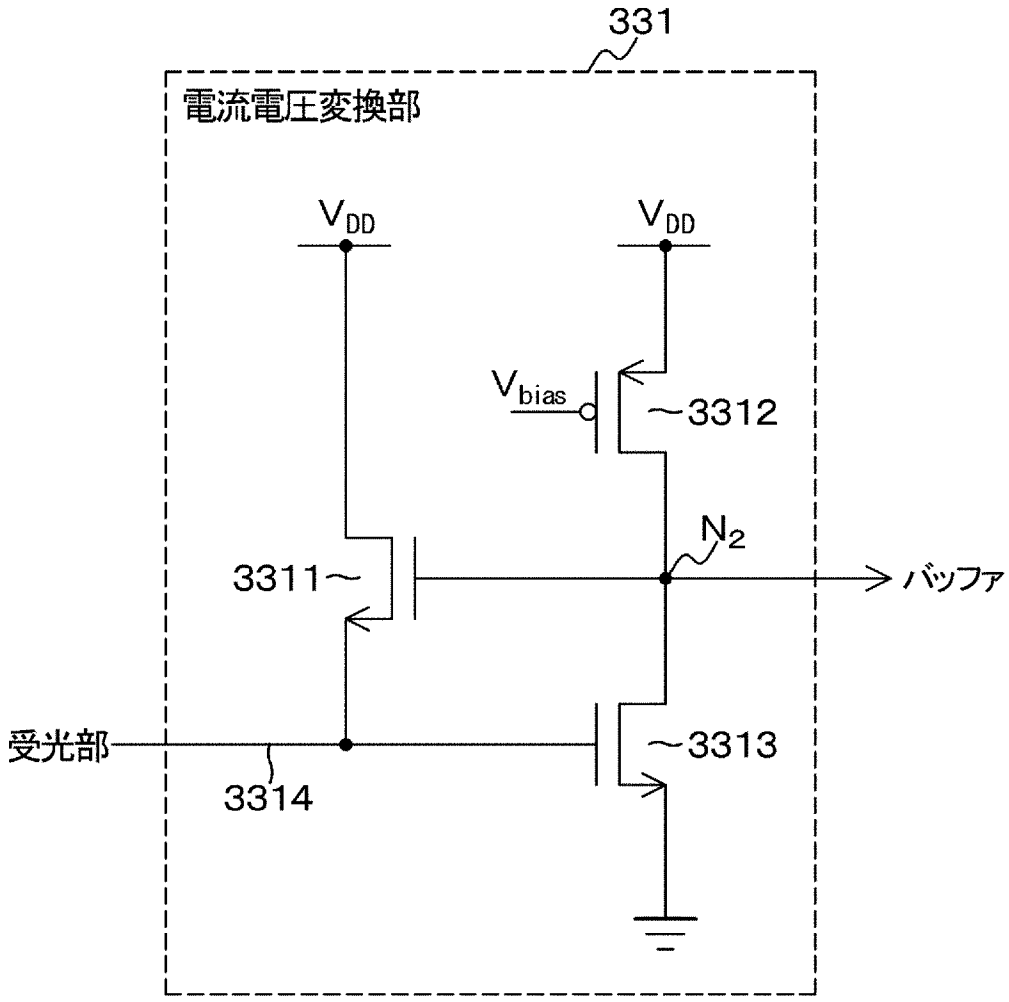
[図6C]



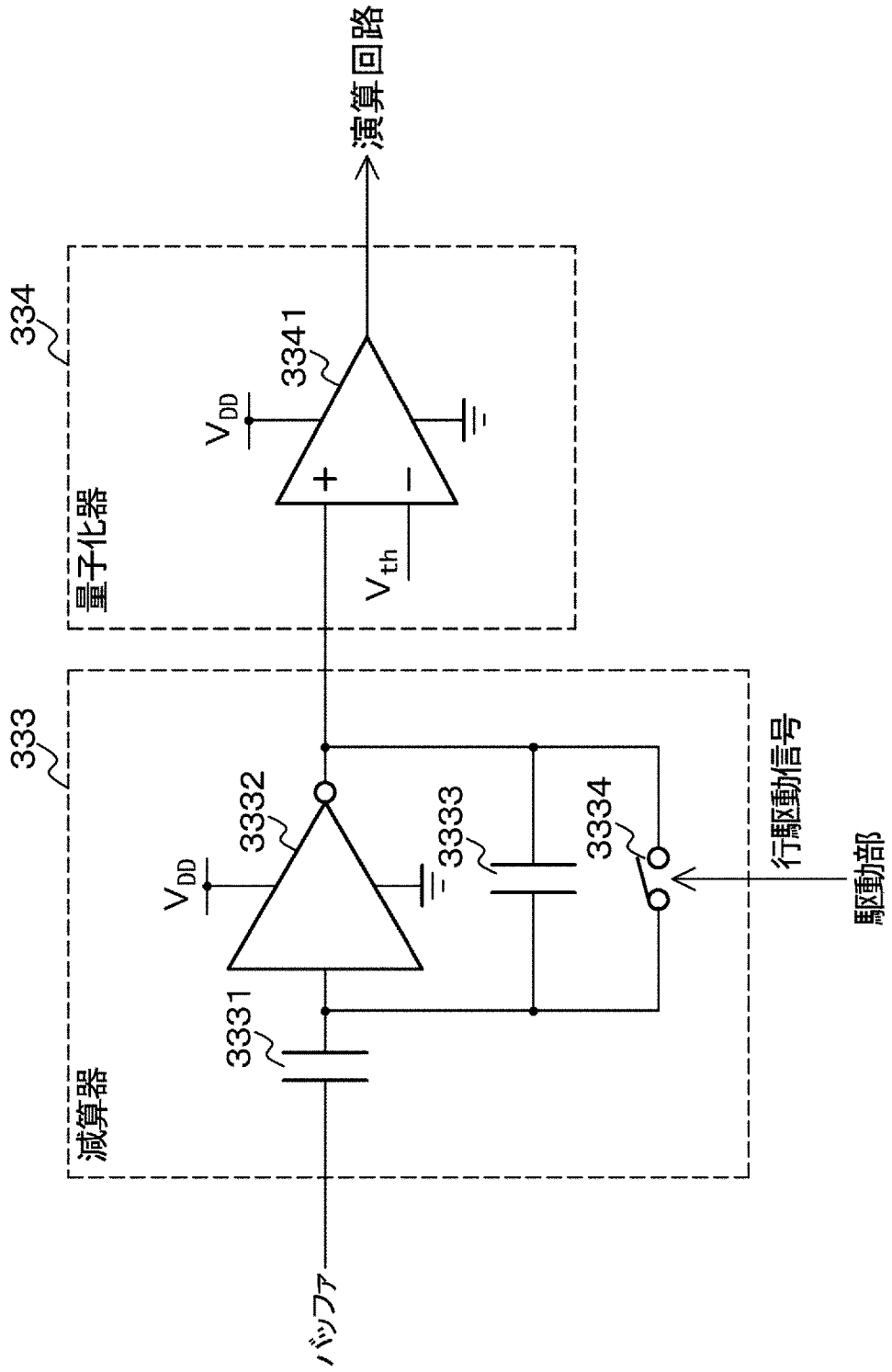
[図6D]



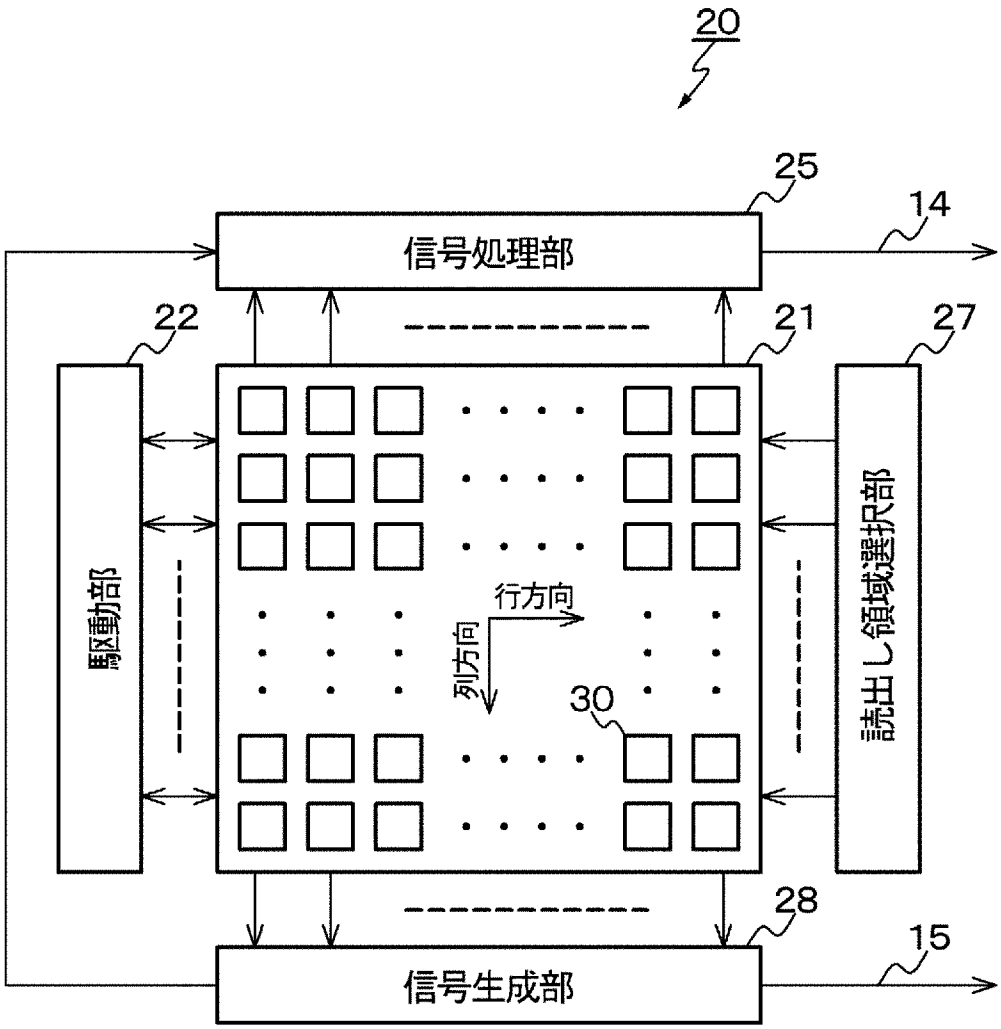
[図7]



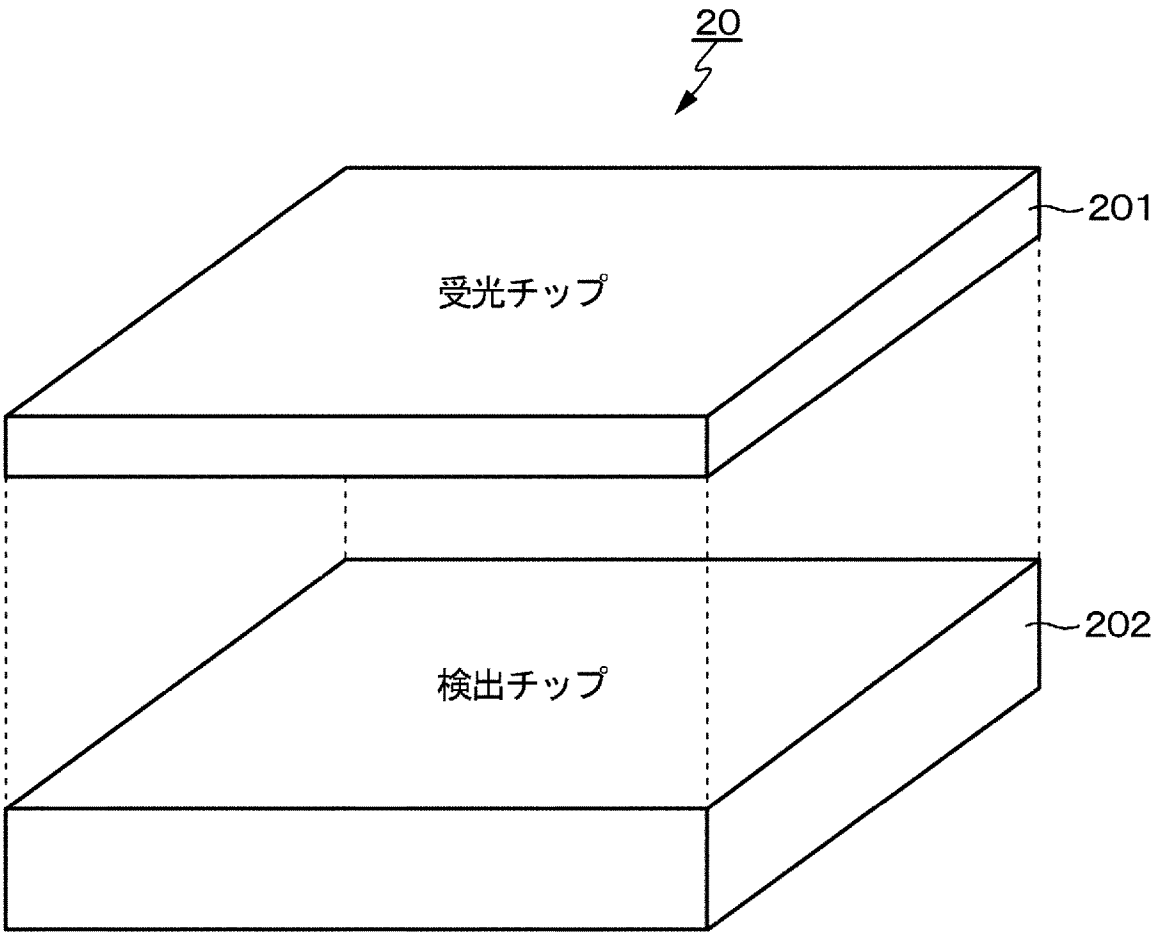
[図8]


演算回路
334
量子化器
3341
V_{DD}
V_{th}
333
減算器
3332
3333
3334
3331
V_{DD}
行駆動信号
駆動部
バッファ

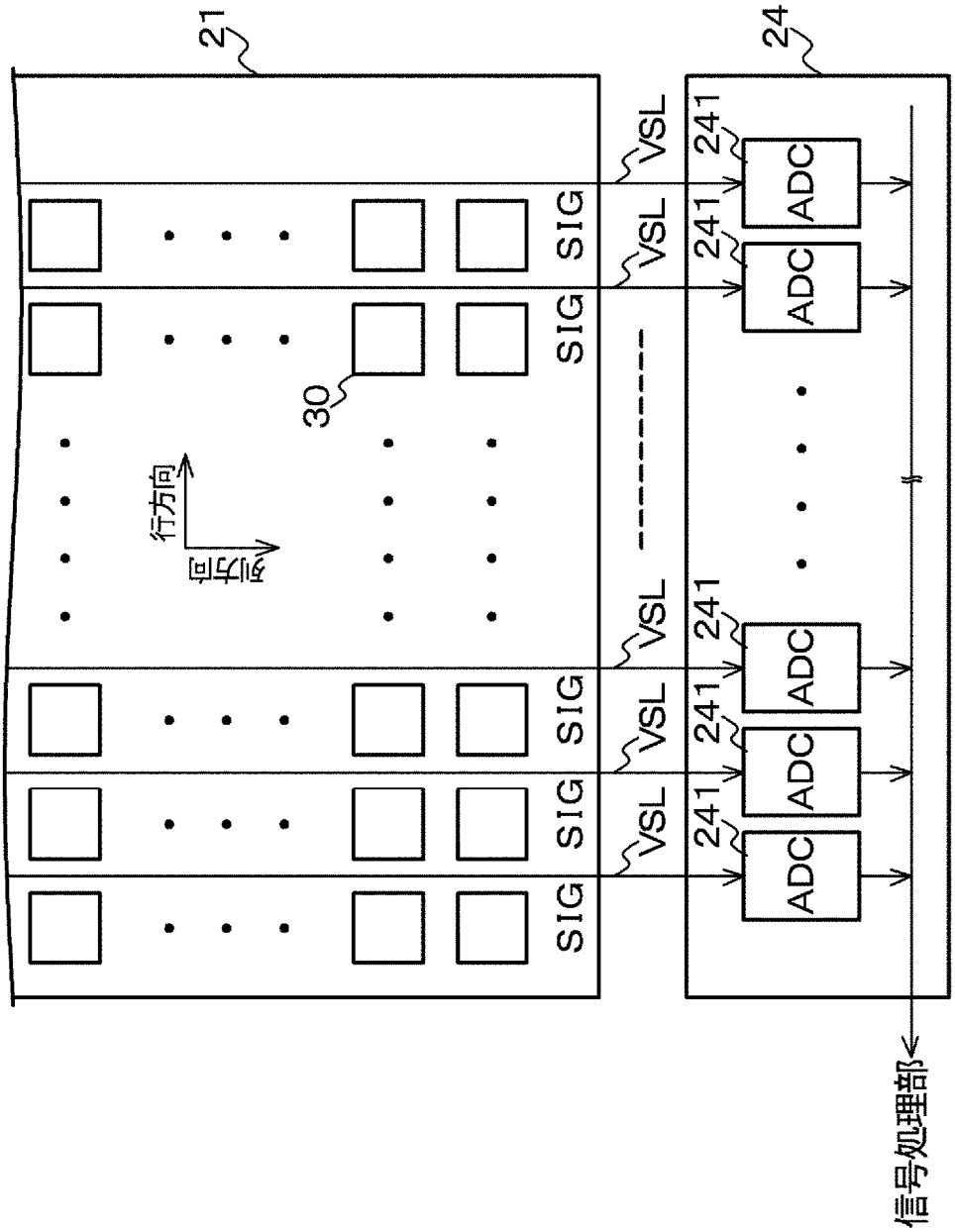
[図9]



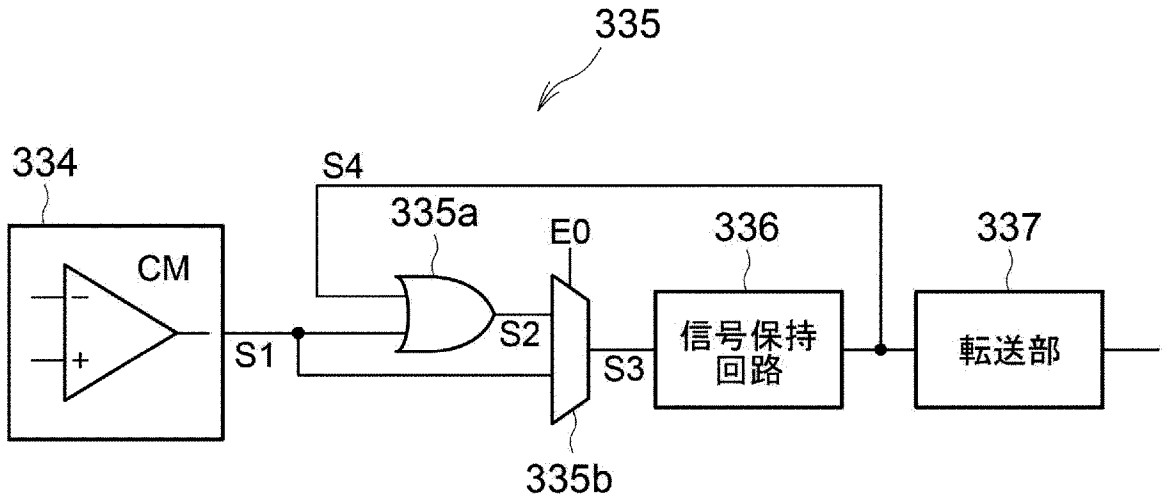
[図10]



[図11]



[図12]



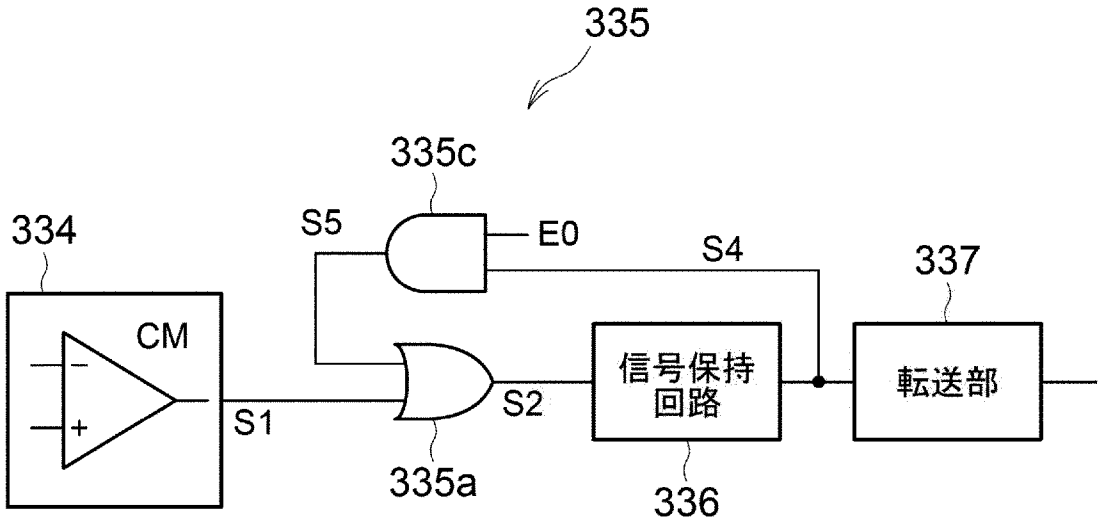
[図13]

E0	0	0	1	1
S1	1	0	-	-
S2	-	-	1	0
S3	1	0	1	0

[図14]

オンイベント	t1	E0	0		0		0		0	
		S1	1		0		1		0	
		S2	1		-		1		-	
		S3	1		0		1		0	
		S4	1		0		1		0	
オフイベント	t2	E0		1		1		1		1
		S1		1		1		0		0
		S2		1		1		1		0
		S3		1		1		1		0
		S4		1		1		1		0

[図15]



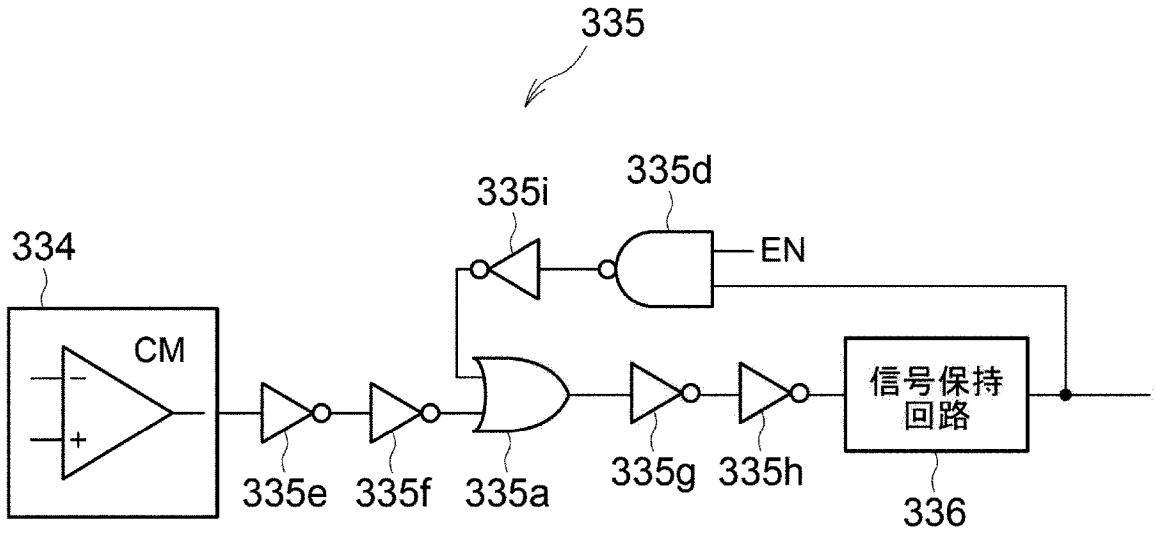
[図16]

E0	0	0	0	0	1	1	1	1
S4	0	0	1	1	0	0	1	1
S5	0	0	0	0	0	0	1	1
S1	1	0	1	0	1	0	1	0
S2	1	0	1	0	1	0	1	1

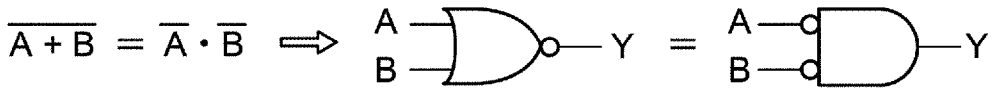
[図17]

オンイベント	t1	E0	0		0		0		0	
		S1	1		0		1		0	
		S2	1		0		1		0	
		S4	1		0		1		0	
		S5	0		0		0		0	
オフイベント	t2	E0		1		1		1		1
		S1		1		1		0		0
		S2		1		1		1		0
		S4		1		0		1		0
		S5		1		0		1		0

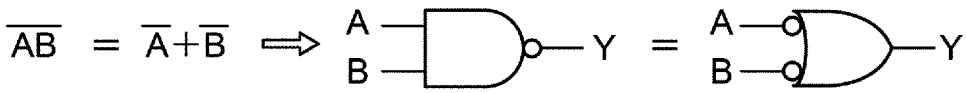
[図18]



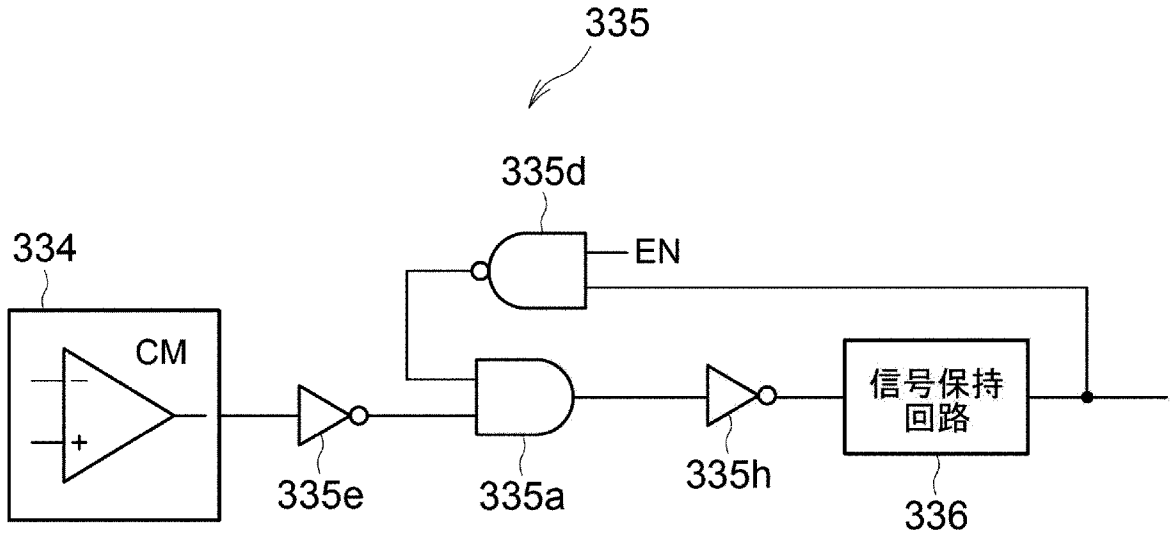
[図19A]



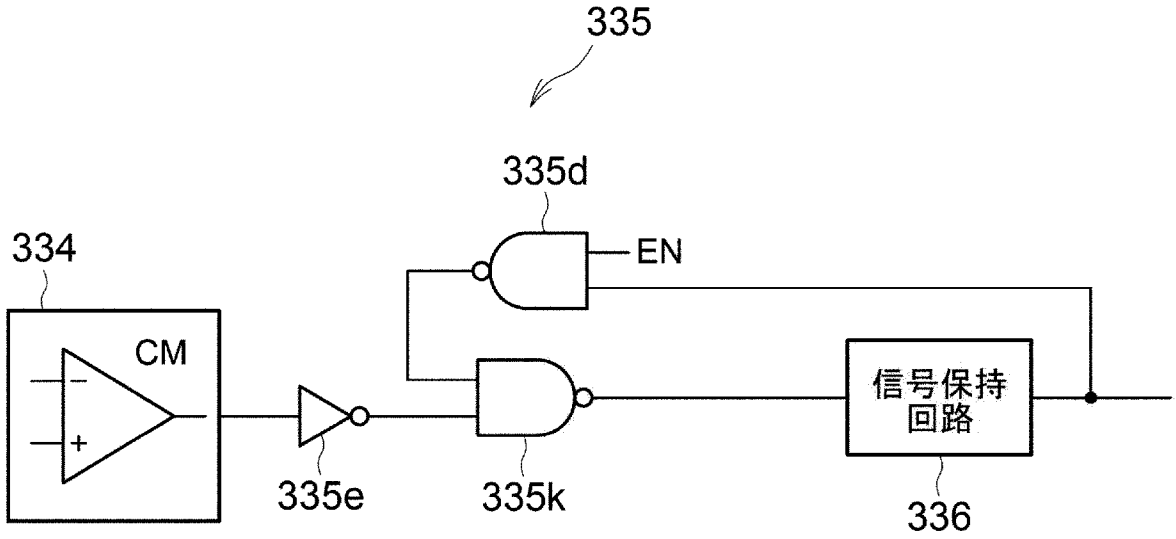
[図19B]


AB = A+B
A
B
Y
=
A
B
Y

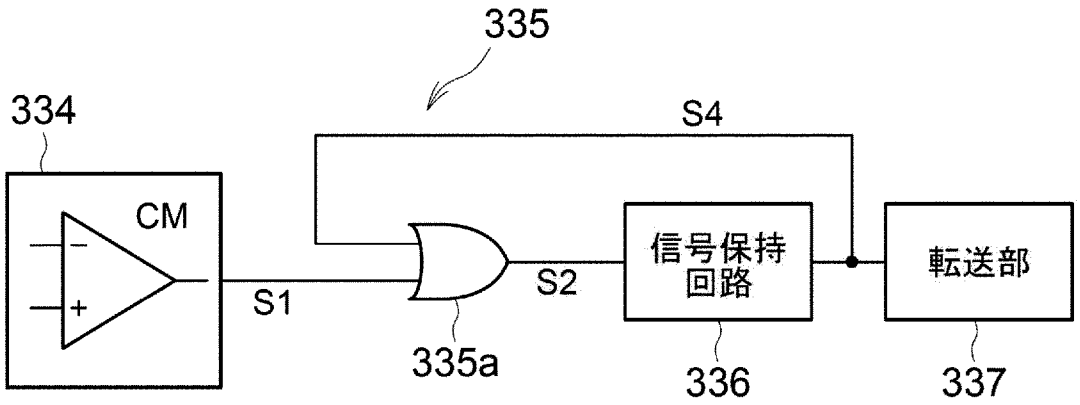
[図20]


335
335d
EN
334
CM
信号保持
回路
335e
335a
335h
336

[図21]


335
335d
EN
334
CM
信号保持
回路
335e
335k
336

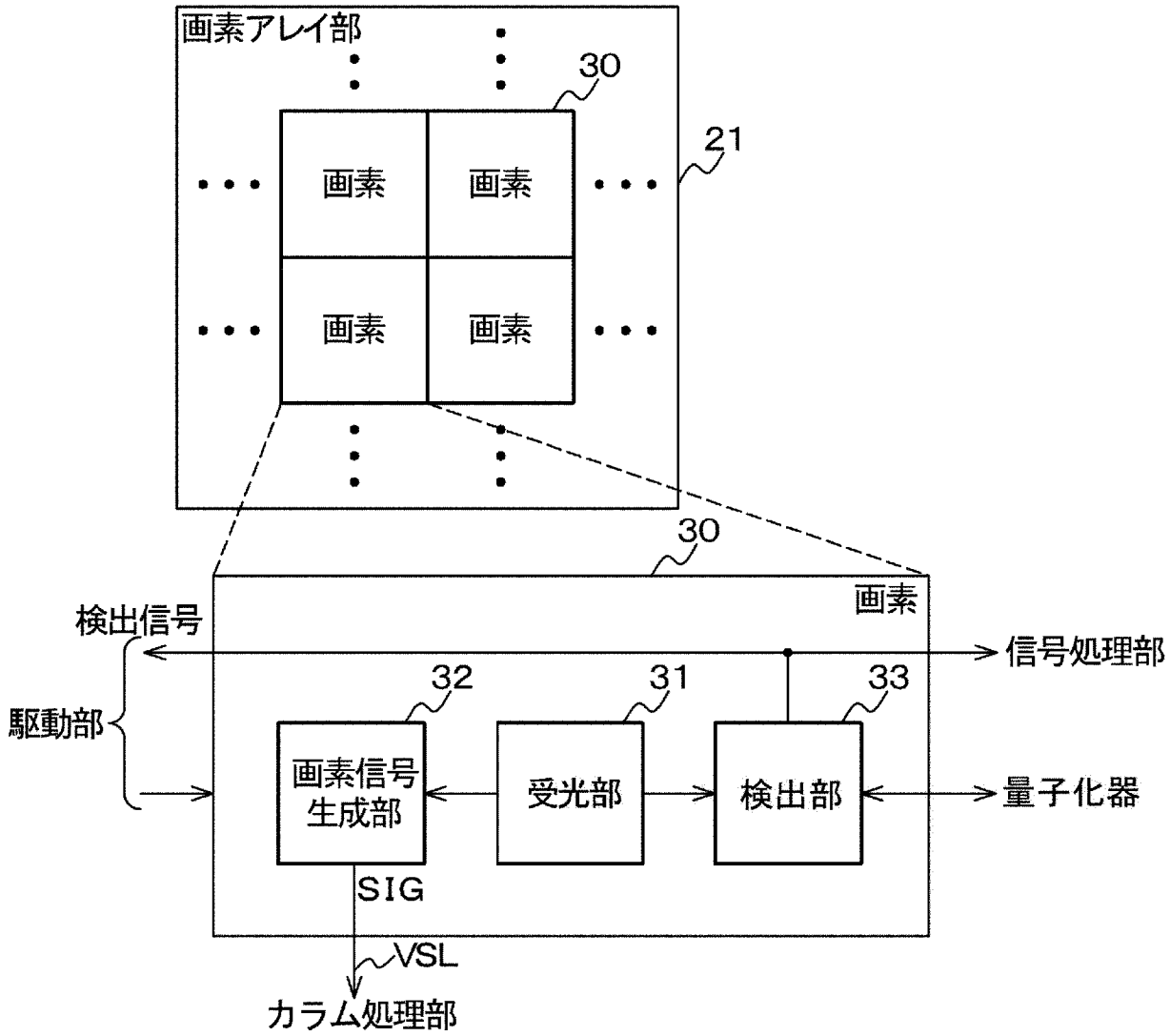
[図22]



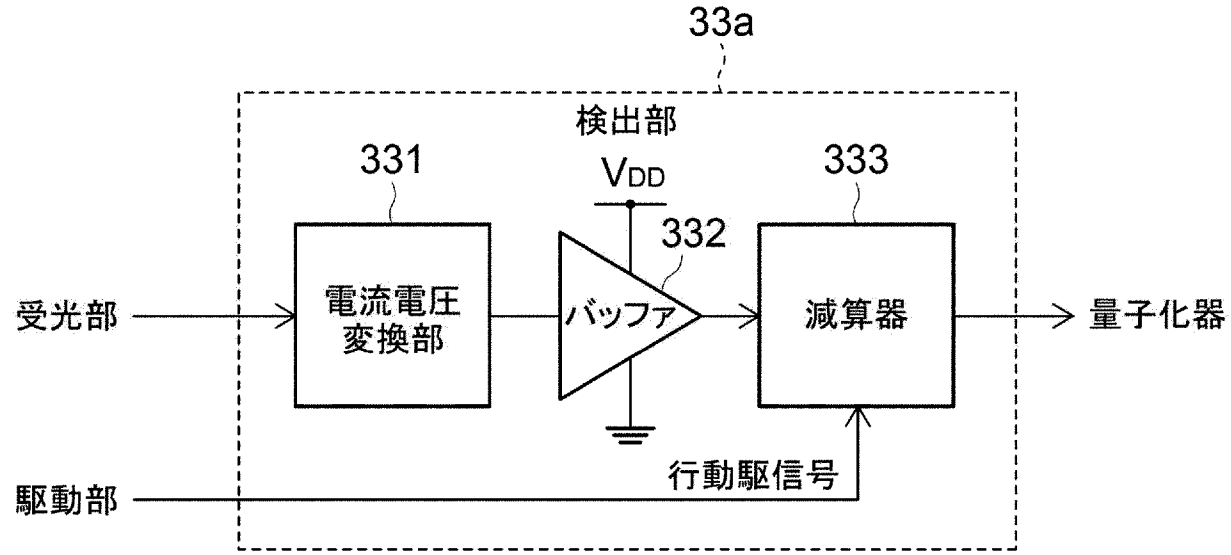
[図23]

オンイベント	t1									
		S1	1		0		1		0	
		S2	1		0		1		0	
		S4	1		0		1		0	
オフイベント	t2									
		S1		1		1		0		0
		S2		1		1		1		0
		S4		1		1		1		0

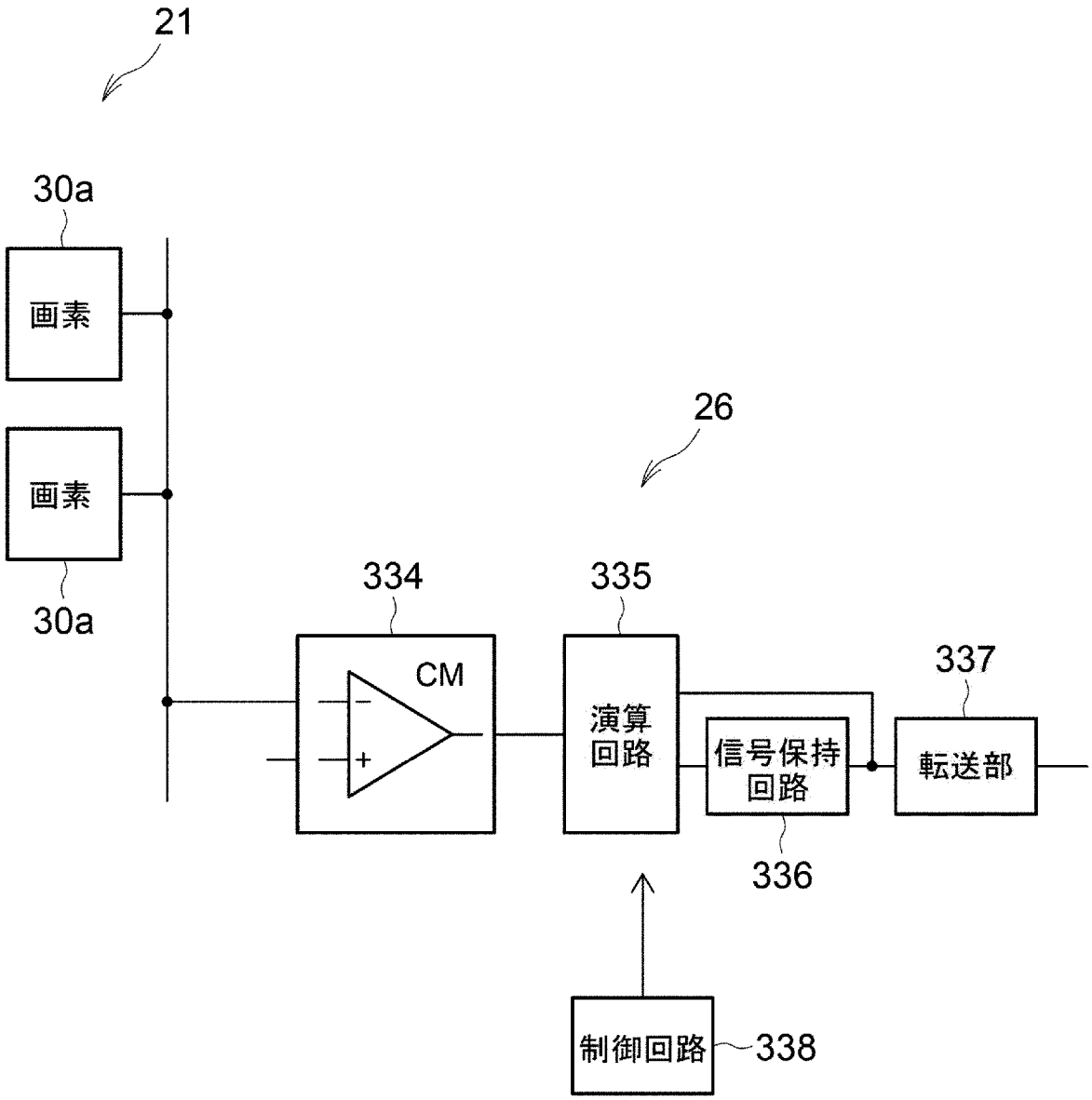
[図24]


画素アレイ部
30
21
画素
画素
画素
画素
30
画素
検出信号
信号処理部
32
31
33
駆動部
画素信号
生成部
受光部
検出部
量子化器
SIG
VSL
カラム処理部

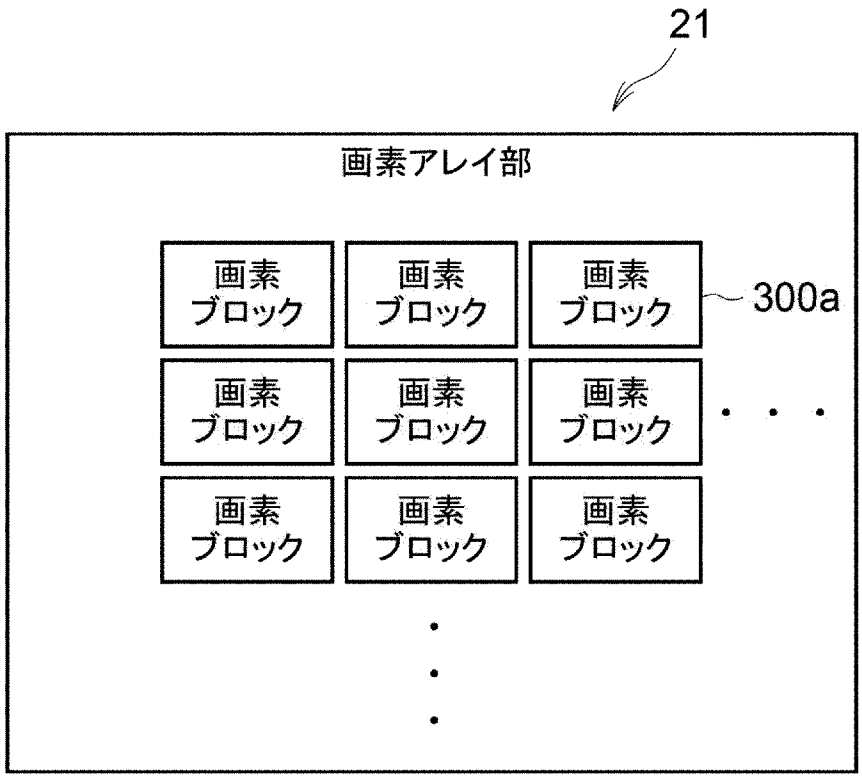
[図25]


33a
検出部
331
VDD
333
332
受光部
電流電圧
変換部
バッファ
減算器
量子化器
行動駆信号
駆動部

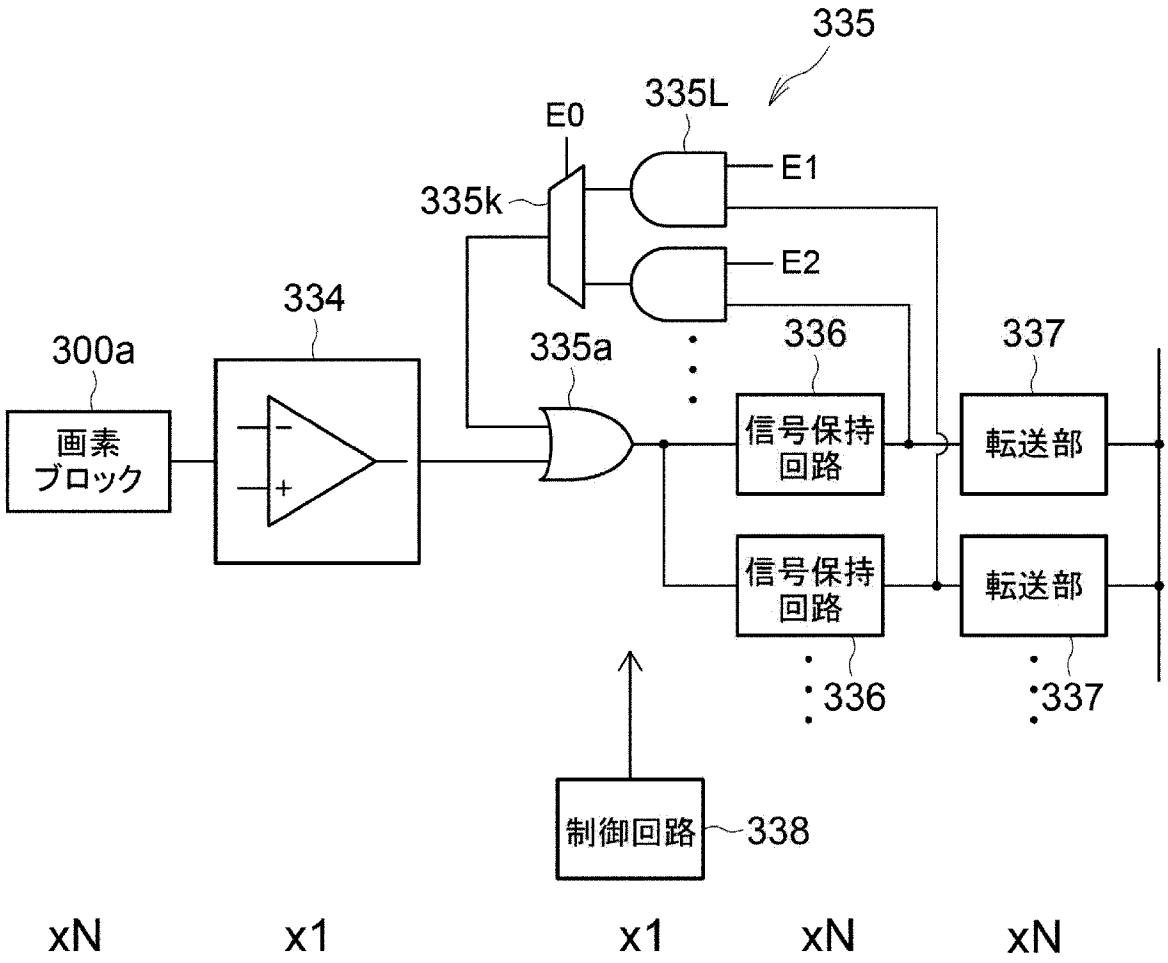
[図26]



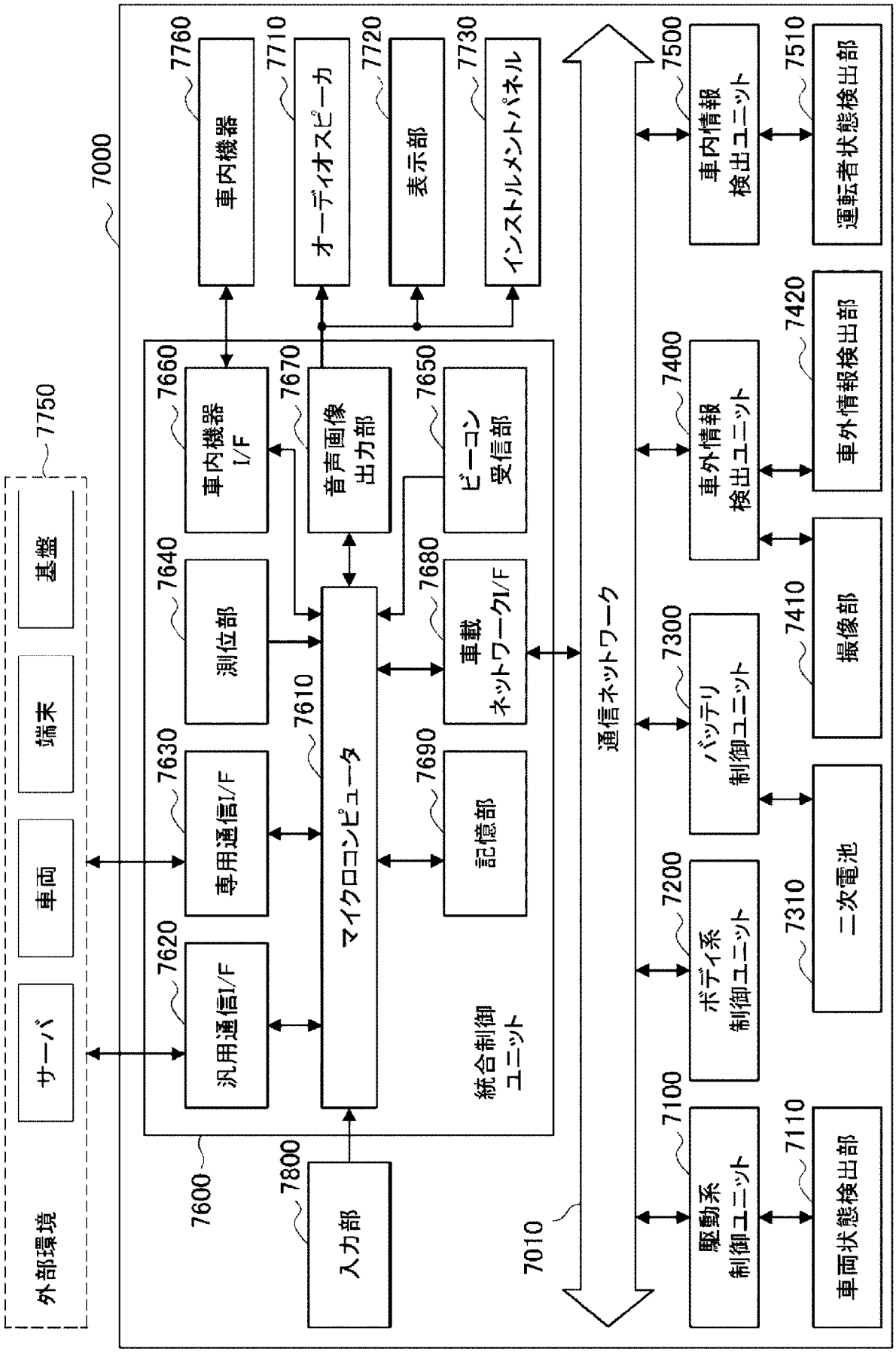
[図27]


21
画素アレイ部
画素ブロック
画素ブロック
画素ブロック
300a
画素ブロック
画素ブロック
画素ブロック
画素ブロック
画素ブロック
画素ブロック

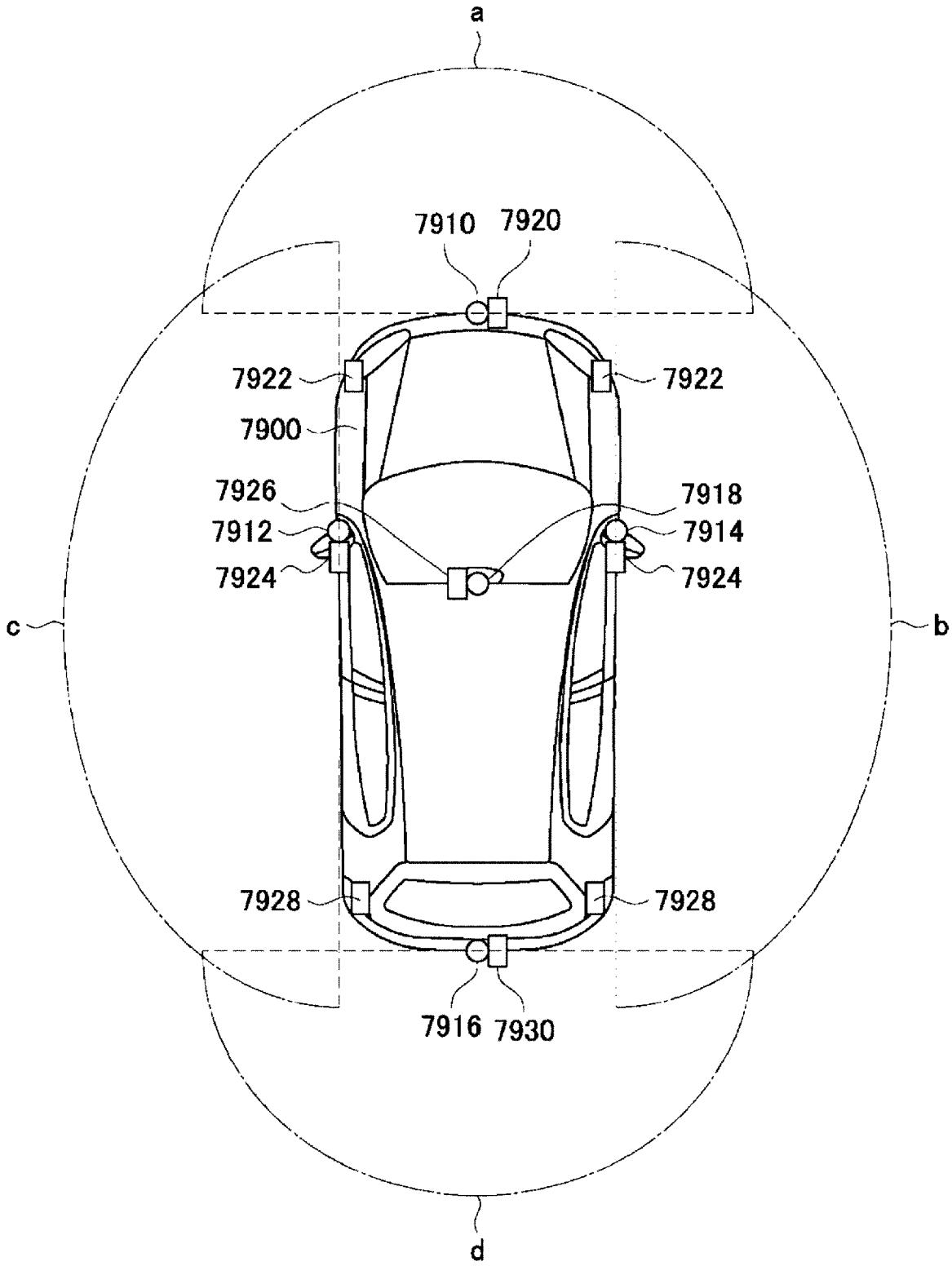
[図28]


335
335L
E0
E1
335k
E2
334
300a
335a
336
337
画素
ブロック
信号保持
回路
転送部
信号保持
回路
転送部
336
337
制御回路
338
xN
x1
x1
xN
xN

[図29]


外部環境
サーバ
車両
端末
基盤
7750
7000
車内機器
7760
オーディオスピーカ
7710
表示部
7720
インストルメントパネル
7730
車内機器I/F
7660
音声画像出力部
7670
ビーコン受信部
7650
測位部
7640
車載ネットワークI/F
7680
専用通信I/F
7630
マイクロコンピュータ
7610
記憶部
7690
汎用通信I/F
7620
統合制御ユニット
7600
入力部
7800
通信ネットワーク
7010
車内情報検出ユニット
7500
運転者状態検出部
7510
車外情報検出ユニット
7400
車外情報検出部
7420
バッテリ制御ユニット
7300
撮像部
7410
ボディ系制御ユニット
7200
二次電池
7310
駆動系制御ユニット
7100
車両状態検出部
7110

[図30]


a
7910
7920
7922
7922
7900
7926
7918
7912
7914
7924
7924
c
b
7928
7928
7916
7930
d

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/032977

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/3745(2011.01)i; ***H04N 5/378***(2011.01)i
FI: H04N5/378; H04N5/3745

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745; H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/067410 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 02 April 2020 (2020-04-02) paragraphs [0051], [0057]-[0063], [0174]-[0175], [0180]-[0185], [0324]-[0325], fig. 1, 3-6, 15-16, 31	1-3, 12, 14-15
A		4-11, 13
A	WO 2020/090460 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07 May 2020 (2020-05-07) paragraphs [0332]-[0341], fig. 31	1-15
A	WO 2020/129657 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 25 June 2020 (2020-06-25) paragraphs [0262]-[0271], fig. 26	1-15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 October 2021	**02 November 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/032977

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2020/067410 A1	02 April 2020	(Family: none)	
WO 2020/090460 A1	07 May 2020	(Family: none)	
WO 2020/129657 A1	25 June 2020	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/032977

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 5/3745(2011.01)i; H04N 5/378(2011.01)i
FI: H04N5/378; H04N5/3745

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N5/3745; H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2020/067410 A1 (ソニーセミコンダクタソリューションズ株式会社) 02.04.2020 (2020-04-02) 段落[0051],[0057]-[0063],[0174]-[0175],[0180]-[0185],[0324]-[0325],図1,3-6,15-16,31	1-3,12,14-15
A		4-11,13
A	WO 2020/090460 A1 (ソニーセミコンダクタソリューションズ株式会社) 07.05.2020 (2020-05-07) 段落[0332]-[0341],図31	1-15
A	WO 2020/129657 A1 (ソニーセミコンダクタソリューションズ株式会社) 25.06.2020 (2020-06-25) 段落[0262]-[0271], 図26	1-15

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
11.10.2021	02.11.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
西谷　憲人 5V 9187
電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/032977

引用文献	公表日	パテントファミリー文献	公表日
WO 2020/067410 A1	02.04.2020	（ファミリーなし）	
WO 2020/090460 A1	07.05.2020	（ファミリーなし）	
WO 2020/129657 A1	25.06.2020	（ファミリーなし）	