

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5137342号
(P5137342)

(45) 発行日 平成25年2月6日 (2013.2.6)

(24) 登録日 平成24年11月22日 (2012.11.22)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)

HO 1 L 21/336 (2006.01)

HO 1 L 21/3205 (2006.01)

HO 1 L 21/768 (2006.01)

HO 1 L 23/532 (2006.01)

HO 1 L 29/78 6 1 7 L

HO 1 L 29/78 6 1 7 K

HO 1 L 29/78 6 1 6 A

HO 1 L 29/78 6 2 7 C

HO 1 L 21/88 R

請求項の数 3 (全 38 頁) 最終頁に続く

(21) 出願番号	特願2006-177956 (P2006-177956)	(73) 特許権者	000153878
(22) 出願日	平成18年6月28日 (2006.6.28)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2007-43114 (P2007-43114A)		神奈川県厚木市長谷398番地
(43) 公開日	平成19年2月15日 (2007.2.15)	(72) 発明者	大沼 英人
審査請求日	平成21年6月22日 (2009.6.22)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2005-192302 (P2005-192302)		半導体エネルギー研究所内
(32) 優先日	平成17年6月30日 (2005.6.30)	(72) 発明者	物江 滋春
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	鈴木 聡一郎

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

半導体層上に絶縁膜を形成し、
前記絶縁膜上に第1の導電膜および第2の導電膜を形成し、
前記第2の導電膜上に、回折格子パターン或いは半透部を有するフォトマスク又はレチクルを用いて、膜厚の厚い領域と、該領域より膜厚の薄い領域とを有するレジストパターンを形成し、
前記第1の導電膜および前記第2の導電膜のエッチングを選択的に行って、前記第1の導電膜および前記第2の導電膜を有する膜厚の厚い領域と、該領域より膜厚の薄い前記第1の導電膜を有する領域を両側側部に有するゲート電極を形成し、
前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記半導体層にソース領域及びドレイン領域を形成し、
前記ゲート電極の膜厚の厚い領域をマスクとして前記ゲート電極の膜厚の薄い領域を通過させて前記半導体層に不純物元素を注入して、前記半導体層のうち膜厚の薄い前記ゲート電極と重なる領域に第1の不純物領域及び第2の不純物領域を形成し、
前記第1の不純物領域の幅は、第2の不純物領域の幅より広いことを特徴とする半導体装置の作製方法。

【請求項 2】

半導体層上に絶縁膜を形成し、
前記絶縁膜上に第1の導電膜および第2の導電膜を形成し、

前記第2の導電膜上に、回折格子パターン或いは半透部を有するフォトリソマスク又はレチクルを用いて、膜厚の厚い領域と、該領域より膜厚の薄い領域とを有するレジストパターンを形成し、

前記第1の導電膜および前記第2の導電膜のエッチングを選択的に行って、前記第1の導電膜および前記第2の導電膜を有する膜厚の厚い領域と、該領域より膜厚の薄い前記第1の導電膜を有する領域を両側側部に有するゲート電極を形成し、

前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記半導体層のうちチャネル形成領域の両側にソース領域及びドレイン領域と、前記ゲート電極の膜厚の薄い領域を通過させて前記半導体層のうち膜厚の薄い前記ゲート電極と重なる領域に第1の不純物領域及び第2の不純物領域とを形成し、

10

前記第1の不純物領域の幅は、前記第2の不純物領域の幅より広いことを特徴とする半導体装置の作製方法。

【請求項3】

半導体層上に絶縁膜を形成し、

前記絶縁膜上に第1の導電膜および第2の導電膜を形成し、

前記第2の導電膜上に、回折格子パターン或いは半透部を有するフォトリソマスク又はレチクルを用いて、膜厚の厚い領域と、該領域より膜厚の薄い領域とを有するレジストパターンを形成し、

前記第1の導電膜および前記第2の導電膜のエッチングを選択的に行って、前記第1の導電膜および前記第2の導電膜を有する膜厚の厚い領域と、該領域より膜厚の薄い前記第1の導電膜を有する領域を両側側部に有するゲート電極を形成し、

20

前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記半導体層のうちチャネル形成領域の両側にソース領域及びドレイン領域と、前記ゲート電極の膜厚の薄い領域を通過させて前記半導体層のうち膜厚の薄い前記ゲート電極と重なる領域に第1の不純物領域及び第2の不純物領域とを形成し、

前記第1の不純物領域の幅は、前記第2の不純物領域の幅より広く、

前記ゲート電極上に、層間絶縁膜を形成し、

前記層間絶縁膜上に、回折格子パターン或いは半透部を有するフォトリソマスク又はレチクルを用いて、異なる深さの開口を有するレジストパターンを形成し、

前記層間絶縁膜および前記ゲート絶縁膜のエッチングを選択的に行って、異なる深さの開口を形成することを特徴とする半導体装置の作製方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子（或いは無機発光素子）を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

40

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】

例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフタ回路、バッ

50

ファ回路、サンプリング回路などの画素回路を制御するための駆動回路が一枚の基板上に形成される。

【0005】

様々な回路において、低消費電力とするため、オフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることが重要である。

【0006】

オフ電流値を低減するためのTFTの構造として、低濃度ドレイン（LDD: Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

10

【0007】

特許文献1には、チャネル形成領域を挟んで幅の異なるLDD領域が設けられているTFTが開示されている。幅の異なる2つのLDD領域は、レジストマスクを用いて形成されている。なお、このLDD領域は、ゲート電極と重なっていない。

【0008】

また、特許文献2には、基板面に対して斜めにドーピングを行うことによって、ゲート電極と重なるLDD領域を開示している。

20

【0009】

また、本出願人は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトリソグラフィ工程に適用したTFT作製工程を開示している。

【特許文献1】特開平10-27913号公報

【特許文献2】特開平8-139337号公報

【特許文献3】特開2002-151523

【発明の開示】

30

【発明が解決しようとする課題】

【0010】

従来では、同一基板上に様々な回路を形成し、個々の回路に適した構造を備えたTFTを形成しようとする、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となることは明らかである。

【0011】

本発明は、工程数を増やすことなく、同一基板上に個々の回路に適した構造を備えたTFTを形成する作製方法を提供する。

【0012】

また、上述した特許文献1の技術は、ドーピングの際にレジストマスクを用いて、ゲート電極と重なっていないLDD領域を形成している。従って、LDD領域の幅は、露光で形成されるレジストマスクに依存しやすい。

40

【0013】

また、特許文献2の技術は、自己整合的にLDD領域が形成されるが、チャネル形成領域を挟んで配置されるLDD領域は同じ幅であり、それらのLDD領域の幅を個々の回路に応じて制御することは困難である。

【0014】

本発明は、幅の異なるLDD領域を自己整合的に形成し、それらの幅及び形成位置を個々の回路に応じて精密に制御する作製方法を提供する。

50

【課題を解決するための手段】

【0015】

本発明は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いることによって、ゲート電極の膜厚の薄い領域の幅を自由に設定でき、そのゲート電極をマスクとして自己整合的に形成できる2つのLDD領域の幅を個々の回路に応じて異ならせることができる。例えば、駆動回路のうち、高速駆動が必要とされる第1回路に用いる薄膜トランジスタは、LDD領域の合計幅（チャンネル長方向における幅）を狭くすることが好ましく、駆動回路全体の低消費電力化も図れる。また、駆動回路のうち、耐圧が必要とされる第2回路に用いられる薄膜トランジスタは、LDD領域の合計幅（チャンネル長方向における幅）を広くすることが好ましく、駆動回路全体の信頼性が向上する。

10

【0016】

本発明は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルをゲート電極形成用のフォトリソグラフィ工程に適用して膜厚の厚い領域と、該領域より膜厚の薄い領域を有する左右非対称のレジストパターンを形成し、段差を有するゲート電極を形成し、ゲート電極の膜厚の薄い領域を通過させて半導体層に不純物元素を注入して、自己整合的にLDD領域を形成する作製方法の特徴の一つとしている。本発明のTFT構造は、チャンネル形成領域と、高濃度に不純物元素を添加して形成するドレイン領域との間に低濃度に不純物元素を添加した領域を一つ設けたものであり、この領域をLDD領域と呼ぶ。

20

【0017】

また、得られる構造も本発明の特徴の一つであり、段差を有するゲート電極、即ち、膜厚の厚い領域と、該領域の両側に厚い領域に比べて膜厚の薄い領域を有するゲート電極を有し、ゲート電極の膜厚の薄い領域と絶縁層を介して重なるLDD領域を有していることを特徴の一つとしている。ゲート電極の膜厚の薄い領域と絶縁層を介して重なるLDD領域を有している構造とすることで、ドレイン近傍の電界強度が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効である。

【0018】

また、本発明において、チャンネル形成領域を挟んで形成される2つのLDD領域の幅は異ならせる。例えば、ドレイン領域側のLDD領域の幅をソース領域側のLDD領域の幅よりも広くする。なお、ゲート電極と重なるLDD領域をLoV領域とも呼ぶ。特許文献3では、左右対称のレジストパターンを形成し、チャンネル形成領域の両側にLoV領域を形成する構成を開示している。一方、本発明は、左右非対称のレジストパターンを形成し、チャンネル形成領域を挟んで、異なる幅のLoV領域を形成する構成を開示する。

30

【0019】

本明細書で開示する発明の構成は、絶縁表面を有する基板上方に半導体層と、前記半導体層上方にゲート絶縁層と、前記ゲート絶縁層上に導電層の積層からなるゲート電極とを有し、前記半導体層は、ソース領域と、ドレイン領域と、チャンネル形成領域と、前記チャンネル形成領域とソース領域との間に配置される不純物領域と、前記チャンネル形成領域とドレイン領域との間に配置される不純物領域とを含み、ゲート電極の積層の一つを構成する第1の導電層は、前記チャンネル形成領域及び前記不純物領域と少なくとも重なり、ゲート電極の積層の一つを構成する第2の導電層は、前記第1の導電層上に接し、且つ、前記チャンネル形成領域と重なり、前記チャンネル形成領域とドレイン領域との間に配置される不純物領域の幅は、前記チャンネル形成領域とソース領域との間に配置される不純物領域の幅より広いことを特徴とする半導体装置である。

40

【0020】

上記構成において、前記不純物領域は、ソース領域及びドレイン領域よりも低い濃度でn型またはp型の不純物元素を含むことを特徴の一つとしている。即ち、前記不純物領域は、LDD領域である。

【0021】

50

また、上記構成において、前記第１の導電層と前記第２の導電層は、異なる材料であることを特徴の一つとしている。前記第１の導電層と前記第２の導電層とを異なる材料とすることで、エッチングレートに差を設けることができ、より上記構成を形成しやすくなることができる。

【００２２】

また、上記構成において、前記第１の導電層の膜厚は、前記第２の導電層よりも薄いことを特徴の一つとしている。前記第１の導電層を薄くすることによって、不純物元素を第１の導電層を通過させて半導体層に添加する際、第２の不純物領域の形成を形成しやすくなることができる。

【００２３】

また、前記第２の導電層の幅は、前記チャンネル形成領域の幅と同一であることを特徴の一つとしている。第２の導電層の幅が、チャンネル形成領域の幅と同一であることは、第１の不純物領域及び第２の不純物領域が自己整合的に形成されていることを示している。

【００２４】

液晶表示装置では、液晶の劣化を防ぐため、交流駆動が行われている。この交流駆動により、一定の期間毎に画素電極に印加する信号電位の極性が正極性或いは負極性に反転する。画素電極に接続するＴＦＴは、一対の高濃度不純物領域が交互にソースとドレインの役割を果たす。従って、液晶表示装置の画素に配置されるスイッチング用のＴＦＴは、チャンネル形成領域の両側に設けられるＬＤＤ領域を同じ幅とすることが望ましい。

【００２５】

また、液晶表示装置において、同一基板上に画素部と駆動回路を形成する場合、駆動回路において、インバータ回路、ＮＡＮＤ回路、ＮＯＲ回路、ラッチ回路といった論理ゲートを構成するトランジスタや、センスアンプ、定電圧発生回路、ＶＣＯといったアナログ回路を構成するトランジスタは、ソース電極とドレイン電極間に正極性のみ、もしくは負極性のみが印加される。従って、耐圧が要求される一方のＬＤＤ領域の幅をもう一方のＬＤＤの幅よりも広くすることが好ましい。

【００２６】

同一基板上に異なる構造のＴＦＴを同時に作製することができる。他の発明の構成は、同一基板上に第１の半導体層を有する第１の薄膜トランジスタと、第２の半導体層を有する第２の薄膜トランジスタとを有する半導体装置であり、絶縁表面を有する基板上方に第１の半導体層及び第２の半導体層と、前記第１の半導体層及び第２の半導体層上方にゲート絶縁層と、前記ゲート絶縁層上に導電層の積層からなる第１のゲート電極及び第２のゲート電極とを有し、前記第１の半導体層は、第１のチャンネル形成領域と、第１のソース領域と、第１のドレイン領域と、前記第１のチャンネル形成領域の両側に幅の異なる第１の不純物領域とを含み、前記第１のチャンネル形成領域は、ゲート絶縁層を介して第１のゲート電極と重なり、第１のゲート電極の積層の一つを構成する第１の導電層は、第１のチャンネル形成領域及び第１の不純物領域と少なくとも重なり、第１のゲート電極の積層の一つを構成する第２の導電層は、第１の導電層上に接し、且つ、前記第１のチャンネル形成領域と重なり、前記第２の半導体層は、第２のチャンネル形成領域と、該第２のチャンネル形成領域の両側に幅が同じ第２の不純物領域と、ソース領域と、ドレイン領域とを含み、前記第２のチャンネル形成領域は、ゲート絶縁層を介して第２のゲート電極と重なっており、第２のゲート電極の積層の一つを構成する第１の導電層は、第２のチャンネル形成領域及び２つの第２の不純物領域と少なくとも重なり、第２のゲート電極の積層の一つを構成する第２の導電層は、第１の導電層上に接し、且つ、前記第２のチャンネル形成領域と重なっていることを特徴とする半導体装置である。

【００２７】

上記構成において、前記第１の不純物領域及び前記第２の不純物領域は、ソース領域及びドレイン領域よりも低い濃度でｎ型またはｐ型の不純物元素を含むことを特徴の一つとしている。即ち、前記第１の不純物領域及び前記第２の不純物領域は、ＬＤＤ領域である。

【００２８】

10

20

30

40

50

上記構成によって、チャネル形成領域の両側に同じ幅を有する２つのＬＤＤ領域を備えたＴＦＴと、異なる幅を有する２つのＬＤＤ領域を備えたＴＦＴとを同一基板上に形成し、それぞれに適した回路に用いることができる。

【００２９】

また、上記構成を実現するための作製工程も発明の一つであり、その発明の構成は、半導体層上に絶縁膜を形成し、前記絶縁膜上に導電膜を形成し、前記導電膜上に、回折格子パターン、或いは半透部を有するフォトリソマスク又はレジスタパターンを用いて、膜厚の厚い領域と、該領域より膜厚の薄い領域を両側側部に有するレジスタパターンを形成し、前記導電膜のエッチングを選択的に行って、膜厚の厚い領域と、該領域より膜厚の薄い領域を両側側部に有するゲート電極を形成し、前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記半導体層にソース領域及びドレイン領域を形成し、前記ゲート電極の膜厚の厚い領域をマスクとして前記ゲート電極の膜厚の薄い領域を通過させて前記半導体層に不純物元素を注入して、前記半導体層のうち膜厚の薄い前記ゲート電極と重なる領域に第１の不純物領域及び第２の不純物領域とを形成し、前記第１の不純物領域の幅は、第２の不純物領域の幅より広いことを特徴とする半導体装置の作製方法である。

10

【００３０】

また、工程短縮のため、１回のドーピングで形成してもよく、その発明の構成は、半導体層上に絶縁膜を形成し、前記絶縁膜上に導電膜を形成し、前記導電膜上に、回折格子パターン、或いは半透部を有するフォトリソマスク又はレジスタパターンを用いて、膜厚の厚い領域と、該領域より膜厚の薄い領域を両側側部に有するレジスタパターンを形成し、前記導電膜のエッチングを選択的に行って、膜厚の厚い領域と、該領域より膜厚の薄い領域を両側側部に有するゲート電極を形成し、前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記半導体層のうちチャネル形成領域の両側にソース領域及びドレイン領域と、前記ゲート電極の膜厚の薄い領域を通過させて前記半導体層のうち膜厚の薄い前記ゲート電極と重なる領域に第１の不純物領域及び第２の不純物領域とを形成し、前記第１の不純物領域の幅は、前記第２の不純物領域の幅より広いことを特徴とする半導体装置の作製方法である。

20

【００３１】

本発明により、工程数を増やすことなく、一方のＬＤＤ領域の幅（チャネル長Ｌ方向の長さ）を０．５μｍ以上、好ましくは１μｍ～１．５μｍ、さらには２μｍよりも長く自己整合的に設けることが可能となる。また、もう一方のＬＤＤ領域の幅は、一方のＬＤＤ領域の幅より短くすればよく、例えば０．５μｍ未満とすることができる。ＬＤＤ領域の幅は長ければ長いほど、ドレイン近傍の電界強度が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効である。

30

【００３２】

また、これらのＬＤＤ領域は、ゲート電極の膜厚の薄い領域と重なっていることを特徴としている。

【発明の効果】

【００３３】

本発明は、同一基板上に幅の異なるＬＤＤ領域を自己整合的に形成し、それらの幅を個々の回路に応じて精密に制御することができる。

40

【発明を実施するための最良の形態】

【００３４】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、本発明は以下に示す実施の形態に限定されるものでなく、その要旨を逸脱しない範囲で各種の変形を許容するものである。

【００３５】

（実施の形態１）

本実施の形態は、ＴＦＴのゲート電極をイオンドーピング時のマスクとして用い、チャネル形成領域の両側に幅の異なる低濃度不純物領域を自己整合的に形成するための工程に

50

ついて示す。

【0036】

まず、絶縁表面を有する基板101上に第1絶縁膜(下地絶縁膜)102を形成する。絶縁表面を有する基板101としては、透光性を有する基板、例えばガラス基板、結晶化ガラス基板、もしくはプラスチック基板を用いることができる。後に形成される薄膜トランジスタをトップエミッション型(上方射出型)の発光表示装置に適用する場合、或いは反射型の液晶表示装置に適用する場合にはセラミックス基板、半導体基板、金属基板等も用いることができる。

【0037】

第1絶縁膜102としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜(SiO_xN_y)等の絶縁膜の単層、或いは積層を用いる。次いで、第1絶縁膜102上に半導体層103を形成する。

10

【0038】

半導体層103は、公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により非晶質構造を有する半導体膜を形成し、加熱処理により結晶化された結晶性半導体膜を形成し、結晶性半導体膜上にレジスト膜を形成した後、露光および現像を行って得られた第1のレジストマスクを用いて所望の形状にパターニングして形成する。

【0039】

この半導体層103の厚さは25~80nm(好ましくは30~70nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

20

【0040】

上記加熱処理とは、加熱炉、レーザ照射、若しくはレーザ光の代わりにランプから発する光の照射(以下、ランプアニールと表記する)、又はそれらを組み合わせて用いることができる。

【0041】

また、ニッケルなどの触媒を添加した後に上記加熱処理を行う熱結晶化法により結晶性半導体膜を形成してもよい。なお、ニッケルなどの触媒を用いた熱結晶化法を用いて結晶化を行って結晶質半導体膜を得た場合は、結晶化後にニッケルなどの触媒を除去するゲッタリング処理を行うことが好ましい。

30

【0042】

また、レーザ結晶化法で結晶質半導体膜を作製する場合には、連続発振型のレーザビーム(CWレーザビーム)やパルス発振型のレーザビーム(パルスレーザビーム)を用いることができる。ここで用いることができるレーザビームは、Arレーザ、Krレーザ、エキシマレーザなどの気体レーザ、単結晶のYAG、 YVO_4 、フォルステライト(Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶(セラミック)のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザのエネルギー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、走査速度を10~2000cm/sec程度として照射する。

40

【0043】

なお、単結晶のYAG、 YVO_4 、フォルステライト(Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶(セラミック)のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Ta

50

のうち１種または複数種添加されているものを媒質とするレーザ、Ａｒイオンレーザ、またはＴｉ：サファイアレーザは、連続発振をさせることが可能であり、Ｑスイッチ動作やモード同期などを行うことによって１０ＭＨｚ以上の発振周波数でパルス発振をさせることも可能である。１０ＭＨｚ以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【００４４】

媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数ｍｍ、長さ数十ｍｍの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

【００４５】

発光に直接寄与する媒質中のＮｄ、Ｙｂなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上が期待できる。

【００４６】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザビームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザビームを、光学系を用いて整形することによって、短辺の長さ１ｍｍ以下、長辺の長さ数ｍｍ～数ｍの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【００４７】

この線状ビームを半導体膜に照射することによって、半導体膜の全面をより均一にアニールすることが可能になる。両端まで均一な線状ビームのアニールが必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫が必要となる。

【００４８】

このようにして得られた強度が均一な線状ビームを用いて半導体膜をアニールし、この半導体膜を用いて電子機器を作製すると、その電子機器の特性は、良好かつ均一である。

【００４９】

次いで、必要があればＴＦＴのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行う。ここでは、ジボラン（Ｂ_２Ｈ_６）を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【００５０】

次いで、第１のレジストマスクを除去した後、フッ酸を含むエッチャントで酸化膜を除去すると同時に半導体層の表面を洗浄する。そして、半導体層を覆う第２絶縁膜（ゲート絶縁膜）１０４を形成する。第２絶縁膜１０４はプラズマＣＶＤ法またはスパッタ法または熱酸化法を用い、厚さを１～２００ｎｍ、好ましくは７０ｎｍ～１２０ｎｍとする。第２絶縁膜１０４としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る膜を形成する。ここでは、プラズマＣＶＤ法により１１５ｎｍの厚さで酸化窒化シリコン膜（組成比Ｓｉ＝３２％、Ｏ＝５９％、Ｎ＝７％、Ｈ＝２％）で形成する。

【００５１】

また、基板、下地膜としての絶縁層、半導体層、ゲート絶縁層、層間絶縁層などを形成し

10

20

30

40

50

た後、プラズマ処理を用いて酸化または窒化を行うことにより前記基板、下地膜としての絶縁層、半導体層、ゲート絶縁層、層間絶縁層表面を酸化または窒化してもよい。プラズマ処理を用いて半導体層や絶縁層を酸化または窒化すると、当該半導体層や絶縁層の表面が改質され、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜とすることができる。よって、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。また上記の様なプラズマ処理は、ゲート電極層、ソース電極層、ドレイン電極層、配線層などにも行うことができ、窒化又は酸化を行うことによって窒化膜、酸化膜を形成することができる。

【0052】

なお、プラズマ処理により膜を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または酸素と水素（ H_2 ）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により膜を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理によって形成される絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでおり、Arを用いた場合には絶縁膜にArが含まれている。

【0053】

また、第2絶縁膜104にプラズマ処理を行う場合、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が1.5 eV以下で行う。より詳しくいうと、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5 eV以上1.5 eV以下で行う。プラズマの電子密度が高密度であり、基板上に形成された被処理物（ここでは、ゲート絶縁層として機能する第2絶縁膜104）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1.5 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（2.45 GHz）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0054】

次いで、第1導電層105aと第2導電層106aの積層を形成する。また、積層は、第1導電層と第2導電層の2層に限定されず、3層以上としてもよい。

【0055】

第1導電層はタングステン（W）、クロム（Cr）、タンタル（Ta）、窒化タンタル（Ta₂N）またはモリブデン（Mo）などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物を20～50 nmの厚さで形成する。また、第2導電層はタングステン（W）、クロム（Cr）、タンタル（Ta）、窒化タンタル（Ta₂N）またはモリブデン（Mo）などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物で200～600 nmの厚さに形成する。

【0056】

ここでは、2層、即ち、第1導電層と第2導電層をそれぞれ異なる導電材料として用い、後に行うエッチング工程でエッチングレートの差が生じるようにする。第1導電層としてはTa₂Nを用い、第2導電層としてはタングステン膜を用いる。

【0057】

次いで、第2導電層106a上にレジスト膜を全面に塗布した後、図1(A)に示すマスクを用いて露光を行う。ここでは、膜厚 $1.5\mu\text{m}$ のレジスト膜を塗布し、露光は、解像度が $1.5\mu\text{m}$ の露光機を用いる。露光に用いる光は、i線(波長 365nm)であり、露光エネルギーは、 $70\sim 140\text{mJ}/\text{cm}^2$ の範囲から選択する。また、i線に限定されず、i線とg線(波長 436nm)とh線(波長 405nm)とを混合させた光を露光に用いてもよい。

【0058】

図1(A)において、露光マスク400は、Crなどの金属膜からなる遮光部401と、光強度低減機能を有する補助パターンとして、半透膜が設けられた部分(半透部とも呼ぶ)402とが設置されている。露光マスクの断面図において、遮光部401の幅は t_1 と示し、半透膜が設けられた部分402の幅は t_2 と示している。ここでは露光マスクの一部として半透膜を用いた例を示したが、回折格子パターンを用いてもよい。

10

【0059】

図1(A)に示す露光マスクを用いてレジスト膜の露光を行うと、非露光領域403aと露光領域403bが形成される。露光時には、光が遮光部401の回り込みや、半透膜が設けられた部分402を通過することによって図1(A)に示す露光領域403bが形成される。

【0060】

そして、現像を行うと、露光領域403bが除去されて、図1(B)に示すように、膜厚の厚い領域と、該領域より膜厚の薄い領域を両側側部に有する左右非対称のレジストパターン107aが第2導電層106a上に得られる。ここでいう左右非対称とは、図1(B)に示す断面図における中心線に対して左右非対称としている。左右非対称のレジストパターン107aにおいて、膜厚の薄い領域は、露光エネルギーを調節することでレジスト膜厚を調節することができる。

20

【0061】

次に、ドライエッチングにより第2導電層106a及び第1導電層105aのエッチングを行う。エッチングガスには、 CF_4 、 SF_6 、 Cl_2 、 O_2 を用いる。エッチング速度の向上にはECR(Electron Cyclotron Resonance)やICP(Inductively Coupled Plasma)などの高密度プラズマ源を用いたドライエッチング装置を用いる。なお、エッチング条件によっては、第2絶縁膜104もエッチングされて、部分的に膜厚が薄くなる。

30

【0062】

なお、ここでは、ICP型エッチング装置を用いた例を示すが、特に限定されず、例えば、平行平板型エッチング装置、マグネトロン型エッチング装置、ECR型エッチング装置、ヘリコン型エッチング装置を用いてもよい。また、ドライエッチング法に限定されず、ウェットエッチング法を用いてもよく、また、ドライエッチング法とウェットエッチング法とを組み合わせ用いてもよい。

【0063】

こうして図1(C)で示すように、第2絶縁膜104上に第1導電層105b、第2導電層106bからなる導電積層パターンが形成される。エッチングによって、第1導電層105bは、両側壁が露出し、さらに第2の導電層106bと重ならない領域が露出される。なお、第1導電層105bの両側壁は、テーパ形状としてもよい。また、第2導電層106bの両側壁もテーパ形状としてもよい。

40

【0064】

次いで、レジストパターン107bを除去した後、半導体層103への一導電型不純物の添加を行う。ここでは、一導電型不純物のイオンとしてリン(またはAs)を用い、nチャネル型TFTを作製する。サイドウォールを形成することなく、導電積層パターンを用いて自己整合的にLDD領域やソース領域やドレイン領域を形成することができる。

【0065】

50

ゲート電極の外側に位置するソース領域及びドレイン領域を形成するためのドーピング処理を行う場合、導電積層パターンをマスクとして一導電型不純物のイオンを半導体層 103 に添加して高濃度の一導電型不純物領域 110、111 を形成すればよい。ソース領域及びドレイン領域を形成するためのドーピング条件は、加速電圧を 30 kV 以下として行なう。高濃度の一導電型不純物領域 110、111 の不純物濃度は $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ (SIMS 測定でのピーク値) とする。

【0066】

また、ゲート電極とオーバーラップする LDD 領域を形成するためのドーピング処理を行う場合、第 2 導電層と積層していない領域の第 1 導電層 105b を通過させて、一導電型不純物のイオンを半導体層 103 に添加して低濃度の一導電型不純物領域 109a、109b を形成すればよい。このドーピング条件として、第 2 絶縁膜や第 1 導電層の膜厚にもよるが、この場合には 50 kV 以上の加速電圧を要する。低濃度の一導電型不純物領域 109a、109b の不純物濃度は、LDD 領域を前提とすると $1 \times 10^{16} \sim 5 \times 10^{18} / \text{cm}^3$ (SIMS 測定でのピーク値) とする。

10

【0067】

なお、ドーピングの順序は特に限定されず、先にソース領域及びドレイン領域を形成するためのドーピング処理を行った後、LDD 領域を形成するためのドーピング処理を行ってもよい。また、LDD 領域を形成するためのドーピング処理を行った後、ソース領域及びドレイン領域を形成するためのドーピング処理を行ってもよい。

【0068】

20

また、ここではドーピング処理を 2 回に分けて異なる濃度の不純物領域の形成を行う例を示したが、処理条件を調節して 1 回のドーピング処理で異なる濃度の不純物領域の形成を行ってもよい。

【0069】

また、ドーピングの前にレジストパターンを除去した例を示したが、ドーピング処理を行った後でレジストパターンを除去してもよい。レジストパターンを残したままドーピングを行うと、第 2 導電層の表面をレジストパターンで保護しながらドーピングを行うことができる。

【0070】

なお、上記ドーピング処理の際、第 2 導電層と重なる位置の半導体層は、一導電型不純物のイオンは添加されない領域となり、後に形成される TFT のチャネル形成領域として機能する部分となる。

30

【0071】

また、導電積層パターン(第 1 導電層 105b 及び第 2 導電層 106b)が半導体層 103 と交差する部位においてゲート電極となる。また、第 1 導電層 105b のうち、第 2 の導電層 106b と重ならない領域が Lov 領域の長さとなる。なお、Lov 領域とは、ゲート電極と重なる低濃度不純物領域を指している。TFT を有する回路の種類や用途に合わせて、必要な Lov 領域の長さを決定し、その長さに基づいて露光マスクやエッチング条件を設定すればよい。

【0072】

40

その後、窒化珪素を用いる第 3 絶縁膜 112 を形成する。そして、半導体層に添加された不純物元素の活性化および水素化を行う。

【0073】

次いで、透光性を有する無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)または、低誘電率の有機化合物材料(感光性又は非感光性の有機樹脂材料)を用いて第 4 絶縁膜 113 を形成する。また、シロキサンを含む材料を用いて第 4 絶縁膜を形成してもよい。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

50

【0074】

次いで、第3のフォトマスクを用いてレジストからなるマスクを形成し、層間絶縁膜として機能する第3絶縁膜112、及び第4絶縁膜113、及びゲート絶縁膜として機能する第2絶縁膜104を選択的にエッチングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0075】

次いで、第4絶縁膜113上にスパッタ法で金属積層膜を成膜した後、第4のフォトマスクを用いてレジストからなるマスクを形成し、選択的に金属積層膜をエッチングして、半導体層に接するソース電極114またはドレイン電極115を形成する。

【0076】

なお、TFTのソース電極114またはドレイン電極115と同時に接続電極（複数のTFT間を電氣的に接続する電極）や端子電極（外部電源と接続するための電極）も第4絶縁膜113上に形成することができる。そして、レジストからなるマスクを除去する。なお、金属積層膜は、膜厚100nmのTi膜と、膜厚350nmのSiを微量に含むAl膜と、膜厚100nmのTi膜との3層積層とする。金属積層膜は、同じメタルスパッタ装置内で連続して形成することが好ましい。

【0077】

以上の工程で、図1(D)に示したチャネル形成領域の一方の側に幅の狭い低濃度不純物領域109aと、もう一方の側に幅の広い低濃度不純物領域109bとを有するトップゲート型TFTが完成する。また、図1(D)にチャネル長Lを示す。

【0078】

以上のように、本実施形態は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクを用いて露光することによって、左右非対称な形状を有するレジストパターン107aを形成し、そのレジストパターンを利用して、左右非対称な形状を有するゲート電極を得ている。

【0079】

従って、レジストパターン107aの膜厚の薄い部分の長さを調節することによって、自己整合的に2つのLov領域の長さをそれぞれ調節することができる。

【0080】

例えば、バッファ回路に用いるnチャネル型TFTを形成する場合において、チャネル長Lを10μm、一方のLov領域の長さを0.5μm、もう一方のLov領域の長さを1.5μmとすることができる。この場合、ゲート電極幅、即ち導電積層パターンの幅（チャネル長方向の幅）は、12μmとなる。

【0081】

本実施の形態では、nチャネル型TFTを用いて説明したが、n型不純物元素に代えてp型不純物元素を用いることによってpチャネル型TFTを形成することができる。

【0082】

また、同一基板上にnチャネル型TFTとpチャネル型TFTとを形成することができ、これらのTFTを相補的に組み合わせることによってCMOS回路を構成することもできる。CMOS回路とは、少なくとも一つのnチャネル型TFTと一つのpチャネル型TFTとを有する回路（インバータ回路、NAND回路、AND回路、NOR回路、OR回路、シフトレジスタ回路、サンプリング回路、D/Aコンバータ回路、A/Dコンバータ回路、ラッチ回路、バッファ回路など）を指している。加えて、これらのCMOS回路を組み合わせることによってSRAMやDRAMなどのメモリ素子やその他の素子を基板上に構成することができる。また、さまざまな素子や回路を集積してCPUを基板上に構成することも可能である。

【0083】

また、露光マスクを変更するだけで、工程数を増やすことなく、同一基板上に上記構造（チャネル形成領域の一方側がもう一方側より幅広いLov領域を有する構造）のトップゲート型TFTと、チャネル形成領域の両側に同じ幅のLov領域を有する構造であるト

10

20

30

40

50

ップゲート型ＴＦＴを形成することもできる。

【００８４】

また、本実施の形態では、シングルゲート構造のトップゲート型ＴＦＴを用いて説明したが、チャンネル形成領域を複数有するマルチゲート構造であるトップゲート型ＴＦＴも形成することができる。また、露光マスクを変更するだけで、工程数を増やすことなく、同一基板上にシングルゲート構造のトップゲート型ＴＦＴと、マルチゲート構造であるトップゲート型ＴＦＴを形成することもできる。

【００８５】

従って、工程数を増やすことなく、同一基板上に最適な構造のトランジスタを割り当てて様々な回路を構成することができる。

10

【００８６】

（実施の形態２）

本実施の形態では、実施の形態１で用いた回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置した露光マスクについて図２を用いて説明する。

【００８７】

なお、図１（Ａ）では露光マスクの断面図を示しており、同様に、図２においても遮光部の幅は t_1 と示し、補助パターンが設けられた部分の幅は t_2 と示している。

【００８８】

補助パターンの具体例として、図２（Ａ）と図２（Ｂ）に、露光装置の解像限界以下のラインおよびスペースから成るスリット部を有する回折格子パターンを備えた露光マスクの上面図の一部を示す。回折格子パターンとは、スリット、ドット等のパターンが少なくとも１つ以上配置されたパターンである。スリット、ドット等のパターンを複数配置する場合は、周期的に配置されていてもよいし、非周期的に配置されてもよい。解像度限界以下の微細パターンを用いることによって、実質的な露光量を変えることが可能であり、露光されたレジストの現像後の膜厚を調節することが可能である。

20

【００８９】

前記スリット部のスリットの方法は、スリット部２０３の様に主パターン（遮光部２０２）の方向と平行でも、スリット部２０７の様に主パターン（遮光部２０６）の方向と垂直でも構わない。尚、このフォトリソグラフィ工程で使用されるレジストはネガ型レジストが適用困難である為、当該ゲート電極形成用フォトマスクまたはレチクルのパターン構成は、ポジ型レジストを前提にしている。

30

【００９０】

前記ゲート電極形成用フォトマスクまたはレチクル２０１、２０５に露光光を照射した場合、遮光部２０２、２０６の光強度はほぼゼロであり、透光部２０４、２０８の光強度はほぼ１００％である。一方、露光装置の解像限界以下のラインおよびスペースから成る回折格子パターンのスリット部２０３、２０７で構成される光強度低減機能を有する補助パターンの光強度は、１０～７０％の範囲で調整可能となっており、その代表的な光強度分布の例を図２（Ｃ）中の光強度分布２０９に示す。回折格子パターンに於ける前記スリット部２０３、２０７の光強度の調整は、スリット部２０３、２０７のピッチ及びスリット幅の調整により実現している。

40

【００９１】

また、補助パターンの具体例として、図２（Ｄ）に、露光光の光強度を低減する機能を有する半透膜からなる半透部を備えた露光マスクの上面図の一部を示す。半透膜としては、 $MoSiN$ の他に、 $MoSi$ 、 $MoSiO$ 、 $MoSiON$ 、 $CrSi$ などを用いることができる。半透部を備えた露光マスクを用いた露光法は、ハーフトーン露光法とも呼ばれる。

【００９２】

ゲート電極形成用フォトマスクまたはレチクル２１０に於けるゲート電極形成用マスクパターンの主パターンの領域が遮光部２１１で、光強度低減機能を有する補助パターンの領域が半透膜から成る半透光部２１２で、その外側の領域が透光部２１３である。

50

【 0 0 9 3 】

また、前記ゲート電極形成用フォトリソマスクまたはレチクル 2 1 0 に露光した場合、遮光部 2 1 1 の光強度はほぼゼロ、透光部 2 1 3 の光強度はほぼ 1 0 0 % であり、半透膜から成る半透光部 2 1 2 で構成される補助パターン領域の光強度は、1 0 ~ 7 0 % の範囲で調整可能となっており、その代表的な光強度分布の例を図 2 (E) 中の光強度分布 2 1 4 に示す。

【 0 0 9 4 】

また、本実施の形態は実施の形態 1 と自由に組み合わせることができる。

【 0 0 9 5 】

(実施の形態 3)

実施の形態 1 に示す導電積層パターンの形成は、特に限定されないが、ここでは、エッチング条件を途中で複数回変更して導電積層パターンの形成を行う例を図 3 に示す。

【 0 0 9 6 】

まず、実施の形態 1 と同様にして、第 2 導電層 3 0 6 a 上にレジストパターン 3 0 7 a を形成する。図 3 (A) は、図 1 (B) に相当する。

【 0 0 9 7 】

なお、図 3 (A) において基板 3 0 1 上に第 1 絶縁膜 (下地絶縁膜) 3 0 2 、半導体層 3 0 3 、第 2 絶縁膜 (ゲート絶縁膜) 3 0 4 が形成され、その上に第 1 導電層 3 0 5 a 、第 2 導電層 3 0 6 a が形成されている。

【 0 0 9 8 】

次いで、第 1 のエッチング条件でエッチングを行って、図 3 (B) に示すような形状のレジストパターン 3 0 7 b 及び第 2 導電層 3 0 6 b を形成する。第 1 のエッチング条件で第 2 導電層 3 0 6 b の一部にテーパ形状となる部分を形成する。

【 0 0 9 9 】

次いで、第 1 のエッチング条件で引き続きエッチングを行って図 3 (C) の状態を得る。この段階で、段差のないレジストパターン 3 0 7 c とする。また、第 2 導電層 3 0 6 c の一部にテーパ形状となる部分を形成しつつ、膜厚を薄くする。

【 0 1 0 0 】

次いで、第 1 のエッチング条件で引き続きエッチングを行って図 3 (D) の状態を得る。さらにレジストパターンを小さくしてレジストパターン 3 0 7 d とする。また、L 字形状の第 2 導電層 3 0 6 d として、第 1 導電層 3 0 5 a の一部を露出させる。

【 0 1 0 1 】

次いで、第 2 のエッチング条件でエッチングを行って、L 字形状の第 2 導電層 3 0 6 d をマスクとしてエッチングして第 1 導電層 3 0 5 b を形成する。

【 0 1 0 2 】

次いで、第 3 のエッチング条件で異方性エッチングを行って、第 2 導電層 3 0 6 e を形成する。この異方性エッチングにおいて、第 1 導電層と第 2 導電層のエッチングレートの差が大きいことが重要であり、第 1 導電層と第 2 導電層には異なる導電材料を用いることが好ましい。また、第 3 のエッチング条件を調整することによって、この異方性エッチングで第 2 絶縁膜が部分的に薄くならないようにすることもできる。

【 0 1 0 3 】

こうして、エッチング条件を細かく変えて導電積層パターンの形成を行うことによって、導電積層パターンの形状のバラツキを抑えることができる。

【 0 1 0 4 】

以降の工程は、実施の形態 1 と同一であるのでここでは詳細な説明を省略する。

【 0 1 0 5 】

また、本実施の形態は実施の形態 1 または実施の形態 2 と自由に組み合わせることができる。

【 0 1 0 6 】

(実施の形態 4)

10

20

30

40

50

また、ここでは、露光マスクを変更するだけで、工程数を増やすことなく、同一基板上に上記構造（ドレイン側がソース側よりも幅の広いL o v領域を有する構造）のトップゲート型T F Tと、チャンネル形成領域の両側に同じ幅のL o v領域を有する構造であるトップゲート型T F Tを形成する例を図4に示す。

【0107】

図4（A）において、基板500及び絶縁層508上に半導体層502、及び半導体層503が形成されている。半導体層502、及び半導体層503を覆うようにゲート絶縁層504、第1の導電膜505、及び第2の導電膜506が形成され、図4（A）で示したように作製された形状の異なるレジストパターン529、レジストパターン539、及びレジストパターン549が形成されている。これらのレジストパターンは、実施の形態1や実施の形態2に示す露光マスクを用いて形成することができる。

10

【0108】

レジストパターン529は両側になだらかな段差を有する形状（図4（A）の断面において左右対称の形状）であり、レジストパターン539は凸部が中央よりずれた位置にある形状（図4（A）の断面において左右非対称の形状）であり、レジストパターン549は段差も凹凸もない形状（図4（A）の断面において左右対称の形状）である。

【0109】

レジストパターン529、レジストパターン539、及びレジストパターン549を用いてエッチング処理によるパターニングを行い、第1のゲート電極層521、第2のゲート電極層522、第1のゲート電極層531、第2のゲート電極層532、第1の配線層541、及び第2の配線層542を形成する。

20

【0110】

第2のゲート電極層522、及び第2のゲート電極層532をマスクとして、半導体層502、及び半導体層503に一導電型を有する不純物元素を添加し、低濃度不純物領域524a、低濃度不純物領域524b、低濃度不純物領域534a、及び低濃度不純物領域534bを形成する（図4（B）参照。）。

【0111】

さらに、第1のゲート電極層521、第2のゲート電極層522、第1のゲート電極層531、第2のゲート電極層532をマスクとして、半導体層502、半導体層503に一導電型を有する不純物元素を添加し、高濃度不純物領域525a、高濃度不純物領域525b、高濃度不純物領域535a、高濃度不純物領域535bを形成する。

30

【0112】

また、レジストパターン523、レジストパターン533、レジストパターン543を除去する。

【0113】

こうして、同一基板上に、第1のT F T部530と、第2のT F T部520と、配線部540とを形成することができる。第1のT F T部530には、ソース側に低濃度不純物領域534aを有し、ドレイン側に低濃度不純物領域534bを有するT F Tが形成される。なお、低濃度不純物領域534bは、低濃度不純物領域534aよりも幅が広い。また、第2のT F T部520には、チャンネル形成領域の両側に幅の同じ低濃度不純物領域524a、524bを有するT F Tが作製される（図4（C）参照。）。また、配線部540には、端面の位置が一致している積層、即ち、第1の配線層541と第2の配線層542の積層が得られる。

40

【0114】

さらに、シングルドレイン構造のT F Tも同一基板上に形成することができる。図12にその断面図の一例を示す。なお、図12において、図4（C）と共通な部分は同じ符号を用いて説明する。図12は、基板500上に第1のT F T部530と、第2のT F T部520と、第3のT F T部1500と、配線部540とを形成している。シングルドレイン構造のT F Tを配置している第3のT F T部1500において、第1のゲート電極層1504、第2のゲート電極層1505は、第1の配線層541と第2の配線層542の積層

50

と同じように端面の位置が一致している積層である。また、第1のゲート電極層1504は、第1の配線層541や第1のゲート電極層521と同じ材料で構成され、第2のゲート電極層1505は、第2の配線層542や第2のゲート電極層522と同じ材料で構成される。第1のゲート電極層1504、第2のゲート電極層1505をマスクとして一導電型を有する不純物元素を添加するため、自己整合的に高濃度不純物領域1501a、1501bが形成され、高濃度不純物領域1501aと高濃度不純物領域1501bとの間にチャンネル形成領域1503が形成される。第1のTFT部や第2のTFT部に示したTFTに比べ、第3のTFT部1500に示したシングルドレイン構造のTFTは高速駆動に適した構造である。このように、同一基板上に上記構造（ドレイン側がソース側よりも幅の広いLoV領域を有する構造）のトップゲート型TFTと、チャンネル形成領域の両側に同じ幅のLoV領域を有する構造であるトップゲート型TFTと、シングルドレイン構造のTFTとを形成することができる。

10

【0115】

加えて、同じレジストパターンを利用して、第1のTFT部530と同じ構造を形成して、同一基板上に容量とTFTとを形成することができる。その場合、ゲート絶縁層504を誘電体とし、高濃度不純物領域535a、535bと、第1のゲート電極層531及び第2のゲート電極層532とを一对の電極とする容量を形成することもできる。

【0116】

また、本実施の形態は実施の形態1、実施の形態2、または実施の形態3と自由に組み合わせることができる。

20

【0117】

（実施の形態5）

本実施の形態では、アクティブマトリクス型の発光装置の構造について、図5、及び図6を用いて作製方法とともに、以下に説明する。

【0118】

まず、絶縁表面を有する基板610上に下地絶縁膜611を形成する。基板610側を表示面として発光を取り出す場合、基板610としては、光透過性を有するガラス基板や石英基板を用いればよい。また、処理温度に耐えうる耐熱性を有する光透過性のプラスチック基板を用いてもよい。また、基板610側とは逆の面を表示面として発光を取り出す場合、前述の基板の他にシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。ここでは基板610としてガラス基板を用いる。なお、ガラス基板の屈折率は1.55前後である。

30

【0119】

下地絶縁膜611としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成する。ここでは下地膜として単層構造を用いた例を示すが、前記絶縁膜を2層以上積層させた構造を用いても良い。なお、基板の凹凸や、基板からの不純物拡散が問題にならないのであれば、特に下地絶縁膜を形成しなくてもよい。

【0120】

次いで、下地絶縁膜上に半導体層を形成する。半導体層は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LP-CVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を第1のフォトリソマスクを用いて所望の形状にパターニングして、半導体層を形成する。なお、プラズマCVD法を用いれば、下地絶縁膜と、非晶質構造を有する半導体膜とを大気に触れることなく連続的に積層することができる。この半導体膜の厚さは25～80nm（好ましくは30～70nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

40

【0121】

ここでは、非晶質構造を有する半導体膜を結晶化させる技術として、特開平8-78329号公報記載の技術を用いて結晶化させる。同公報記載の技術は、非晶質シリコン膜（

50

アモルファスシリコン膜とも呼ばれる) に対して結晶化を助長する金属元素を選択的に添加し、加熱処理を行うことで添加領域を起点として広がる結晶構造を有する半導体膜を形成するものである。

【0122】

以下に結晶質半導体膜の形成方法の一例を詳細に説明する。

【0123】

まず、非晶質構造を有す半導体膜の表面に、結晶化を促進する触媒作用のある金属元素(ここでは、ニッケル)を重量換算で1~100ppm含む酢酸ニッケル溶液をスピナーで塗布してニッケル含有層を形成する。塗布によるニッケル含有層の形成方法以外の他の手段として、スパッタ法、蒸着法、またはプラズマ処理により極薄い膜を形成する手段を用いてもよい。また、ここでは、全面に塗布する例を示したが、マスクを形成して選択的にニッケル含有層を形成してもよい。

10

【0124】

次いで、加熱処理を行い、結晶化を行う。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。こうして、結晶構造を有す半導体膜が形成される。なお、結晶化後での半導体膜に含まれる酸素濃度は、 $5 \times 10^{-18} / \text{cm}^3$ 以下とすることが望ましい。ここでは、脱水素化のための熱処理(500、1時間)の後、結晶化のための熱処理(550~650で4~24時間)を行う。また、強光の照射により結晶化を行う場合は、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。なお、必要であれば、強光を照射する前に非晶質構造を有する半導体膜に含有する水素を放出させる熱処理を行ってもよい。また、熱処理と強光の照射とを同時に行って結晶化を行ってもよい。生産性を考慮すると、結晶化は強光の照射により結晶化を行うことが望ましい。

20

【0125】

このようにして得られる結晶質半導体膜には、金属元素(ここではニッケル)が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{-19} / \text{cm}^3$ を越える濃度で残存している。勿論、このような状態でもTFEをはじめ各種半導体素子を形成することが可能であるが、以降に示すゲッタリング方法で当該元素を除去する。

30

【0126】

ここで、レーザ光の照射を行う前に結晶化工程で形成される自然酸化膜を除去する。この自然酸化膜にはニッケルが高濃度に含まれているため、除去することが好ましい。

【0127】

次いで、結晶化率(膜の全体積における結晶成分の割合)を高め、結晶粒内に残される欠陥を補修するために、結晶質半導体膜に対してレーザ光を照射する。レーザ光を照射した場合、半導体膜に歪みやリッジが形成され、表面に薄い表面酸化膜(図示しない)が形成される。このレーザ光としてはパルス発振であるレーザ光源から射出される波長400nm以下のエキシマレーザ光や、YAGレーザの第2高調波、第3高調波を用いればよい。また、レーザ光としては連続発振が可能な固体レーザを用い、基本波の第2高調波~第4高調波を用いてもよい。代表的には、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用すればよい。

40

【0128】

次いで、結晶質半導体膜の歪みを低減するための第1の熱処理(半導体膜が瞬間的に400~1000程度にまで加熱される熱処理)を窒素雰囲気にて行い、平坦な半導体膜を得る。瞬間的に加熱する熱処理としては、強光を照射する熱処理、または加熱されたガス中に基板を投入し、数分放置した後に基板を取りだす熱処理によって加熱を行えばよい。また、この熱処理の条件によっては、歪みを低減すると同時に結晶粒内に残される欠陥を補修する、即ち結晶性の改善を行うことができる。また、この熱処理により、歪みを低減してニッケルが後のゲッタリング工程でゲッタリングされやすくなる。なお、この熱処

50

理における温度が結晶化での温度よりも低い場合、シリコン膜が固相状態のまま、膜中にニッケルが移動することになる。

【0129】

次いで、結晶質半導体膜上方に希ガス元素を含む半導体膜を形成する。希ガス元素を含む半導体膜を形成する前にエッチングストッパーとなる酸化膜（バリア層と呼ばれる）を1～10nmの膜厚で形成してもよい。バリア層は、半導体膜の歪みを低減するための熱処理で同時に形成してもよい。

【0130】

希ガス元素を含む半導体膜は、プラズマCVD法、またはスパッタ法にて形成し、膜厚10nm～300nmのゲッタリングサイトを形成する。希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。中でも安価なガスであるアルゴン（Ar）が好ましい。

【0131】

ここではPCVD法を用い、原料ガスとしてモノシランとアルゴンを用い、比率（モノシラン：アルゴン）を0.1：99.9～1：9、好ましくは、1：99～5：95に制御して成膜する。また、成膜時のRFパワー密度は、0.0017W/cm²～0.48W/cm²とすることが望ましい。RFパワー密度は、高ければ高いほどゲッタリング効果が得られる膜質となり、加えて成膜速度が向上するため好ましい。また、成膜時の圧力は、1.333Pa（0.01Torr）～133.322Pa（1Torr）とすることが望ましい。圧力は、高ければ高いほど成膜速度が向上するが、圧力が高いと膜中に含まれるAr濃度は減少する。また、成膜温度は300～500とすることが望ましい。こうして、膜中にアルゴンを $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ 、好ましくは、 $1 \times 10^{20} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含む半導体膜をプラズマCVD法で成膜することができる。上記第2の半導体膜の成膜条件を上記範囲内で調節することで、成膜の際、バリア層に与えるダメージを低減することができ、半導体膜の膜厚のバラツキ発生や半導体膜に穴が形成されるという不良の発生を防ぐことができる。

【0132】

膜中に不活性気体である希ガス元素イオンを含有させる意味は二つある。一つはダングリングボンドを形成することであり、他の一つは半導体膜に歪みを与えることである。半導体膜に歪みを与えるにはアルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）などシリコンより原子半径の大きな元素を用いた時に顕著に得られる。また、膜中に希ガス元素を含有させることにより、格子歪だけでなく、不對結合手も形成させてゲッタリング作用に寄与する。

【0133】

次いで、加熱処理を行い、結晶質半導体膜中における金属元素（ニッケル）の濃度を低減、あるいは除去するゲッタリングを行う。ゲッタリングを行う加熱処理としては、強光を照射する処理、炉を用いた熱処理、または加熱されたガスに基板を投入し、数分放置した後取り出すことによって加熱を行えばよい。ここでは、ゲッタリングを行うための第2の熱処理（半導体膜が瞬間的に400～1000程度にまで加熱される熱処理）を窒素雰囲気で行う。

【0134】

この第2の熱処理により、金属元素が希ガス元素を含む半導体膜に移動し、バリア層で覆われた結晶質半導体膜に含まれる金属元素の除去、または金属元素の濃度の低減が行われる。結晶質半導体膜に含まれる金属元素は、基板面と垂直な方向、且つ、希ガス元素を含む半導体膜に向かって移動する。

【0135】

金属元素がゲッタリングの際に移動する距離は、結晶質半導体膜の厚さ程度の距離であればよく、比較的短時間でゲッタリングを完遂することができる。ここでは、ニッケルが結晶質半導体膜に偏析しないよう希ガス元素を含む半導体膜に移動させ、結晶質半導体膜に

10

20

30

40

50

含まれるニッケルがほとんど存在しない、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下になるように十分ゲッタリングする。なお、希ガス元素を含む半導体膜だけでなくバリア層もゲッタリングサイトとして機能する。

【0136】

次いで、バリア層をエッチングストッパーとして、希ガス元素を含む半導体膜のみを選択的に除去する。希ガス元素を含む半導体膜のみを選択的にエッチングする方法としては、 ClF_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラメチルアンモニウムヒドロキシド（化学式 $(\text{CH}_3)_4\text{NOH}$ ）（略称 TMAH）を含む水溶液などアルカリ溶液によるウエットエッチングで行うことができる。なお、ここのエッチングで結晶質半導体膜にピンホールが形成されるのを防止するため、オーバーエッチング時間を少なめにする。

10

【0137】

次いで、フッ酸を含むエッチャントによりバリア層を除去する。

【0138】

また、結晶質半導体膜の歪みを低減するための第1の熱処理が終わった後、Fなどの不純物を除去するため、フラッシュ物質を使用してフラッシングする処理を行ってもよい。例えば、PCVD装置を用いて、モノシランをフラッシュ物質として用い、ガス流量 $8 \sim 10 \text{ SLM}$ をチャンバーに $5 \sim 20$ 分間、好ましくは 10 分 ~ 15 分間導入し続けることで基板表面のフラッシングする処理（シランフラッシュとも呼ぶ）を行う。なお、 1 SLM は 1000 sccm 、即ち、 $0.06 \text{ m}^3 / \text{h}$ である。また、PCVD装置を用いれば、フラッシングする処理と希ガス元素を含む半導体膜の形成を連続的に行えるため、好ましい。

20

【0139】

以上の工程で、良好な結晶質半導体膜を得ることができる。

【0140】

結晶質半導体膜を第1のフォトリソマスクを用いて所望の形状にパターニングした後、レジストマスクを除去する。次いで、必要があれば TFT のしきい値を制御するために、微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行う。ここでは、ジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【0141】

30

次いで、フッ酸を含むエッチャントで半導体層表面の酸化膜を除去すると同時に半導体層の表面を洗浄する。

【0142】

そして、半導体層を覆う絶縁膜を形成する。絶縁膜はプラズマ CVD 法またはスパッタ法を用い、厚さを $1 \sim 200 \text{ nm}$ とする。好ましくは $10 \text{ nm} \sim 50 \text{ nm}$ と薄くしてシリコンを含む絶縁膜の単層または積層構造で形成した後にマイクロ波によるプラズマを用いた表面窒化処理を行う。絶縁膜は、後に形成される TFT のゲート絶縁膜として機能する。

【0143】

次いで、絶縁膜上に膜厚 $20 \sim 100 \text{ nm}$ の第1の導電膜と、膜厚 $100 \sim 400 \text{ nm}$ の第2の導電膜とを積層形成する。本実施の形態では、絶縁膜 613 上に膜厚 50 nm の窒化タンタル膜、膜厚 370 nm のタングステン膜を順次積層し、実施の形態1に示したパターニングを行って各ゲート電極及び各配線を形成する。本実施の形態では、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトリソマスクまたはレチクルを用いて、各ゲート電極及び各配線を形成する。

40

【0144】

なお、ここでは導電膜を TaN 膜と W 膜との積層としたが、特に限定されず、Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の積層で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、2層構造に限定されず、例えば、膜厚 50 nm のタングステン膜、膜厚 500 nm のアルミニウムとシリコンの合金

50

(A l - S i)膜、膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。
【0145】

上記第1の導電膜及び第2の導電膜のエッチング(第1のエッチング処理および第2のエッチング処理)にはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望の形状に膜をエッチングすることができる。

【0146】

次いで、n型を付与する不純物元素を半導体層に添加するため、ゲート電極をマスクとして全面にドーピングする第1のドーピング工程を行う。第1のドーピング工程はイオンドーブ法、もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1.5 \times 10^{13} \text{ atoms/cm}^2$ とし、加速電圧を60~100kVとして行う。n型を付与する不純物元素として、典型的にはリン(P)または砒素(As)を用いる。

【0147】

次いで、レジストからなるマスクを形成した後、半導体にn型を付与する不純物元素を第1のドーピング工程よりも高濃度にドーブするための第2のドーピング工程を行う。マスクは、画素部のpチャネル型TFETを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、画素部のnチャネル型TFETの一部と、駆動回路部のpチャネル型TFETを形成する半導体層のソース領域、ドレイン領域、及びその周辺の領域と、を保護するために設ける。

【0148】

第2のドーピング工程におけるイオンドーブ法の条件はドーズ量を $1 \times 10^{15} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を50~100kVとして行う。なお、第2のドーピング工程における加速電圧は、第1のドーピング工程よりも低くする。

【0149】

次いで、マスクを除去した後、新たにレジストからなるマスクを形成し、半導体にp型を付与する不純物元素(代表的にはボロン)を高濃度にドーブするための第3のドーピング工程を行う。マスクは、画素部のnチャネル型TFETを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、駆動回路部のnチャネル型TFETを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、を保護するために設ける。

【0150】

この後、レジストマスクを除去する。以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。

【0151】

次いで、スパッタ法、LPCVD法、またはプラズマCVD法等を用いて、水素を含む絶縁膜を成膜した後、半導体層に添加された不純物元素の活性化および水素化を行う。水素を含む絶縁膜は、PCVD法により得られる窒化酸化珪素膜(SiNO膜)を用いる。ここでは、水素を含む絶縁膜の膜厚は、50nm~200nmとする。加えて、結晶化を助長する金属元素、代表的にはニッケルを用いて半導体膜を結晶化させている場合、活性化と同時にチャネル形成領域におけるニッケルの低減を行うゲッターリングをも行うことができる。なお、水素を含む絶縁膜は、層間絶縁膜の1層目であり、酸化珪素を含んでいる。

【0152】

次いで、スパッタ法、LPCVD法、またはプラズマCVD法等を用いて層間絶縁膜の2層目となる無機絶縁膜を形成する。無機絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜の単層または積層を用いる。ここでは無機絶縁膜の膜厚は600nm~800nmとする。

【0153】

次いで、フォトリソを用いてレジストからなるマスクを形成し、絶縁膜を選択的にエッチングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0154】

次いで、スパッタ法により金属膜を積層した後、フォトリソを用いてレジストからなるマスクを形成し、選択的に金属積層膜をエッチングして、TFTのソース電極またはドレイン電極として機能する電極を形成する。なお、金属積層膜は、同じメタルスパッタ装置内で連続して形成する。そして、レジストからなるマスクを除去する。

【0155】

以上の工程で、同一基板上にポリシリコン膜を活性層とするトップゲート型のTFT 636、637、638、639が作製できる。

10

【0156】

なお、画素部に配置されるTFT 638は、一つのTFTに複数のチャネル形成領域を有するnチャネル型TFTである。TFT 638は、ダブルゲート型のTFTである。また、画素部には、後に形成される発光素子と電氣的に接続するTFT 639が設けられる。ここでは、オフ電流低減のため、TFT 639として、ダブルゲート型のpチャネル型TFTを示したが、特に限定されず、シングルゲート型のTFTとしてもよい。

【0157】

また、駆動回路部に配置されるTFT 636は、チャネル形成領域の両側に幅の異なる2つの低濃度不純物領域(Low領域とも呼ぶ)を備えたnチャネル型TFTである。2つの低濃度不純物領域は、自己整合的にゲート電極と重なっている。また、TFT 637は、ソース側とドレイン側の両方に同じ幅の低濃度不純物領域(Low領域)を備えたpチャネル型TFTである。いずれもシングルゲート構造のTFTである。駆動回路部においては、TFT 636とTFT 637を相補的に接続することでCMOS回路を構成し、様々な種類の回路を実現することができる。また、必要であれば、マルチゲート構造のTFTとすることができる。

20

【0158】

次いで、第1の電極623、即ち、有機発光素子の陽極(或いは陰極)を形成する。第1の電極623として、仕事関数の大きい材料、例えば、Ni、W、Cr、Pt、Zn、Sn、InまたはMoから選ばれた元素、または前記元素を主成分とする合金材料、例えばTiN、TiSi_xN_y、WSi_x、WN_x、WSi_xN_y、NbNを用いて、単層膜またはそれらの積層膜を総膜厚100nm~800nmの範囲で用いればよい。

30

【0159】

具体的には第1の電極623として、透光性を有する導電性材料からなる透明導電膜を用いればよく、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。

【0160】

また、各透光性を有する導電性材料の、組成比例を述べる。酸化タングステンを含むインジウム酸化物の組成比は、酸化タングステン1.0wt%、インジウム酸化物99.0wt%とすればよい。酸化タングステンを含むインジウム亜鉛酸化物の組成比は、酸化タングステン1.0wt%、酸化亜鉛0.5wt%、インジウム酸化物98.5wt%とすればよい。酸化チタンを含むインジウム酸化物は、酸化チタン1.0wt%~5.0wt%、インジウム酸化物99.0wt%~95.0wt%とすればよい。インジウム錫酸化物(ITO)の組成比は、酸化錫10.0wt%、インジウム酸化物90.0wt%とすればよい。インジウム亜鉛酸化物(IZO)の組成比は、酸化亜鉛10.7wt%、インジウム酸化物89.3wt%とすればよい。酸化チタンを含むインジウム錫酸化物の組成比は、酸化チタン5.0wt%、酸化錫10.0wt%、インジウム酸化物85.0wt%とすればよい。上記組成比は例であり、適宜その組成比の割合は設定すればよい。

40

50

【0161】

次いで、塗布法により得られる絶縁膜（例えば、有機樹脂膜）をパターンングして、第1の電極623の端部を覆う絶縁物629（バンク、隔壁、障壁、土手などと呼ばれる）を形成する。なお、絶縁物629の形成は、マスクを用いるパターンングに限定されず、感光性材料を用いて露光と現像のみで形成してもよい。

【0162】

次いで、有機化合物を含む層624を、蒸着法または塗布法を用いて形成する。

【0163】

有機化合物を含む層624は、積層であり、有機化合物を含む層624の一層としてバッファ層を用いてもよい。バッファ層は、有機化合物と無機化合物とを含む複合材料であり、前記無機化合物は、前記有機化合物に対して電子受容性を示す。前記無機化合物は、酸化チタン、酸化ジルコニウム、酸化ハフニウム、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガン、および酸化レニウムからなる群より選ばれるいずれか一または複数である。バッファ層は、ホール輸送性を有する有機化合物と、無機化合物とを含む複合材料である。

【0164】

例えば、第1の電極623と第2の電極の間には有機化合物を含む積層（バッファ層と有機化合物層の積層）を設けることが好ましい。バッファ層は、金属酸化物（酸化モリブデン、酸化タングステン、酸化レニウムなど）と有機化合物（ホール輸送性を有する材料（例えば4,4'-ビス[N-(3-メチルフェニル)-N-フェニルアミノ]ビフェニル（略称：TPD）、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル（略称：-NPD）、4,4'-ビス{N-[4-(N,N-ジ-m-トリルアミノ)フェニル]-N-フェニルアミノ}ビフェニル（略称：DNTPD）など）とを含む複合層である。また、有機化合物層は、例えば、トリス(8-キノリノラト)アルミニウム（略称：Alq₃）や、トリス(4-メチル-8-キノリノラト)アルミニウム（略称：Almq₃）や、-NPDなどを用いることができる。また、有機化合物層は、ドーパント材料を含ませてもよく、例えば、N,N'-ジメチルキナクリドン（略称：DMQd）や、クマリン6や、ルブレンなどを用いることができる。第1の電極と第2の電極の間に設けられる有機化合物を含む積層は、抵抗加熱法などの蒸着法によって形成すればよい。

【0165】

バッファ層の膜厚を調節することによって、第1の電極と有機化合物層との距離を制御し、発光効率を高めることができる。バッファ層の膜厚を調節することによって、各発光素子からの発光色がきれいに表示された優れた映像を表示でき、低消費電力化された発光装置を実現することができる。

【0166】

次いで、第2の電極625、即ち、有機発光素子の陰極（或いは陽極）を形成する。第2の電極625としては、MgAg、MgIn、AlLiなどの合金、または透明導電膜（ITOなど）を用いる。

【0167】

次いで、蒸着法またはスパッタ法により保護層626を形成する。保護層626は、第2の電極625を保護する。保護層626を通過させて発光素子の発光を取り出す場合、透明な材料とすることが好ましい。なお、必要でなければ保護層626は設けなくともよい。

【0168】

次いで、封止基板633をシール材628で貼り合わせて発光素子を封止する。即ち、発光表示装置は、表示領域の外周をシール材で囲み、一对の基板で封止される。TFTの層間絶縁膜は、基板全面に設けられているため、シール材のパターンが層間絶縁膜の外周縁よりも内側に描画された場合、シール材のパターンの外側に位置する層間絶縁膜の一部から水分や不純物が浸入する恐れがある。従って、TFTの層間絶縁膜として用いる絶縁

10

20

30

40

50

膜の外周は、シール材のパターンの内側、好ましくは、シール材パターンと重なるようにして絶縁膜の端部をシール材が覆うようにする。なお、シール材 6 2 8 で囲まれた領域には充填材 6 2 7 を充填する。或いは、シール材 6 2 8 で囲まれた領域には乾燥した不活性ガスを充填する。

【 0 1 6 9 】

最後に F P C 6 3 2 を異方性導電膜 6 3 1 により公知の方法で端子電極と貼りつける。この段階での断面図を図 5 に示す。なお、端子電極は、第 1 の電極 6 2 3 と同じ工程で得られる透明導電膜を最上層に用いることが好ましく、ゲート配線と同時に形成された端子電極上に形成する。

【 0 1 7 0 】

10

また、図 6 は、画素部の上面図を示しており、図 6 中の鎖線 E - F で切断した断面が、図 5 における画素部の p チャネル型 T F T 6 3 9 の断面構造に対応している。また、図 6 中の鎖線 M - L で切断した断面が、図 5 における画素部の n チャネル型 T F T 6 3 8 の断面構造に対応している。なお、図 6 中の 6 8 0 で示した実線は、絶縁物 6 2 9 の周縁を示している。ただし、図 6 においては、第 2 導電層のみを図示しており、第 1 導電層は図示していない。

【 0 1 7 1 】

以上の工程によって、画素部と駆動回路と端子部とを同一基板上に形成することができる。

【 0 1 7 2 】

20

本実施の形態において、オフ電流低減のために画素部の T F T をダブルゲート構造とし、駆動回路の n チャネル型 T F T に本実施の形態 1 の T F T を用いている。

【 0 1 7 3 】

また、発光装置において、発光装置の発光表示面は、一面または両面であってもよい。第 1 の電極 6 2 3 と第 2 の電極 6 2 5 とを透明導電膜で形成した場合、発光素子の光は、基板 6 1 0 及び封止基板 6 3 3 を通過して両側に取り出される。この場合、封止基板 6 3 3 や充填材 6 2 7 は透明な材料を用いることが好ましい。

【 0 1 7 4 】

また、第 2 の電極 6 2 5 を金属膜で形成し、第 1 の電極 6 2 3 を透明導電膜で形成した場合、発光素子の光は、基板 6 1 0 のみを通り過して一方に取り出される構造、即ちボトムエミッション型となる。この場合、封止基板 6 3 3 や充填材 6 2 7 は透明な材料を用いなくともよい。

30

【 0 1 7 5 】

また、第 1 の電極 6 2 3 を金属膜で形成し、第 2 の電極 6 2 5 を透明導電膜で形成した場合、発光素子の光は、封止基板 6 3 3 のみを通り過して一方に取り出される構造、即ちトップエミッション型となる。この場合、基板 6 1 0 は透明な材料を用いなくともよい。

【 0 1 7 6 】

また、第 1 の電極 6 2 3 及び第 2 の電極 6 2 5 は仕事関数を考慮して材料を選択する必要がある。但し第 1 の電極及び第 2 の電極は、画素構成によりいずれも陽極、又は陰極となりうる。駆動用 T F T の極性が p チャネル型である場合、第 1 の電極を陽極、第 2 の電極を陰極とするとよい。また、駆動用 T F T の極性が n チャネル型である場合、第 1 の電極を陰極、第 2 の電極を陽極とすると好ましい。

40

【 0 1 7 7 】

また、フルカラー表示する場合、本実施の形態の画素部における等価回路図を図 7 に示す。図 7 中の T F T 6 3 8 が図 5 のスイッチング T F T 6 3 8 に対応しており、T F T 6 3 9 が電流制御用 T F T 6 3 9 に対応している。赤色を表示する画素は、電流制御用 T F T 6 3 9 のドレイン領域に赤色を発光する O L E D 7 0 3 R が接続され、ソース領域にはアノード側電源線 (R) 7 0 6 R が設けられている。また、O L E D 7 0 3 R には、カソード側電源線 7 0 0 が設けられている。また、緑色を表示する画素は、電流制御用 T F T のドレイン領域に緑色を発光する O L E D 7 0 3 G が接続され、ソース領域にはアノード側

50

電源線 (G) 7 0 6 G が設けられている。また、青色を表示する画素は、電流制御用 T F T のドレイン領域に青色を発光する O L E D 7 0 3 B が接続され、ソース領域にはアノード側電源線 (B) 7 0 6 B が設けられている。それぞれ色の異なる画素には E L 材料に応じて異なる電圧をそれぞれ印加する。なお、7 0 4 はソース配線、7 0 5 はゲート配線を示している。

【 0 1 7 8 】

また、発光装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

10

【 0 1 7 9 】

さらに、ビデオ信号がデジタルの発光装置において、画素に入力されるビデオ信号が定電圧 (C V) のものと、定電流 (C C) のものとがある。ビデオ信号が定電圧のもの (C V) には、発光素子に印加される信号の電圧が一定のもの (C V C V) と、発光素子に印加される信号の電流が一定のもの (C V C C) とがある。また、ビデオ信号が定電流のもの (C C) には、発光素子に印加される信号の電圧が一定のもの (C C C V) と、発光素子に印加される信号の電流が一定のもの (C C C C) とがある。

【 0 1 8 0 】

また、発光装置において、静電破壊防止のための保護回路 (保護ダイオードなど) を設けてもよい。

20

【 0 1 8 1 】

また、ここでは表示装置としてアクティブマトリクス型の発光装置の例を示したが、アクティブマトリクス型の液晶表示装置にも適用できる。

【 0 1 8 2 】

また、本実施の形態は実施の形態 1、実施の形態 2、実施の形態 3、または実施の形態 4 と自由に組み合わせることができる。

【 0 1 8 3 】

(実施の形態 6)

また、実施の形態 1 では、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルをゲート配線のパターン形成に用いた例を示したが、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを層間絶縁膜のコンタクト開口形成に用いてもよい。

30

【 0 1 8 4 】

本実施の形態では、層間絶縁膜のコンタクト開口形成の際と、接続配線のパターン形成の際とに、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いた例を図 8 を用いて説明する。

【 0 1 8 5 】

実施の形態 4 に従って、絶縁表面を有する基板 7 1 0 上に下地絶縁膜 7 1 8 を設けた後、半導体層と、該半導体層を覆うゲート絶縁膜 7 1 4 を形成する。そして、第 1 導電膜と第 2 導電膜を積層し、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いてレジストパターンを形成し、エッチングしてゲート電極および配線を形成する。

40

【 0 1 8 6 】

ここでは、実施の形態 4 と同様に、第 1 の T F T 部 7 3 0 に第 1 導電層 7 3 1 及び第 2 導電層 7 3 2 を形成し、第 2 の T F T 部 7 2 0 に第 1 導電層 7 2 1 及び第 2 導電層 7 2 2 を形成する。なお、これらの電極構造は、実施の形態 4 に説明したのでここでは詳細な説明を省略する。

【 0 1 8 7 】

また、図 8 (A) に示すように、配線部及びコンタクト部 7 4 0 では、上方の配線とコ

50

ンタクトさせる場所は、第1導電層744の幅が第2導電層745よりも広い形状とする。こうして、上層との配線のアライメントずれが生じて第1導電層ともコンタクトさせることができる。また、コンタクトさせる箇所以外の配線においては、第1導電層741と第2導電層742との端部が一致する形状とする。

【0188】

次いで、第2のTFT部720を覆うレジストパターンを形成した後、半導体層にn型を付与する不純物元素を添加する。このn型を付与する不純物元素の添加によって、ドレイン領域735a、ソース領域735b、第1のLDD領域736a、第2のLDD領域736bが自己整合的に形成される。なお、n型を付与する不純物元素の添加は、1回のドーピング処理で行ってもよいし、複数回に分けてドーピング処理を行ってもよい。

10

【0189】

図8(A)に示すように、第1のLDD領域736aは、第2のLDD領域736bよりもチャネル長方向における幅が長い。また、第1のLDD領域736a及び第2のLDD領域736bは、ゲート絶縁膜714を介して第1導電層731と重なっている。

【0190】

次いで、レジストパターンを除去した後、新たに第1のTFT部730を覆うレジストパターンを形成する。そして、半導体層にp型を付与する不純物元素を添加する。このp型を付与する不純物元素の添加によって、ドレイン領域725a、ソース領域725b、第3のLDD領域726a、第4のLDD領域726bが自己整合的に形成される。

【0191】

20

図8(A)に示すように、第3のLDD領域726aは、第4のLDD領域726bとチャネル長方向における幅がほぼ同じである。また、第3のLDD領域726a及び第4のLDD領域726bは、ゲート絶縁膜714を介して第1導電層721と重なっている。

【0192】

また、不純物元素の添加の順序は特に限定されず、例えば、先に半導体層にp型を付与する不純物元素を添加した後、半導体層にn型を付与する不純物元素を添加してもよい。

【0193】

次いで、半導体層に添加した不純物元素の活性化を行った後、層間絶縁膜715を形成し、その上にレジスト膜を塗布する。

【0194】

30

次いで、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて、レジスト膜の露光及び現像を行い、図8(A)に示すレジストパターン750を形成する。このレジストパターン750は、下方の絶縁膜に開口を形成するためのマスクであり、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルによって、異なる深さの開口が設けられる。

【0195】

次いで、レジストパターン750を用いてエッチングを行い、層間絶縁膜715及びゲート絶縁膜714に開口を形成する。このエッチングでは、レジストパターン750をエッチングしながら、層間絶縁膜715及びゲート絶縁膜714の開口形成が行われ、異なる深さの開口を形成することができる。

40

【0196】

次いで、レジストパターンを除去する。この段階での断面図を図8(B)に示す。

【0197】

次いで、第3導電層(窒化チタン膜など)と第4導電層(アルミニウム膜など)の積層を形成する。そして、パターニングを行って、接続配線の第3導電層761、接続配線の第4導電層766と、ドレイン配線の第3導電層762、ドレイン配線の第4導電層767と、ソース配線の第3導電層763、ソース配線の第4導電層768とを形成する。加えて、第2のTFT部においては、接続電極の第3導電層765、接続電極の第4導電層770とソース電極の第3導電層769、ソース電極の第4導電層764を形成する。ここでは、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを

50

接続電極のパターン形成に用いている。接続電極の第3導電層765は、接続電極の第4導電層770よりも平面面積が広い。

【0198】

次いで、プラズマ処理を行い、第4導電層を酸化させて第4導電層の表面に酸化膜771を形成する。

【0199】

なお、プラズマ処理により第4導電層を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または酸素と水素（ H_2 ）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により膜を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理によって形成される絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでおり、Arを用いた場合には絶縁膜にArが含まれている。

【0200】

また、第4導電層にプラズマ処理を行う場合、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が 1.5 eV 以下で行う。より詳しくいうと、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下で行う。プラズマの電子密度が高密度であり、基板上に形成された被処理物（ここでは、第4導電層）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が 1.5 eV 以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点よりも 100 度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（ 2.45 GHz ）等の高周波を用いることができる。

【0201】

次いで、発光素子を構成する一方の電極772を形成する。この電極772は、接続電極の第3導電層765と一部が重なるように配置し、TFTと電気的に接続している。電極772は、仕事関数の大きい材料、例えば、Ni、W、Cr、Pt、Zn、Sn、InまたはMoから選ばれた元素、または前記元素を主成分とする合金材料、例えばTiN、 $TiSi_xN_y$ 、 WSi_x 、 WN_x 、 WSi_xN_y 、NbNを用いて、単層膜またはそれらの積層膜を総膜厚 $100 \text{ nm} \sim 800 \text{ nm}$ の範囲で用いればよい。

【0202】

次いで、発光素子を構成する一方の電極772の端部を覆う絶縁物773（バンク、隔壁、障壁、土手などと呼ばれる）を形成する。

【0203】

次いで、電極772上に有機化合物を含む層774を、蒸着法または塗布法を用いて形成する。

【0204】

次いで、有機化合物を含む層774上に、発光素子を構成するもう一方の電極775を形成する。電極775は、MgAg、MgIn、AlLiなどの合金、または透明導電膜（ITOなど）を用いればよい。

【0205】

こうして、第2のTFT部720には、一方の電極772と、有機化合物を含む層77

10

20

30

40

50

4と、もう一方の電極775とで構成される発光素子と、該発光素子と接続されるpチャネル型TFTが形成される。発光素子に接続するTFTとしては、オフ電流低減のため、同じ幅のLDD領域を有することが望ましい。

【0206】

また、駆動回路のバッファ回路の一部を構成するTFTとしては、第1のTFT部730に示すnチャネル型TFTを配置することが望ましい。第1のTFT部730に示すnチャネル型TFTは、ドレイン近傍の電界強度を緩和でき、回路の劣化を抑えることができる。加えて、第1のTFT部730に示すnチャネル型TFTは、寄生容量を低減できるため、回路の消費電力を低減することができる。

【0207】

また、本実施の形態は実施の形態1、実施の形態2、実施の形態3、実施の形態4、または実施の形態5と自由に組み合わせることができる。

【0208】

(実施の形態7)

ここでは、図9を用いて、発光表示パネルにFPCや、駆動用の駆動ICを実装する例について説明する。

【0209】

図9(A)に示す図は、FPC1209を4カ所の端子部1208に貼り付けた発光装置の上面図の一例を示している。基板1210上には発光素子及びTFTを含む画素部1202と、TFTを含むゲート側駆動回路1203と、TFTを含むソース側駆動回路1201とが形成されている。TFTの活性層が結晶構造を有する半導体膜で構成されており、同一基板上にこれらの回路を形成している。従って、システムオンパネル化を実現したEL表示パネルを作製することができる。

【0210】

なお、基板1210はコンタクト部以外において保護膜で覆われており、保護膜上に光触媒機能を有する物質を含む下地層が設けられている。

【0211】

また、画素部を挟むように2カ所に設けられた接続領域1207は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFTと電氣的に接続している。

【0212】

また、封止基板1204は、画素部および駆動回路を囲むシール材1205、およびシール材に囲まれた充填材料によって基板1210と固定されている。また、透明な乾燥剤を含む充填材料を充填する構成としてもよい。また、画素部と重ならない領域に乾燥剤を配置してもよい。

【0213】

また、図9(A)に示した構造は、XGAクラスの比較的大きなサイズ(例えば対角4.3インチ)の発光装置で好適な例を示したが、図9(B)は、狭額縁化させた小型サイズ(例えば対角1.5インチ)で好適なCOG方式を採用した例である。

【0214】

図9(B)において、基板1310上に駆動IC1301が実装され、駆動ICの先に配置された端子部1308にFPC1309を実装している。実装される駆動IC1301は、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形の基板上に複数個作り込むとよい。つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して駆動ICを個別に取り出せばよい。駆動ICの長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15~80mm、短辺が1~6mmの矩形に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

【0215】

駆動ICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が15~8

10

20

30

40

50

0 mmで形成された駆動ICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上に駆動ICを形成すると、母体として用いる基板の形状に限定されないで生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

【0216】

また、TAB方式を採用してもよく、その場合は、複数のテープを貼り付けて、該テープに駆動ICを実装すればよい。COG方式の場合と同様に、単数のテープに単数の駆動ICを実装してもよく、この場合には、強度の問題から、駆動ICを固定するための金属片等を一緒に貼り付けるとよい。

10

【0217】

また、画素部1302と駆動IC1301の間に設けられた接続領域1307は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFEと電気的に接続している。

【0218】

また、封止基板1304は、画素部1302を囲むシール材1305、およびシール材に囲まれた充填材料によって基板1310と固定されている。

【0219】

また、画素部のTFEの活性層として非晶質半導体膜を用いる場合には、駆動回路を同一基板上に形成することは困難であるため、大きなサイズであっても図9(B)の構成となる。

20

【0220】

また、ここでは表示装置としてアクティブマトリクス型の発光装置の例を示したが、アクティブマトリクス型の液晶表示装置にも適用できることはいうまでもない。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、素子基板に設けられた画素電極と対向基板に設けられた対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。対向基板と素子基板は、等間隔で配置され、液晶材料が充填されている。液晶材料は、シール材を閉パターンとして気泡が入らないように減圧下で液晶の滴下を行い、両方の基板を貼り合わせる方法を用いてもよいし、開口部を有するシールパターンを設け、TFE基板を貼りあわせた後に毛細管現象を用いて液晶を注入するディップ式（汲み上げ式）を用いてもよい。

30

【0221】

また、カラーフィルタを用いずに、光シャッタを行い、RGBの3色のバックライト光源を高速で点滅させるフィールドシーケンシャル方式の駆動方法を用いた液晶表示装置にも本発明は、適用できる。

【0222】

以上の様に、本発明を実施する、即ち実施の形態1乃至6のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

40

【0223】

(実施の形態8)

本発明の半導体装置、及び電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図10および図11に示す。

【0224】

50

図１０（Ａ）はデジタルカメラであり、本体２１０１、表示部２１０２、撮像部、操作キー２１０４、シャッター２１０６等を含む。なお、図１０（Ａ）は表示部２１０２側からの図であり、撮像部は示していない。本発明により、高精細な表示部を有し、且つ、信頼性の高いデジタルカメラが実現できる。

【０２２５】

図１０（Ｂ）はノート型パーソナルコンピュータであり、本体２２０１、筐体２２０２、表示部２２０３、キーボード２２０４、外部接続ポート２２０５、ポインティングマウス２２０６等を含む。本発明により、高精細な表示部を有し、且つ、信頼性の高いノート型パーソナルコンピュータを実現することができる。

【０２２６】

図１０（Ｃ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２４０１、筐体２４０２、表示部Ａ２４０３、表示部Ｂ２４０４、記録媒体（ＤＶＤ等）読込部２４０５、操作キー２４０６、スピーカー部２４０７等を含む。表示部Ａ２４０３は主として画像情報を表示し、表示部Ｂ２４０４は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明により、高精細な表示部を有し、且つ、信頼性の高い画像再生装置を実現することができる。

【０２２７】

また、図１０（Ｄ）は表示装置であり、筐体１９０１、支持台１９０２、表示部１９０３、スピーカ１９０４、ビデオ入力端子１９０５などを含む。この表示装置は、上述した実施の形態で示した作製方法により形成した薄膜トランジスタをその表示部１９０３および駆動回路に用いることにより作製される。なお、表示装置には液晶表示装置、発光装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明により、高精細な表示部を有し、且つ、信頼性の高い表示装置、特に２２インチ～５０インチの大画面を有する大型の表示装置を実現することができる。

【０２２８】

また、本発明のＴＦＴを有する薄膜集積回路に加えてアンテナなどを形成することによって、非接触型薄膜集積回路装置（無線ＩＣタグ、ＲＦＩＤ（無線認証、Radio Frequency Identification）とも呼ばれる）として用いることもできる。また、ＩＣタグを様々な電子機器に貼り付けることにより、電子機器の流通経路などを明確にすることができる。

【０２２９】

また、図１０（Ｅ）はパスポート１９４１に無線ＩＣタグ１９４２を付けている状態を示している。また、パスポート１９４１に無線ＩＣタグを埋め込んでもよい。同様にして、運転免許証、クレジットカード、紙幣、硬貨、証券、商品券、チケット、トラベラーズチェック（Ｔ／Ｃ）、健康保険証、住民票、戸籍謄本などに無線ＩＣタグを付けたり埋め込むことができる。この場合、本物であることを示す情報のみを無線ＩＣタグに入力しておき、不正に情報を読み取ったり書き込んだりできないようにアクセス権を設定する。これは、他の実施例で示したメモリを用いることにより実現できる。このようにタグとして利用することによって、偽造されたものと区別することが可能になる。このほかに、無線ＩＣタグをメモリとして用いることも可能である。また、無線ＩＣタグを包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に設けることにより、検品システム等のシステムの効率化を図ることができる。

【０２３０】

また、図１１で示す携帯電話機は、操作スイッチ類９０４、マイクロフォン９０５などが備えられた本体（Ａ）９０１と、表示パネル（Ａ）９０８、表示パネル（Ｂ）９０９、スピーカ９０６などが備えられた本体（Ｂ）９０２とが、蝶番９１０で開閉可能に連結されている。表示パネル（Ａ）９０８と表示パネル（Ｂ）９０９は、回路基板９０７と共に本体（Ｂ）９０２の筐体９０３の中に収納される。表示パネル（Ａ）９０８及び表示パネル

10

20

30

40

50

(B) 9 0 9 の画素部は筐体 9 0 3 に形成された開口窓から視認できるように配置される。

【 0 2 3 1 】

表示パネル (A) 9 0 8 と表示パネル (B) 9 0 9 は、その携帯電話機 9 0 0 の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル (A) 9 0 8 を主画面とし、表示パネル (B) 9 0 9 を副画面として組み合わせることができる。

【 0 2 3 2 】

本発明により、高精細な表示部を有し、且つ、信頼性の高い携帯情報端末を実現することができる。

【 0 2 3 3 】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番 9 1 0 の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類 9 0 4、表示パネル (A) 9 0 8、表示パネル (B) 9 0 9 を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施の形態の構成を適用しても、同様な効果を得ることができる。

【 0 2 3 4 】

以上の様に、本発明を実施する、即ち実施の形態 1 乃至 7 のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

【 産業上の利用可能性 】

【 0 2 3 5 】

本発明は、同一基板上に様々な回路を形成し、各回路に最適な幅を有する L D D 領域を自己整合的に形成することができる。また、L D D 領域の幅を個々の回路に応じて精密に制御することができる。各回路の T F T の L D D 領域の最適化を図ることによって、信頼性向上や、消費電力の低減や、高速駆動を実現できる。

【 0 2 3 6 】

例えば、幅の異なる L D D 領域をチャネル形成領域の両側に有する T F T や、同じ幅の L D D 領域をチャネル形成領域の両側に有する T F T や、L D D 領域を設けない T F T などを工程数を増やすことなく、同一基板上に形成することができる。

【 図面の簡単な説明 】

【 0 2 3 7 】

【 図 1 】 半導体装置の作製工程を示す断面図。(実施の形態 1)

【 図 2 】 露光マスクの上面図及び光強度分布を示す図 (実施の形態 2)

【 図 3 】 半導体装置の作製工程を示す断面図。(実施の形態 3)

【 図 4 】 半導体装置の作製工程を示す断面図。(実施の形態 4)

【 図 5 】 発光装置の断面図。(実施の形態 5)

【 図 6 】 画素部における上面図。(実施の形態 5)

【 図 7 】 画素部における等価回路を示す図。(実施の形態 5)

【 図 8 】 発光装置の断面図。(実施の形態 6)

【 図 9 】 モジュールの一例を示す図。

【 図 1 0 】 電子機器の一例を示す図。

【 図 1 1 】 電子機器の一例を示す図。

【 図 1 2 】 半導体装置の作製工程を示す断面図。(実施の形態 4)

【 符号の説明 】

【 0 2 3 8 】

1 0 1 基板

1 0 2 第 1 絶縁膜 (下地絶縁膜)

1 0 3 半導体層

1 0 4 第 2 絶縁膜 (ゲート絶縁膜)

1 0 5 a 第 1 導電層

10

20

30

40

50

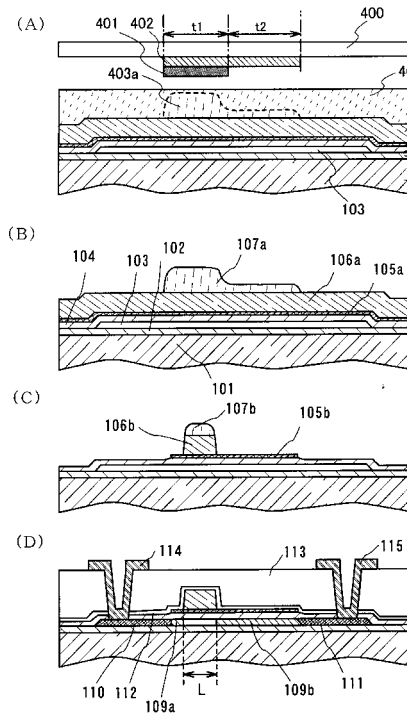
1 0 5 b	第 1 導電層	
1 0 6 a	第 2 導電層	
1 0 6 b	第 2 導電層	
1 0 7 a	レジストパターン	
1 0 7 b	レジストパターン	
1 0 9 a	一導電型の低濃度不純物領域	
1 0 9 b	一導電型の低濃度不純物領域	
1 1 0	一導電型の高濃度不純物領域	
1 1 1	一導電型の高濃度不純物領域	
1 1 2	第 3 絶縁膜	10
1 1 3	第 4 絶縁膜	
1 1 4	ソース電極	
1 1 5	ドレイン電極	
2 0 1	ゲート電極形成用フォトマスクまたはレチクル	
2 0 2	遮光部	
2 0 3	スリット部	
2 0 4	透光部	
2 0 5	ゲート電極形成用フォトマスクまたはレチクル	
2 0 6	遮光部	
2 0 7	スリット部	20
2 0 8	透光部	
2 0 9	光強度分布	
2 1 0	ゲート電極形成用フォトマスクまたはレチクル	
2 1 1	遮光部	
2 1 2	半透光部	
2 1 3	透光部	
2 1 4	光強度分布	
3 0 1	基板	
3 0 2	第 1 絶縁膜 (下地絶縁膜)	
3 0 3	半導体層	30
3 0 4	第 2 絶縁膜 (ゲート絶縁膜)	
3 0 5 a	第 1 導電層	
3 0 5 b	第 1 導電層	
3 0 6 a、3 0 6 b、3 0 6 c、3 0 6 d、3 0 6 e	第 2 導電層	
3 0 7 a、3 0 7 b、3 0 7 c、3 0 7 d	レジストパターン	
4 0 0	露光マスク	
4 0 1	遮光部	
4 0 2	半透膜が設けられた部分	
4 0 3 a	非露光領域	
4 0 3 b	露光領域	40
5 0 0	基板	
5 0 2	半導体層	
5 0 3	半導体層	
5 0 4	ゲート絶縁層	
5 0 5	第 1 の導電膜	
5 0 6	第 2 の導電膜	
5 0 8	絶縁層	
5 2 0	第 2 の T F T 部	
5 2 1	第 1 のゲート電極層	
5 2 2	第 2 のゲート電極層	50

5 2 3	レジストパターン	
5 2 4 a	低濃度不純物領域	
5 2 4 b	低濃度不純物領域	
5 2 5 a	高濃度不純物領域	
5 2 5 b	高濃度不純物領域	
5 2 9	レジストパターン	
5 3 0	第 1 の T F T 部	
5 3 1	第 1 のゲート電極層	
5 3 2	第 2 のゲート電極層	
5 3 3	レジストパターン	10
5 3 4 a	低濃度不純物領域	
5 3 4 b	低濃度不純物領域	
5 3 5 a	高濃度不純物領域	
5 3 5 b	高濃度不純物領域	
5 3 9	レジストパターン	
5 4 0	配線部	
5 4 1	第 1 の配線層	
5 4 2	第 2 の配線層	
5 4 3	レジストパターン	
5 4 9	レジストパターン	20
6 1 0	基板	
6 1 1	下地絶縁膜	
6 2 3	第 1 の電極	
6 2 4	有機化合物を含む層	
6 2 5	第 2 の電極	
6 2 6	保護層	
6 2 7	充填材	
6 2 8	シール材	
6 2 9	絶縁物	
6 3 1	異方性導電膜	30
6 3 2	F P C	
6 3 3	封止基板	
6 3 6	n チャネル型 T F T	
6 3 7	p チャネル型 T F T	
6 3 8	n チャネル型 T F T	
6 3 9	p チャネル型 T F T	
6 8 0	周縁	
7 0 0	カソード側電源線	
7 0 3 R	赤色を発光する O L E D	
7 0 3 G	緑色を発光する O L E D	40
7 0 3 B	青色を発光する O L E D	
7 0 4	ソース配線	
7 0 5	ゲート配線	
7 0 6 R	アノード側電源線	
7 0 6 G	アノード側電源線	
7 0 6 B	アノード側電源線	
7 1 0	基板	
7 1 8	下地絶縁膜	
7 2 0	第 2 の T F T 部	
7 2 1	第 1 導電層	50

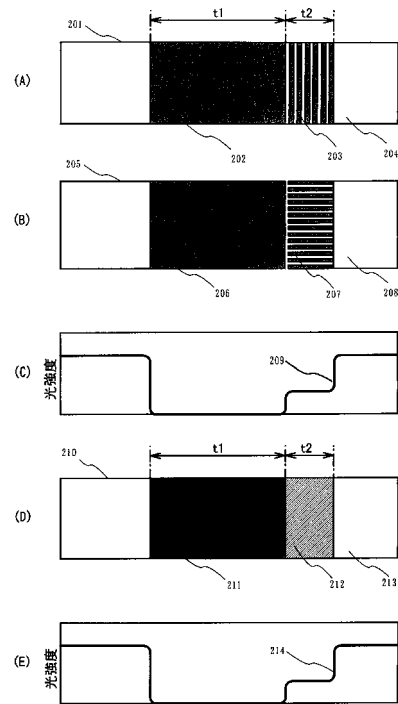
7 2 2	第 2 導電層	
7 2 5 a	ドレイン領域	
7 2 5 b	ソース領域	
7 2 6 a	第 3 の L D D 領域	
7 2 6 b	第 4 の L D D 領域	
7 3 0	第 1 の T F T 部	
7 3 1	第 1 導電層	
7 3 2	第 2 導電層	
7 3 5 a	ドレイン領域	
7 3 5 b	ソース領域	10
7 3 6 a	第 1 の L D D 領域	
7 3 6 b	第 2 の L D D 領域	
7 4 0	配線部及びコンタクト部	
7 4 1	第 1 導電層	
7 4 2	第 2 導電層	
7 4 4	第 1 導電層	
7 4 5	第 2 導電層	
7 5 0	レジストパターン	
7 6 1	接続配線の第 3 導電層	
7 6 2	ドレイン配線の第 3 導電層	20
7 6 3	ソース配線の第 3 導電層	
7 6 4	ソース電極の第 4 導電層	
7 6 5	接続電極の第 3 導電層	
7 6 6	接続配線の第 4 導電層	
7 6 7	ドレイン配線の第 4 導電層	
7 6 8	ソース配線の第 4 導電層	
7 6 9	ソース電極の第 3 導電層	
7 7 0	接続電極の第 4 導電層	
7 7 1	酸化膜	
7 7 2	発光素子を構成する一方の電極	30
7 7 3	絶縁物	
7 7 4	有機化合物を含む層	
7 7 5	発光素子を構成するもう一方の電極	
9 0 0	携帯電話機	
9 0 1	本体 (A)	
9 0 2	本体 (B)	
9 0 3	筐体	
9 0 4	操作スイッチ類	
9 0 5	マイクロフォン	
9 0 6	スピーカ	40
9 0 7	回路基板	
9 0 8	表示パネル (A)	
9 0 9	表示パネル (B)	
9 1 0	蝶番	
1 2 0 1	ソース側駆動回路	
1 2 0 2	画素部	
1 2 0 3	ゲート側駆動回路	
1 2 0 4	封止基板	
1 2 0 5	シール材	
1 2 0 7	接続領域	50

1 2 0 8	端子部	
1 2 0 9	F P C	
1 2 1 0	基板	
1 3 0 1	駆動 I C	
1 3 0 2	画素部	
1 3 0 4	封止基板	
1 3 0 5	シール材	
1 3 0 7	接続領域	
1 3 0 8	端子部	
1 3 0 9	F P C	10
1 3 1 0	基板	
1 5 0 0	第 2 の T F T 部	
1 9 0 1	筐体	
1 9 0 2	支持台	
1 9 0 3	表示部	
1 9 0 4	スピーカ	
1 9 0 5	ビデオ入力端子	
1 9 4 1	パスポート	
1 9 4 2	無線 I C タグ	
2 1 0 1	本体	20
2 1 0 2	表示部	
2 1 0 4	操作キー	
2 1 0 6	シャッター	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 0 5	外部接続ポート	
2 2 0 6	ポインティングマウス	
2 4 0 1	本体	30
2 4 0 2	筐体	
2 4 0 3	表示部 A	
2 4 0 4	表示部 B	
2 4 0 5	記録媒体読込部	
2 4 0 6	操作キー	
2 4 0 7	スピーカー部	

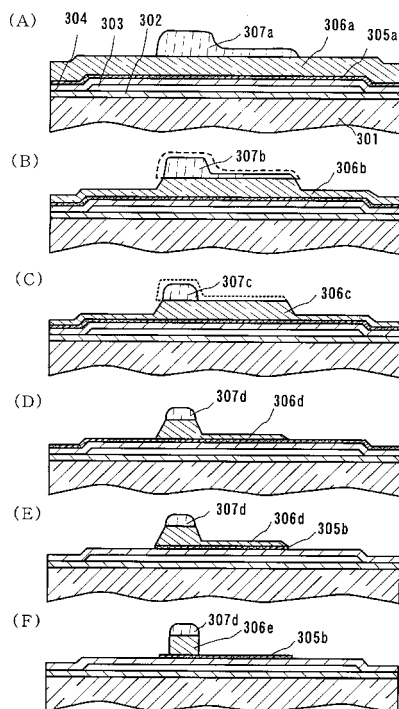
【図 1】



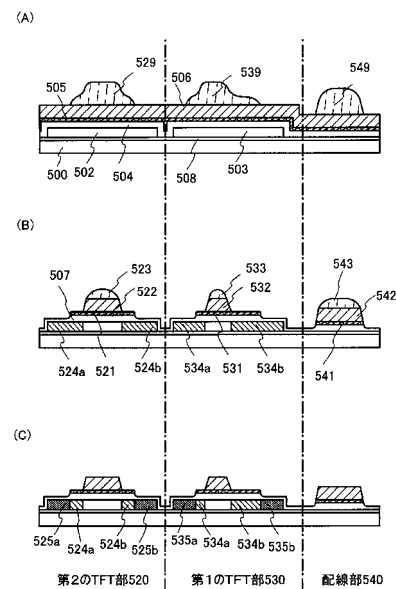
【図 2】



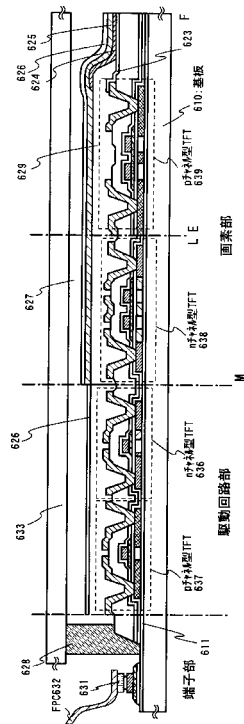
【図 3】



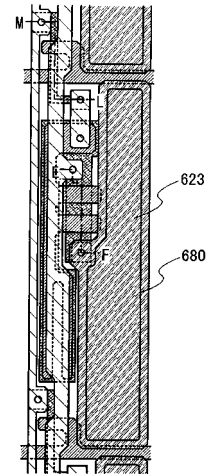
【図 4】



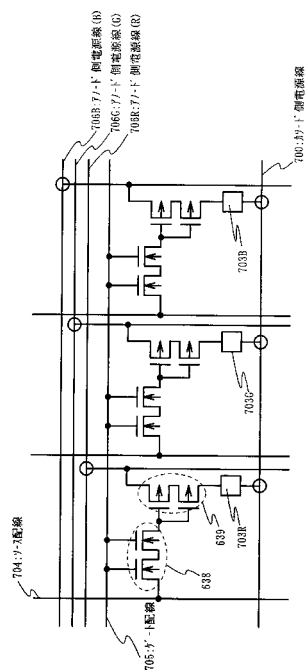
【 図 5 】



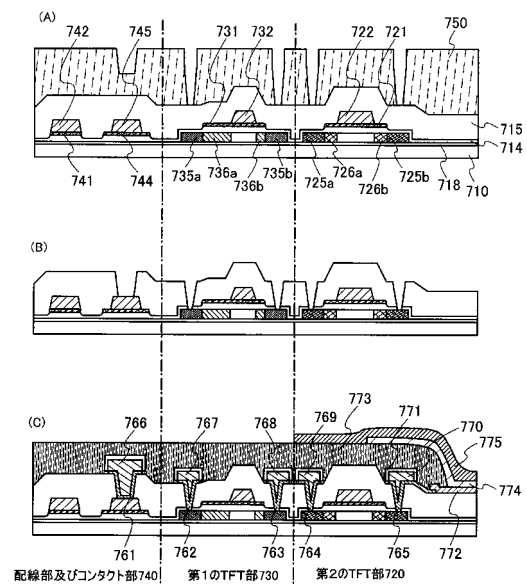
【 図 6 】



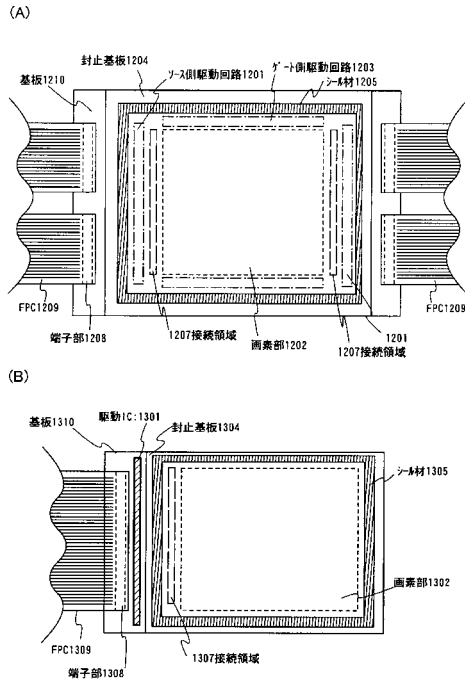
【圖 7】



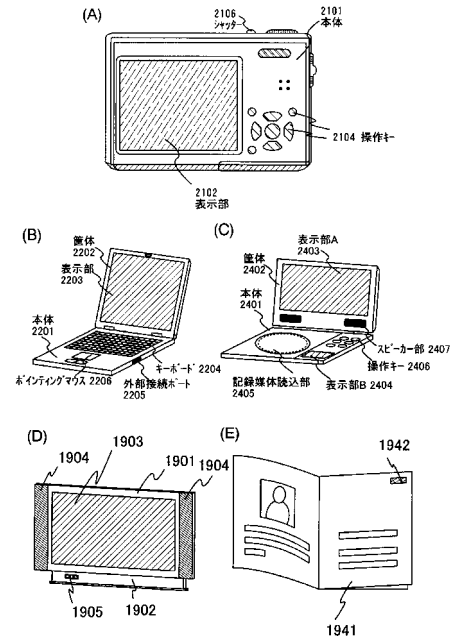
【圖 8】



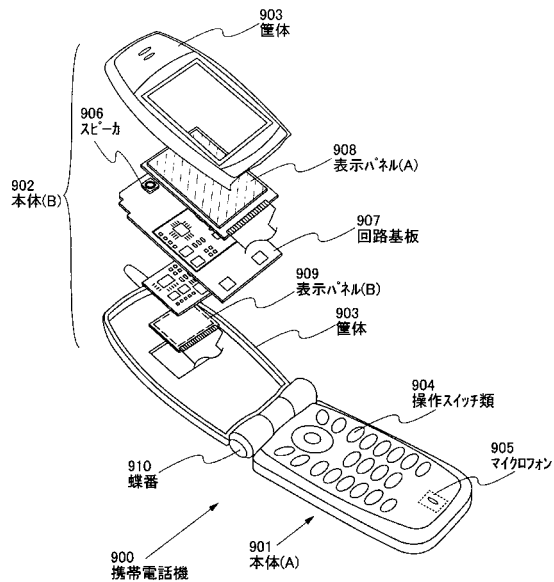
【図 9】



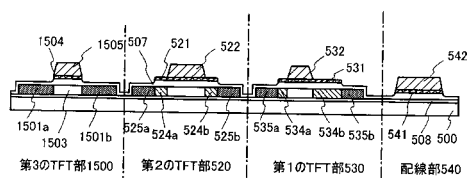
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/1368 (2006.01) G 0 2 F 1/1368

(56)参考文献 特開2002-151523(JP,A)
特開2004-095671(JP,A)
特開2004-006788(JP,A)
特開2002-134756(JP,A)
特開2000-349297(JP,A)
特開2000-269505(JP,A)
特開2000-223716(JP,A)
特開平05-249495(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 3 2
H 0 1 L 2 9 / 7 8 6