



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I579627 B

(45)公告日：中華民國 106 (2017) 年 04 月 21 日

(21)申請案號：104139662

(22)申請日：中華民國 99 (2010) 年 09 月 13 日

(51)Int. Cl. : G02F1/1368 (2006.01)

G02F1/1362 (2006.01)

G09G3/36 (2006.01)

G09G3/20 (2006.01)

(30)優先權：2009/09/24 日本

2009-218931

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：小山潤 KOYAMA, JUN (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200814330A

TW 200908222A

JP 10-301537A

US 5784042A

US 2009/0096726A1

審查人員：陳建銘

申請專利範圍項數：7 項 圖式數：30 共 132 頁

(54)名稱

顯示裝置

DISPLAY DEVICE

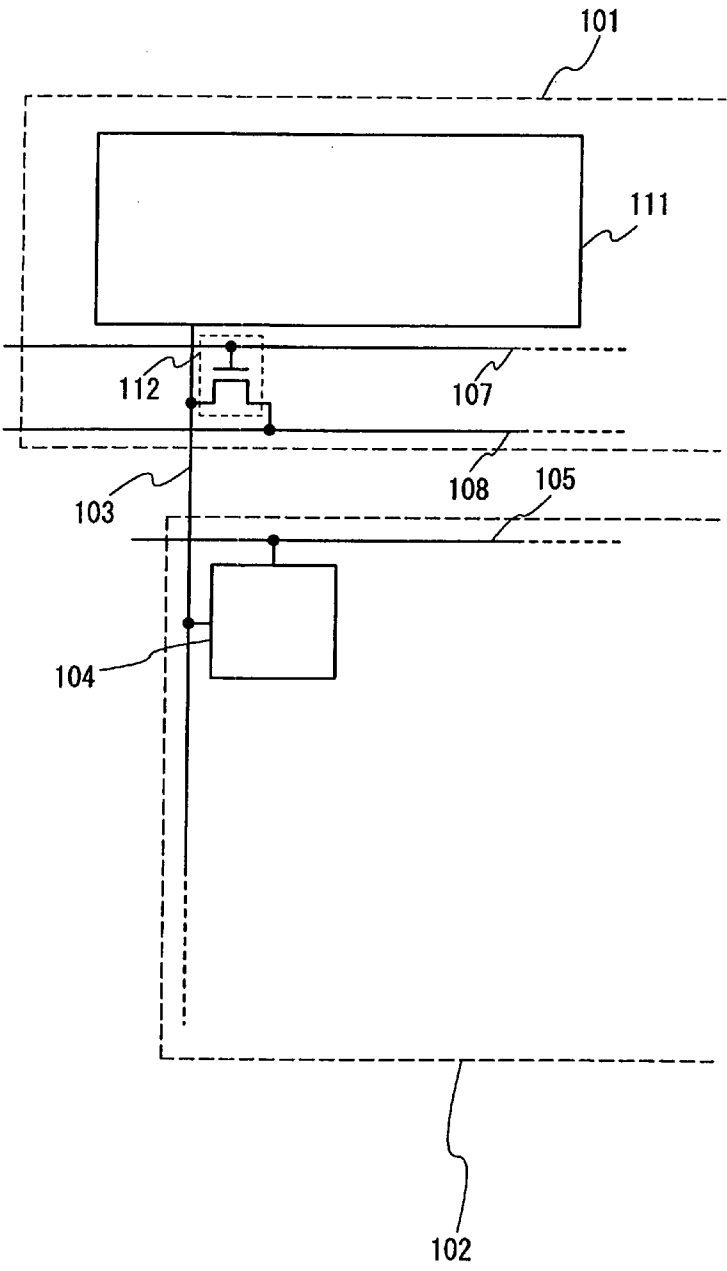
(57)摘要

一種顯示裝置包括具邏輯電路之驅動電路，該邏輯電路包括第一電晶體，其為空乏型電晶體，及第二電晶體，其為增強型電晶體；信號線，其電性連接至該驅動電路；包括畫素之畫素部，畫素顯示狀態係受經由該信號線之信號的輸入所控制，該信號包括來自該驅動電路之影像資料；施予參考電壓之參考電壓線；及第三電晶體，其為空乏型電晶體，並控制該信號線及該參考電壓線之間之電性連接。該第一至第三電晶體各包括具通道形成區之氧化物半導體層。

A display device includes a driver circuit including a logic circuit including a first transistor which is a depletion type transistor and a second transistor which is an enhancement type transistor; a signal line which is electrically connected to the driver circuit; a pixel portion including a pixel whose display state is controlled by input of a signal including image data from the driver circuit through the signal line; a reference voltage line to which reference voltage is applied; and a third transistor which is a depletion type transistor and controls electrical connection between the signal line and the reference voltage line. The first to the third transistors each include an oxide semiconductor layer including a channel formation region.

指定代表圖：

圖 1



- 符號簡單說明：
- 101 . . . 驅動電路部
 - 102 . . . 畫素部
 - 103 . . . 信號線
 - 104 . . . 畫素
 - 105、107 . . . 掃描線
 - 108 . . . 參考電壓線
 - 111 . . . 驅動電路
 - 112 . . . 電晶體

發明摘要

※申請案號：104139662 (由 99130882 分割)

※申請日：099 年 09 月 13 日

※IPC 分類：G02F 1/368 (2006.01)

【發明名稱】(中文/英文)

G06F 1/362 (2006.01)

顯示裝置

G09G 3/26 (2006.01)

Display device

G09G 3/20 (2006.01)

【中文】

一種顯示裝置包括具邏輯電路之驅動電路，該邏輯電路包括第一電晶體，其為空乏型電晶體，及第二電晶體，其為增強型電晶體；信號線，其電性連接至該驅動電路；包括畫素之畫素部，畫素顯示狀態係受經由該信號線之信號的輸入所控制，該信號包括來自該驅動電路之影像資料；施予參考電壓之參考電壓線；及第三電晶體，其為空乏型電晶體，並控制該信號線及該參考電壓線之間之電性連接。該第一至第三電晶體各包括具通道形成區之氧化物半導體層。

【 英文 】

A display device includes a driver circuit including a logic circuit including a first transistor which is a depletion type transistor and a second transistor which is an enhancement type transistor; a signal line which is electrically connected to the driver circuit; a pixel portion including a pixel whose display state is controlled by input of a signal including image data from the driver circuit through the signal line; a reference voltage line to which reference voltage is applied; and a third transistor which is a depletion type transistor and controls electrical connection between the signal line and the reference voltage line. The first to the third transistors each include an oxide semiconductor layer including a channel formation region.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

101：驅動電路部

102：畫素部

103：信號線

104：畫素

105、107：掃描線

108：參考電壓線

111：驅動電路

112：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯示裝置

Display device

【技術領域】

本發明關於包括具氧化物半導體之電晶體的顯示裝置。

【先前技術】

如同典型於液晶顯示裝置中所見，形成於例如玻璃基板之平板上的薄膜電晶體(TFT)，通常係使用半導體材料製造，例如非晶矽或多晶矽。使用非晶矽製造之TFT具有低場效移動性，但可形成於大玻璃基板之上。另一方面，使用晶體矽製造之TFT具有高場效移動性，但由於例如雷射退火之結晶步驟的必要性，電晶體並非總適於形成於大玻璃基板之上。

鑑於上述，注意已被吸引至一種技術，藉此TFT係使用氧化物半導體做為半導體材料製造，並應用於電子產品或光學裝置。例如，專利文獻1及專利文獻2揭露一種技術，藉此TFT係使用鋅氧化物或In-Ga-Zn-O基氧化物半導體做為半導體材料製造，並用做影像顯示裝置之開關元件等。

其中通道形成區係形成於氧化物半導體中之 TFT 的場效移動性，高於使用非晶矽之 TFT 的場效移動性。氧化物半導體膜可經由噴濺法等在 300°C 或更低之溫度下形成，且包括氧化物半導體之 TFT 的製造程序較使用多晶矽之 TFT 的製造程序簡單。

使用氧化物半導體而於玻璃基板或塑料基板等上形成之 TFT，預期將應用於顯示裝置，諸如液晶顯示裝置、電致發光顯示裝置（亦稱為 EL 顯示裝置）及電子紙。

若包括氧化物半導體之 TFT 應用於顯示裝置，TFT 可應用於例如畫素部中所包括之 TFT，或驅動電路中所包括之 TFT。顯示裝置之驅動電路包括例如移位暫存器電路或緩衝器電路，而移位暫存器電路及緩衝器電路包括邏輯電路。因而，經由使用包括氧化物半導體之 TFT 做為邏輯電路中之 TFT，可改進驅動電路之驅動速度。

在上述顯示裝置中，存在一個問題，其中於製造或作業期間，在元件、電極或布線中造成不希望的電荷集結。例如，若為電晶體，該等電荷集結將產生寄生通道而允許漏電流流動。此外，若為底閘電晶體，有時候電荷將集結於半導體層的表面或背通道部中（即夾於形成於半導體層之上的源極電極及汲極電極之間之半導體層區域），並產生寄生通道。此外，氧化物半導體具有做為半導體之極寬帶隙；因此，當氧化物半導體用做電晶體之通道形成層時，電晶體具有高關態電阻。所以，在其通道形成層包括氧化物半導體之電晶體中，可能發生不希望的電荷集結，

並因而可能產生寄生通道且漏電流可能流動。因此，為體現所需要之驅動電路及畫素部，產生寄生通道之不希望的電荷集結較佳地小為好。

〔參考〕

〔專利文獻 1〕日本公開專利申請案 No. 2007-123861

〔專利文獻 2〕日本公開專利申請案 No. 2007-96055

【發明內容】

本發明之一實施例之目標為減少不希望的電荷集結。

本發明之一實施例為顯示裝置，其包括驅動電路；包括經由信號線而電性連接至驅動電路之畫素的畫素部；及開關元件，若電荷集結於信號線中或電性連接至信號線之元件、電極或布線，其便選擇地開啓以放電不希望的電荷。因此，不希望的電荷集結減少，藉此可減少漏電流。

本發明之一實施例為顯示裝置，其包括具邏輯電路之驅動電路，該邏輯電路包括第一電晶體，其為空乏型電晶體，及第二電晶體，其為增強型電晶體；信號線；包括畫素之畫素部，畫素顯示狀態係受經由該信號線之信號的輸入所控制，該信號包括來自該驅動電路之影像資料；及第三電晶體，其為空乏型電晶體，並包括閘極、源極及汲極。在第三電晶體中，該源極及該汲極之一係被供應參考電壓；該源極及該汲極之另一電性連接至該信號線；及閘極信號被輸入閘極。該第一至第三電晶體，各包括具通道形成區之氧化物半導體層。

在本發明之一實施例中，該第一至第三電晶體，可各包括閘極電極；閘極電極上之閘極絕緣層；閘極絕緣層上之部分氧化物半導體層上之第一導電層及第二導電層，第一導電層及第二導電層各做為源極電極或汲極電極；及氧化物半導體層、第一導電層及第二導電層上之氧化物絕緣層。

在本發明之一實施例中，第一電晶體中氧化物半導體層之厚度大於第二電晶體中氧化物半導體層之厚度，且第三電晶體中氧化物半導體層之厚度大於第二電晶體中氧化物半導體層之厚度。

在本發明之一實施例中，導電層可設於具有氧化物絕緣層插於導電層及通道形成區之間之通道形成區之上。

依據本發明之一實施例，若發生不希望的電荷集結，便可將電荷向外釋放。因此，可減少不希望的電荷集結。

【圖式簡單說明】

圖 1 描繪依據實施例 1 之顯示裝置的結構範例；

圖 2A 及 2B 描繪依據實施例 2 之顯示裝置的結構範例；

圖 3 描繪圖 2A 及 2B 中顯示裝置之等效電路；

圖 4 描繪依據實施例 2 之顯示裝置的結構範例；

圖 5A 至 5C 為截面圖，描繪圖 2A 及 2B 中顯示裝置之製造方法範例；

圖 6A 及 6B 為截面圖，描繪圖 2A 及 2B 中顯示裝置

之製造方法範例；

圖 7A 及 7B 描繪依據實施例 2 之顯示裝置的結構範例；

圖 8 描繪依據實施例 2 之顯示裝置的結構範例；

圖 9A 至 9C 為截面圖，描繪圖 7A 及 7B 中顯示裝置之製造方法範例；

圖 10 為電路圖，描繪依據實施例 3 之邏輯電路的電路結構範例；

圖 11 為時序圖，描繪圖 10 中所描繪之邏輯電路的作業範例；

圖 12 為電路圖，描繪依據實施例 4 之移位暫存器的電路結構範例；

圖 13 為電路圖，描繪依據實施例 4 之非及（NAND）電路的電路結構；

圖 14 為時序圖，描繪圖 12 中所描繪之移位暫存器的作業範例；

圖 15 為方塊圖，描繪依據實施例 6 之顯示裝置的結構；

圖 16A 及 16B 為方塊圖，描繪依據實施例 6 之顯示裝置的驅動電路結構；

圖 17 為電路圖，描繪依據實施例 7 之顯示裝置中畫素的電路結構；

圖 18A 及 18B 描繪依據實施例 7 之顯示裝置中畫素的結構；

圖 19A1 至 19B2 各描繪依據實施例 7 之顯示裝置中畫素的結構；

圖 20 為電路圖，描繪依據實施例 8 之顯示裝置中畫素的電路結構；

圖 21A 至 21C 為截面圖，描繪依據實施例 8 之顯示裝置中畫素的結構；

圖 22A 及 22B 為俯視圖及截面圖，描繪依據實施例 8 之顯示裝置的結構；

圖 23 為截面圖，描繪依據實施例 9 之電子紙的結構；

圖 24 描繪電子裝置，其應用於依據實施例 9 之電子紙；

圖 25A1 至 25B 為俯視圖及截面圖，描繪依據實施例 10 之顯示裝置的結構；

圖 26A 及 26B 各描繪依據實施例 11 之電子裝置；

圖 27A 及 27B 各描繪依據實施例 11 之電子裝置；

圖 28A 及 28B 各描繪依據實施例 11 之電子裝置；

圖 29A 及 29B 描繪依據實施例 12 之顯示裝置的結構範例；及

圖 30A 及 30B 描繪依據實施例 13 之顯示裝置的結構範例。

【實施方式】

以下，將參照圖式描述本發明之實施例。請注意，本

發明不限於下列描述，且熟悉本技藝之人士將輕易地理解，在不偏離本發明之精神及範圍下，可以各式方式修改模式及內容。因此，本發明不應解釋為侷限於下列實施例之描述。

（實施例 1）

在本實施例中，將描述本發明之一實施例的顯示裝置。

將參照圖 1 描述本實施例中顯示裝置之結構範例。圖 1 描繪本實施例中顯示裝置之結構範例。

圖 1 中顯示裝置包括驅動電路部 101 及畫素部 102。此外，顯示裝置包括信號線 103。

驅動電路部 101 包括驅動電路 111 及電晶體 112。

驅動電路 111 為一電路，控制顯示裝置之顯示作業，並包括例如組合邏輯電路。組合邏輯電路之範例包括反相器，其包括例如空乏型電晶體及增強型電晶體。

請注意，空乏型電晶體為一電晶體，若電晶體為 n 通道電晶體則具有負閾值電壓，若電晶體為 p 通道電晶體則具有正閾值電壓，反之，增強型電晶體為一電晶體，若電晶體為 n 通道電晶體則具有正閾值電壓，若電晶體為 p 通道電晶體則具有負閾值電壓。

電晶體 112 為空乏型電晶體，具有閘極、源極及汲極。

閘極係指部分閘極電極及閘極布線，或是整個閘極電

極及閘極布線。閘極布線為一布線，用於將至少一電晶體之閘極電極電性連接至另一電極或另一布線。例如，顯示裝置中掃描線便包括於閘極布線中。

源極係指部分源極區、源極電極及源極布線，或是其整個零件。源極區為半導體層中區域，其中電阻係數等於或小於特定值。源極電極為連接至源極區之部分導電層。源極布線為一布線，用於將至少一電晶體之源極電極電性連接至另一電極或另一布線。例如，若顯示裝置中信號線電性連接至源極電極，該信號線便亦包括於源極布線中。

汲極係指部分汲極區、汲極電極及汲極布線，或是其整個零件。汲極區為半導體層中區域，其中電阻係數等於或小於特定值。汲極電極為連接至汲極區之部分導電層。汲極布線為一布線，用於將至少一電晶體之汲極電極電性連接至另一電極或另一布線。例如，若顯示裝置中信號線電性連接至汲極電極，該信號線便亦包括於汲極布線中。

在本文件（說明書、申請專利範圍、圖式等）中，由於電晶體之源極及汲極可依據電晶體之結構、操作狀況等而交換，其難以定義哪一為源極或汲極。因而，在本文件（說明書、申請專利範圍、圖式等）中，選自源極及汲極之一端子稱為源極及汲極之一，同時另一端子稱為源極及汲極之另一。

請注意，通常電壓係指兩點電位之間的差（亦稱為電位差）。然而，電壓之值及電位之值均以伏（V）代表，因而難以區別。因此，在本文件（說明書及申請專利範

圍) 中，有時候一點之電位及參考之電位（亦稱為參考電位）之間的差即為該點之電壓，除非特別指明。

電晶體 112 之源極及汲極之一電性連接至信號線 103，且電晶體 112 依據閘極電壓而進入開啓狀態（ON）或關閉狀態（OFF）。例如，如圖 1 中所描繪，加設掃描線 107 並電性連接至電晶體 112 之閘極，且電晶體 112 之閘極電壓係由經由掃描線 107 而輸入電晶體 112 之閘極的閘極信號控制。掃描線 107 例如電性連接至掃描線驅動電路，藉此可控制應用於掃描線 107 之電壓。電晶體 112 之源極及汲極之另一接地或具預定電壓（亦稱為參考電壓或 V_{ref} ）。如圖 1 中所描繪，例如經由配置參考電壓線 108 及將電晶體 112 之源極及汲極之另一電性連接至參考電壓線 108，而將參考電壓施予電晶體 112 之源極及汲極之另一。電晶體 112 進入開啓狀態或關閉狀態，藉此電晶體 112 做為開關元件，若信號線 103 中或電性連接至信號線 103 之元件、電極或布線出現電荷集結，便於非選擇期間經由信號線 103 釋放電荷。

請注意，顯示裝置之結構不限於圖 1 中描繪之結構，且電晶體 112 可為包括複數通道形成區之多閘極電晶體。此外，具有與電晶體 112 相同結構之複數電晶體可電性並聯。

畫素部 102 包括畫素 104。請注意，在畫素部 102 中，複數畫素 104 可以列及行排列。若複數畫素 104 係以列排列，便配置與畫素列數相同數量之掃描線。若複數畫

素 104 係以行排列，便配置與畫素列數相同數量之信號線。此外，若複數信號線係以行排列，電晶體 112 便針對每一信號線而予配置，且電晶體 112 之源極及汲極之一可電性連接至各信號線。

畫素 104 具有包括經由信號線 103 而來自驅動電路 111 之影像資料的信號，藉此其顯示狀態得以控制。畫素 104 例如包括諸如電晶體之開關元件，及諸如液晶元件或發光元件之顯示元件，其狀態係經由開啓或關閉開關元件予以控制。如圖 1 中所描繪的，若加設掃描線 105，便依據例如經由掃描線 105 輸入之信號，而設定影像資料的輸入時序。

請注意，在圖 1 中所描繪的顯示裝置中，驅動電路 111 中空乏型電晶體及用做電晶體 112 之空乏型電晶體可具有相同結構；例如，可均具有包括通道形成區之氧化物半導體層。此外，在圖 1 中所描繪的顯示裝置中，驅動電路 111 中空乏型電晶體及用做電晶體 112 之空乏型電晶體可具有相同導電類型。然而，本實施例並不侷限於此；例如，電晶體 112 之結構可與驅動電路 111 中電晶體之結構不同。

此外，例如可使用底閘電晶體做為驅動電路 111 中電晶體及電晶體 112。

此外，電晶體 112 之通道寬度可大於驅動電路 111 中電晶體之通道寬度。經由使電晶體 112 之通道寬度充分大，可減少電晶體 112 之開關作業上不希望的電荷集結效

應。

其次，將描述圖 1 中所描繪之顯示裝置的作業範例。請注意，在本特定範例中，電晶體 112 為 n 通道電晶體，而經由掃描線 105 及掃描線 107 輸入之掃描信號為具有第一電壓位準及第二電壓位準之二進制數位信號。經由掃描線 105 輸入之掃描信號具有第一電壓位準之電壓 $V1$ （亦簡稱為 $V1$ ）及第二電壓位準之電壓 $V2$ （亦簡稱為 $V2$ ）；反之，經由掃描線 107 輸入之掃描信號具有第一電壓位準之電壓 $V2$ 及第二電壓位準之電壓 $V3$ （亦簡稱為 $V3$ ）。電壓 $V1$ 高於電壓 $V2$ ，電壓 $V3$ 低於電壓 $V2$ ，及電壓 $V2$ 處於接地電位。此外，接地電位（亦稱為 V_{gnd} ）應用於參考電壓線 108。

圖 1 所描述之顯示裝置的作業範例劃分為未選擇畫素 104 之期間（亦稱為非選擇期間）及選擇畫素 104 之期間（亦稱為選擇期間）。若複數畫素 104 係以列及行排列，非選擇期間為無畫素 104 被選擇之期間，反之，選擇期間為任一畫素 104 被選擇之期間。

首先，在非選擇期間，掃描線 105 之電壓為電壓 $V2$ ，掃描線 107 之電壓（亦稱為 V_{107} ）為電壓 $V2$ 。

由於電晶體 112 因掃描線 107 之電壓而於此時進入開啓狀態，信號線 103 及參考電壓線 108 便形成電性連接；因此，若電荷集結於信號線 103 中或電性連接至信號線 103 之元件、電極或布線，集結之電荷便經由信號線 103 及電晶體 112 釋放至參考電壓線 108。

其次，在選擇期間，掃描線 105 之電壓改變為電壓 V1，及掃描線 107 之電壓改變為電壓 V3。

此時，電晶體 112 進入關閉狀態；因此，包括影像資料之信號便經由信號線 103 從驅動電路 111 輸入至畫素 104。輸入包括影像資料之信號的畫素 104 便依據輸入影像資料形成顯示狀態。

若複數畫素 104 亦以列及行排列，便實施類似作業。首先，因為電性連接至各信號線 103 之電晶體 112 於非選擇期間進入開啓狀態，信號線 103 及參考電壓線 108 便形成電性連接；因此，若電荷集結於信號線 103 中或電性連接至信號線 103 之元件、電極或布線，電荷便經由信號線 103 及電晶體 112 釋放至參考電壓線 108。在選擇期間，電晶體 112 進入關閉狀態，且影像資料經由掃描線 105 連續輸入至畫素 104。輸入影像資料之畫素形成顯示狀態。

可配置電晶體 112 進入開啓狀態之複數個非選擇期間。例如，可於訊框之選擇期間與下一訊框之選擇期間之間配置非選擇期間，以切換電晶體 112 為開啓狀態。

如上述，在本實施例之顯示裝置中，若電荷集結於電性連接至信號線之元件、電極或布線，集結之電荷可經由信號線而選擇地釋放至參考電壓線。此外，當使用底閘電晶體形成顯示裝置時，若電荷集結於背通道部中，集結之電荷可經由信號線釋放至參考電壓線。因此，可抑制寄生通道之產生，及可減少漏電流。

此外，當空乏型電晶體用做電晶體以釋放不希望的集

結之電荷時，電晶體可切換為開啓狀態而無電壓應用。因此，當顯示裝置未作業時可釋放不希望的集結之電荷。因此，可抑制對於顯示作業之影響。

（實施例 2）

在本實施例中，將描述本發明之一實施例之顯示裝置中驅動電路部的結構範例。

將參照圖 2A 及 2B 描述本實施例之驅動電路部結構。圖 2A 及 2B 描繪本實施例中驅動電路部之結構範例。圖 2A 為俯視圖，圖 2B 為沿圖 2A 之線 Z1-Z2 及線 Z3-Z4 的截面圖。

圖 2A 及 2B 所描述之驅動電路部包括基板 201 上之電晶體 251、電晶體 252 及電晶體 253。

電晶體 251 及電晶體 252 為用於圖 1 所描述之驅動電路 111 的邏輯電路中之元件範例。圖 3 描述電晶體之等效電路圖。

電晶體 251 為空乏型電晶體，且高電源電壓（亦稱為 V_{dd} ）係應用於其源極及汲極之一。電晶體之閘極與源極及汲極之另一彼此電性連接（即電晶體 251 為相連二極體）。

請注意，儘管閘極與源極及汲極之另一於圖 3 所描述之電晶體 251 中電性連接（即電晶體 251 為相連二極體），但結構不侷限於此。例如，閘極可電性連接至電晶體 251 之源極及汲極之一。此外，另一信號可經由閘極輸

入。

電晶體 252 為增強型電晶體，其中信號經由閘極輸入，電晶體 252 之源極及汲極之一電性連接至源極及汲極之另一，且低電源電壓（亦稱為 V_{ss} ）應用於源極及汲極之另一。低電源電壓為例如接地電位或特定電壓。

請注意，高電源電壓遠高於低電源電壓，且低電源電壓遠低於高電源電壓。各值係依據電路規格等而適當設定，因而對於值並無特別限制。例如，甚至當 V_{dd} 之值高於 V_{ss} 之值時， $|V_{dd}|$ 之值並未高於 $|V_{ss}|$ 之值。再者，甚至當 V_{dd} 之值高於 V_{ss} 之值時， V_{gnd} 之值並非總是等於或高於 V_{ss} 之值。

例如，當高位準數位信號輸入至電晶體 251 之閘極做為輸入信號（亦稱為 IN）時，邏輯電路輸出低位準數位信號做為輸出信號（亦稱為 OUT），反之，當低位準數位信號輸入至電晶體 251 之閘極時，邏輯電路便輸出高位準數位信號做為輸出信號。

電晶體 253 相應於圖 1 所描述之電晶體 112。

其次，將描述電晶體之結構。電晶體 251 包括基板 201 上之閘極電極 211a、閘極電極 211a 上之閘極絕緣層 202、具閘極絕緣層 202 插入其間之閘極電極 211a 上之氧化物半導體層 223a、及部分氧化物半導體層 223a 上之導電層 215a 及導電層 215b。

電晶體 252 包括基板 201 上之閘極電極 211b、閘極電極 211b 上之閘極絕緣層 202、具閘極絕緣層 202 插入

其間之閘極電極 211b 上之氧化物半導體層 223b、及部分氧化物半導體層 223b 上之導電層 215b 及導電層 215c。

電晶體 253 包括基板 201 上之閘極電極 211c、閘極電極 211c 上之閘極絕緣層 202、具閘極絕緣層 202 插入其間之閘極電極 211c 上之氧化物半導體層 223c、及部分氧化物半導體層 223c 上之導電層 215b 及導電層 215d。

每一導電層 215a 至 215d 做為源極電極或汲極電極。

氧化物半導體層 223a 至 223c 歷經脫水或脫氫，且形成氧化物絕緣層 207 以接觸氧化物半導體層 223a 至 223c。包括該等氧化物半導體層做為通道形成層之電晶體具有高可靠性，因為長期使用或高負載而難以發生第 V 次移位。

請注意，氮化物絕緣層可設於氧化物絕緣層 207 之上。較佳的是，與閘極絕緣層 202 接觸之氮化物絕緣層或做為基底之絕緣層，係配置低於氧化物絕緣層 207，以便防堵諸如濕氣、氫離子及 OH^- 之雜質從基板的側表面附近進入。特別有效的是使用矽氮化物層做為閘極絕緣層 202，接觸氧化物絕緣層 207 或做為基底之絕緣層。換言之，當矽氮化物層係設於氧化物半導體層之上、之下或周圍，以便圍繞氧化物半導體層時，可改進顯示裝置之可靠性。

此外，在圖 2A 及 2B 所描述之驅動電路部中，平面化絕緣層 216 係設於氧化物絕緣層 207 之上。此外，導電層 217a 係設於具氧化物絕緣層 207 及平面化絕緣層 216

插入其間之氧化物半導體層 223a 之上，導電層 217b 係設於具氧化物絕緣層 207 及平面化絕緣層 216 插入其間之氧化物半導體層 223b 之上，及導電層 217c 係設於具氧化物絕緣層 207 及平面化絕緣層 216 插入其間之氧化物半導體層 223c 之上。每一導電層 217a 至 217c 做為第二閘極電極。第二閘極電壓應用於導電層 217a 至 217c，藉此可控制電晶體 251 至 253 之閾值電壓。

請注意，平面化絕緣層 216 並非必要配置。若未配置平面化絕緣層 216，導電層 217a 至 217c 便可設於氧化物絕緣層 207 之上（若有配置，則設於氮化物絕緣層之上）。

例如，等於或高於源極電極電壓之電壓應用於每一導電層 217a 至 217c，電晶體之閾值電壓便偏移至負端；當低於源極電極電壓之電壓應用於每一導電層 217a 至 217c 時，電晶體之閾值電壓便偏移至正端。

例如，若為空乏型電晶體，當第二閘極電極之電壓設定為充分低於源極電極電壓時，閾值電壓可偏移至正端。因此，經由使用第二閘極電極，空乏型電晶體可選擇地改變為增強型電晶體。

若為增強型電晶體，當第二閘極電極之電壓設定為充分高於源極電極電壓時，閾值電壓可偏移至負端。因此，經由使用第二閘極電極，增強型電晶體可選擇地改變為空乏型電晶體。

此外，若為增強型電晶體，當第二閘極電極之電壓設

定為充分低於源極電極電壓時，閾值電壓可進一步偏移至正端。因此，經由應用充分低電壓予第二閘極電極，電晶體之特性可改變，使得甚至當輸入信號為高時，電晶體仍保持關閉。

以上述方式，可經由應用於第二閘極電極之電壓，控制具第二閘極電極之電晶體的閾值電壓。因此，若第二閘極電壓應用於各第二閘極電極，電晶體 251 便成為空乏型，同時電晶體 252 便成為增強型，例如，可使用包括氧化物半導體之電晶體配置邏輯電路。此外，經由配置空乏型電晶體 253，便將配置若電荷集結於信號線中或電性連接至信號線之元件、電極或布線，用於釋放電荷之空乏型電晶體。因此，即使在使用包括氧化物半導體之電晶體的顯示裝置中，亦可減少漏電流。此外，當使用底閘電晶體形成顯示裝置時，若電荷集結於背通道部中，集結之電荷可經由信號線釋放至參考電壓線。因此，可抑制寄生通道之產生，及可減少漏電流。

請注意，儘管在圖 2A 及 2B 所描述之驅動電路部中，導電層 217a 至 217c 分別設於電晶體 251 至 253 之上，結構不侷限於此。例如，做為第二閘極電極之導電層可僅設於做為增強型電晶體之電晶體之上，或僅設於做為空乏型電晶體之電晶體之上。

此外，本實施例之顯示裝置可具有一種結構，其中邏輯電路中電晶體之閘極電極係直接連接至其他電晶體之源極電極或汲極電極。例如，若閘極絕緣層 202 中形成開

口，使得電晶體 251 之閘極電極 211a 可接觸電晶體 252 之導電層 215b，可配置有利的接觸，藉此可減少接觸阻抗。因此，可減少開口數量，結果減少邏輯電路所佔據之區域。

另一方面，本實施例之顯示裝置可具有圖 4 所描述之結構。在此結構中，做為一對緩衝器層之氧化物導電層 214a 及氧化物導電層 214b 係設於氧化物半導體層 223a 之上，且做為一對電極之導電層 215a 及導電層 215b 經配置而接觸電晶體 251 中之氧化物導電層 214a 及氧化物導電層 214b；做為一對緩衝器層之氧化物導電層 214c 及氧化物導電層 214d 係設於氧化物半導體層 223b 之上，且做為一對電極之導電層 215b 及導電層 215c 經配置而接觸電晶體 252 中之氧化物導電層 214c 及氧化物導電層 214d；及做為一對緩衝器層之氧化物導電層 214e 及氧化物導電層 214f 係設於氧化物半導體層 223c 之上，且做為一對電極之導電層 215b 及導電層 215d 經配置而接觸電晶體 253 中之氧化物導電層 214e 及氧化物導電層 214f。

氧化物導電層 214a 及氧化物導電層 214b 和氧化物導電層 214e 及氧化物導電層 214d，具有較氧化物半導體層 223a 及氧化物半導體層 223b 更高的電導率，並做為電晶體 251 及電晶體 252 之源極區及汲極區。

有關用於形成氧化物導電層 214a 至 214f 之氧化物導電膜，可使用傳輸可見光之導電材料膜，諸如 In-Sn-Zn-O 基、In-Al-Zn-O 基、Sn-Ga-Zn-O 基、Al-Ga-Zn-O 基、Sn-

Al-Zn-O 基、In-Zn-O 基、Sn-Zn-O 基、Al-Zn-O 基、In-Sn-O 基、In-O 基、Sn-O 基或 Zn-O 基金屬氧化物。氧化物導電膜之厚度適當地設定介於 1 nm 至 300 nm (含) 之範圍。若使用噴濺法，較佳的是以包括 2 wt% 至 10 wt% (含) 之 SiO_2 的目標實施膜形成，使得抑制結晶之 SiO_x ($x>0$) 包括於透光導電膜中，而透光導電膜可於之後為脫水或脫氫實施之熱處理中免於結晶。

此外，若 In-Ga-Zn-O 基膜用做氧化物半導體層及氧化物導電層，例如可於不同膜形成狀況下分別形成做為通道形成區之氧化物半導體層 223a 至 223c，及做為源極區及汲極區之氧化物導電層 214a 至 214f。

例如，若經由噴濺法之膜形成，使用於氬氣中形成之氧化物半導體膜而形成之氧化物導電層 214a 至 214f，具有 n 型電導率，及具有 0.01 eV 至 0.1 eV (含) 之活化能 (ΔE)。

請注意，在本實施例中，氧化物導電層 214a 至 214f 為 In-Ga-Zn-O 基膜並包括至少非晶成分。再者，氧化物導電層 214a 至 214f 可包括晶粒 (亦稱為奈米晶體)。氧化物導電層 214a 至 214f 中晶粒具有約 1 nm 至 10 nm 直徑，典型約 2 nm 至 4 nm。

氧化物導電層 214a 至 214f 並非必要配置，但若氧化物導電層 214a 至 214f 設於做為通道形成層之氧化物半導體層 223a 至 223c 與做為源極電極及汲極電極之導電層 215a 至 215d 之間，便可獲得良好電性接合，且電晶體

251 至 253 可穩定操作。再者，可於高汲極電壓下維持高移動性。

接著，將參照圖 5A 至 5C、圖 6A 及 6B 描述圖 2 所描述之驅動電路部的製造方法。圖 5A 至 5C、圖 6A 及 6B 為圖 2A 及 2B 所描述之驅動電路部的製造方法範例之截面圖。

首先，準備基板 201。導電膜形成於基板 201 之上，並實施第一光刻步驟以形成閘極電極 211a、閘極電極 211b 及閘極電極 211c（詳圖 5A）。請注意，所形成之閘極電極較佳地具有錐形形狀。

必要的是基板 201 具有絕緣表面及具有至少足夠耐熱以支撐之後實施之熱處理。有關基板 201，例如可使用玻璃基板等。

有關玻璃基板，若之後熱處理之溫度高，較佳地使用應變點為 730°C 或更高之玻璃基板。有關玻璃基板，係使用玻璃材料，諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃。請注意，由於包含較硼酸更大量的鋇氧化物（ BaO ），可獲得耐熱及更實用之玻璃基板。因而，較佳地使用包含較 B_2O_3 更多 BaO 之玻璃基板。

請注意，可使用以絕緣體形成之基板，諸如陶瓷基板、石英基板或藍寶石基板，做為基板 201，取代上述玻璃基板。另一方面，可使用結晶玻璃基板等。

做為基膜之絕緣膜可設於基板 201 及閘極電極 211a 至 211c 之間。基膜具有避免雜質元素從基板 201 擴散之

功能，並可經形成而具有單層或使用一或多項矽氮化物膜、矽氧化物膜、矽氮化物氧化物膜及氮氧化矽膜之堆疊層結構。

有關形成閘極電極 211a 至 211c 之導電膜的材料範例，可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳之金屬材料，或包含任一該些材料做為主成分之合金材料。形成閘極電極 211a 至 211c 之導電膜可以單一膜或包含一或多項該些材料之堆疊膜予以形成。

有關形成閘極電極 211a 至 211c 之導電膜，較佳地可使用例如包括鈦膜、設於鈦膜之上之鋁膜及設於鋁膜之上之鈦膜的三層堆疊膜，或包括鉬膜、設於鉬膜之上之鋁膜及設於鋁膜之上之鉬膜的三層堆疊膜。不用說，單層膜、雙層堆疊膜或四或更多層堆疊膜可用做金屬導電膜。當鈦膜、鋁膜及鈦膜之導電膜之堆疊用做導電膜時，可經由以氯氣之乾式蝕刻法實施蝕刻。

接著，閘極絕緣層 202 形成於閘極電極 211a 至 211c 之上。

可經由電漿 CVD 法、噴濺法等形成閘極絕緣層 202 而具有任一矽氧化物層、矽氮化物層、氮氧化矽層及矽氮化物氧化物層之單層或堆疊層結構。例如，當形成氮氧化矽層時，可經由使用 SiH_4 、氧及氮做為膜形成氣體之電漿 CVD 法而予形成。閘極絕緣層 202 具有 100 nm 至 500 nm（含）之厚度。若為堆疊層結構，具 50 nm 至 200 nm（含）厚度之第一閘極絕緣層及具 5 nm 至 300 nm（含）

厚度之第二閘極絕緣層依序堆疊。當使用矽目標摻雜磷或硼而形成之矽氧化物膜用做閘極絕緣層 202 時，可抑制雜質（諸如濕氣、氫離子及 OH^- ）進入。

在本實施例中，具有 200 nm 或更少厚度之矽氮化物層經由電漿 CVD 法而形成做為閘極絕緣層 202。

接著，具 2 nm 至 200 nm（含）厚度之氧化物半導體膜形成於閘極絕緣層 202 之上。厚度較佳地為 50 nm 或更少，以便氧化物半導體膜可為非結晶，即使當氧化物半導體膜形成後實施脫水或脫氫之熱處理時亦然。經由使氧化物半導體膜之厚度小，可抑制當氧化物半導體膜形成後實施熱處理時之結晶。

請注意，在經由噴濺法形成氧化物半導體膜前，於膜形成時產生之粉狀物質，附著於閘極絕緣層 202 之表面，較佳地經由反向噴濺而移除，其中導入氬氣並產生電漿。反向噴濺係指一種方法，其中無電壓應用於目標側，RF 電源用於將電壓應用於氬氣中基板側，而於基板附近產生電漿，使得表面可修改。請注意，除了氬氣外，可使用氮、氦、氧等。

有關氧化物半導體膜，可使用下列任一項：In-Ga-Zn-O 基膜、In-Sn-Zn-O 基氧化物半導體膜、In-Al-Zn-O 基氧化物半導體膜、Sn-Ga-Zn-O 基氧化物半導體膜、Al-Ga-Zn-O 基氧化物半導體膜、Sn-Al-Zn-O 基氧化物半導體膜、In-Zn-O 基氧化物半導體膜、Sn-Zn-O 基氧化物半導體膜、Al-Zn-O 基氧化物半導體膜、In-Sn-O 基氧化物半

導體膜、In-O 基氧化物半導體膜、Sn-O 基氧化物半導體膜及 Zn-O 基氧化物半導體膜。在本實施例中，氧化物半導體膜係使用 In-Ga-Zn-O 基氧化物半導體目標經由噴濺法而予形成。另一方面，氧化物半導體膜可於稀有氣體（典型為氬氣）、氧氣或包含稀有氣體（氬）及氧之混合氣體中經由噴濺法而予形成。當使用噴濺法時，以包括 2 wt%至 10 wt%（含）之 SiO_2 的目標形成膜，使得抑制結晶之 SiO_x （ $x>0$ ）包括於氧化物半導體膜中。因此，可抑制後續脫水或脫氫之熱處理中氧化物半導體層之結晶形成。

氧化物半導體膜較佳地為包含銦（In）之氧化物半導體膜。更佳地，為包含銦（In）及鎵（Ga）之氧化物半導體膜。

此處，氧化物半導體膜之形成係使用包含銦（In）、鎵（Ga）及鋅（Zn）（成分比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 〔摩爾比〕）之氧化物半導體目標，在基板及目標之間距離為 100 mm 的狀況下，壓力為 0.6 Pa，直流（DC）電源為 0.5 kW，及大氣為氧（氧流比例為 100%）。請注意，脈衝直流（DC）電源較佳，因為可減少於膜形成時產生之粉狀物質，及可使膜厚度均勻。在本實施例中，使用 In-Ga-Zn-O 基氧化物半導體目標經由噴濺法形成 In-Ga-Zn-O 基膜，做為氧化物半導體膜。

噴濺法之範例包括 RF 噴濺法，其中將高頻電源用做噴濺電源；DC 噴濺法，其中將 DC 電源用做噴濺電源；

及脈衝 DC 噴濺法，其中偏壓係以脈衝方式應用。RF 噴濺法主要用於絕緣膜形成處，及 DC 噴濺法主要用於金屬導電膜形成處。

此外，亦存在多重來源噴濺設備，其中可設定複數個不同材料之目標。基此多重來源噴濺設備，可形成不同材料之膜堆疊於相同腔室中，或可經由相同時間在相同腔室中複數類材料之電力釋放而形成膜。

此外，存在設於腔室內部具磁性系統並用於磁控管噴濺法之噴濺設備，及用於 ECR 噴濺法之噴濺設備，其中使用利用微波產生之電漿而未使用輝光放電。

而且，有關使用噴濺法之沈積法，亦存在反應噴濺法，其中目標物質及噴濺氣體成分於沈積期間彼此化學反應，以形成其薄複合膜，及偏壓噴濺法，其中電壓亦於沈積期間應用於基板。

接著，氧化物半導體膜經由第二光刻步驟而處理為島形，藉此形成氧化物半導體層 223a、氧化物半導體層 223b 及氧化物半導體層 223c（詳圖 5B）。請注意，在第二光刻步驟之後，較佳的是氧化物半導體層 223a 至 223c 於惰性氣體（諸如氮、氬、氖或氫氣）中歷經熱處理（於 400°C 或更高，並低於 750°C），以於各層中移除雜質，諸如氫及水。

其次，氧化物半導體層歷經脫水或脫氫。於 400°C 或更高並低於 750°C 之溫度實施脫水或脫氫之第一熱處理，較佳地為 425°C 或更高並低於 750°C。請注意，若為

425°C 或更高並低於 750°C 之溫度，熱處理時間為一小時或更短，反之，若溫度低於 425°C，熱處理時間便長於一小時。此處，基板被置入電爐，其為一種熱處理設備，係於氮氣中實施氧化物半導體層之熱處理。之後，氧化物半導體層未暴露於空氣及水，且避免氫再次混入氧化物半導體層。在本實施例中，於氮氣及熔爐中，從氧化物半導體層歷經脫水或脫氫之加熱溫度 T 實施緩慢冷卻，至足夠低之溫度以避免水再次進入，具體地為低於加熱溫度 T 達 100°C 或更多之溫度。再者，不限於氮氣，脫水或脫氫係於氮、氖、氬氣等中實施。

請注意，熱處理設備不限於電爐，且設備可具有經由來自諸如阻抗加熱器之加熱器的熱傳導或熱輻射而加熱目標之裝置。例如可使用快速熱退火（RTA）設備，諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備。LRTA 設備為一種設備，用於經由輻射從燈發射之光（電磁波）而加熱目標，該燈諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓水銀燈。GRTA 設備為一種設備，用於使用高溫氣體之熱處理。有關該等氣體，係使用難以與熱處理之目標反應的惰性氣體。例如使用氮或諸如氬氣之稀有氣體。

當氧化物半導體層於 400°C 或更高並低於 750°C 下歷經熱處理時，可達成氧化物半導體層之脫水或脫氫；因此，可避免水（H₂O）於後續步驟中再次包含於氧化物半導體層中。

請注意，在第一熱處理中，較佳的是水、氫等未包含於氮或諸如氮、氬或氫氣之稀有氣體中。在第一熱處理中，氮或諸如氮、氬或氫氣之稀有氣體被導入熱處理設備，較佳地具有 6N (99.9999%) 或更高純度，更佳地為 7N (99.99999%) 或更高（即雜質濃度較佳地為 1 ppm 或更低，更佳地為 0.1 ppm 或更低）。

請注意，氧化物半導體層有時候經由結晶而成為微晶層或多晶層，取決於第一熱處理之狀況或氧化物半導體層之材料。例如，氧化物半導體層可結晶而成為具有 90% 或更高或 80% 或更高結晶度之微晶半導體層。此外，依據第一熱處理之狀況及氧化物半導體層之材料，氧化物半導體層可成為包含無晶質成分之非結晶氧化物半導體層。

氧化物半導體層在第一熱處理之後，改變為缺氧及低阻抗氧化物半導體層，即 n 型低阻抗氧化物半導體層。氧化物半導體層在第一熱處理之後較氧化物半導體層剛形成之後具有更高載子濃度，較佳地具有 $1 \times 10^{18} / \text{cm}^3$ 或更高之載子濃度。

請注意，依據第一熱處理之狀況或閘極電極之材料，閘極電極 211a 至 211c 可結晶為微晶層或多晶層。例如，若銦氧化物-錫氧化物合金層用做閘極電極 211a 至 211c，閘極電極 211a 至 211c 於 450°C 經由第一熱處理達一小時而結晶，但若包含矽氧化物之銦氧化物-錫氧化物合金層用做閘極電極 211a 至 211c，那麼閘極電極 211a 至 211c 將不結晶。

在氧化物半導體膜被處理為島形氧化物半導體層之前，可於氧化物半導體膜上實施氧化物半導體層之第一熱處理。在這種情況下，基板於第一熱處理後，被取出熱處理設備並歷經光刻步驟。

接著，於閘極絕緣層 202 及氧化物半導體層 223a 至 223c 上形成用於形成電晶體之源極電極及汲極電極的導電膜。

對導電膜而言，使用選自鈦 (Ti)、鉬 (Mo)、鎢 (W)、鋁 (Al)、鉻 (Cr)、銅 (Cu) 及鉭 (Ta) 之元素、包含任一該些元素做為成分之合金、包含任一該些元素組合等之合金等。導電膜並不侷限於包含任一該些元素之單層，可為二或更多層之堆疊。在本實施例中，形成三層導電膜，其中鈦膜 (具 100 nm 厚度)、鋁膜 (具 200 nm 厚度) 及鈦膜 (具 100 nm 厚度) 相堆疊。除了鈦膜，可使用鈦氮化物膜。

請注意，若以 200°C 至 600°C 實施熱處理，導電膜較佳地具有耐熱，而可支撐此熱處理。例如，較佳地使用鋁合金，其中避免增加凸起之元素或導電膜與耐熱導電膜堆疊。請注意，有關形成導電膜之方法，使用噴濺法、真空蒸發法 (電子束蒸發法等)、電弧離子鍍法或噴霧法。另一方面，導電膜之形成可經由網版印刷法、噴墨法等釋放銀、金、銅等導電奈米糊，接著烘乾該奈米糊。

接著，實施第三光刻步驟，其中抗蝕罩 233a、抗蝕罩 233b、抗蝕罩 233c 及抗蝕罩 233d 形成於用以形成電

晶體之源極電極及汲極電極的導電膜之上，導電膜使用抗蝕罩 233a 至 233d 部分蝕刻，以形成導電層 215a、導電層 215b、導電層 215c 及導電層 215d（詳圖 5C）。

在第三光刻步驟中，僅位於氧化物半導體層之上並與其接觸之導電膜被選擇地移除。例如，當氫過氧化物混合物（氫過氧化物：氨：水=5：2：2 組成重量比）等用做鹼性蝕刻劑，以便選擇地僅移除部分位於 In-Ga-Zn-O 基氧化物半導體層之上並與其接觸之金屬導電膜時，可選擇地移除金屬導電膜，而以氧化物半導體形成之氧化物半導體層可予以留下。

儘管係基於蝕刻狀況，但氧化物半導體層之暴露區可於第三光刻步驟中蝕刻。在這種情況下，氧化物半導體層夾於源極電極層及汲極電極層之間之區域（夾於導電層 215a 及導電層 215b 之間之區域），較其被閘極電極 211a 上之源極電極層或汲極電極層覆蓋之區域為薄。此外，氧化物半導體層夾於源極電極層及汲極電極層之間之區域（夾於導電層 215b 及導電層 215c 之間之區域），較其被閘極電極 211b 上之源極電極層或汲極電極層覆蓋之區域為薄。此外，氧化物半導體層夾於源極電極層及汲極電極層（夾於導電層 215b 及導電層 215d 之間之區域），較其被閘極電極 211c 上之源極電極層或汲極電極層覆蓋之區域為薄。

接著，氧化物絕緣層 207 形成於閘極絕緣層 202、氧化物半導體層 223a、氧化物半導體層 223b 及氧化物半導

體層 223c 之上。在此階段，部分氧化物半導體層 223a 至 223c 與氧化物絕緣層 207 接觸。請注意，氧化物半導體層與具閘極絕緣層插入其間之閘極電極重疊之區域為通道形成區。

氧化物絕緣層 207 可經由一種方法而形成具有至少 1 nm 厚度，藉此諸如水或氫之雜質不會混入氧化物絕緣層；例如，噴濺法可適當地使用。在本實施例中，經由噴濺法形成矽氧化物膜做為氧化物絕緣層。膜形成中基板溫度可為室溫至 300°C（含）。在本實施例中，基板溫度為 100°C。矽氧化物膜可經由噴濺法而於稀有氣體（典型為氬氣）、氧氣或包括稀有氣體（典型為氬氣）及氧之混合氣體中予以形成。有關目標，可使用矽氧化物目標或矽目標。例如，基於使用矽目標，矽氧化物膜可經由噴濺法而於氧及稀有氣體之大氣中予以形成。有關經形成而接觸氧化物半導體層 223a 至 223d 之氧化物絕緣層，使用無機絕緣膜，其不包括諸如濕氣、氫離子或 OH⁻之雜質，並防堵外部雜質進入。具體地，使用矽氧化物膜、矽氮氧化物膜、鋁氧化物膜或鋁氮氧化物膜。請注意，經由噴濺法形成之氧化物絕緣層特別密集，甚至其單層可用做保護膜以抑制雜質擴散入層接觸氧化物絕緣層之現象。此外，可使用摻雜磷（P）或硼（B）之目標，使得磷（P）或硼（B）添加至氧化物絕緣層。

在本實施例中，氧化物絕緣層係使用具有 6N 純度（電阻係數為 0.01 Ωcm）之柱狀多晶摻硼矽目標，經由

脈衝 DC 噴濺法予以形成，其中基板及目標之間距離（T-S 距離）為 89 mm，壓力為 0.4 Pa，直流（DC）電源為 6 kW，大氣為氧（氧流比例為 100%）。膜厚度為 300 nm。

氧化物絕緣層 207 係設於氧化物半導體層中通道形成區之上並與其接觸，亦做為通道保護層。

其次，（較佳地在 200°C 至 400°C（含），例如 250°C 至 350°C（含）），可於惰性氣體或氮氣中實施第二熱處理。例如，在 250°C 於氮氣中實施第二熱處理達一小時。經由第二熱處理，部分氧化物半導體層 223a 至 223c 加熱同時與氧化物絕緣層 207 接觸，氧化物半導體層 223a 至 223c 之其他部分則加熱同時與導電層 215a 至 215d 接觸。

當經由第一熱處理降低阻抗之氧化物半導體層 223a 至 223c 歷經第二熱處理，同時與氧化物絕緣層 207 接觸時，與氧化物絕緣層 207 接觸之區域形成超氧狀態。結果，氧化物半導體層 223a 至 223c 從與氧化物絕緣層 207 接觸之區域以深度方向改變為 i 型氧化物半導體層（高阻抗氧化物半導體層）（詳圖 6A）。

請注意，只要在第三光刻步驟之後，第二熱處理之時序不限於緊隨第三光刻步驟之後之時序。

接著，平面化絕緣層 216 形成於氧化物絕緣層 207 之上。平面化絕緣層 216 可由耐熱有機材料形成，諸如聚醯亞胺、丙烯酸、聚醯亞胺醯胺、苯並環丁烯、聚醯胺或環氧樹脂。有關該等有機材料之替代品，可使用低介電常數

材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。平面化絕緣層可經由堆疊由任一該些材料形成之複數絕緣膜而予形成。

請注意，矽氧烷基樹脂係指包括使用矽氧烷基材料做為啓動材料所形成之 Si-O-Si 鍵的樹脂。矽氧烷基樹脂可包括有機基（例如烷基或芳基）或氟基之取代基。有機基可包括氟基。

形成平面化絕緣層 216 之方法並無特別限制。依據材料，可經由下列方法形成平面化絕緣層 216：諸如噴濺法、SOG 法、旋塗法、浸漬法、噴塗法或液低釋放法（例如噴墨法、網印或膠印）；或經由使用工具（設備）：諸如刮膠刀、擠膠滾筒、簾式塗料器、刮刀塗布機等。

在抗蝕罩移除之後，形成透光導電膜。透光導電膜係由銦氧化物（ In_2O_3 ）、銦氧化物-錫氧化物合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）等，經由噴濺法、真空蒸發法等而予形成。另一方面，可使用包括氮之 Al-Zn-O 基膜（即 Al-Zn-O-N 基膜）、包括氮之 Zn-O 基膜、或包括氮之 Sn-Zn-O 基膜。請注意， Al-Zn-O-N 基膜中鋅之比例（原子%）為 47 原子%或較低，高於 Al-Zn-O-N 基膜中鋁之比例； Al-Zn-O-N 基膜中鋁之比例（原子%）高於 Al-Zn-O-N 基膜中氮之比例。該等材料係以鹽酸基溶液蝕刻。然而，由於易於產生殘渣，特別是在 ITO 蝕刻，可使用銦氧化物-錫氧化物合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）改進蝕刻加工。

請注意，透光導電膜中成分的比例單位為原子百分

比，且成分之比例係經由使用電子微探儀（EPMA）之分析而予評估。

接著，實施第四光刻步驟，其中形成抗蝕罩，並蝕刻掉導電膜的不需要部分，以形成導電層 217a 至 217c（詳圖 6B）。

經由上述步驟，可製造驅動電路部。

在參照圖 5A 至 5C、圖 6A 及 6B 描述驅動電路部之製造方法中，可以相同步驟製造驅動電路中邏輯電路之空乏型電晶體及增強型電晶體，及為開關元件之空乏型電晶體，其於電荷集結於信號線中或電性連接至信號線之元件、電極或布線時，用於釋放電荷。

請注意，在參照圖 5A 至 5C、圖 6A 及 6B 描述之驅動電路部的製造方法中，可經由噴墨法形成抗蝕罩。經由噴墨法形成抗蝕罩未使用光罩；因此，可減少製造成本。

請注意，本實施例可酌情與任一其他實施例相組合。

（實施例 3）

在本實施例中，將描述實施例 1 中驅動電路部結構之另一範例。

將參照圖 7A 及 7B 描述本實施例之驅動電路部的結構範例。圖 7A 及 7B 描繪本實施例中驅動電路部之結構範例。圖 7A 為俯視圖，圖 7B 為沿圖 7A 之線 Z1-Z2 及線 Z3-Z4 的截面圖。

如同圖 2A 及 2B 所描述之驅動電路部，圖 7A 及 7B

所描述之驅動電路部包括基板 201 上之電晶體 251、電晶體 252 及電晶體 253。

電晶體 251 及電晶體 252 為圖 1 所描述之驅動電路 111 中邏輯電路所使用元件之範例，圖 3 描述電晶體之等效電路圖；因而，此處省略其描述。電晶體 253 相應於圖 1 所描述之電晶體 112。其次，將描述電晶體之結構。

電晶體 251 包括基板 201 上之閘極電極 211a、閘極電極 211a 上之閘極絕緣層 202、具閘極絕緣層 202 插入其間之閘極電極 211a 上之氧化物半導體層 243a、氧化物半導體層 243a 上之氧化物半導體層 263a、及部分氧化物半導體層 263a 上之導電層 215a 及導電層 215b。

電晶體 252 包括基板 201 上之閘極電極 211b、閘極電極 211b 上之閘極絕緣層 202、具閘極絕緣層 202 插入其間之閘極電極 211b 上之氧化物半導體層 263b、及部分氧化物半導體層 263b 上之導電層 215b 及導電層 215c。

電晶體 253 包括基板 201 上之閘極電極 211c、閘極電極 211c 上之閘極絕緣層 202、具閘極絕緣層 202 插入其間之閘極電極 211c 上之氧化物半導體層 243b、氧化物半導體層 243b 上之氧化物半導體層 263c、及部分氧化物半導體層 263c 上之導電層 215b 及導電層 215d。

每一導電層 215a 至 215d 做為源極電極或汲極電極。

氧化物半導體層 243a、氧化物半導體層 243b 及氧化物半導體層 263a 至 263c 歷經脫水或脫氫，並形成氧化物絕緣層 207 以接觸氧化物半導體層 263a 至 263c。包括該

等氧化物半導體層做為通道形成層之電晶體具有高可靠性，因為長期使用或高負載而難以發生第 V 次移位。

請注意，氮化物絕緣層可設於氧化物絕緣層 207 之上。較佳的是，與閘極絕緣層 202 接觸之氮化物絕緣層或做為基底之絕緣層，係配置低於氧化物絕緣層 207，以便防堵諸如濕氣、氫離子及 OH^- 之雜質從基板的側表面附近進入。特別有效的是使用矽氮化物層做為閘極絕緣層 202，接觸氧化物絕緣層 207 或做為基底之絕緣層。換言之，當矽氮化物層係設於氧化物半導體層之上、之下或周圍，以便圍繞氧化物半導體層時，可改進顯示裝置之可靠性。

平面化絕緣層可設於氧化物絕緣層 207 之上（若有配置，則設於氮化物絕緣層之上）。

在氧化物絕緣層 207 之上（若配置氮化物絕緣層及未配置平面化絕緣層，則在氮化物絕緣層之上，或若配置平面化絕緣層，則在平面化絕緣層之上），可配置第一導電層至第三導電層：第一導電層可與氧化物半導體層 243 及具氧化物絕緣層 207 插入其間之氧化物半導體層 263a 重疊；第二導電層可與具氧化物絕緣層 207 插入其間之氧化物半導體層 263b 重疊；及第三導電層可與氧化物半導體層 243b 及具氧化物絕緣層 207 插入其間之氧化物半導體層 263c 重疊。每一第一至第三導電層做為第二閘極電極。相同或不同第二閘極電壓應用於第一至第三導電層，藉此可控制電晶體 251 至 253 之閾值電壓。

電晶體 251 中氧化物半導體層（氧化物半導體層 243a 及氧化物半導體層 263a 之堆疊）之厚度大於電晶體 252 中氧化物半導體層（氧化物半導體層 263b）之厚度。此外，電晶體 253 中氧化物半導體層（氧化物半導體層 243b 及氧化物半導體層 263c 之堆疊）之厚度大於電晶體 252 中氧化物半導體層（氧化物半導體層 263b）之厚度。隨著氧化物半導體層之厚度增加，完全耗盡氧化物半導體層並將電晶體帶入關閉狀態所需之閘極電極負電壓的絕對值增加。結果，包括厚氧化物半導體層做為通道形成層之電晶體形同空乏型電晶體。

如同圖 7A 及 7B 中範例所描述的，經由調整氧化物半導體層之厚度，本實施例之顯示裝置可包括一基板上之驅動電路，其包括空乏型電晶體及增強型電晶體，及若電荷集結於信號線中或電性連接至信號線之元件、電極或布線，用以釋放電荷之空乏型電晶體。因此，可減少電荷集結。此外，當使用底閘電晶體形成顯示裝置時，若電荷集結於背通道部中，集結之電荷可經由信號線釋放至參考電壓線。所以，可抑制寄生通道之產生，並可減少漏電流。

另一方面，本實施例之顯示裝置可具有圖 8 所描述之結構。在結構中，做為一對緩衝器層之氧化物導電層 214a 及氧化物導電層 214b 係設於氧化物半導體層 263a 之上，且做為一對電極之導電層 215a 及導電層 215b 經配置而接觸電晶體 251 中氧化物導電層 214a 及氧化物導電層 214b；做為一對緩衝器層之氧化物導電層 214c 及氧化物

導電層 214d 係設於氧化物半導體層 263b 之上，且做為一對電極之導電層 215b 及導電層 215c 經配置而接觸電晶體 252 中氧化物導電層 214c 及氧化物導電層 214d；及做為一對緩衝器層之氧化物導電層 214e 及氧化物導電層 214f 係設於氧化物半導體層 263c 之上，且做為一對電極之導電層 215b 及導電層 215d 經配置而接觸電晶體 253 中氧化物導電層 214e 及氧化物導電層 214f。

每一氧化物導電層 214a 至 214f 較氧化物半導體層 243a 及 243b 與氧化物半導體層 263a 至 263c 具有更高電導率，並做為電晶體 251 至 253 之源極區或汲極區。

有關用於形成氧化物導電層 214a 至 214f 之氧化物導電膜，可使用傳輸可見光之導電材料膜，諸如 In-Sn-O 基、In-Sn-Zn-O 基、In-Al-Zn-O 基、Sn-Ga-Zn-O 基、Al-Ga-Zn-O 基、Sn-Al-Zn-O 基、In-Zn-O 基、Sn-Zn-O 基、Al-Zn-O 基、In-O 基、Sn-O 基或 Zn-O 基金屬氧化物。氧化物導電膜之厚度適當地設定介於 1 nm 至 300 nm（含）之範圍。若使用噴濺法，較佳的是以包括 2 wt% 至 10 wt%（含）之 SiO_2 的金屬氧化物目標實施膜形成，使得抑制結晶之 SiO_x ($x>0$) 包括於透光導電膜中，而透光導電膜可於之後為脫水或脫氫實施之熱處理中免於結晶。

此外，若 In-Ga-Zn-O 基膜用做氧化物半導體層及氧化物導電層，例如可於不同膜形成狀況下分別形成做為通道形成區之氧化物半導體層 243a、氧化物半導體層 243b 及氧化物半導體層 263a 至 263c，及做為源極區及汲極區

之氧化物導電層 214a 至 214f。

例如，若經由噴濺法之膜形成，使用於氬氣中形成之氧化物半導體膜而形成之氧化物導電層 214a 至 214f，具有 n 型電導率，及具有 0.01 eV 至 0.1 eV（含）之活化能（ ΔE ）。

請注意，在本實施例中，氧化物導電層 214a 至 214f 為 In-Ga-Zn-O 基膜並包括至少非晶成分。再者，氧化物導電層 214a 至 214f 可包括晶粒（亦稱為奈米晶體）。在這種狀況下，氧化物導電層 214a 至 214f 中晶粒（奈米晶體）具有約 1 nm 至 10 nm 直徑，典型約 2 nm 至 4 nm。

氧化物導電層 214a 至 214f 並非必要配置，但若氧化物導電層 214a 至 214f 設於做為通道形成層之氧化物半導體層 243a、氧化物半導體層 243b 及氧化物半導體層 263a 至 263c，與做為源極電極及汲極電極之導電層 215a 至 215d 之間，便可獲得良好電性接合，且電晶體 251 至 253 可穩定操作。再者，可於高汲極電壓下維持高移動性。

接著，將參照圖 9A 至 9C 描述圖 7A 及 7B 所描述之驅動電路部的製造方法範例。圖 9A 至 9C 為圖 7A 及 7B 所描述之驅動電路部的製造方法範例之截面圖。

首先，如同圖 5A 所描述之步驟，準備基板 201 並於基板 201 之上形成導電膜，接著實施第一光刻步驟，其中於部分導電膜上形成抗蝕罩，並使用抗蝕罩蝕刻導電膜以形成閘極電極 211a 至 211c。

接著，移除抗蝕罩。於閘極電極 211a 至 211c 之上形

成閘極絕緣層 202。於閘極絕緣層 202 之上形成具有不同厚度之氧化物半導體層。在本實施例中，厚氧化物半導體層係形成於具閘極絕緣層 202 插入其間之閘極電極 211a 之上，薄氧化物半導體層係形成於具閘極絕緣層 202 插入其間之閘極電極 211b 之上，及厚氧化物半導體層係形成於具閘極絕緣層 202 插入其間之閘極電極 211c 之上。請注意，在本實施例中，形成氧化物半導體膜以與島形氧化物半導體層重疊之方法，被描述為於具閘極絕緣層 202 插入厚氧化物半導體層及閘極電極之間之閘極電極 211a 及閘極電極 211c 之上形成厚氧化物半導體層之方法範例。

首先，形成第一氧化物半導體膜。有關第一氧化物半導體膜，可使用下列任一項：In-Ga-Zn-O 基膜、In-Sn-Zn-O 基氧化物半導體膜、In-Al-Zn-O 基氧化物半導體膜、Sn-Ga-Zn-O 基氧化物半導體膜、Al-Ga-Zn-O 基氧化物半導體膜、Sn-Al-Zn-O 基氧化物半導體膜、In-Zn-O 基氧化物半導體膜、Sn-Zn-O 基氧化物半導體膜、Al-Zn-O 基氧化物半導體膜、In-Sn-O 基氧化物半導體膜、In-O 基氧化物半導體膜、Sn-O 基氧化物半導體膜及 Zn-O 基氧化物半導體膜。第一氧化物半導體膜可於稀有氣體（典型為氬氣）、氧氣或包含稀有氣體（氬）及氧之混合氣體中經由噴濺法而予形成。當使用噴濺法時，較佳的是以包括 2 wt%至 10 wt%（含）之 SiO_2 的目標形成膜，使得抑制結晶之 SiO_x （ $x>0$ ）包括於氧化物半導體膜中，而可抑制後續脫水或脫氫實施之熱處理中氧化物半導體層之結晶形

成。

氧化物半導體較佳地包含銦 (In)，更佳地，包含銦 (In) 及鎵 (Ga)。為製造 i 型 (本質的) 氧化物半導體，脫水或脫氫是有效的。

此處，氧化物半導體膜之形成係使用包含銦 (In)、鎵 (Ga) 及鋅 (Zn) (成分比 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩爾比]) 之氧化物半導體目標，在基板及目標之間距離為 100 mm 的狀況下，壓力為 0.6 Pa，直流 (DC) 電源為 0.5 kW，及大氣為氧 (氧流比例為 100%)。請注意，脈衝直流 (DC) 電源較佳，因為可減少於膜形成時產生之粉狀物質，及可使膜厚度均勻。在本實施例中，使用 In-Ga-Zn-O 基氧化物半導體目標經由噴濺法形成 In-Ga-Zn-O 基膜，做為第一氧化物半導體膜。

在本實施例中，形成氧化物半導體膜使得其上第一氧化物半導體膜及第二氧化物半導體膜之總厚度介於 50 nm 至 100 nm (含) 之範圍。請注意，適當厚度因氧化物半導體材料而異，且厚度可依據材料而適當設定。

請注意，在經由噴濺法形成第一氧化物半導體膜前，於膜形成時產生之粉狀物質，附著於閘極絕緣層 202 之表面，較佳地經由反向噴濺而移除，其中導入氬氣並產生電漿。反向噴濺係指一種方法，其中無電壓應用於目標側，RF 電源用於將電壓應用於氬氣中基板側，而於基板附近產生電漿，使得表面可修改。請注意，除了氬氣外，可使用氮、氦、氧等。

接著，經由第二光刻步驟，於部分第一氧化物半導體膜之上形成抗蝕罩，並使用抗蝕罩蝕刻第一氧化物半導體膜，藉此第一氧化物半導體膜被處理為島形，以形成氧化物半導體層 243a 及氧化物半導體層 243b（詳圖 9A）。請注意，在第二光刻步驟之後，較佳的是氧化物半導體層 243a 及氧化物半導體層 243b 於惰性氣體（諸如氮、氬、氦或氫氣）中歷經熱處理（於 400°C 或更高，並低於 750°C），以於各層中移除雜質，諸如氫及水，並形成第二氧化物半導體膜。

接著，移除抗蝕罩。第二氧化物半導體膜形成。對第二氧化物半導體膜而言，可使用與第一氧化物半導體膜之材料相同的材料。在本實施例中，形成 In-Ga-Zn-O 基膜。第二氧化物半導體膜較佳地具有 5 nm 至 30 nm（含）厚度。請注意，適當厚度因氧化物半導體材料而異，且厚度可依據材料而適當設定。

在閘極電極 211a 上，第二氧化物半導體膜形成於氧化物半導體層 243a 之上，因而形成厚氧化物半導體層。另一方面，在閘極電極 211b 上，形成第二氧化物半導體膜以接觸閘極絕緣層 202，因而形成薄氧化物半導體層。此外，在閘極電極 211c 上，第二氧化物半導體膜形成於氧化物半導體層 243b 之上，因而形成厚氧化物半導體層。

接著，經由第三光刻步驟，於部分第二氧化物半導體膜上形成抗蝕罩，並使用抗蝕罩蝕刻第二氧化物半導體

膜，藉此第二氧化物半導體膜被處理為島形。島形厚氧化物半導體層形成於閘極電極 211a 之上，其中氧化物半導體層 243a 及氧化物半導體層 263a 相堆疊。島形厚氧化物半導體層形成於閘極電極 211c 之上，其中氧化物半導體層 243b 及氧化物半導體層 263c 相堆疊。此外，氧化物半導體層 263c 形成於閘極電極 211b 之上（詳圖 9B）。

接著，移除抗蝕罩，且氧化物半導體層歷經脫水或脫氫。於 400°C 或更高並低於 750°C 之溫度實施脫水或脫氫之第一熱處理，較佳地為 425°C 或更高並低於 750°C 。請注意，若為 425°C 或更高並低於 750°C 之溫度，熱處理時間為一小時或更短，反之，若溫度低於 425°C ，熱處理時間便長於一小時。此處，其上形成氧化物半導體層之基板被置入電爐，其為一種熱處理設備，係於氮氣中實施氧化物半導體層之熱處理。之後，氧化物半導體層未暴露於空氣及水，且避免氫再次混入氧化物半導體層。在本實施例中，於氮氣及熔爐中，從氧化物半導體層歷經脫水或脫氫之加熱溫度 T 實施緩慢冷卻，至足夠低之溫度以避免水再次進入，具體地為低於加熱溫度 T 達 100°C 或更多之溫度。再者，不限於氮氣，脫水或脫氫係於氮、氬、氫氣等中實施。

請注意，熱處理設備不限於電爐，例如可使用快速熱退火（RTA）設備，諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備。LRTA 設備為一種設備，用於經由輻射從燈發射之光（電磁波）而加熱目標，

該燈諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓水銀燈。GRTA 設備為一種設備，透由上述燈發光之熱輻射，氣體經由燈發光而加熱，且目標經由加熱氣體之熱傳導而加熱。有關該等氣體，係使用難以與熱處理之目標反應的惰性氣體。例如使用氮或諸如氬氣之稀有氣體。此外，LRTA 設備及 GRTA 設備可不僅配置燈，亦配置一種裝置，經由來自諸如阻抗加熱器之加熱器的熱傳導或熱輻射加熱目標。

請注意，在第一熱處理中，較佳的是水、氫等未包含於氮或諸如氬、氖或氬氣之稀有氣體中。另一方面，氮或諸如氬、氖或氬氣之稀有氣體被導入熱處理設備，較佳地具有 6N (99.9999%) 或更高純度，更佳地為 7N (99.99999%) 或更高 (即雜質濃度較佳地為 1 ppm 或更低，更佳地為 0.1 ppm 或更低) 。

請注意，氧化物半導體層有時候經由結晶而成為微晶層或多晶層，取決於第一熱處理之狀況或氧化物半導體層之材料。例如，氧化物半導體層可結晶而成為具有 90% 或更高或 80% 或更高結晶度之微晶半導體層。此外，依據第一熱處理之狀況及氧化物半導體層之材料，氧化物半導體層可成為包含無晶質成分之非結晶氧化物半導體層。

氧化物半導體層在第一熱處理之後，改變為缺氧及低阻抗氧化物半導體層，即 n 型低阻抗氧化物半導體層。氧化物半導體層在第一熱處理之後較氧化物半導體層剛形成之後具有更高載子濃度，較佳地具有 $1 \times 10^{18} / \text{cm}^3$ 或更高

之載子濃度。

請注意，依據第一熱處理之狀況或閘極電極之材料，閘極電極 211a、閘極電極 211b 及閘極電極 211c 可結晶為微晶層或多晶層。例如，若銦氧化物-錫氧化物合金層用做閘極電極 211a、閘極電極 211b 及閘極電極 211c，其於 450°C 經由第一熱處理達一小時而結晶，但若包含矽氧化物之銦氧化物-錫氧化物合金層用做閘極電極 211a、閘極電極 211b 及閘極電極 211c，那麼其將不結晶。

在氧化物半導體膜被處理為島形氧化物半導體層之前，可於氧化物半導體膜上實施氧化物半導體層之第一熱處理。在這種情況下，基板於第一熱處理後，被取出熱處理設備並歷經光刻步驟。

接著，如同圖 5C 所描述之步驟，於閘極絕緣層 202 及氧化物半導體層 263a 至 263c 上形成用於形成電晶體之源極電極及汲極電極的導電膜。實施第三光刻步驟，其中於部分導電膜上形成抗蝕罩，並使用抗蝕罩蝕刻導電膜以形成導電層 215a 至 215d。移除抗蝕罩。接著，於閘極絕緣層 202 及氧化物半導體層 263a 至 263c 之上形成氧化物絕緣層 207。在此階段，部分氧化物半導體層 263a 至 263c 接觸氧化物絕緣層 207。

請注意，在氧化物絕緣層 207 形成之後，（較佳地在 200°C 至 400°C（含），例如 250°C 至 350°C（含）），可於惰性氣體或氮氣中實施第二熱處理。例如，在 250°C 於氮氣中實施第二熱處理達一小時。經由第二熱處理，部

分氧化物半導體層 263a 至 263c 加熱同時與氧化物絕緣層 207 接觸，氧化物半導體層 263a 至 263c 之其他部分則加熱同時與導電層 215a 至 215d 接觸。

當經由第一熱處理降低阻抗之氧化物半導體層 263a 至 263c 歷經第二熱處理，同時與氧化物絕緣層 207 接觸時，與氧化物絕緣層 207 接觸之區域形成超氧狀態。結果，如圖 6A，氧化物半導體層 263a 至 263c 從與氧化物絕緣層 207 接觸之區域以深度方向改變為 i 型氧化物半導體層（高阻抗氧化物半導體層）。

在具有大厚度之氧化物半導體層中，其中氧化物半導體層 243a 及氧化物半導體層 263a 相堆疊，及在具有大厚度之氧化物半導體層中，其中氧化物半導體層 243b 及氧化物半導體層 263c 相堆疊，從與氧化物絕緣層 207 相接處朝閘極絕緣層 202 形成具有 i 型電導率（具有增加阻抗）之區域。然而，由於氧化物半導體層 243a 及氧化物半導體層 263a 之堆疊及氧化物半導體層 243b 及氧化物半導體層 263c 之堆疊具有大厚度，所以成為 i 型氧化物半導體層（高阻抗氧化物半導體層）之改變未進至與閘極絕緣層 202 相接處附近，並獲得包括阻抗下降且通道形成區中保持低之區域的氧化物半導體層。

以此方式，本實施例中描述之驅動電路部所包括之電晶體包括做為通道形成層之氧化物半導體層，且氧化物半導體層於不同部分包括增加阻抗（i 型電導率）區域。結果，電晶體具有不同操作特性。

電晶體 251 具有做為通道形成層之厚氧化物半導體層，且氧化物半導體層包括阻抗降低並保持低之部分。因此，電晶體 251 具有負閾值電壓並形同空乏型電晶體。電晶體 252 具有做為通道形成層之薄氧化物半導體層，其為具有 i 型電導率（增加阻抗）之氧化物半導體層。因此，電晶體 252 具有正閾值電壓並形同增強型電晶體。此外，電晶體 253 具有做為通道形成層之厚氧化物半導體層，且氧化物半導體層包括阻抗降低並保持低之部分。因此，電晶體 253 具有負閾值電壓並形同空乏型電晶體。

請注意，當使用金屬導電膜形成之導電層 215a 至 215d 接觸氧化物半導體層 243a 及氧化物半導體層 263a 之堆疊或氧化物半導體層 243b 及氧化物半導體層 263c 之堆疊之區域，歷經第二熱處理時，氧輕易地移至金屬導電膜端，且氧化物半導體層改變為 n 型。若氧化物半導體層具有 30 nm 或更多之厚度，與金屬導電膜相接處附近便成為 n 型，反之，其下部分為 i 型或成為 n⁻型。

經由上述步驟，可製造圖 7A 及 7B 所描述之驅動電路部（詳圖 9C）。

在參照圖 5A 至 5C、圖 6A 及 6B 所描述驅動電路部之製造方法中，可以相同步驟製造驅動電路中邏輯電路之空乏型電晶體及增強型電晶體，及若電荷集結於信號線中或電性連接至信號線之元件、電極或布線，用於釋放電荷之空乏型電晶體。此外，在使用包括氧化物半導體之電晶體的顯示裝置中，可減少漏電流。

請注意，在參照圖 9A 至 9C 所描述驅動電路部之製造方法中，可經由噴墨法形成抗蝕罩。經由噴墨法形成抗蝕罩未使用光罩；因此，可減少製造成本。

請注意，本實施例可酌情與任一其他實施例相組合。

（實施例 4）

在本實施例中，將描述連續邏輯電路，其可應用於本發明之一實施例之顯示裝置的驅動電路。

將參照圖 10 描述包括組合電路之邏輯電路的電路結構。圖 10 為電路圖，描繪本實施例中邏輯電路之電路結構。

圖 10 所描述之邏輯電路包括電晶體 611、反相器 6121、反相器 6122、反相器 6123 及電晶體 613。

第一時脈信號（亦稱為 CL1）輸入至電晶體 611 之閘極，及第一信號輸入至電晶體 611 之源極及汲極之一。輸入至源極及汲極之一之信號稱為輸入信號，輸入信號之電壓亦稱為 V_{in} 。

反相器 6121 之輸入端子電性連接至電晶體 611 之源極及汲極之另一。

反相器 6122 之輸入端子電性連接至反相器 6121 之輸出端子。

反相器 6123 之輸入端子電性連接至反相器 6121 之輸出端子。第二信號從反相器 6121 之輸出端子輸出。從反相器 6123 輸出之信號亦稱為輸出信號，輸出信號之電壓

稱為 V_{out} 。

圖 3 所描述之邏輯電路可應用於每一反相器 6121 至 6123。

第二時脈信號（亦稱為 CL2）輸入至電晶體 613 之閘極。電晶體 613 之源極及汲極之一電性連接至電晶體 611 之源極及汲極之另一。電晶體 613 之源極及汲極之另一電性連接至反相器 6122 之輸出端子。

第一時脈信號及第二時脈信號各具有高狀態及低狀態之兩種狀態。時脈信號之電壓處於高狀態或大體上處於高狀態稱為 VH，時脈信號之電壓處於低狀態或大體上處於低狀態稱為 VL。

第一時脈信號及第二時脈信號具有相反相位。例如，在預定期間，當第一時脈信號為高時，第二時脈信號為低，反之，當第一時脈信號為低時，第二時脈信號為高。

請注意，在本實施例中，描述一種狀況其中第一時脈信號輸入至電晶體 611 之閘極，及第二時脈信號輸入至電晶體 613 之閘極；然而，本發明之一實施例不侷限於此。可使用之結構，其中第二時脈信號輸入至電晶體 611 之閘極，及第一時脈信號輸入至電晶體 613 之閘極。

其次，將參照圖 11 描述圖 10 所描述之邏輯電路作業。圖 11 為時序圖，描繪圖 10 中邏輯電路作業。

圖 10 所描述之邏輯電路作業，概分為四個期間。下列將描述每一期間。

首先，在第一期間，如圖 11 中所描述，第一時脈信

號為高及第二時脈信號為低。因此，電晶體 611 處於開啓狀態及電晶體 613 處於關閉狀態。此外，輸入信號為高，且輸入信號之電壓為 V_H 。

此時，由於電晶體 611 開啓，節點 614 之電壓（亦稱為 V_{614} ）為 V_H 。由於節點 614 之電壓應用於反相器 6121 之輸入端子，所以 V_L 信號從反相器 6121 輸出，及節點 615 之電壓（亦稱為 V_{615} ）為 V_L 。此外，由於節點 615 之電壓應用於反相器 6122 之輸入端子，所以 V_H 信號從反相器 6122 輸出，但因電晶體 613 處於關閉狀態，所以來自反相器 6122 之輸出信號的電壓未應用於節點 614。節點 615 之電位亦應用於反相器 6123 之輸入端子，因而 V_H 信號從反相器 6123 輸出。上述為第一期間之作業。

接著，在第二期間，如圖 11 中所描述，第一時脈信號為低及第二時脈信號為高。因此，電晶體 611 處於關閉狀態，及電晶體 613 處於開啓狀態。此外，輸入信號為低。

此時，由於電晶體 611 處於關閉狀態， V_{614} 保持 V_H ，甚至當輸入信號為低時亦然。由於節點 614 之電位應用於反相器 6121 之輸入端子，所以 V_L 信號從反相器 6121 輸出，且 V_{615} 保持 V_L 。此外，節點 615 之電位應用於反相器 6122 之輸入端子，所以 V_H 信號從反相器 6122 輸出。再者，由於電晶體 613 處於開啓狀態，來自反相器 6122 之信號電位應用於節點 614。節點 615 之電

位亦應用於反相器 6123 之輸入端子，因而 VH 信號從反相器 6123 輸出。上述為第二期間之作業。

接著，在第三期間，如圖 11 所描述，第一時脈信號為高及第二時脈信號為低。因此，電晶體 611 處於開啓狀態，及電晶體 613 處於關閉狀態。此外， V_{in} 保持 VL。

此時，由於電晶體 611 處於開啓狀態，所以 V614 為 VL。由於節點 614 之電位應用於反相器 6121 之輸入端子，所以 VH 信號從反相器 6121 輸出，且 V615 為 VH。此外，由於節點 615 之電位應用於反相器 6122 之輸入端子，所以 VL 信號從反相器 6122 輸出，但來自反相器 6122 之輸出信號的電壓，因電晶體 613 處於關閉狀態，而未應用於節點 614。再者，節點 615 之電壓亦應用於反相器 6123 之輸入端子，使得 VL 信號從反相器 6123 輸出。上述為第三期間之作業。

接著，在第四期間，如圖 11 所描述，第一時脈信號為低及第二時脈信號為高。因此，電晶體 611 處於關閉狀態，且電晶體 613 處於開啓狀態。此外， V_{in} 保持 VL。

此時，由於電晶體 611 處於關閉狀態，所以 V614 保持 VL。當 V614 為 VL 時，VH 信號從反相器 6121 輸出，且 V615 保持 VH。此外，當 V615 為 VH 時，VL 信號從反相器 6122 輸出，且由於電晶體 613 處於開啓狀態，所以來自反相器 6122 之信號的電壓應用於節點 614。再者，節點 615 之電壓亦應用於反相器 6123 之輸入端子，因而 VL 信號從反相器 6123 輸出。上述為第四期間之作

業。

經由上述作業，圖 10 所描述之邏輯電路可依據輸入信號狀態而產生輸出信號。

（實施例 5）

在本實施例模式中，將描述本發明之一實施例之移位暫存器電路。

在本實施例中，移位暫存器包括複數邏輯電路，且複數連續邏輯電路係電性串聯。將參照圖 12 描述具體結構。圖 12 為電路圖，描繪本實施例中移位暫存器之結構。

圖 12 所描述之移位暫存器包括邏輯電路 3011、邏輯電路 3012、邏輯電路 3013、非及（NAND）電路 3140、NAND 電路 3141、NAND 電路 3142 及 NAND 電路 3143。請注意，儘管圖 12 描繪三（亦稱為三級）連續邏輯電路，本發明之一實施例並不侷限於此，並可包括至少二級連續邏輯電路。

在圖 12 中，移位暫存器中所包括之邏輯電路包括例如實施例 4 中所描述之包括電晶體 611 及電晶體 613 之邏輯電路。

邏輯電路 3011 包括電晶體 3111、反相器 3121A、反相器 3122A、反相器 3123A 及電晶體 3131。在邏輯電路 3011 中，第一時脈信號輸入至電晶體 3111 之閘極，及第二時脈信號輸入至電晶體 3131 之閘極。

邏輯電路 3012 包括電晶體 3112、反相器 3121B、反相器 3122B、反相器 3123B 及電晶體 3132。在邏輯電路 3012 中，第二時脈信號輸入至電晶體 3112 之閘極，及第一時脈信號輸入至電晶體 3132 之閘極。

邏輯電路 3013 包括電晶體 3113、反相器 3121C、反相器 3122C、反相器 3123C 及電晶體 3133。在邏輯電路 3013 中，第一時脈信號輸入至電晶體 3113 之閘極，及第二時脈信號輸入至電晶體 3133 之閘極。

邏輯電路 3011 中反相器 3123A 之輸出端子電性連接至邏輯電路 3012 中電晶體 3112 之源極及汲極之一。邏輯電路 3012 中反相器 3123B 之輸出端子電性連接至邏輯電路 3013 之源極及汲極之一。

此外，在邏輯電路 3011 中，電晶體 3111 之源極及汲極之一電性連接至 NAND 電路 3140 之第一輸入端子，及反相器 3123A 之輸出端子電性連接至 NAND 電路 3140 之第二輸入端子及 NAND 電路 3141 之第一輸入端子。在邏輯電路 3012 中，電晶體 3112 之源極及汲極之一電性連接至 NAND 電路 3140 之第二輸入端子及 NAND 電路 3141 之第一輸入端子，及反相器 3123B 之輸出端子電性連接至 NAND 電路 3141 之第二輸入端子及 NAND 電路 3142 之第一輸入端子。在邏輯電路 3013 中，電晶體 3113 之源極及汲極之一電性連接至 NAND 電路 3141 之第二輸入端子及 NAND 電路 3142 之第一輸入端子，及反相器 3123C 之輸出端子電性連接至 NAND 電路 3142 之第二輸入端子及

NAND 電路 3143 之第一輸入端子。請注意，邏輯電路 3011 中電晶體 3111 之源極及汲極之一及 NAND15 電路 3140 之第一輸入端子的連接點亦稱為節點 316。

可使用具有與邏輯電路中所包括之電晶體相同導電類型之電晶體形成每一 NAND 電路 3140 至 3143。經由使用具有相同導電類型之電晶體，可以與邏輯電路相同程序來形成 NAND 電路，因而可輕易地形成。將參照圖 13 描述包括具有相同導電類型之電晶體的 NAND 電路之電路結構。圖 13 為電路圖，描繪本實施例中 NAND 電路之電路結構。

圖 13 所描述之 NAND 電路包括電晶體 321、電晶體 322 及電晶體 323。

電晶體 321 為空乏型電晶體。電晶體 321 之源極及汲極之一電性連接至電源線 325 並經供應而具高電源電壓。電晶體 321 之閘極及源極及汲極之另一彼此電性連接。

電晶體 322 為增強型電晶體。電晶體 322 之源極及汲極之一電性連接至電晶體 321 之源極及汲極之另一。

電晶體 323 為增強型電晶體。電晶體 323 之源極及汲極之一電性連接至電晶體 322 之源極及汲極之另一。電晶體 323 之源極及汲極之另一電性連接至電源線 324 並經供應而具低電源電壓。

在本實施例之邏輯電路中，第一輸入信號輸入至電晶體 323 之閘極，第二輸入信號輸入至電晶體 322 之閘極，及電晶體 321 及電晶體 322 之間之節點 326 電位（亦稱為

V326) 輸出做為輸出信號。

其次，將描述圖 13 所描述之 NAND 電路之作業。

圖 13 中 NAND 電路之作業依據是否第一輸入信號之電壓（亦稱為 V_{in1} ）及第二輸入信號之電壓（ V_{in2} ）之至少其一為低，或第一及第二輸入信號之電壓為高，而區分為兩類。以下將描述每一狀況。請注意，在本實施例中，描述處於低狀態之資料為 0 及處於高狀態之資料為 1 做為範例；然而，本發明之一實施例並不侷限於此，且處於低狀態之資料可為 1 及處於高狀態之資料可為 0。

若 $V_{in1} = V_H$ 及 $V_{in2} = V_L$ 、 $V_{in1} = V_L$ 及 $V_{in2} = V_H$ 或 $V_{in1} = V_L$ 及 $V_{in2} = V_L$ ，電晶體 322 及 323 其中之一或二者處於關閉狀態，且電晶體 322 及 323 之阻抗（該阻抗亦稱為 $R_{322} + R_{323}$ ）高於電晶體 321 之阻抗（亦稱為 R_{321} ），即 $R_{322} + R_{323} > R_{321}$ ；因此，V326 為 V_H ，且輸出信號之電壓（亦稱為 V_{out} ）為 V_H 。

此外，若 $V_{in1} = V_H$ 及 $V_{in2} = V_H$ ，電晶體 321 及 322 處於開啓狀態，且 $R_{322} + R_{323} < R_{321}$ ；因此，V326 為 V_L 及 V_{out} 為 V_L 。上述為圖 13 所描述之 NAND 電路之作業。

如上述，當使用相同導電類型之電晶體形成 NAND 電路時，其可以與另一邏輯電路相同程序予以形成。再者，本發明之一實施例之電路結構不侷限於圖 13 中結構，若可配置相同功能，便可使用另一電路結構。

其次，將參照圖 14 描述圖 12 所描述之移位暫存器作

業。圖 14 為時序圖，描繪圖 12 中移位暫存器之作業。

本實施例中移位暫存器之作業如圖 14 所描述分為十個期間。在第一期間，至邏輯電路 3011 之輸入信號電位 V_{in} 為 V_H 。在第一期間，至邏輯電路 3011 之輸入信號電壓 V_{in} 為 V_H 。在第二期間及第三期間，邏輯電路 3011 及邏輯電路 3012 之間節點 3171 之電壓（亦稱為 V_{3171} ）從 V_H 改變為 V_L 。此外，在第三期間及第四期間，來自 NAND 電路 3140 之輸出信號電壓為 V_H 。

在第四期間及第五期間，至邏輯電路 3012 之輸入信號電壓（來自邏輯電路 3011 之輸出信號）從 V_L 改變為 V_H 。在第五期間及第六期間，邏輯電路 3012 及邏輯電路 3013 之間節點 3172 之電壓（亦稱為 V_{3172} ）從 V_H 改變為 V_L 。在第六期間及第七期間，來自 NAND 電路 3141 之輸出信號電壓為 V_H 。

在第七期間及第八期間，至邏輯電路 3013 之輸入信號的電壓（來自邏輯電路 3012 之輸出信號）從 V_L 改變為 V_H 。在第八期間及第九期間，邏輯電路 3013 及下一級邏輯電路之間節點 3173 之電壓（亦稱為 V_{3173} ）從 V_H 改變為 V_L 。在第九期間及第十期間，來自 NAND 電路 3142 之輸出信號電壓為 V_H 。

如上述，當另一邏輯電路連接至邏輯電路 3013 之輸出端子時，邏輯電路之輸入信號電壓於特定期間從 V_L 改變為 V_H ，且邏輯電路之輸出信號電壓於另一特定期間改變為 V_H 。再者，在來自邏輯電路之輸出信號電壓為 V_L

之期間，來自 NAND 電路 3143 之輸出信號電壓為 V_H 。

如上述，移位暫存器可由包括具氧化物半導體之 TFT 的邏輯電路構成。包括氧化物半導體之 TFT 較包括非結晶矽之習知 TFT 具有更高移動性；因而，經由將包括氧化物半導體之 TFT 應用於移位暫存器，移位暫存器便可以高速作業。

請注意，本實施例可酌情與任一其他實施例相組合。

（實施例 6）

在本實施例中，將描述本發明之一實施例之顯示裝置的結構範例。

本發明之一實施例之顯示裝置可應用於各類顯示裝置，諸如液晶顯示裝置及電致發光顯示裝置。將參照圖 15 描述本實施例之顯示裝置結構。圖 15 為方塊圖，描繪本實施例之顯示裝置結構。

如圖 15 所描述，本實施例之顯示裝置包括畫素部 701、掃描線驅動電路 702 及信號線驅動電路 703。

畫素部 701 包括複數畫素 704，並具有點矩陣結構。具體地，複數畫素 704 係以列及行排列。每一畫素 704 經由掃描線電性連接至掃描線驅動電路 702，及經由信號線電性連接至信號線驅動電路 703。請注意，在圖 15 中，為求方便，省略掃描線及信號線。例如，可使用圖 1 所描述之掃描線 105 及圖 1 所描述之信號線 103。此外，圖 1 所描述之掃描線 107 亦可由控制電性連接至畫素之掃描線

的掃描線驅動電路控制。

掃描線驅動電路 702 為一種電路，用於選擇接受輸入資料信號之畫素 704，並經由掃描線將選擇信號輸出至畫素 704。

信號線驅動電路 703 為一種電路，用於將寫入至畫素 704 之資料輸出做為信號，並經由信號線將畫素資料做為信號輸出至掃描線驅動電路 702 選擇之畫素 704。此外，本實施例之顯示裝置包括電晶體，如同圖 1 所描述之電晶體 112，其電性連接至信號線，並使信號線及參考電壓線於開啓狀態期間電性連接。

畫素 704 包括至少顯示元件及開關元件。例如液晶元件或諸如 EL 元件之發光元件可應用於顯示元件。例如電晶體可應用於開關元件。

其次，將參照圖 16A 及 16B 描述掃描線驅動電路 702 及信號線驅動電路 703 之結構範例。圖 16A 及 16B 為方塊圖，各描繪驅動電路之結構。圖 16A 為方塊圖，描繪掃描線驅動電路之結構。圖 16B 為方塊圖，描繪信號線驅動電路之結構。

如圖 16A 所描述，掃描線驅動電路 702 包括移位暫存器 900、位準移位器 901 及緩衝器 902。

諸如閘極啓動脈衝（GSP）及閘極時脈信號（GCK）之信號輸入至移位暫存器 900，並從連續邏輯電路連續輸出選擇信號。再者，實施例 2 中所示移位暫存器可應用於移位暫存器 900。

此外，如圖 16B 所描述，信號線驅動電路 703 包括移位暫存器 903、第一閂鎖電路 904、第二閂鎖電路 905、位準移位器 906 及緩衝器 907。

諸如啓動脈衝（SSP）之信號輸入至移位暫存器 903，並從連續邏輯電路連續輸出選擇信號。

資料信號輸入至第一閂鎖電路 904。第一閂鎖電路可包括例如上述實施例中所示一或複數邏輯電路。

緩衝器 907 具有放大信號之功能，並包括運算放大器等。緩衝器 907 可包括例如上述實施例中所示一或複數邏輯電路。

第二閂鎖電路 905 可暫時保持閂鎖（LAT）信號，並將所保持之閂鎖信號輸出一次至圖 15 中畫素部 701。此稱為線連續驅動。若畫素實施點連續驅動而非線連續驅動，便不需要第二閂鎖電路 905。第二閂鎖電路 905 可包括例如上述實施例中所示一或複數項邏輯電路。

其次，將描述圖 15 所描述之顯示裝置作業。

首先，掃描線係由掃描線驅動電路 702 選擇。對連接至所選擇之掃描線的畫素 704 而言，資料信號係藉從掃描線驅動電路 702 輸入之信號，經由信號線而從信號線驅動電路 703 輸出。因此，資料被寫入至連接至所選擇之掃描線的畫素 704，且畫素 704 形成顯示狀態。若配置複數掃描線，掃描線便連續經由掃描線驅動電路 702 選擇，且資料被寫入至所有畫素 704。上述為本實施例之顯示裝置作業。

圖 15 所描述之顯示裝置中電路可均設於一基板上，或可使用相同導電類型之電晶體予以形成。經由將電路設於一基板上，可減少顯示裝置之尺寸。經由使用相同導電類型之電晶體，可簡化程序。

請注意，本實施例可酌情與任一其他實施例相組合。

（實施例 7）

在本實施例中，將描述液晶顯示裝置做為實施例 6 中所示顯示裝置之範例。

將參照圖 17 描述本實施例中顯示裝置之畫素的電路結構範例。圖 17 為電路圖，描繪本實施例中顯示裝置之畫素的電路結構。

如圖 17 所描述，畫素包括電晶體 821、液晶元件 822 及電容器 823。

電晶體 821 做為選擇開關。電晶體 821 之閘極電性連接至掃描線 804，其源極及汲極之一則電性連接至信號線 805。

液晶元件 822 包括第一端子及第二端子。液晶元件 822 之第一端子電性連接至電晶體 821 之源極及汲極之另一。接地電位或具特定值之電位應用於液晶元件 822 之第二端子。液晶元件 822 包括做為部分或整個第一端子之第一電極、做為部分或整個第二端子之第二電極、及包括液晶分子之層（該層稱為液晶層），液晶分子之透射比經由第一電極及第二電極之間的電壓應用而改變。

電容器 823 包括第一端子及第二端子。電容器 823 之第一端子電性連接至電晶體 821 之源極及汲極之另一。接地電位或具特定值之電位應用於電容器 823 之第二端子。電容器 823 包括做為部分或整個第一端子之第一電極、做為部分或整個第二端子之第二電極、及介電質層。電容器 823 做為畫素之儲存電容器。請注意，儘管電容器 823 並非必要配置，但提供電容器 823 可減少電晶體 821 之漏電流的不利影響。

請注意，對本實施例中顯示裝置而言，可使用扭轉向列（TN）模式、平面切換（IPS）模式、邊緣場切換（FFS）模式、多域垂直校準（MVA）模式、圖像垂直校準（PVA）模式、軸對稱校準微型格（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式等。

另一方面，可使用展示不需校準膜之藍相的液晶。藍相為液晶相位之一，其係於膽固醇相位改變為各向同性相位之前產生，同時膽固醇液晶之溫度增加。由於藍相僅於窄的溫度範圍內出現，液晶層使用包含 5 重量%或更高之手性分子的液晶成分以改進溫度範圍。包括展示藍相之液晶及手性分子的液晶成分具有 $10\ \mu\text{s}$ - $100\ \mu\text{s}$ 的短響應時間，具有光學各向同性，使得不需要校準程序，及具有小視角依賴。

其次，將描述圖 17 所描述之畫素作業。

首先，選擇寫入資料之畫素，且選擇之畫素中電晶體

821 經由從掃描線 804 輸入之信號而被開啓。

此時，來自信號線 805 之資料信號經由電晶體 821 而輸入，使得液晶元件 822 之第一端子具有與資料信號相同電壓，且液晶元件 822 之透射比依據施予第一端子及第二端子之間之電壓而予設定。在資料寫入之後，電晶體 821 經由從掃描線 804 輸入之信號而被關閉，液晶元件 822 之透射比於顯示期間維持，且畫素形成顯示狀態。上述作業係針對掃描線 804 而連續實施，且上述作業係於所有畫素中實施。以上為畫素之作業。

顯示移動影像，液晶顯示裝置具有一個問題，即液晶分子的長響應時間造成後像或運動模糊。為改進液晶顯示裝置之移動影像特性，使用稱為黑色插入之驅動法，其中每一其他訊框期間整個螢幕顯示黑色。

此外，可使用稱為雙訊框速率驅動之驅動法，其中垂直同步頻率設定為通常垂直同步頻率的 1.5 倍或更多，較佳地為 2 倍或更多，以改進響應速度。

此外，為改進液晶顯示裝置的移動影像特性，可使用一種驅動法，其中使用複數發光二極體（LED）光源或複數 EL 光源，以形成表面光源做為背光，且表面光源之每一光源於一訊框期間以脈衝方式獨立驅動。有關表面光源，可使用三或更多類 LED，或可使用發射白光之 LED。由於複數 LED 可獨立控制，LED 發射白光之時序可與液晶層光學調變之時序同步。在此驅動法中，可關閉部分 LED；因而，可獲得降低電力消耗之效果，特別是顯示具

有大黑色部分之影像。

經由組合該些驅動法，相較於習知液晶顯示裝置，可改進液晶顯示裝置之顯示特性，諸如移動影像特性。

其次，將參照圖 18A 及 18B 描述包括上述畫素之本實施例中顯示裝置之結構。圖 18A 及 18B 描繪本實施例中顯示裝置之畫素結構。圖 18A 為俯視圖，及圖 18B 為截面圖。請注意，圖 18A 中虛線 A1-A2 及 B1-B2 分別相應於圖 18B 中截面 A1-A2 及 B1-B2。

如圖 18A 及 18B 所描述，在 A1-A2 截面中，本實施例中顯示裝置包括基板 2000 上之閘極電極 2001；設於閘極電極 2001 上之絕緣膜 2002；設於絕緣膜 2002 上之氧化物半導體層 2003；設於氧化物半導體層 2003 上之一對電極 2005a 及 2005b；設於電極 2005a 及 2005b 及氧化物半導體層 2003 上之氧化物絕緣層 2007；及經由氧化物絕緣層 2007 中開口而接觸電極 2005b 之電極 2020。

再者，B1-B2 截面中，顯示裝置包括基板 2000 上之電極 2008；電極 2008 上之絕緣膜 2002；設於絕緣膜 2002 上之氧化物絕緣層 2007；及設於氧化物絕緣層 2007 上之電極 2020。

電極 2022 及 2029 與電極 2023、2024 及 2028 做為布線或用於連接 FPC 之電極。

有關本實施例中電晶體，例如可使用圖 2A 及 2B 所描述之電晶體 252，因而此處省略其詳細描述。

電極 2020、2022 及 2028 係使用銦氧化物

(In_2O_3)、銦氧化物-錫氧化物合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，稱為 ITO) 等經由噴濺法、真空蒸發法等而予形成。該等材料係以鹽酸基溶液蝕刻。然而，由於易於產生殘渣，特別是在 ITO 蝕刻，可使用銦氧化物-錫氧化物合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 改進蝕刻加工。

圖 19A1 及 19A2 分別為閘極布線端子部之截面圖及俯視圖。圖 19A1 為沿圖 19A2 中線 C1-C2 之截面圖。在圖 19A1 中，形成於保護絕緣膜 2054 之上的透明導電膜 2055 為用於連接之端子電極，其做為輸入端子。此外，在圖 19A1 中，在端子部中，第一端子 2051 係由與閘極布線相同材料形成，及連接電極 2053 係由與源極布線相同材料形成，彼此重疊且其間具閘極絕緣層 2052，並經由透明導電膜 2055 而電性連接。再者，連接電極 2053 及透明導電膜 2055 經由設於保護絕緣膜 2054 中之接觸孔而電性連接。

圖 19B1 及 19B2 分別為源極布線端子部之截面圖及俯視圖。圖 19B1 為沿圖 19B2 中線 D1-D2 之截面圖。在圖 19B1 中，形成於保護絕緣膜 2054 上之透明導電膜 2055 為用於連接之端子電極，其做為輸入端子。此外，在圖 19B1 中，在端子部中，電極 2056 係由與閘極布線相同材料形成，被置於電性連接至源極布線之第二端子 2050 下方，以便與第二端子 2050 重疊，並具閘極絕緣層 2052 插入其間。電極 2056 並未電性連接至第二端子 2050。當電極 2056 設定為與第二端子 2050 具有不同電位

時，例如浮動電位、接地（GND）或 0 V，可形成避免雜訊或靜電之電容器。此外，第二端子 2050 經由設於保護絕緣膜 2054 中之接觸孔而電性連接至透明導電膜 2055。

複數閘極布線、源極布線及電容器布線係依據畫素密度而予配置。再者，與閘極布線相同電位之複數第一端子、與源極布線相同電位之複數第二端子、與電容器布線相同電位之複數第三端子等排列於端子部中。每一端子之數量可為特定數量，並由業者適當決定。

因此，可完成包括底閘 n 通道 TFT 之畫素 TFT 部及儲存電容器。接著，其係以相應於各畫素之矩陣排列，使得畫素部形成。因此，可形成用於製造主動式矩陣顯示裝置的基板之一。在本說明書中，為求方便將該等基板稱為主動式矩陣基板。

若製造主動式矩陣液晶顯示裝置，主動式矩陣基板及配置相對電極之相對基板彼此固定並具液晶層插入其間。請注意，電性連接至相對基板上相對電極之共同電極係設於主動式矩陣基板之上，而電性連接至共同電極之第四端子係設於端子部中。配置第四端子使得共同電極設定為諸如 GND 或 0 V 之固定電位。

本實施例中獲得之 n 通道電晶體使用 In-Ga-Zn-O 基膜做為通道形成層，因而具有有利動態特性。因此，該些驅動法可與本實施例之 n 通道電晶體加以組合應用。

若製造發光顯示裝置，為設定有機發光元件之一電極（亦稱為陰極）而具有低電源電壓，例如 GND 或 0 V，

將用於使陰極具有諸如 GND 或 0 V 之低電源電壓的第四端子設於端子部中。再者，當形成發光顯示裝置時，除了源極布線及閘極布線外，配置電源線。因此，將電性連接至電源線之第五端子設於端子部中。

基於於閘極線驅動電路或源極線驅動電路中使用包括氧化物半導體之 TFT，可減少製造成本。再者，經由直接連接用於驅動電路中 TFT 之閘極電極與源極布線或汲極布線，可減少接觸孔數量，使得以配置其中被驅動電路佔據之區域減少的顯示裝置。

因而，依據本實施例可以低成本配置具卓越電氣特性之高度可靠顯示裝置。

請注意，本實施例可酌情與任一其他實施例相組合。

（實施例 8）

在本實施例中，將描述發光顯示裝置做為實施例 6 中所示顯示裝置之範例。做為一範例，將於本實施例中描述其中電致發光用做發光元件之發光顯示裝置。

使用電致發光之發光元件依據發光材料為有機化合物或無機化合物而予分類。通常，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在有機 EL 元件中，將由將電壓應用於發光元件，電子及電洞分別從一對電極注入包含發光有機化合物之層中，且電流流動。接著，載子（電子及電洞）重新組合，使得以發光。由於該等機制，此發光元件稱為電流激勵發

光元件。

無機 EL 元件依據其元件結構而區分為分散型無機 EL 元件及薄膜無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料粒子分散於黏合劑中，且其發光機制為供體-受體重新組合型發光，使用供體位準及受體位準。薄膜無機 EL 元件具有一種結構，其中發光層夾於介電質層之間，其進一步夾於電極之間，且其發光機制為侷限型發光，使用金屬離子之內殼層電子轉變。請注意，此處將描述有機 EL 元件做為發光元件。

將參照圖 20 描述本實施例中顯示裝置之畫素的電路結構。圖 20 為電路圖，描繪本實施例中顯示裝置之畫素的電路結構。

如圖 20 所描述，本實施例中顯示裝置之畫素包括電晶體 851、做為畫素之儲存電容器的電容器 852、電晶體 853 及發光元件 854。

電晶體 851 之閘極電性連接至掃描線 855，及電晶體 851 之源極及汲極之一電性連接至信號線 856。

電容器 852 包括第一端子及第二端子。電容器 852 之第一端子電性連接至電晶體 851 之源極及汲極之另一。高電源電壓供應予電容器 852 之第二端子。

電晶體 853 之閘極電性連接至電晶體 851 之源極及汲極之另一。高電源電壓應用於電晶體 853 之源極及汲極之一。

發光元件 854 包括第一端子及第二端子。第一端子電

性連接至電晶體 853 之源極及汲極之另一。低電源電壓應用於第二端子。

其次，將描述圖 20 所描述之畫素作業。

首先，選擇寫入資料之畫素。在所選擇之畫素中，電晶體 851 經由從掃描線 855 輸入之掃描信號而被開啓，且具有固定電壓之視訊信號（亦稱為資料信號）從信號線 856 輸入至電晶體 853 之閘極。

電晶體 853 依據響應輸入至閘極之資料信號的電壓而被開啓或關閉。當電晶體 853 被開啓時，應用於發光元件 854 之第一端子及第二端子之間之電壓取決於電晶體 853 之閘極電壓及高電源電壓。此時，電流經由取決於應用於第一端子及第二端子之間之電壓的發光元件 854 而流動，而發光元件 854 發光具有相應於第一端子及第二端子之間流動之電流量的亮度。此外，由於電晶體 853 之閘極電壓經由電容器 852 而保持達某期間，發光元件 854 維持某期間之發光狀態。

當從信號線 856 輸入至畫素之資料信號為數位的時，畫素經由切換電晶體開啓或關閉而進入發光狀態或非發光狀態。因此，經由區域比例灰階法或時間比例灰階法而可表示灰階。區域比例灰階法係指一種驅動法，其中一畫素被分割為複數子畫素，而每一具圖 20 所描述之電路結構的子畫素係依據資料信號而獨立驅動，使得以表示灰階。時間比例灰階法係指一種驅動法，其中控制畫素處於發光狀態之期間，使得以表示灰階。

由於發光元件之響應速度高於液晶元件等，發光元件比液晶元件適合時間比例灰階法。具體地，當使用時間比例灰階法進行顯示，一訊框期間便分割為複數子訊框期間。接著，依據視訊信號，畫素中發光元件於每一子訊框期間被設定為發光狀態或非發光狀態。經由將一訊框期間分割為複數子訊框期間，可以視訊信號控制一訊框期間畫素實際發光的總期間長度，藉此可表示灰階。

在發光顯示裝置之驅動電路中，可於形成畫素部中 TFT 處之基板上形成可使用 n 通道 TFT 形成之部分驅動電路。再者，僅可使用 n 通道 TFT 形成信號線驅動電路及掃描線驅動電路。

其次，參照圖 21A 至 21C 描述發光元件之結構。此處以 n 通道驅動 TFT 為範例描述畫素之截面結構。可以類似於上述實施例中所示形成增強型 TFT 之方式，形成 TFT7001、7011 及 7021，其分別為用於圖 21A、21B 及 21C 之顯示裝置中的驅動 TFT。該些 TFT 包括做為半導體層之氧化物半導體層，並具高可靠性。

為汲取從發光元件發射之光，陽極及陰極至少其一應為透明。存在下列形成於相同基板上做為 TFT 之發光元件的結構：頂部發光結構，其中光係經由相對於基板之表面汲取；底部發光結構，其中光係經由基板之表面汲取；及雙重發光結構，其中光係經由相對於基板之表面及基板之表面汲取。本發明之畫素結構可應用於具有任一該些發光結構之發光元件。

將參照圖 21A 描述具有頂部發光結構之發光元件。

圖 21A 為畫素之截面圖，其中驅動 TFT7001 為 n 型，且光係從發光元件 7002 經由陽極 7005 發射。在圖 21A 中，發光元件 7002 之陰極 7003 電性連接至驅動 TFT7001，且發光層 7004 及陽極 7005 依序堆疊於陰極 7003 之上。陰極 7003 可使用任何具有低功函數及反光導電膜之材料予以形成。例如，使用鈣（Ca）、鋁（Al）、MgAg、AlLi 等較佳。可使用單層或複數層堆疊而形成發光層 7004。當使用複數層堆疊形成發光層 7004 時，發光層 7004 係依序於陰極 7003 上堆疊電子注入層、電子傳遞層、發光層、電洞傳遞層及電洞注入層而予形成。請注意，只要配置發光層，便不需要配置所有該些層。陽極 7005 係使用透光導電膜而形成。例如，陽極 7005 可使用下列各透光導電膜予以形成，包含錫氧化物之銦氧化物、包含錫氧化物之銦鋅氧化物、包含鈦氧化物之銦氧化物、包含鈦氧化物之銦錫氧化物、銦錫氧化物（以下稱為 ITO）、銦鋅氧化物或添加矽氧化物之銦錫氧化物。

發光元件 7002 相應於發光層 7004 夾於陰極 7003 及陽極 7005 之間之區域。在圖 21A 所描述之畫素中，如箭頭所示，光從發光元件 7002 發射至陽極 7005 側。

其次，將參照圖 21B 描述具有底部發光結構之發光元件。圖 21B 為畫素之截面圖，其中驅動 TFT7011 為 n 型，且光係從發光元件 7012 經由陰極 7013 發射。在圖 21B 中，發光元件 7012 之陰極 7013 形成於電性連接至驅

動 TFT7011 之透光導電膜 7017 上，且發光層 7014 及陽極 7015 依序堆疊於陰極 7013 之上。請注意，可形成用於反射或防堵光之阻擋膜 7016，以於陽極 7015 具有透光屬性時覆蓋陽極 7015。對陰極 7013 而言，任何具有低功函數之導電材料可用於圖 21A 之範例中。請注意，陰極 7013 經形成而具一厚度，基此陰極 7013 透光（較佳地，約 5 nm 至 30 nm）。例如，具 20 nm 厚度之鋁膜可用做陰極 7013。類似於圖 21A 之範例，可使用單層或或複數層堆疊形成發光層 7014。陽極 7015 不需透光，但如圖 21A 之範例可以透光導電材料形成。有關阻擋膜 7016，可使用例如反光之金屬膜；然而，其不侷限於金屬膜。例如，亦可使用添加黑色素之樹脂。

發光元件 7012 相應於發光層 7014 夾於陰極 7013 及陽極 7015 之間之區域。在圖 21B 所描述之畫素中，如箭頭所示，光係從發光元件 7012 發射至陰極 7013 側。

其次，將參照圖 21C 描述具有雙重發光結構之發光元件。在圖 21C 中，發光元件 7022 之陰極 7023 形成於電性連接至驅動 TFT7021 之透光導電膜 7027 上，且發光層 7024 及陽極 7025 依序堆疊於陰極 7023 上。對陰極 7023 而言，任何具有低功函數之導電材料可用於圖 21A 之範例中。請注意，陰極 7023 經形成而具一厚度，基此陰極 7023 透光。例如，具 20 nm 厚度之鋁膜可用做陰極 7023。類似於圖 21A 之範例，可使用單層或或複數層堆疊形成發光層 7024。如圖 21A 之範例，可以透光導電材料

形成陽極 7025。

發光元件 7022 相應於陽極 7025、發光層 7024 及陰極 7023 彼此重疊之區域。在圖 21C 所描述之畫素中，如箭頭所示，光係從發光元件 7022 發射至陽極 7025 側及陰極 7023 側。

儘管此處描述有機 EL 元件為發光元件，亦可替代地配置無機 EL 元件做為發光元件。

儘管所描述之範例，其中控制發光元件驅動之薄膜電晶體（亦稱為驅動 TFT）電性連接至發光元件，但可使用一種結構，其中用於電流控制之 TFT 連接於驅動 TFT 及發光元件之間。

其次，將參照圖 22A 及 22B 描述本實施例之顯示裝置（亦稱為發光面板）的外觀及截面。圖 22A 為面板之平面圖，其中形成於第一基板上之 TFT 及發光元件以密封劑密封於第一基板及第二基板之間。圖 22B 為沿圖 22A 中線 H-I 之截面圖。

配置密封劑 4505 以便圍繞設於第一基板 4501 之上的畫素部 4502、信號線驅動電路 4503a 及 4503b 和掃描線驅動電路 4504a 及 4504b。此外，第二基板 4506 係設於畫素部 4502、信號線驅動電路 4503a 及 4503b 和掃描線驅動電路 4504a 及 4504b 之上。因此，畫素部 4502、信號線驅動電路 4503a 及 4503b 和掃描線驅動電路 4504a 及 4504b 係以填充劑 4507 並經由第一基板 4501、密封劑 4505 及第二基板 4506 而密封在一起。較佳的是因而以保

護膜（諸如黏接膜或紫外線固化樹脂膜）或具高氣密性及低脫氣之覆蓋材料封裝（密封）面板，使得畫素部 4502、信號線驅動電路 4503a 及 4503b 和掃描線驅動電路 4504a 及 4504b 等不暴露於空氣。

形成於第一基板 4501 上之畫素部 4502、信號線驅動電路 4503a 及 4503b 和掃描線驅動電路 4504a 及 4504b，各包括複數 TFT。畫素部 4502 中所包括之 TFT4510 和信號線驅動電路 4503a 中所包括之 TFT4509 及 TFT4555，被描述為圖 22B 中範例。

有關 TFT4509、4510 及 4555，可使用實施例 2 及實施例 3 中所描述之任何包括氧化物半導體層做為半導體層之高度可靠電晶體。在本實施例中，TFT4509、4510 及 4555 為 n 通道 TFT。此外，絕緣層 4542 係形成於 TFT4509、4510 及 4555 之上；絕緣層 4544 係形成於絕緣層 4542 之上；及導電層 4540 係設於具絕緣層 4542 及絕緣層 4544 插入其間之 TFT4509 之上。導電層 4540 做為第二閘極電極。此外，絕緣層 4545、絕緣層 4543 及絕緣層 4546 係形成於絕緣層 4544 之上。

圖 22A 及 22B 所描述之顯示裝置包括發光元件 4511。發光元件 4511 具有包括第一電極 4517、電致發光層 4512 及第二電極 4513 之堆疊層結構，但結構不限於本實施例中之結構。第一電極 4517 電性連接至 TFT4510 之源極電極或汲極電極 4548。請注意，發光元件 4511 之結構可依據從發光元件 4511 等汲取光之方向而適當地改

變。

分割區 4520 係使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷而予形成。特佳的是以光敏材料形成分割區 4520 而具有第一電極 4517 上之開口，並形成開口之側壁做為具連續曲率之傾斜表面。

電致發光層 4512 可使用單層或複數層之堆疊予以形成。

請注意，為避免氧、氫、濕氣、二氧化碳等進入發光元件 4511，可於第二電極 4513 及分割區 4520 之上形成保護層。有關保護層，可形成矽氮化物膜、矽氮化物氧化物膜、DLC 膜等。

此外，FPC 4518a 及 4518b 供應各類信號及電壓予信號線驅動電路 4503a 及 4503b、掃描線驅動電路 4504a 及 4504b 或畫素部 4502。

在本實施例中，使用與發光元件 4511 中所包括之第一電極 4517 相同導電膜形成連接端子電極 4515，及使用與 TFT4509、4510 及 4555 中所包括之源極及汲極電極相同導電膜形成端子電極 4516。

連接端子電極 4515 經由各向異性導電膜 4519 電性連接至 FPC 4518a 中所包括之端子。

位於從發光元件 4511 汲取光之方向的第二基板需具有透光屬性。在此狀況下，使用諸如玻璃板、塑料板、聚脂膜或丙烯酸膜之透光材料。

有關填充劑 4507，可使用紫外線固化樹脂或熱固性

樹脂，以及諸如氮或氬氣之惰性氣體。可使用例如聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯醇縮丁醛（PVB）或乙烯醋酸乙烯酯（EVA）。在本實施例中，氮可用做填充劑。

如有需要，諸如偏光板、圓偏光板（包括橢圓偏光板）、延遲板（四分之一波板或半波板）或濾色器等光學膜，可適當地提供於發光元件之發光表面。此外，偏光板或圓偏光板可提供具防反射膜。例如，可實施防眩光處理，藉此反射光可經由投影而擴散並於表面上降低，以致降低眩光。

有關信號線驅動電路 4503a 及 4503b 和掃描線驅動電路 4504a 及 4504b，可安裝使用單晶半導體膜或多晶半導體膜於分別準備之基板上形成之驅動電路。另一方面，僅信號線驅動電路或其部分或僅掃描線驅動電路或其部分，可分別形成及安裝。本實施例並不侷限於圖 22A 及 22B 所描述之結構。

經由上述步驟，可製造高度可靠發光裝置（顯示面板）。

請注意，本實施例可酌情與任一其他實施例加以組合。

（實施例 9）

在本實施例中，將描述電子紙做為實施例 6 中顯示裝置之範例。

上述實施例中所示邏輯電路可用做電子紙。電子紙亦稱為電泳顯示裝置（亦稱為電泳顯示），具有與一般紙相同的高可讀性，較其他顯示裝置為低的電力消耗，及形薄質輕等優點。

電泳顯示可具有各式模式。電泳顯示包含分散於溶劑或溶解物的複數微膠囊，每一包含正向充電的第一粒子及負向充電的第二粒子。經由施予電場至微膠囊，微膠囊中粒子便以相對方向彼此移動，僅顯示聚集在一側之粒子顏色。請注意，第一粒子及第二粒子包含色素，無電場時不會移動。第一粒子及第二粒子具有不同顏色（可為無色）。

因此，電泳顯示利用所謂介電泳效應，其中具高介電常數之物質移至高電場區。電泳顯示裝置不需使用對液晶顯示裝置而言必要之偏光板及相對基板，因而可減少電泳顯示裝置之厚度及重量。

其中上述微膠囊分散於溶劑中之溶液稱為電子墨水。電子墨水可印刷於玻璃、塑料、布料、紙等表面。再者，經由使用濾色器或具有色素之粒子可達成顏色顯示。

此外，若複數上述微膠囊適當地排列於主動式矩陣基板之上，以便插入於兩電極之間，便可完成主動式矩陣顯示裝置。經由將電場應用於微膠囊，可顯示影像。例如，可使用上述實施例中舉例之使用增強型 TFT 形成之主動式矩陣基板。

請注意，微膠囊中第一粒子及第二粒子可由任一下列

材料形成：導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料、磁泳材料，或其複合材料。

其次，將參照圖 23 描述本實施例中電子紙之結構範例。

圖 23 所描述之電子紙包括基板 580 上之 TFT581；堆疊於 TFT581 上之絕緣層 583、584 及 585；經由設於絕緣層 583 至 585 中開口而接觸 TFT581 之源極電極或汲極電極的電極 587；及設於基板 596 上之電極 588。此外，電子紙於基板 596 上電極 587 及電極 588 之間包括球形粒子 589，各包括黑區 590a、白區 590b 及填充液體以圍繞黑區 590a 及白區 590b 之腔室 594；及配置於球形粒子 589 附近之填充劑 595。

TFT581 為包括氧化物半導體層做為半導體層之高度可靠 TFT。例如，TFT581 可以類似於上述實施例中電晶體之方式予以製造。

一種方法稱為扭球顯示法，其中使用球形粒子 589。在扭球顯示法中，染成黑色及白色的每一球形粒子配置於用做顯示元件之第一電極及第二電極之間，並於第一電極及第二電極之間產生電位差，以控制球形粒子之方向，而實施顯示。

此外，可使用電泳元件取代球形元件。使用具有約 10 μm 至 200 μm 直徑之微膠囊，其中透明液體、正向充電之白色微粒子及負向充電之黑色微粒子均裝入膠囊。在

第一電極及第二電極之間所提供之微膠囊中，當第一電極及第二電極應用電場時，白色微粒子及黑色微粒子移動至彼此相對側，使得可顯示白色或黑色。使用此原理之顯示元件為電泳顯示元件。電泳顯示元件具有高於液晶顯示元件之反射係數，因而不需要輔助光，電力消耗低，且可於黑暗環境中識別顯示部。此外，當電力不供應予顯示部時，可維持已顯示之影像。因此，當具有顯示功能之半導體裝置（此可簡單地稱為顯示裝置或具顯示裝置之半導體裝置）迴避電波源時，可儲存已顯示之影像。

在本實施例中，例如實施例 2 或實施例 3 中描述之驅動電路可用做電子紙之驅動電路。此外，由於包括氧化物半導體層之電晶體亦可用做顯示部中電晶體，例如驅動電路及顯示部可設於一基板上。

電子紙可於所有領域用做顯示資訊之電子裝置。例如，電子紙可應用於電子書閱讀器（電子書）、海報、諸如火車之車廂廣告，或諸如信用卡之各類卡的顯示。圖 24 描繪電子裝置之範例。圖 24 描繪電子書閱讀器之範例。

如圖 24 所描述，電子書閱讀器 2700 包括外殼 2701 及外殼 2703 之兩外殼。外殼 2701 及外殼 2703 係以絞鏈 2711 結合，使得電子書閱讀器 2700 可沿絞鏈 2711 而開啓或關閉。基於該等結構，電子書閱讀器 2700 可如紙本書籍一般操作。

顯示部 2705 及顯示部 2707 分別併入外殼 2701 及外

殼 2703。顯示部 2705 及顯示部 2707 可顯示一影像或不同影像。若顯示部 2705 及顯示部 2707 顯示不同影像，例如，在右側之顯示部（圖 24 中顯示部 2705）可顯示正文，及左側之顯示部（圖 24 中顯示部 2707）可顯示影像。

圖 24 描繪一範例，其中外殼 2701 經提供具作業部等。例如，外殼 2701 經提供具電源開關 2721、操作鍵 2723、揚聲器 2725 等。頁面可以操作鍵 2723 翻轉。請注意，鍵盤、指向裝置等可提供於相同表面上，做為外殼之顯示部。再者，外部連接端子（耳機端子、USB 端子、可連接諸如 AC 轉接器及 USB 纜線之各類纜線的端子）、儲存媒體嵌入部等可設於外殼之背面或側面。再者，電子書閱讀器 2700 可具有電子字典之功能。

電子書閱讀器 2700 可用於無線傳輸及接收資料。經由無線通訊，可從電子書伺服器採購及下載所需書籍資料等。

（實施例 10）

在本實施例中。將描述面板系統顯示裝置，做為實施例 6 中顯示裝置之一實施例。

本說明書中所揭露本發明之一實施例的邏輯電路，可應用於面板系統顯示裝置，其中顯示部及驅動電路係設於一基板之上。以下將描述顯示裝置之具體結構。

顯示裝置包括本實施例中顯示元件。顯示元件之範例

包括液晶元件（亦稱為液晶顯示元件）及發光元件（亦稱為發光顯示元件）。發光元件包括經由電流或電壓控制亮度之元件等類型，具體地包括無機電致發光（EL）元件、有機 EL 元件等類型。再者，顯示裝置可包括諸如電子墨水之顯示媒體，其對比係經由電效應而改變。

此外，本實施例中顯示裝置包括其中顯示元件密封之面板，及其中 IC 等包括安裝於面板之控制器的模組。再者，為一實施例之元件基板，其於顯示裝置之製造程序中顯示元件完成之前，便提供而具有用於供應電流至每一複數畫素之顯示元件的裝置。具體地，元件基板可處於一狀態，其中僅形成顯示元件之畫素電極；做為畫素電極之導電膜形成之後及形成畫素電極之導電膜蝕刻之前的狀態；或任何其他狀態。

請注意，本說明書中顯示裝置係指影像顯示裝置，或光源（包括發光裝置）。此外，顯示裝置亦可包括具連接器之模組等種類。例如，顯示裝置包括附著軟性印刷電路（FPC）、磁帶自動黏接（TAB）磁帶或磁帶載體包（TCP）之模組；具有 TAB 磁帶或 TCP 而於其末端具有印刷布線板之模組；及具有積體電路（IC）之模組，其係經由將芯片安裝於玻璃（COG）法而直接安裝於顯示元件上。

其次，將參照圖 25A1 至 25B 描述液晶顯示裝置面板之外觀及截面，其為本實施例中顯示裝置之一實施例。

每一圖 25A1 及 25A2 為本實施例中顯示裝置之俯視

圖，其中第一基板 4001 上液晶元件 4013 及 TFT4010、4011 及 4113 係以密封劑 4005 密封於第一基板 4001 及第二基板 4006 之間。TFT4010、4011 及 4113 包括實施例 4 中所示 In-Ga-Zn-O 基膜，做為半導體層。圖 25B 為沿圖 25A1 及 25A2 中線 M-N 之截面圖。

在本實施例之顯示裝置中，配置密封劑 4005 以環繞設於第一基板 4001 上之畫素部 4002 及掃描線驅動電路 4004。第二基板 4006 係設於畫素部 4002 及掃描線驅動電路 4004 之上。所以，畫素部 4002 及掃描線驅動電路 4004 係經由第一基板 4001、密封劑 4005 及第二基板 4006 而與液晶層 4008 密封在一起。使用單晶半導體膜或多晶半導體膜而形成於分別準備之基板上的信號線驅動電路 4003，被安裝於一區域，其不同於第一基板 4001 上經密封劑 4005 圍繞之區域。

請注意，對於分別形成之驅動電路的連接方法並無特別限制，可使用 COG 法、引線鍵合法、TAB 法等。圖 25A1 描繪一範例，其中信號線驅動電路 4003 係經由 COG 法安裝。圖 25A2 描繪一範例，其中信號線驅動電路 4003 係經由 TAB 法安裝。

設於第一基板 4001 上之畫素部 4002 及掃描線驅動電路 4004 包括複數 TFT。圖 25B 描繪包括於畫素部 4002 中之 TFT4010，及包括於掃描線驅動電路 4004 中之 TFT4011 及 4113，做為範例。絕緣層 4020、4021 及 4042 係設於 TFT4010、4011 及 4113 之上。此外，導電層 4040

係設於具絕緣層 4020 及 4042 插入其間之 TFT4011 之上。導電層 4040 做為第二閘極電極。

有關 TFT4010、4011 及 4113，可使用上述實施例中描述之任一包括氧化物半導體層做為半導體層之 TFT。在本實施例中，TFT4010、4011 及 4113 為 n 通道 TFT。

液晶元件 4013 中包括之畫素電極 4030 電性連接至 TFT4010。液晶元件 4013 之相對電極 4031 係形成於第二基板 4006 上。畫素電極 4030、相對電極 4031 及液晶層 4008 相互重疊之部分相應於液晶元件 4013。請注意，畫素電極 4030 及相對電極 4031 分別配置做為校準膜之絕緣層 4032 及絕緣層 4033，且液晶層 4008 夾於畫素電極 4030 及相對電極 4031 之間，其間具絕緣層 4032 及 4033。

對第一基板 4001 及第二基板 4006 而言，可應用上述實施例中用於基板 201 之材料及製造方法。

隔板 4035 為柱狀分割區，其係經由選擇蝕刻絕緣膜而獲得，並經配置以便控制畫素電極 4030 及相對電極 4031 之間的距離（格間距）。另一方面，可使用球形隔板。相對電極 4031 電性連接至形成於 TFT4010 形成處之基板上的共同電位線。經由配置於使用共同連接部的一對基板之間的導電粒子，相對電極 4031 及共同電位線可彼此電性連接。請注意，導電粒子係包括於密封劑 4005 中。

請注意，儘管本實施例顯示透射式液晶顯示裝置之範

例，本發明亦可應用於反射液晶顯示裝置或半透射液晶顯示裝置。

儘管在本實施例之液晶顯示裝置的範例中，，偏光板係設於基板的外部表面（在觀看者側），而著色層（濾色器）及用於顯示元件之電極係連續設於基板的內部表面，偏光板可設於基板的內部表面。偏光板及著色層的堆疊層結構並不侷限於在本實施例中之結構，可依據偏光板及著色層之材料或製造程序狀況而適當設定。此外，可配置做為黑矩陣的阻光膜。

在本實施例中，為減少 TFT 造成之表面不均勻，及改進 TFT 之可靠性，TFT 被覆以絕緣層（絕緣層 4020、4021 及 4042），做為保護層或平面化絕緣膜。請注意，保護層避免諸如空氣中包括之有機物質、金屬或濕氣之污染雜質滲透，因而密集膜較佳用做保護層。保護層可以矽氧化物膜、矽氮化物膜、氮氧化矽膜、矽氮化物氧化物膜、鋁氧化物膜、鋁氮化物膜、鋁氮氧化物膜或鋁氮化物氧化物膜之任一項的單層或堆疊經由噴濺法而予形成。儘管在本實施例中保護層係經由噴濺法形成，但並非特別侷限於本法，而係可選自各類方法。此外，當使用非還原膜時，保護層亦可做為還原避免層。

此處，經由噴濺法形成具堆疊層結構之絕緣層做為保護層，及形成矽氧化物膜做為絕緣層 4042，其為保護層之第一層。使用矽氧化物膜做為保護層在避免用做源極電極及汲極電極之鋁膜的凸起是有效的。

有關保護層之第二層，經由噴濺法形成矽氮化物膜而提供絕緣層 4020。使用矽氮化物膜做為保護層可避免諸如鈉之移動離子進入半導體區而改變 TFT 之電氣特性。

在保護層形成之後，半導體層可歷經熱處理。

形成絕緣層 4021 做為平面化絕緣膜。絕緣層 4021 可使用耐熱有機材料而予形成，諸如可使用聚醯亞胺、丙烯酸、聚醯亞胺醯胺、苯並環丁烯、聚醯胺或環氧樹脂。有關該等有機材料之替代品，可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。請注意，可經由堆疊使用任一該些材料形成之複數絕緣膜而形成絕緣層 4021。

形成絕緣層 4021 之方法並無特別限制。依據材料，可使用下列方法形成絕緣層 4021，諸如噴濺法、SOG 法、旋塗法、浸漬法、噴塗法或液低釋放法（例如噴墨法、網印或膠印）；或經由使用工具（設備）：諸如刮膠刀、擠膠滾筒、簾式塗料器、刮刀塗布機等。當使用材料溶液形成絕緣層 4021 時，半導體層可以與烘乾步驟相同時間退火。當絕緣層 4021 之烘乾步驟與半導體層之退火結合時，可有效率地製造顯示裝置。

對畫素電極 4030 及相對電極 4031 而言，可使用下列透光導電材料，包含鎢氧化物之銦氧化物、包含鎢氧化物之銦鋅氧化物、包含鈦氧化物之銦氧化物、包含鈦氧化物之銦錫氧化物、銦錫氧化物（以下稱為 ITO）、銦鋅氧化物或添加矽氧化物之銦錫氧化物。

另一方面，包括導電高分子之導電成分（亦稱為導電聚合物）可用於畫素電極 4030 及相對電極 4031。使用導電成分形成之畫素電極較佳地於 550 nm 波長下，具有每平方 10000 歐姆或更低之薄層電阻，及 70%或更高之光透射比。此外，導電成分中所包括之導電高分子的電阻係數較佳地為 0.1 Ω -cm 或更低。

有關導電高分子，可使用所謂 π 電子共軛導電聚合物。例如可提供聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或兩或更多項該些材料之共聚物。

此外，各類信號及電位供應與分別形成之信號線驅動電路 4003、掃描線驅動電路 4004 或來自 FPC 4018 之畫素部 4002。

在本實施例中，連接端子電極 4015 係使用與液晶元件 4013 中包括之畫素電極 4030 相同導電膜予以形成，及端子電極 4016 係使用與 TFT4011 及 4010 之源極及汲極電極層相同導電膜予以形成。

連接端子電極 4015 經由各向異性導電膜 4019 電性連接至 FPC 4018 中包括之端子。

請注意，圖 25A1、25A2 及 25B 描繪範例，其中信號線驅動電路 4003 係分別形成並安裝於第一基板 4001 上；然而，本實施例並不侷限於此結構。掃描線驅動電路可分別形成並安裝，或僅部分信號線驅動電路或部分掃描線驅動電路可分別形成及接著安裝。

如上述，可形成面板系統顯示裝置。對本實施例中顯

示裝置而言，上述實施例中邏輯電路可用於驅動電路，例如邏輯電路可以與顯示部中 TFT 相同程序予以形成。

請注意，本實施例可酌情與任一其他實施例中描述之結構加以組合。

（實施例 11）

實施例 6 至實施例 10 中半導體裝置可應用於各類電子裝置（包括遊戲機）。該等電子裝置之範例為電視機（亦稱為電視或電視接收器）、電腦螢幕等、諸如數位相機或數位視訊攝影機之攝影機、數位像框、行動電話機（亦稱為行動電話或行動電話裝置）、可攜式遊戲機、可攜式資訊終端機、音頻播放裝置、諸如彈珠台之大型遊戲機等。

圖 26A 描繪電視裝置之範例。在電視裝置 9600 中，顯示部 9603 併入外殼 9601。顯示部 9603 可顯示影像。此處，外殼 9601 係由支架 9605 支撐。

電視裝置 9600 可以外殼 9601 之操作開關或個別遙控器 9610 操作。可由遙控器 9610 之操作鍵 9609 控制頻道切換及音量，藉此，可控制顯示於顯示部 9603 之影像。再者，控制器 9610 可提供具顯示部 9607，以顯示自遙控器 9610 輸出之資料。

請注意，電視裝置 9600 經提供具接收器、數據機等。基於接收器，可接收一般電視廣播。再者，當顯示裝置經由數據機有線或無線連接至通訊網路時，可實施單向

（從發送端至接收端）或雙向（例如發送端與接收端之間，或接收端之間）資訊通訊。

圖 26B 描繪數位像框 9700 之範例。例如，在數位像框 9700 中，顯示部 9703 併入外殼 9701。顯示部 9703 可顯示各類影像。例如，顯示部 9703 可顯示攝自數位相機等之影像資料，並做為一般相框。

請注意，數位像框 9700 經提供具作業部、外部連接部（USB 端子、可連接諸如 USB 纜線之各類纜線的端子）、儲存媒體嵌入部等。儘管該些組件可設於相同表面上做為顯示部，較佳的是為設計美學而將其設於側面或背面。例如，攝自數位相機之影像的記憶體儲存資料被插入數位像框 9700 之儲存媒體嵌入部，並載入資料，藉此影像便可顯示於顯示部 9703。

數位像框 9700 可用於無線傳輸及接收資料。經由無線通訊，所需影像資料便可載入及顯示。

圖 27A 為可攜式遊戲機，包括與接合部 9893 連接的外殼 9881 及外殼 9891 之兩外殼，所以該可攜式遊戲機可開啓及折疊。顯示部 9882 及顯示部 9883 分別併入外殼 9881 及外殼 9891。此外，圖 27A 中描繪之可攜式遊戲機經提供具揚聲器部 9884、儲存媒體嵌入部 9886、發光二極體（LED）燈 9890、輸入裝置（操作鍵 9885、連接端子 9887、感應器 9888（具有下列項目測量功能：力量、位移、位置、速度、加速度、角速度、旋轉數、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、

電場、電流、電壓、電力、輻射線、流率、濕度、傾斜度、震動、氣味或紅外線）及麥克風 9889）等。不用說，可使用之可攜式遊戲機之結構，不限於上述及經提供而具至少顯示裝置之另一結構。可攜式遊戲機可酌情包括其他配件。圖 27A 中所描述之可攜式遊戲機具有讀取儲存於儲存媒體之程式或資料以顯示於顯示部之功能，與經由無線通訊而與另一可攜式遊戲機分享資訊之功能。請注意，圖 27A 中所描述之可攜式遊戲機之功能不限於上述，且可攜式遊戲機可具有各類功能。

圖 27B 描繪大型遊戲機之投幣機範例。在投幣機 9900 中，顯示部 9903 併入外殼 9901。此外，投幣機 9900 包括諸如啟動桿或停止開關、投幣孔、揚聲器等作業裝置。不用說，可使用之投幣機 9900 之結構，不限於上述及經提供而具至少依據本發明之顯示裝置的另一結構。投幣機 9900 可酌情包括其他配件。

圖 28A 描繪行動電話範例。行動電話 9000 包括其中併入顯示部 9002 之外殼 9001、操作按鈕 9003、外部連接埠 9004、揚聲器 9005、麥克風 9006 等。

經由以手指等碰觸顯示部 9002，資訊可輸入至圖 28A 所描述之行動電話 9000。再者，使用者可以其手指等碰觸顯示部 9002 而打電話或寫電子郵件。

主要存在顯示部 9002 的三種螢幕模式。第一模式為主要用於顯示影像之顯示模式。第二模式為主要用於輸入諸如正文之資訊的輸入模式。第三模式為顯示及輸入模

式，其中顯示模式及輸入模式兩模式相結合。

例如，若打電話或寫電子郵件，顯示部 9002 可置於主要用於輸入正文之正文輸入模式，並可輸入顯示於螢幕之字符。在此狀況下，較佳地在顯示部 9002 的幾乎整個螢幕區顯示鍵盤或數字按鈕。

當包括用於檢測傾角之感應器（諸如陀螺儀或加速感應器）的檢測裝置設於行動電話 9000 內部時，顯示部 9002 之螢幕顯示可經由檢測行動電話 9000 的方向而自動切換（不論行動電話 9000 為用於全景模式或肖像模式而水平或垂直擺置）。

此外，螢幕模式係經由碰觸顯示部 9002 或操作外殼 9001 之操作按鈕 9003 而予切換。另一方面，螢幕模式可依據顯示於顯示部 9002 之影像種類而予切換。例如，當用於顯示於顯示部 9002 之影像的信號為移動影像之資料時，螢幕模式便切換為顯示模式。當信號為正文資料時，螢幕模式便切換為輸入模式。

此外，在輸入模式，信號係由顯示部 9002 中光學感應器檢測，若經由碰觸顯示部 9002 之輸入未實施達某期間，便可控制螢幕模式，以便從輸入模式切換為顯示模式。

顯示部 9002 亦可做為影像感應器。例如，掌紋、指紋等影像係經由以手掌或手指碰觸顯示部 9002 而拍攝，藉此可實施人員驗證。再者，當背光或發射近紅外線之光源設於顯示部中時，便可拍攝手指靜脈或手掌靜脈之影

像。

圖 28B 描繪行動電話之另一範例。圖 28B 中行動電話具有配置包括顯示部 9412 及操作按鈕 9413 之外殼 9411 的顯示裝置 9410，及配置包括操作按鈕 9402、外部輸入端子 9403、麥克風 9404、揚聲器 9405 及接收來電時發光之發光部 9406 之外殼 9401 的通訊裝置 9400。顯示裝置 9410 具有顯示功能，能夠可拆卸地附著至具有如箭頭所示雙向電話功能之通訊裝置 9400。因此，顯示裝置 9410 及通訊裝置 9400 可沿其短側或長側而彼此附著。此外，當僅需顯示功能時，可將顯示裝置 9410 從通訊裝置 9400 拆下而單獨使用。影像或輸入資訊可經由無線或有線通訊而於通訊裝置 9400 及顯示裝置 9410 之間傳輸及接收，二者各具有可充電電池。

請注意，本實施例可經由與任一其他實施例中描述之結構適當組合而予實施。

（實施例 12）

在本實施例中，將描述包括具有不同於上述實施例中結構之電晶體的邏輯電路。

本發明之一實施例的顯示裝置中電晶體不侷限於具有圖 2A 及 2B 所描述之結構的電晶體，而是可使用具另一結構之電晶體。將參照圖 29A 及 29B 描述應用具另一結構之電晶體的邏輯電路。圖 29A 及 29B 描繪本實施例中驅動電路部之結構。圖 29A 為俯視圖，及圖 29B 為沿圖

29A 所描述之驅動電路部的線 Z1-Z2 及線 Z3-Z4 之截面圖。請注意，在圖 29A 及 29B 所描述之邏輯電路中，圖 2A 及 2B 所描述之邏輯電路的描述，可用於與圖 2A 及 2B 所描述之顯示裝置相同成分之描述。

如同圖 2A 及 2B 所描述之邏輯電路，圖 29A 及 29B 所描述之邏輯電路包括電晶體 251、電晶體 252 及電晶體 253。

此外，將描述電晶體之結構。電晶體 251 包括基板 201 上之閘極電極 211a、閘極電極 211a 上之閘極絕緣層 202、閘極絕緣層 202 上之導電層 215a 及導電層 215b、及具閘極絕緣層 202 插入其間之閘極電極 211a 上與導電層 215a 及導電層 2150 上之氧化物半導體層 223a。

電晶體 252 包括基板 201 上之閘極電極 211b、閘極電極 211b 上之閘極絕緣層 202、閘極絕緣層 202 上之導電層 215b 及導電層 215c、及具閘極絕緣層 202 插入其間之閘極電極 211b 上與導電層 215b 及導電層 215c 上之氧化物半導體層 223b。

電晶體 253 包括基板 201 上之閘極電極 211c、閘極電極 211c 上之閘極絕緣層 202、閘極絕緣層 202 上之導電層 215b 及導電層 215d、及具閘極絕緣層 202 插入其間之閘極電極 211c 上與導電層 215b 及導電層 215d 上之氧化物半導體層 223c。

每一導電層 215a 至 215d 做為源極電極或汲極電極。

氧化物半導體層 223a 至 223c 歷經脫水或脫氫，及形

成氧化物絕緣層 207 以接觸氧化物半導體層 223a 至 223c。包括該等氧化物半導體層之電晶體，歷經脫水或脫氫，接著形成以接觸形成於其上之氧化物絕緣層 207，做為通道形成層並具有高可靠性，因為長期使用或高負載而難以發生第 V 次移位。

此外，在圖 29A 及 29B 所描述之驅動電路部中，平面化絕緣層 216 係設於氧化物絕緣層 207 之上。此外，導電層 217a 係設於具氧化物絕緣層 207 及平面化絕緣層 216 插入其間之氧化物半導體層 223a 之上，導電層 217b 係設於具氧化物絕緣層 207 及平面化絕緣層 216 插入其間之氧化物半導體層 223b 之上，及導電層 217c 係設於具氧化物絕緣層 207 及平面化絕緣層 216 插入其間之氧化物半導體層 223c 之上。每一導電層 217a 至 217c 做為第二閘極電極。第二閘極電壓應用於導電層 217a 至 217c，藉此可控制電晶體 251 至 253 之閾值電壓。

圖 29A 及 29B 所描述之電晶體 251 至 253 為底部接觸電晶體。當使用底部接觸電晶體時，做為源極電極及汲極電極之氧化物半導體層及導電層彼此接觸之區域可增加，藉此可避免剝落等。

請注意，如同圖 4 所描述之驅動電路部中，氧化物導電層可設於做為源極電極及汲極電極之氧化物半導體層及導電層之間。

請注意，本實施例可酌情與任一其他實施例相組合。

(實施例 13)

在本實施例中，將描述包括具有不同於上述實施例中結構之電晶體的邏輯電路。

本發明之一實施例之顯示裝置中電晶體並不侷限於具有圖 2 所描述之結構的電晶體，並可使用具有另一結構之電晶體。將參照圖 30A 及 30B 描述應用具有另一結構之電晶體的邏輯電路。圖 30A 及 30B 描繪本實施例中驅動電路部之結構。圖 30A 為俯視圖，及圖 30B 為沿圖 7A 所描述之驅動電路部的線 Z1-Z2 及線 Z3-Z4 之截面圖。請注意，在圖 30A 及 30B 所描述之邏輯電路中，圖 2A 及 2B 所描述之邏輯電路的描述，可用於與圖 2A 及 2B 所描述之顯示裝置相同成分之描述。

如同圖 2A 及 2B 所描述之邏輯電路，圖 30A 及 30B 所描述之邏輯電路包括電晶體 251、電晶體 252 及電晶體 253。

此外，將描述電晶體之結構。電晶體 251 包括基板 201 上之閘極電極 211a、閘極電極 211a 上之閘極絕緣層 202、閘極絕緣層 202 上之導電層 215a 及導電層 215b、具閘極絕緣層 202 插入其間之閘極電極 211a 上與導電層 215a 及導電層 215b 上之氧化物半導體層 243a、及氧化物半導體層 243a 上之氧化物半導體層 263a。

電晶體 252 包括基板 201 上之閘極電極 211b、閘極電極 211b 上之閘極絕緣層 202、閘極絕緣層 202 上之導電層 215b 及導電層 215c、及具閘極絕緣層 202 插入其間

之閘極電極 211b 上與導電層 215b 及導電層 215c 上之氧化物半導體層 263b。

電晶體 253 包括基板 201 上之閘極電極 211c、閘極電極 211c 上之閘極絕緣層 202、閘極絕緣層 202 上之導電層 215b 及導電層 215d、具閘極絕緣層 202 插入其間之閘極電極 211c 上與導電層 215b 及導電層 215d 上之氧化物半導體層 243b、及氧化物半導體層 243b 上之氧化物半導體層 263c。

每一導電層 215a 至 215d 做為源極電極或汲極電極。

電晶體 251 中氧化物半導體層（氧化物半導體層 243a 及氧化物半導體層 263a 之堆疊）之厚度大於電晶體 252 中氧化物半導體層（氧化物半導體層 263b）之厚度。此外，電晶體 253 中氧化物半導體層（氧化物半導體層 243b 及氧化物半導體層 263c 之堆疊）之厚度大於電晶體 252 中氧化物半導體層（氧化物半導體層 263b）之厚度。隨著氧化物半導體層之厚度增加，需完全耗盡氧化物半導體層之閘極電極之負電壓的絕對值增加。結果，包括厚氧化物半導體層做為通道形成層之電晶體形同空乏型電晶體。

圖 30A 及 30B 所描述之電晶體 251 至 253 為底部接觸電晶體。當使用底部接觸電晶體時，做為源極電極及汲極電極之氧化物半導體層及導電層彼此接觸之區域增加，藉此可避免剝落等。

請注意，如圖 8 所描述之驅動電路部中，氧化物導電

層可設於做為源極電極及汲極電極之氧化物半導體層及導電層之間。

請注意，本實施例可酌情與任一其他實施例相組合。本申請案係依據 2009 年 9 月 24 日向日本專利局提出申請之序號 2009-218931 日本專利申請案，其整個內容係以提及方式併入本文。

【符號說明】

101：驅動電路部

102、701、4002、4502：畫素部

103、805、856：信號線

104、704：畫素

105、107、804、855：掃描線

108：參考電壓線

111：驅動電路

112、251、252、253、321、322、323、611、613、821、851、853、3111、3112、3113、3131、3132、3133：電晶體

201、580、596、2000、4001、4006、4501、4506：基板

202：閘極絕緣層

207、2007：氧化物絕緣層

211a、211b、211c、2001：閘極電極

214a、214b、214c、214d、214e、214f：氧化物導電層

215a、215b、215c、215d、217a、217b、217c、4040、

4540：導電層

216：平面化絕緣層

223a、223b、223c、223d、243a、243b、263a、263b、
263c、2003：氧化物半導體層

233a、233b、233c、233d：抗蝕罩

316、326、614、615、3171、3172、3173：節點

324、325：電源線

581、4010、4011、4113、4509、4510、4555、7001：薄膜電晶體（TFT）

583、584、585、4020、4021、4032、4042、4542、
4544：絕緣層

587、588、2005a、2005b、2008、2020、2022、2023、
2024、2028、2029、2056、4513、4517：電極

589：球形粒子

590a：黑區

590b：白區

594：腔室

595、4507：填充劑

702、4004、4504a：掃描線驅動電路

703、4003、4503a：信號線驅動電路

822、4013：液晶元件

823、852：電容器

854、4511、7002、7012、7022：發光元件

900、903：移位暫存器

901、906：位準移位器
 902、907：緩衝器
 904、905：閃鎖電路
 2002：絕緣膜
 2050、2051：端子
 2052：閘極電極層
 2053：連接電極
 2054：保護絕緣膜
 2055：透明導電膜
 2700：電子書閱讀器
 2701、2703、9001、9401、9411、9601、9701、9881、
 9891、9901：外殼
 2705、2707、9002、9412、9603、9607、9703、9882、
 9883、9903：顯示部
 2711：絞鏈
 2721：電源開關
 2723、9609、9885：操作鍵
 2725、9005、9405：揚聲器
 3011、3012、3013：邏輯電路
 3121A、3121B、3121C、3122A、3122B、3122C、
 3123A、3123B、3123C、6121、6122、6123：反相器
 3140、3141、3142、3143：反及（NAND）電路
 4005、4505：密封劑
 4008：液晶層

4015、4515：連接端子電極
 4016、4516：端子電極
 4018、4518a：軟性印刷電路（FPC）
 4019、4519：各向異性導電膜
 4030：畫素電極
 4031：相對電極
 4035：隔板
 4512：電致發光層
 4520：分割區
 7003、7013、7023：陰極
 7004、7014、7024：發光層
 7005、7015、7025：陽極
 7011、7021：驅動薄膜電晶體（TFT）
 7016：阻擋膜
 7017、7027：導電膜
 9000：行動電話
 9003、9402、9413：操作按鈕
 9004：外部連接埠
 9006、9404、9889：麥克風
 9400：通訊裝置
 9403：外部輸入端子
 9406：發光部
 9410：顯示裝置
 9600：電視裝置

9605： 支 架

9610： 遙 控 器

9700： 數 位 相 框

9884： 揚 聲 器 部

9886： 儲 存 媒 體 嵌 入 部

9887： 連 接 端 子

9888： 感 應 器

9890： 發 光 二 極 體 （ LED ） 燈

9893： 接 合 部

9900： 投 幣 機

申請專利範圍

1. 一種顯示裝置，包含：

包含第一電晶體的驅動電路及畫素部；

電性連接該驅動電路及該畫素部的信號線；

參考電壓線；及

包含閘極、源極及汲極的第二電晶體，

其中，該第二電晶體的通道寬度長於該第一電晶體的通道寬度，

其中，該第二電晶體的該源極及該汲極之一電性連接至該參考電壓線，及

其中，該第二電晶體的該源極及該汲極之另一電性連接至該信號線。

2. 一種顯示裝置，包含：

包含第一電晶體的驅動電路及畫素部；

電性連接該驅動電路及該畫素部的信號線；

參考電壓線；及

第二電晶體，該第二電晶體為包含閘極、源極及汲極的空乏型電晶體，

其中，該第二電晶體的通道寬度長於該第一電晶體的通道寬度，

其中，該第二電晶體的該源極及該汲極之一電性連接至該參考電壓線，及

其中，該第二電晶體的該源極及該汲極之另一電性連接至該信號線。

3. 如申請專利範圍第 1 或 2 項之顯示裝置，其中該第二電晶體的該閘極電性連接至掃描線。

4. 如申請專利範圍第 1 或 2 項之顯示裝置，其中該第二電晶體包括氧化物半導體層，該氧化物半導體層包括通道形成區。

5. 如申請專利範圍第 1 或 2 項之顯示裝置，其中該第二電晶體包括：

在該閘極上的閘極絕緣層；

在該閘極絕緣層上的氧化物半導體層；及

在部分的該氧化物半導體層上的第一導電層及第二導電層，該第一導電層及該第二導電層各作為該源極及該汲極。

6. 如申請專利範圍第 1 或 2 項之顯示裝置，

其中該驅動電路包括邏輯電路，及

其中該邏輯電路包括該第一電晶體及第三電晶體，該第一電晶體係空乏型電晶體，該第三電晶體係增強型電晶體。

7. 如申請專利範圍第 1 或 2 項之顯示裝置，更包含在該第二電晶體上的氧化物絕緣層。

圖式
圖1

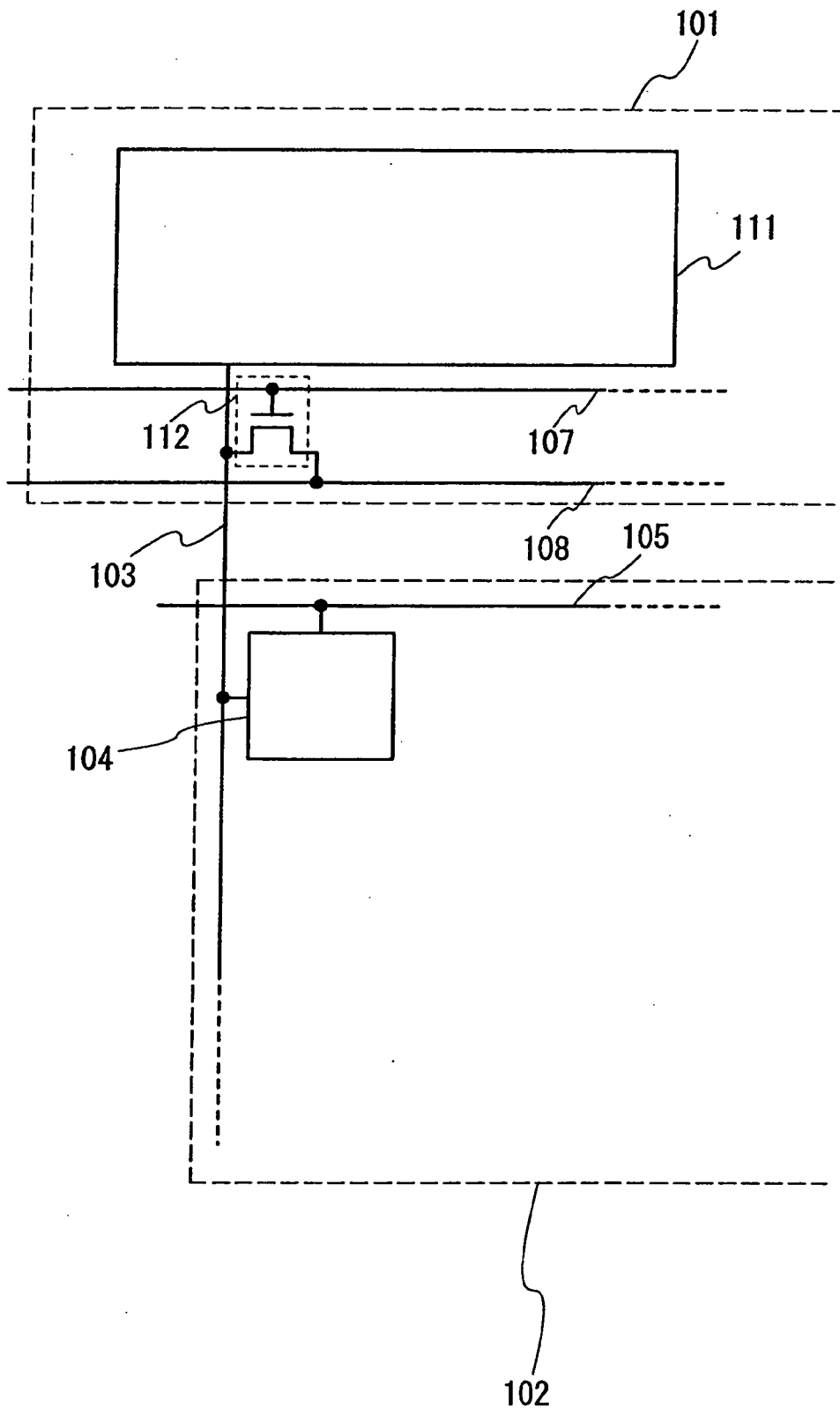


圖 3

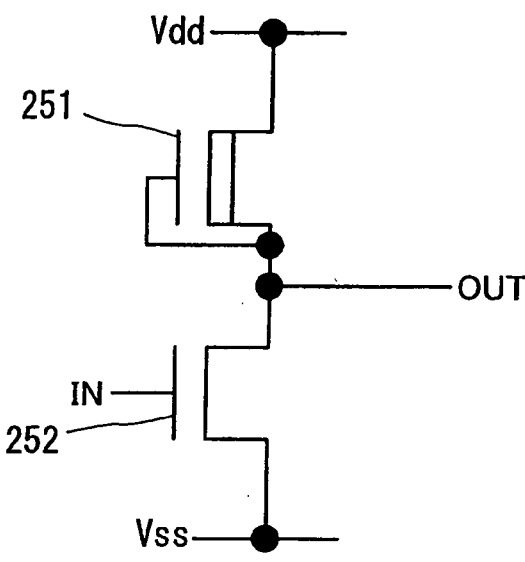


圖4

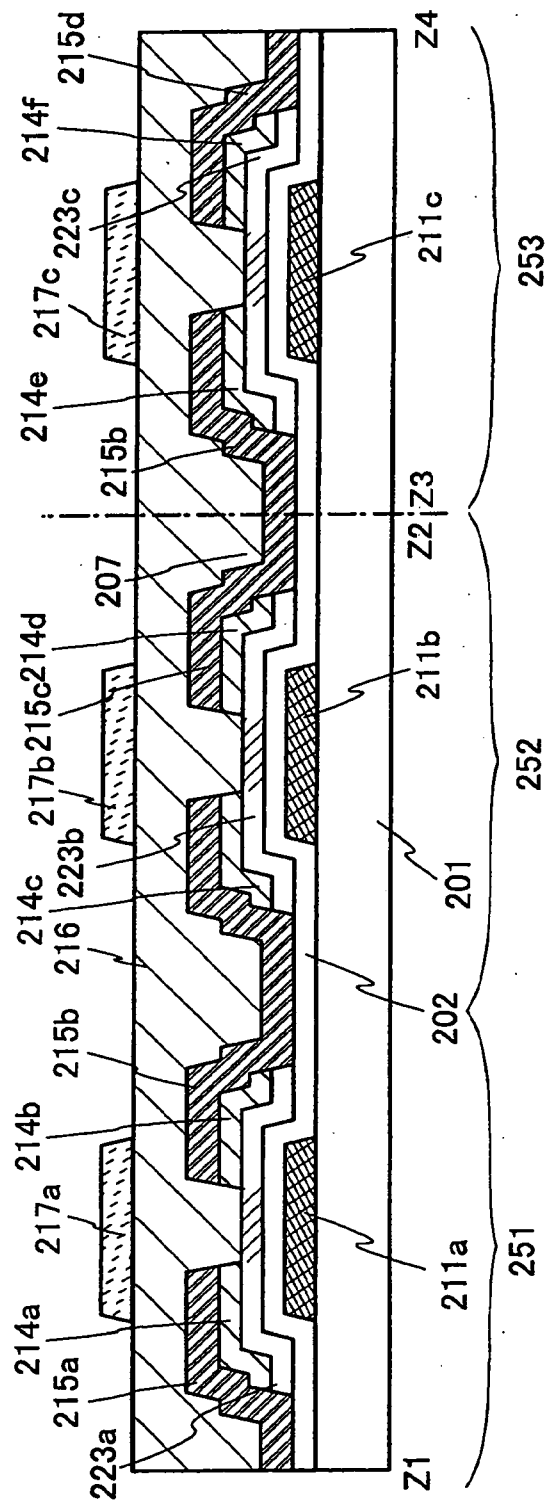


圖5A

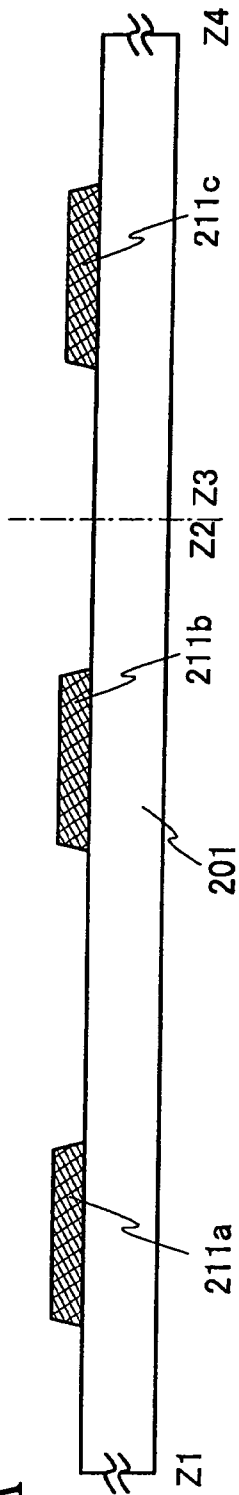


圖5B

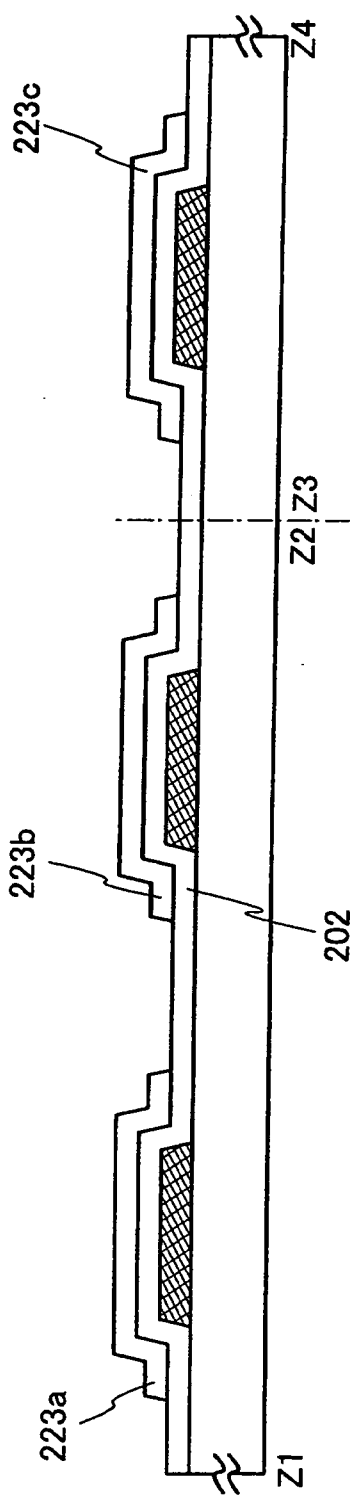


圖5C

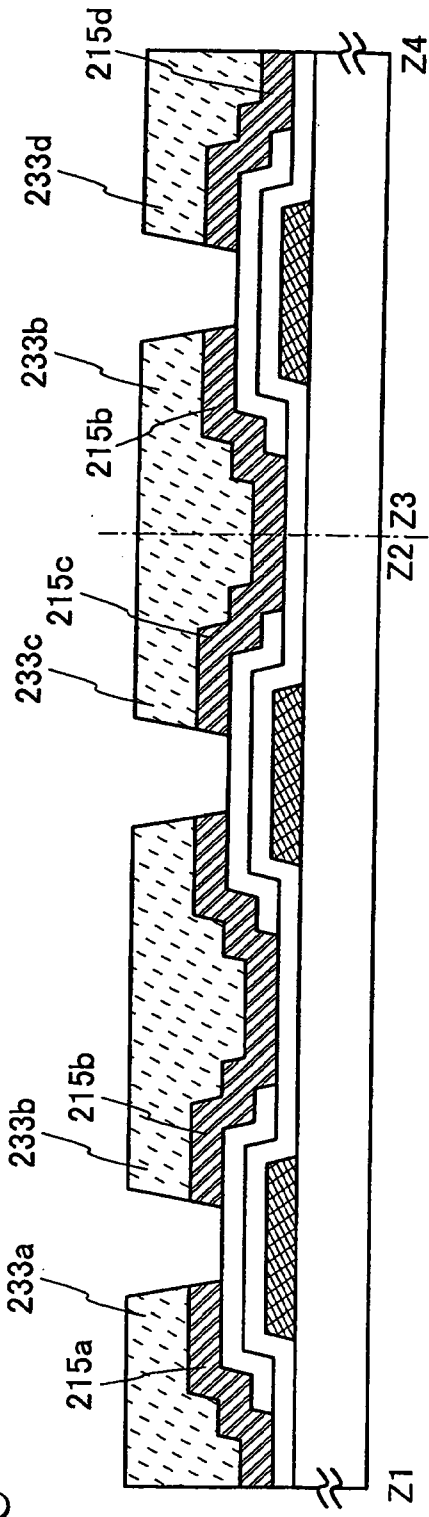


圖6A

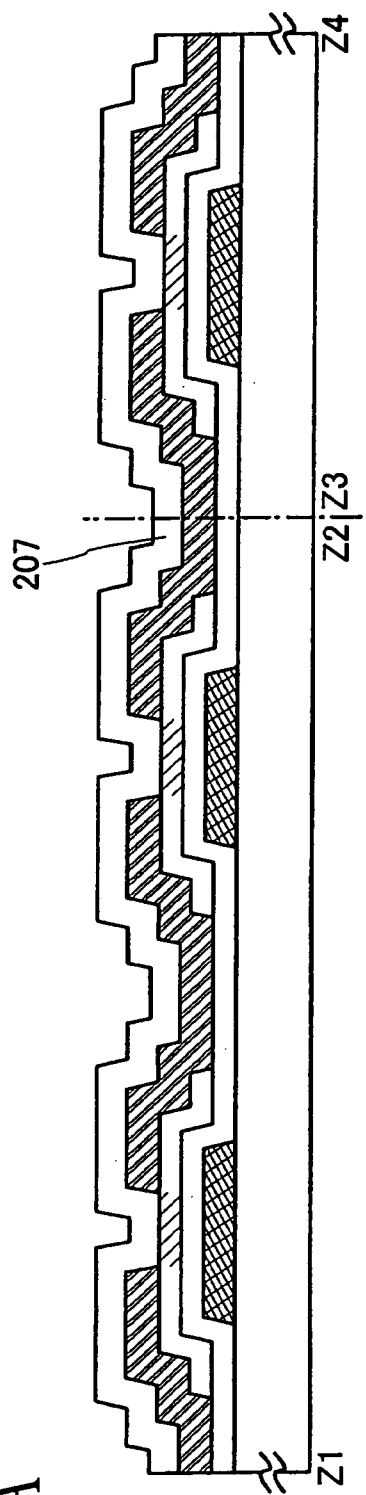


圖6B

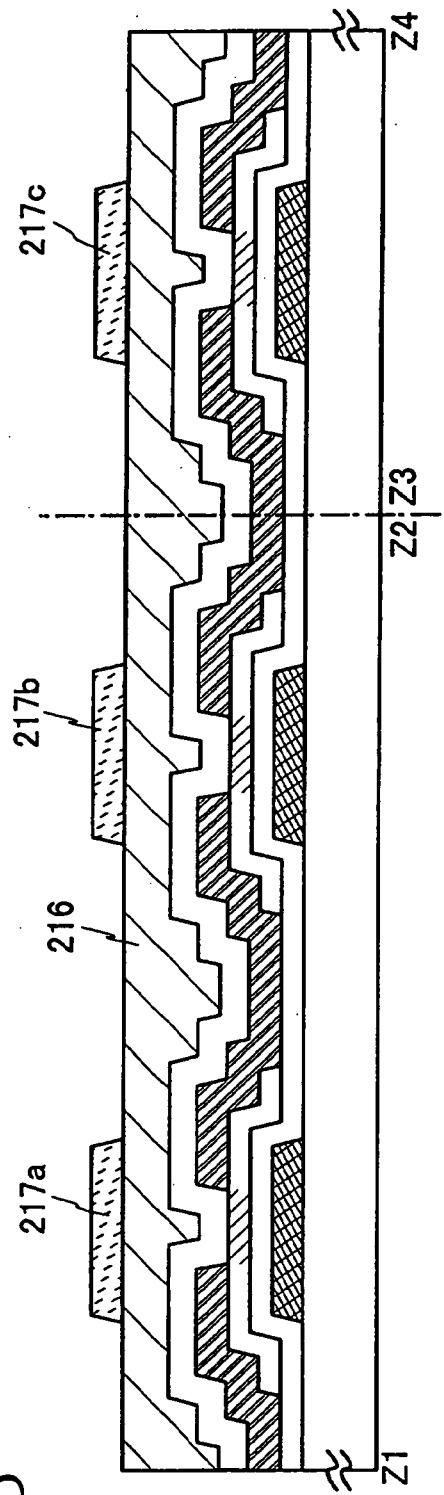


圖7A

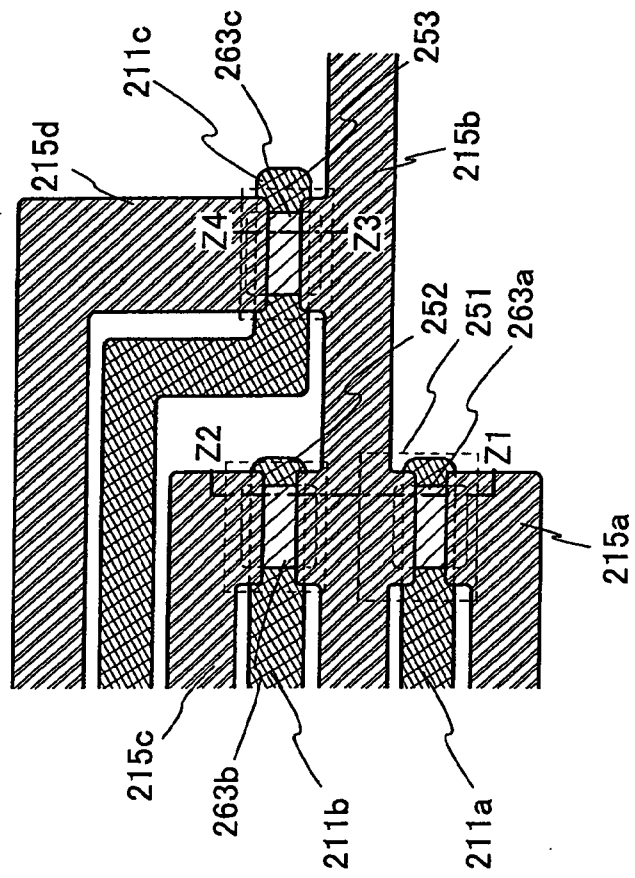


圖7B

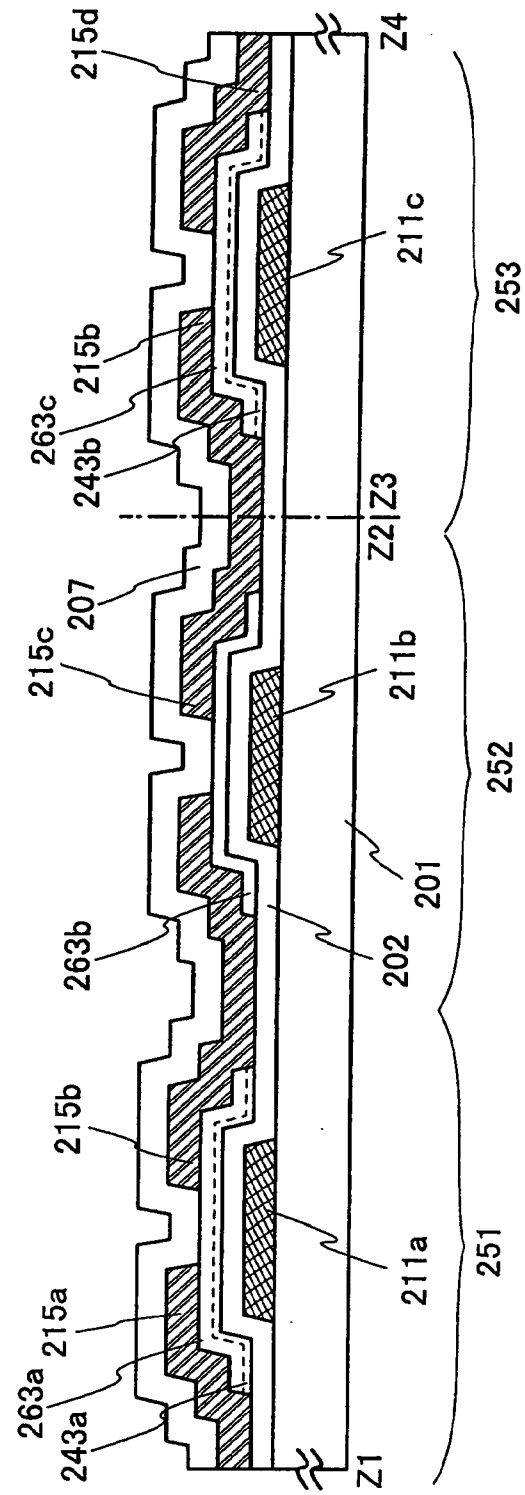


圖8

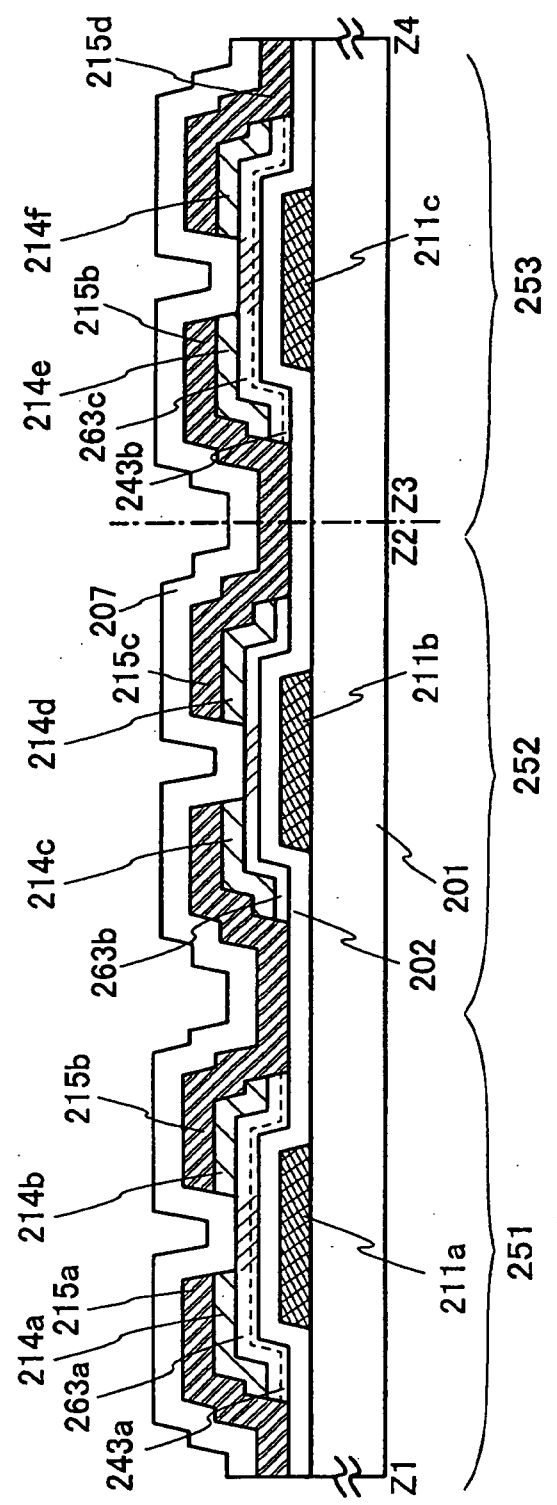


圖 9A

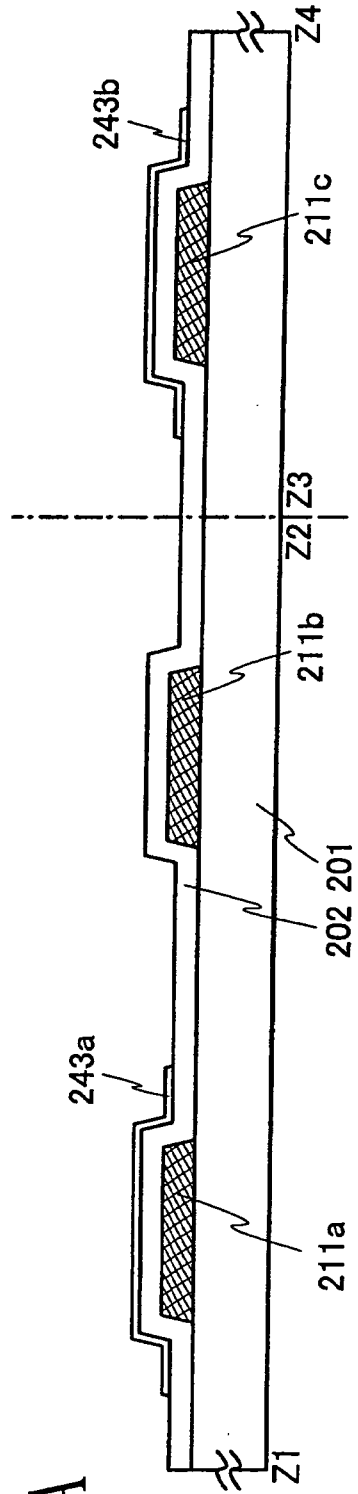


圖 9B

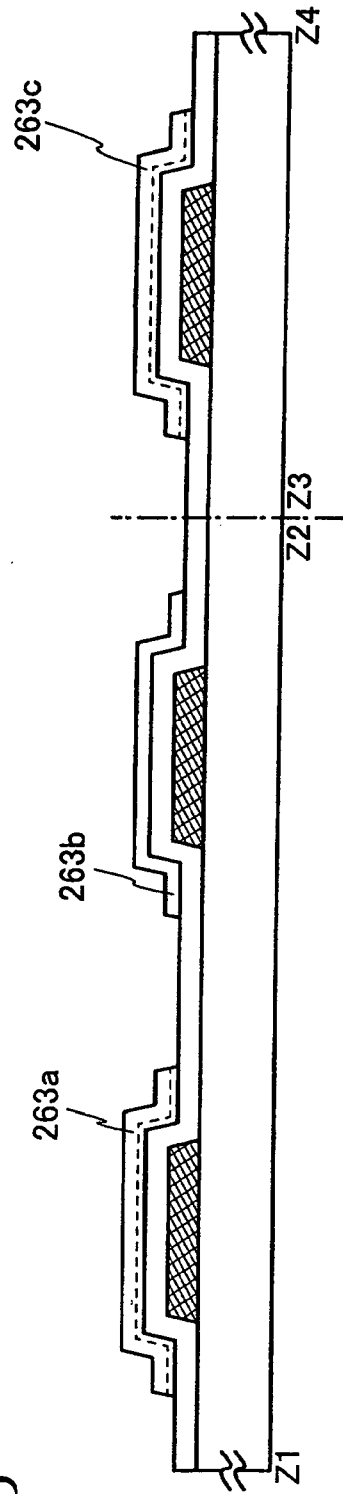


圖 9C

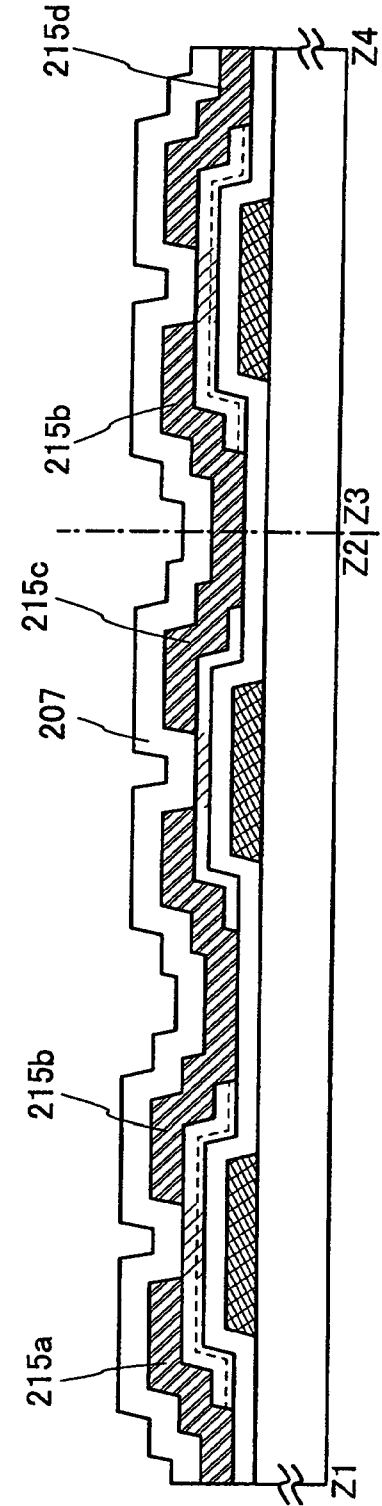


圖 10

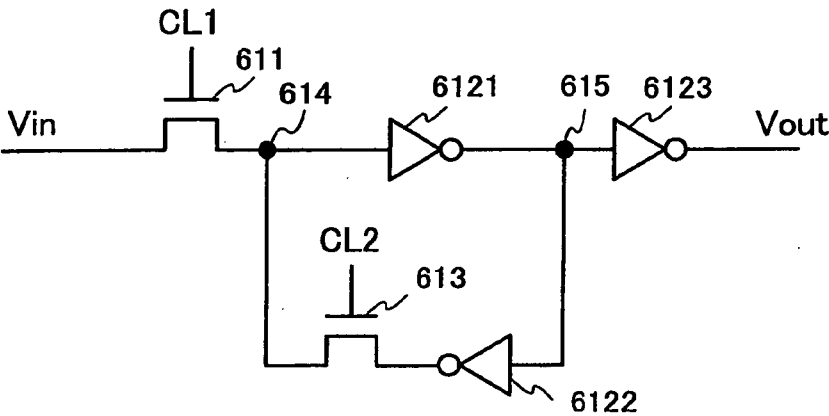
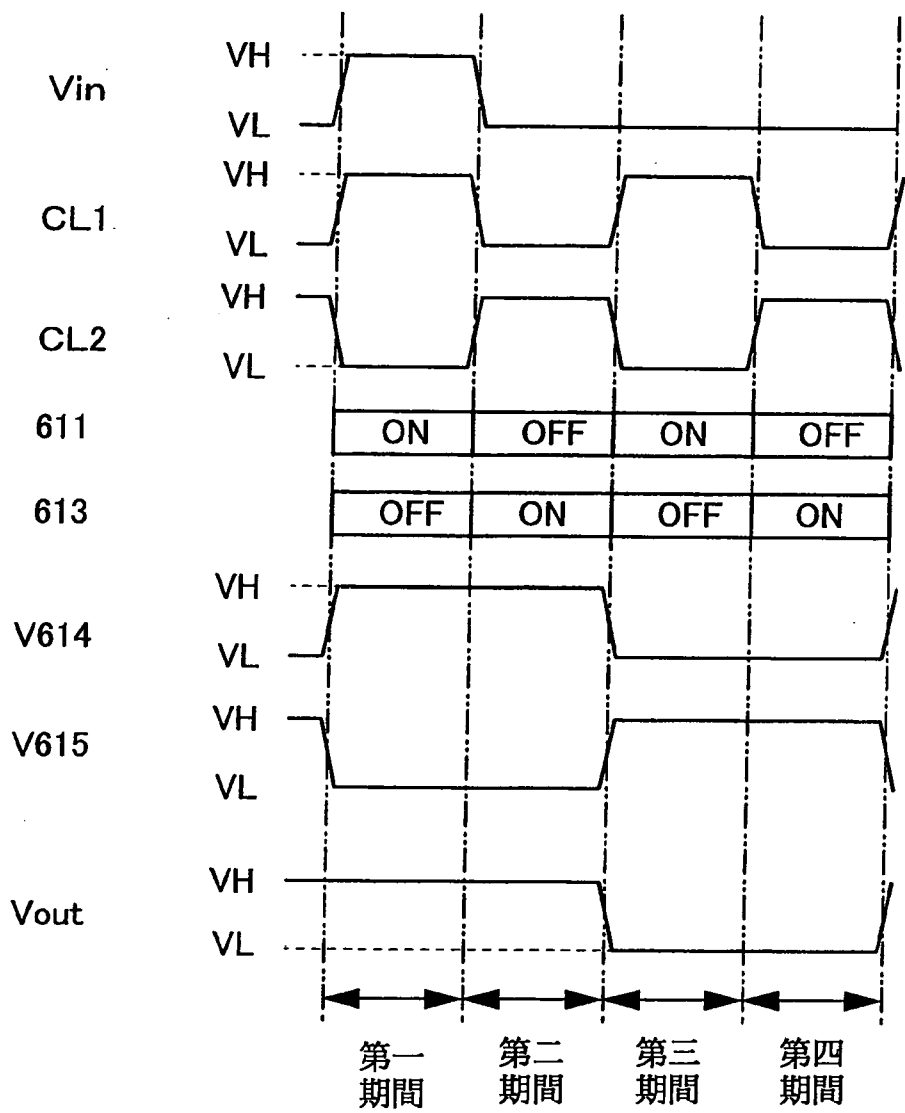


圖11



12

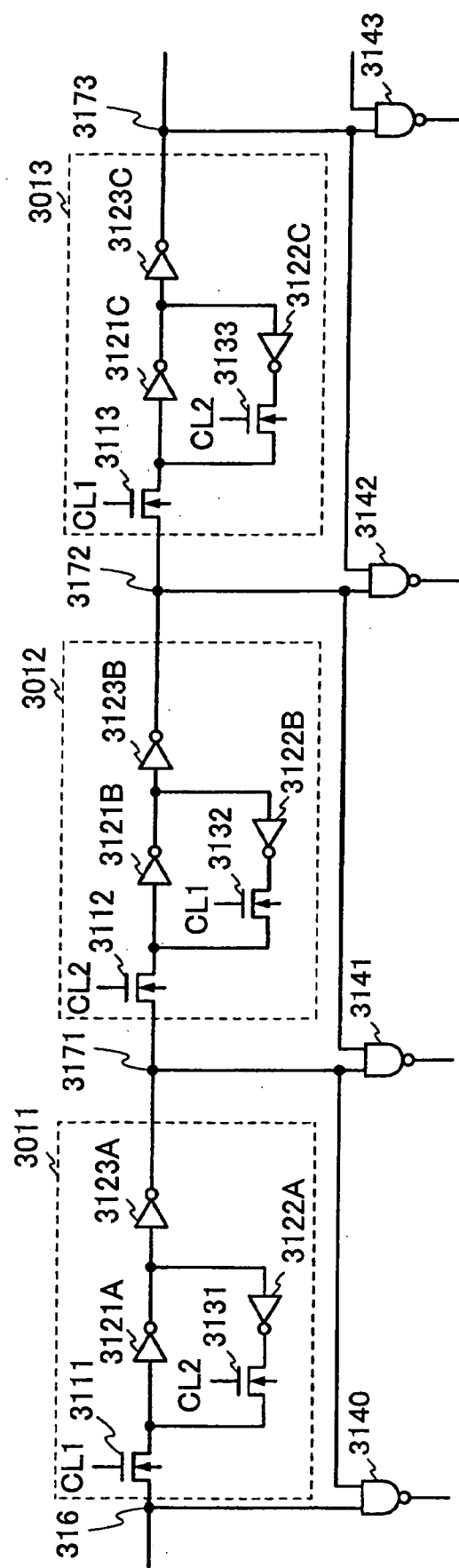


圖 13

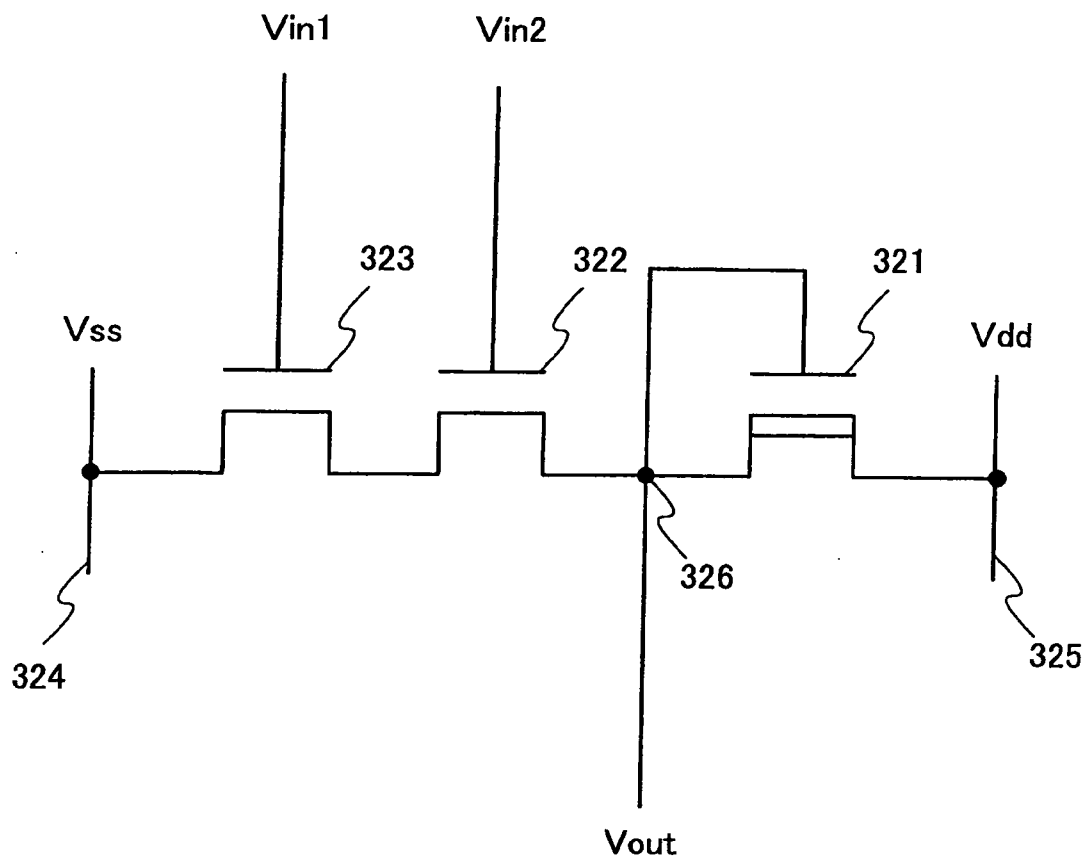


圖14

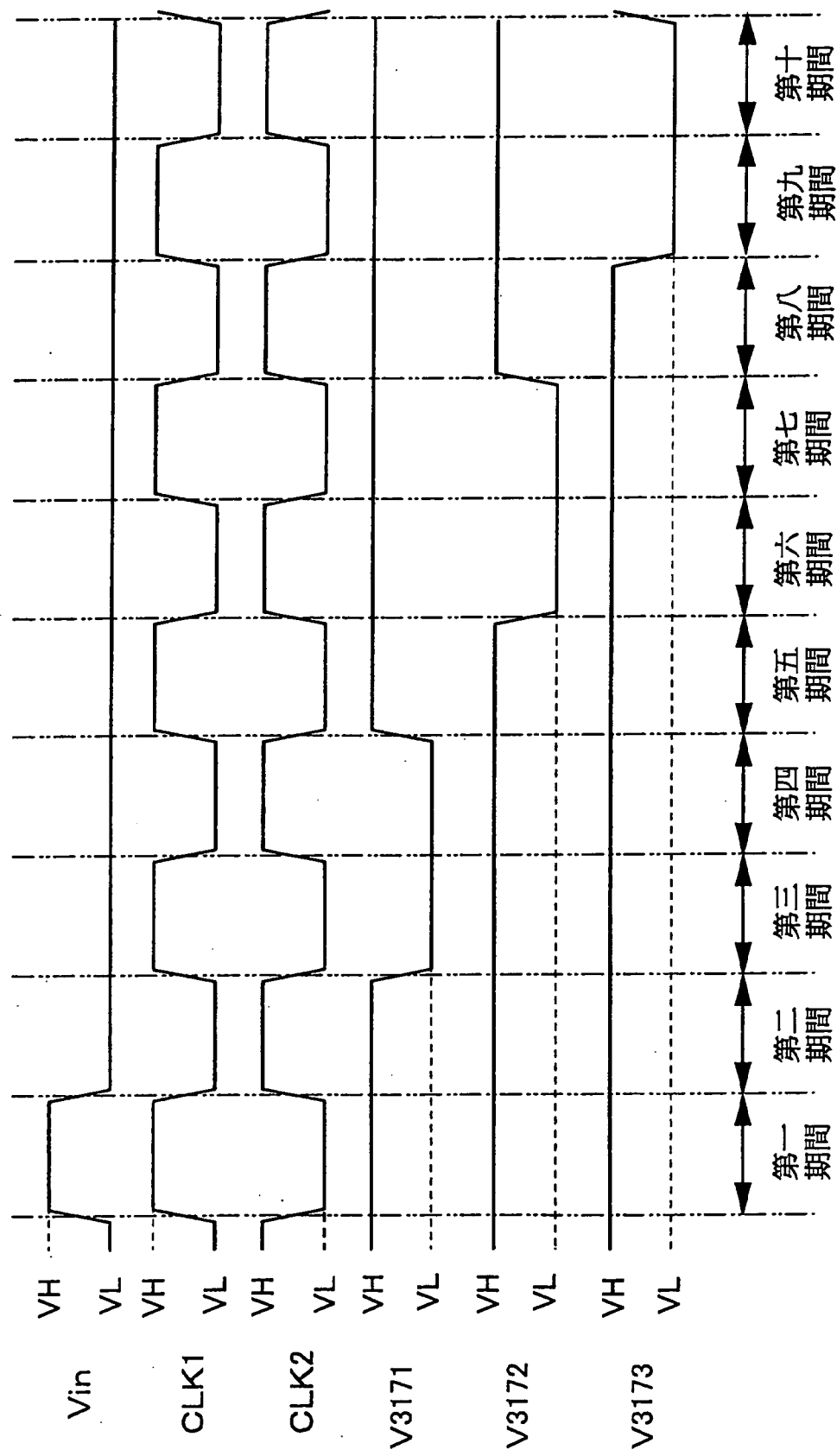


圖 15

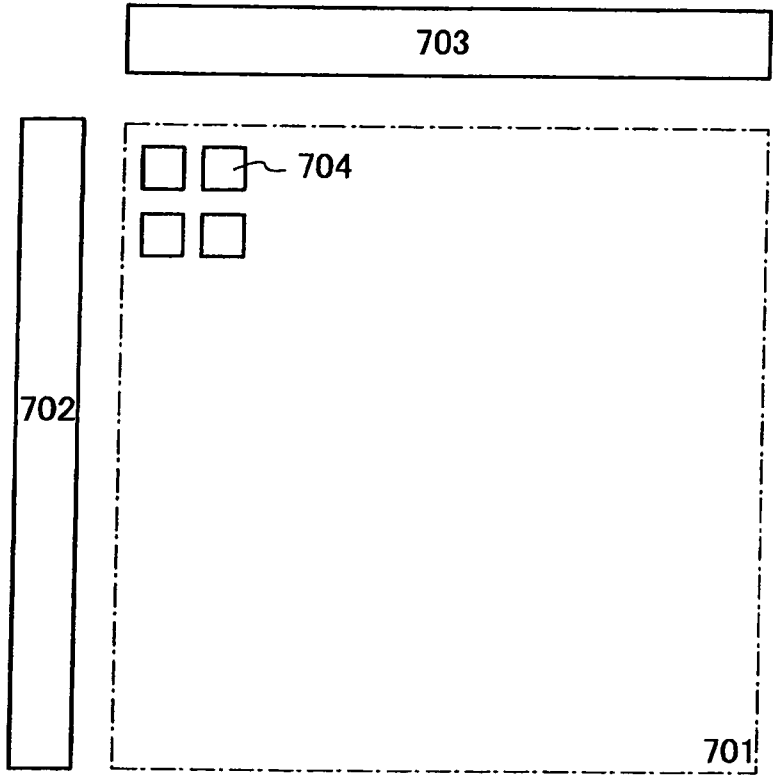


圖 16A

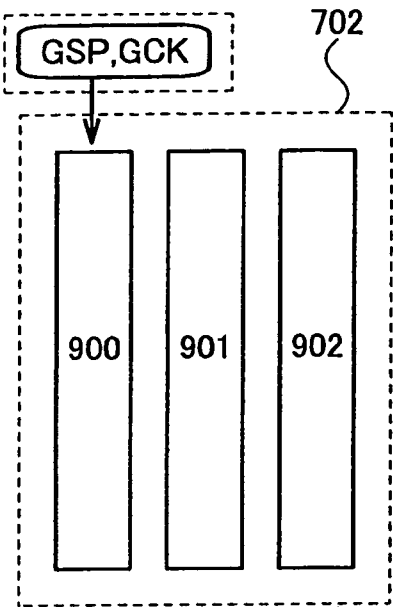


圖 16B

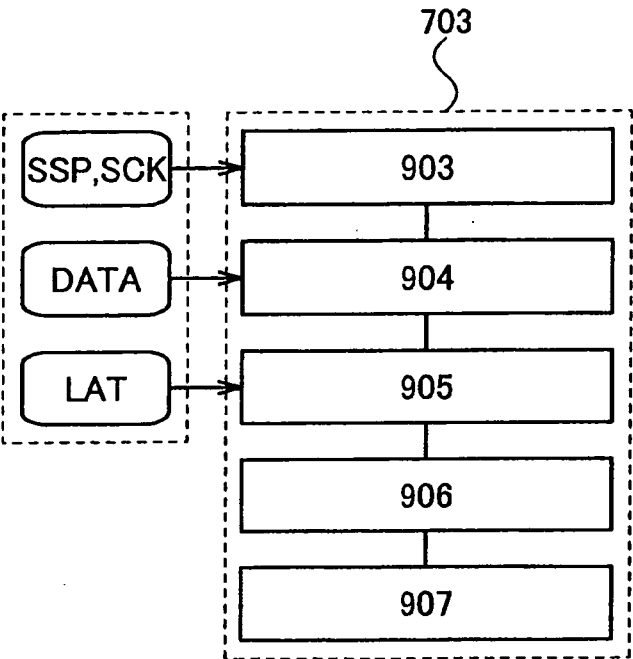


圖 17

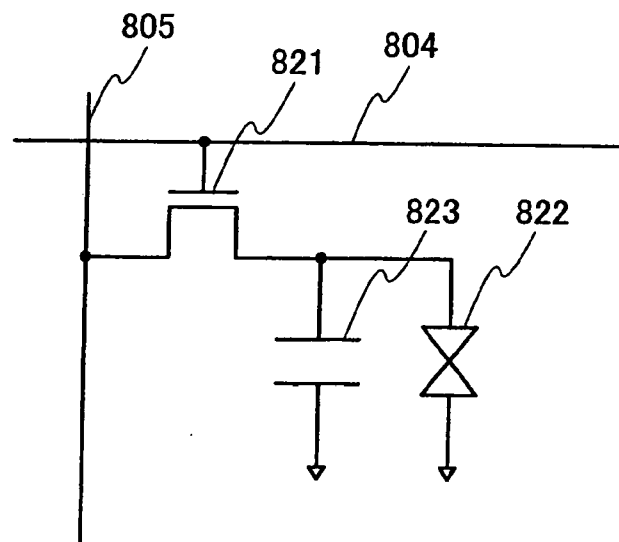


圖18A

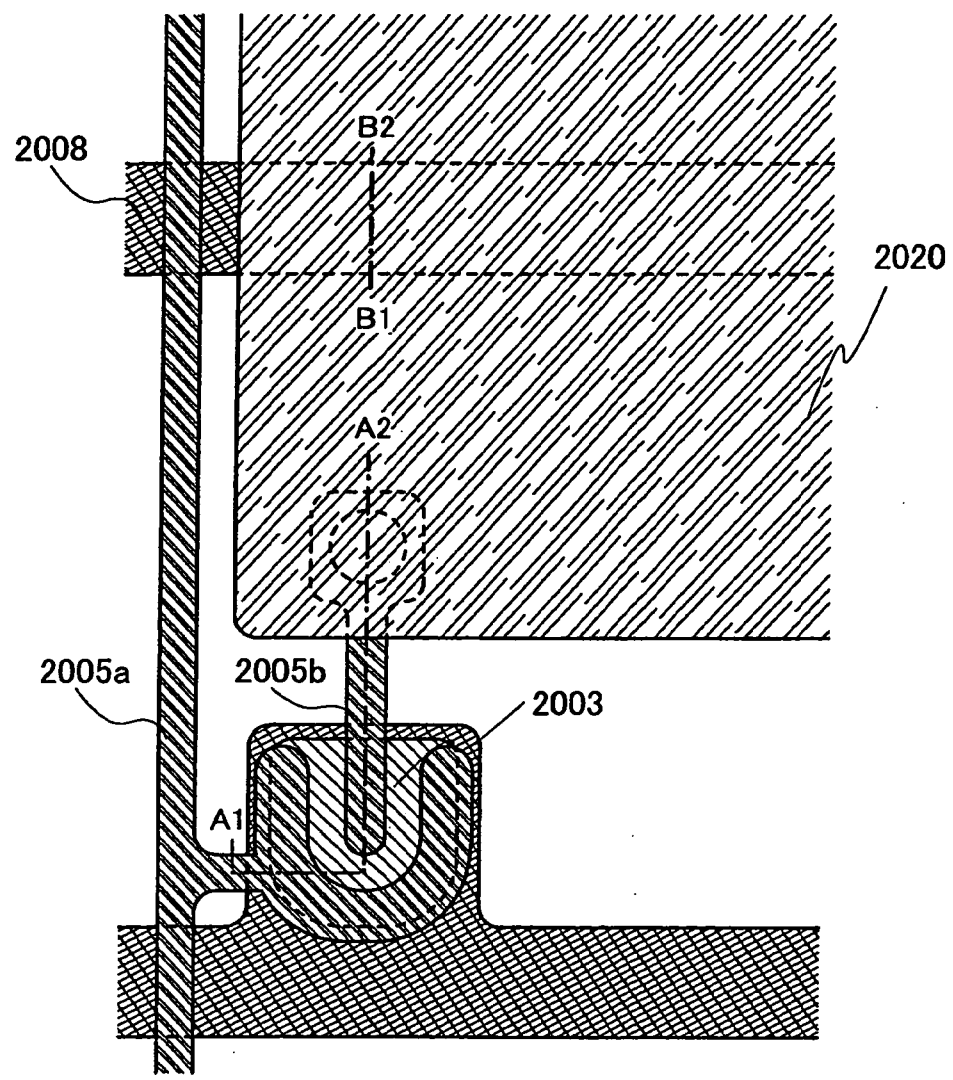


圖18B

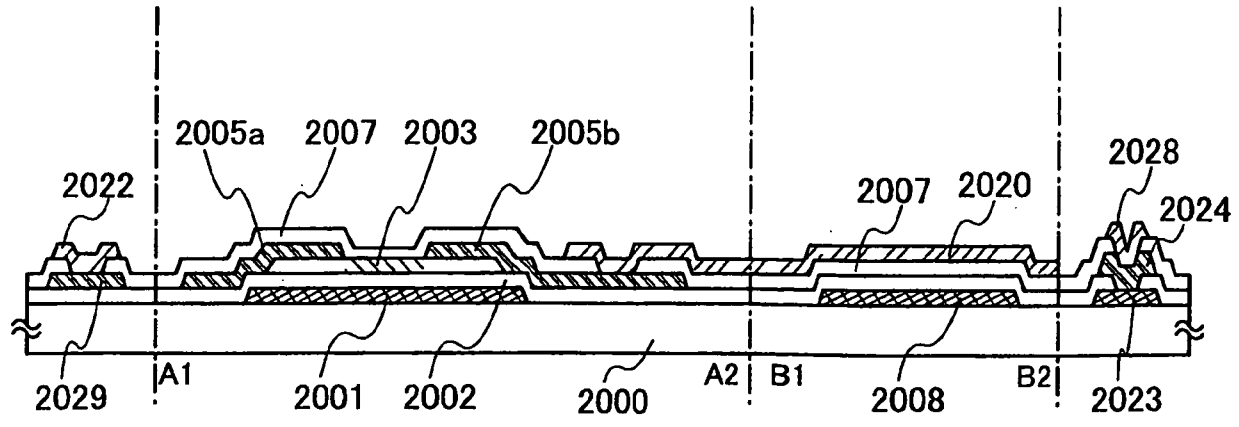


圖 19A1

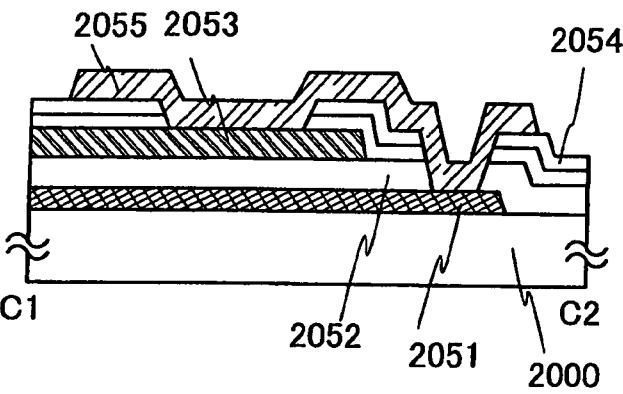


圖 19A2

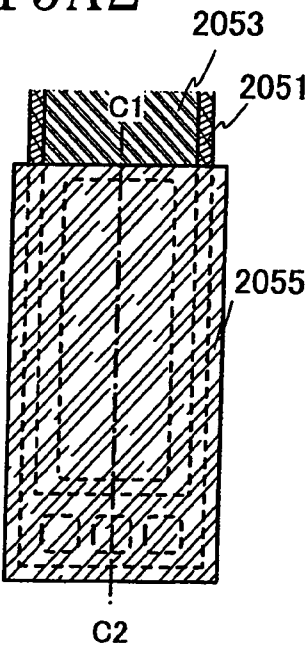


圖 19B1

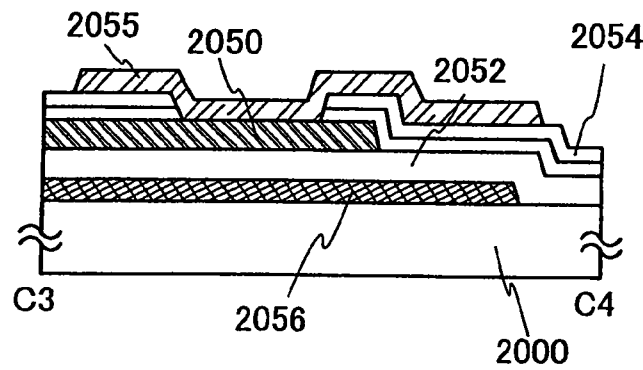


圖 19B2

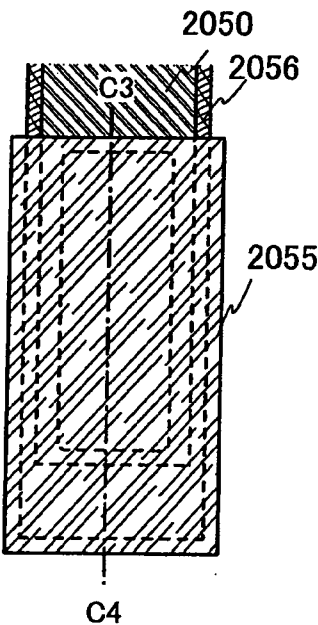


圖 20

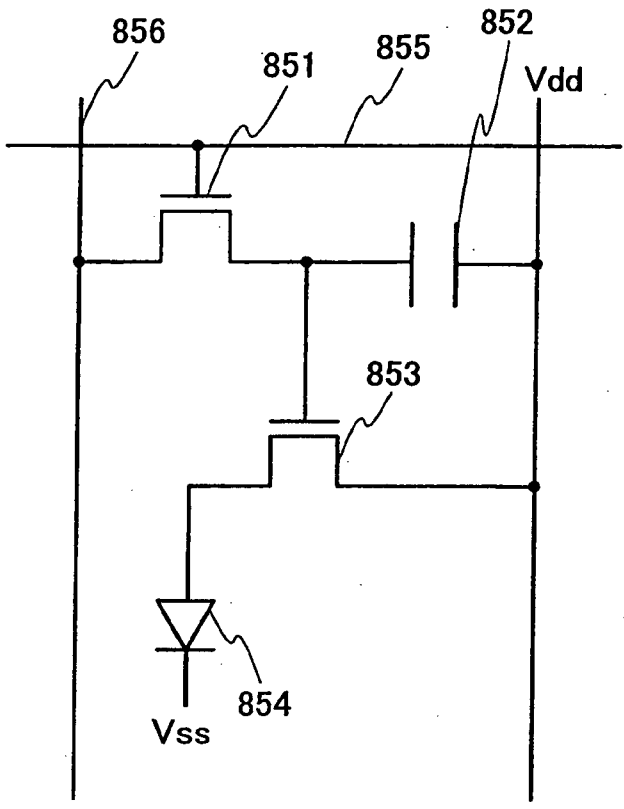


圖 21A

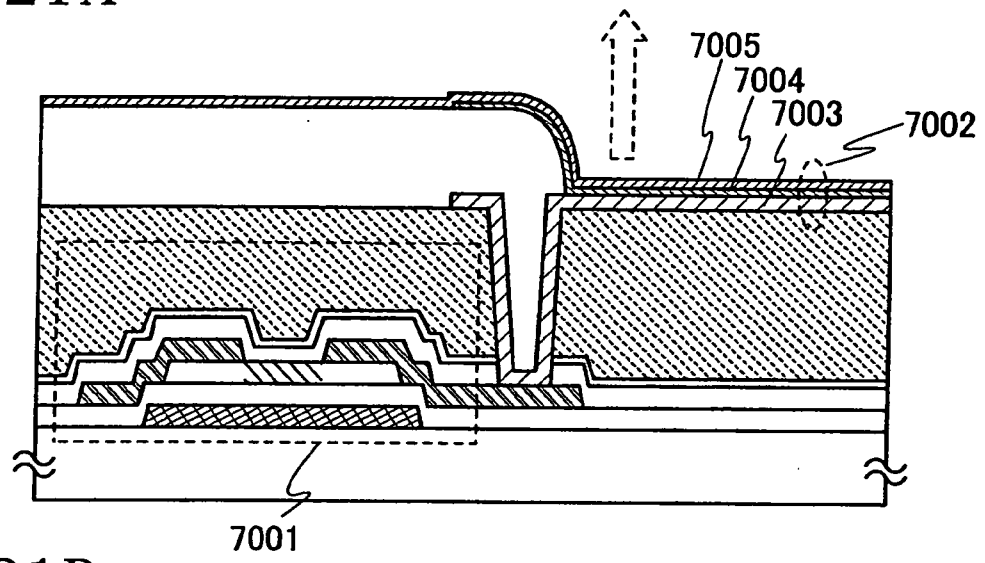


圖 21B

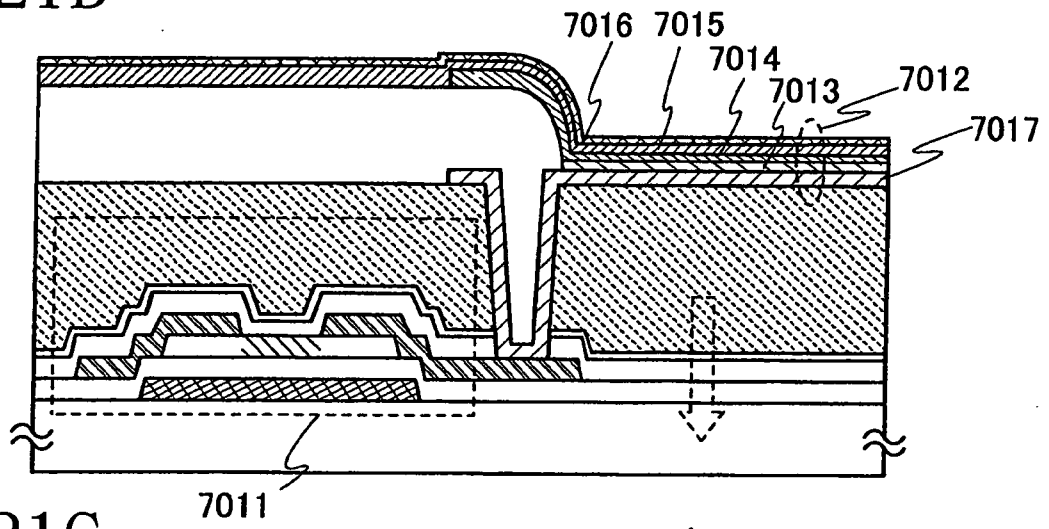


圖 21C

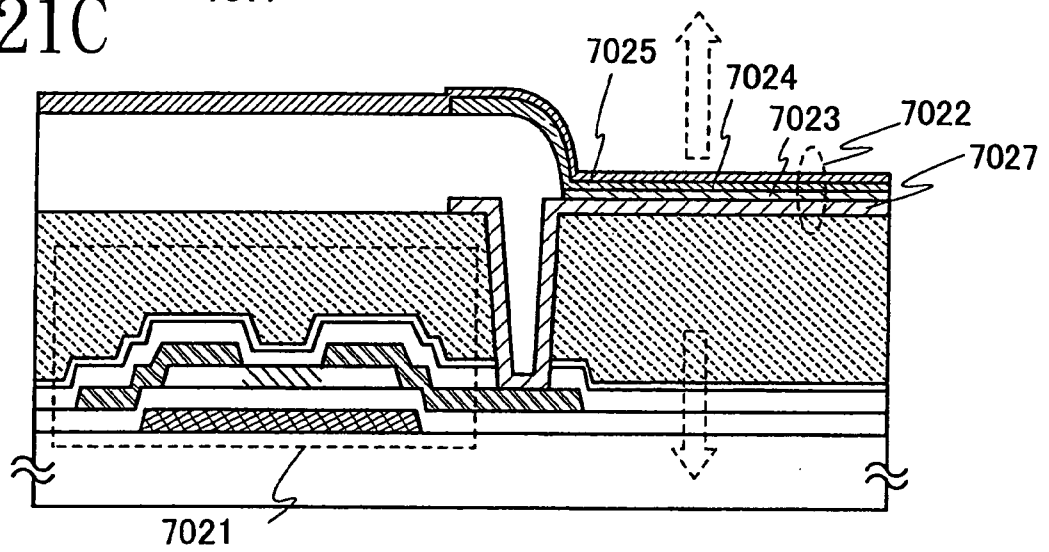


圖 22A

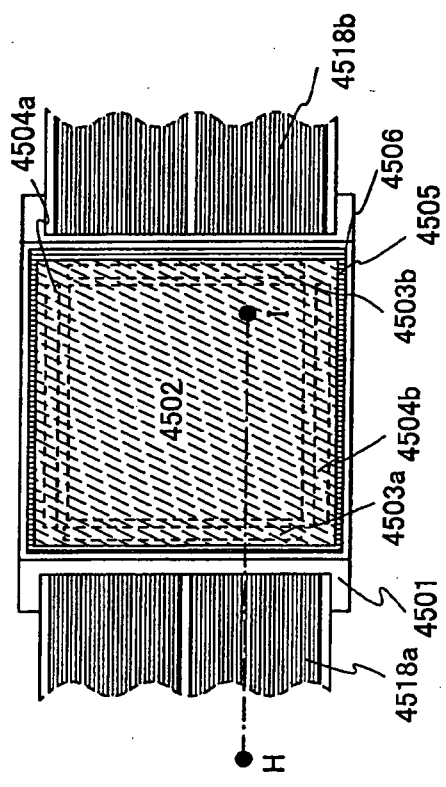


圖 22B

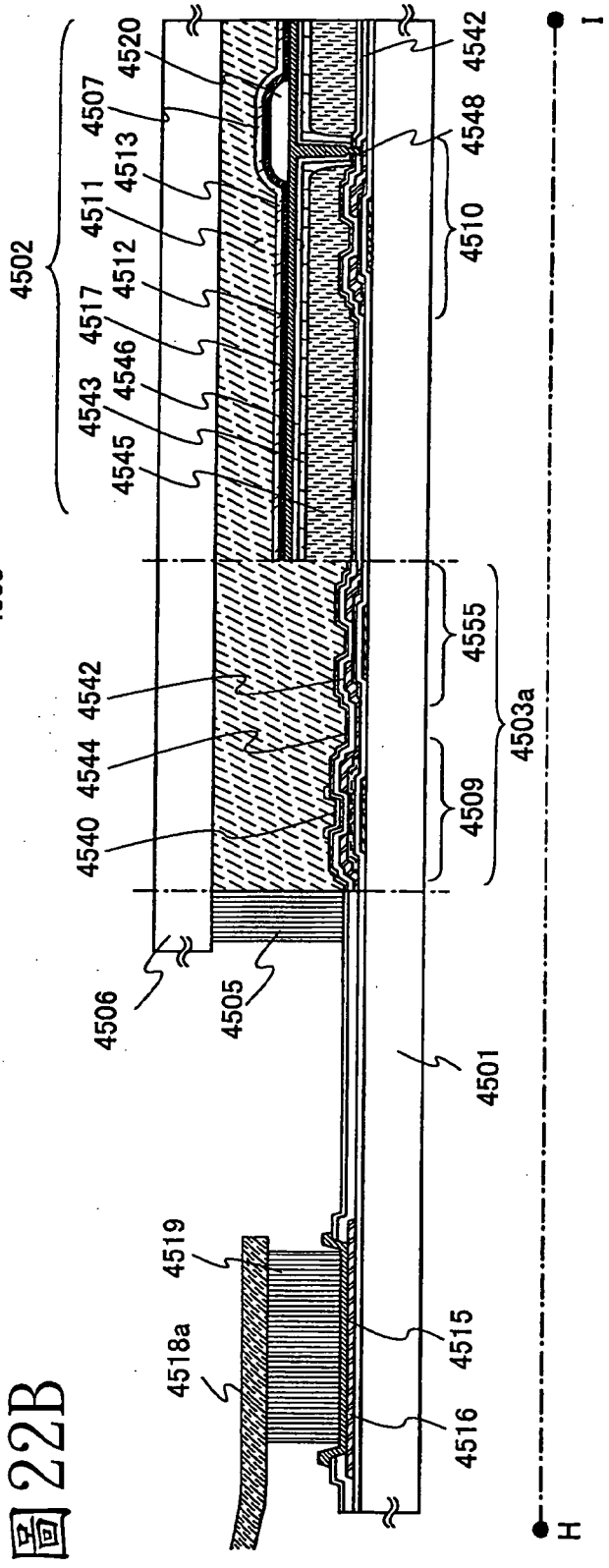


圖 23

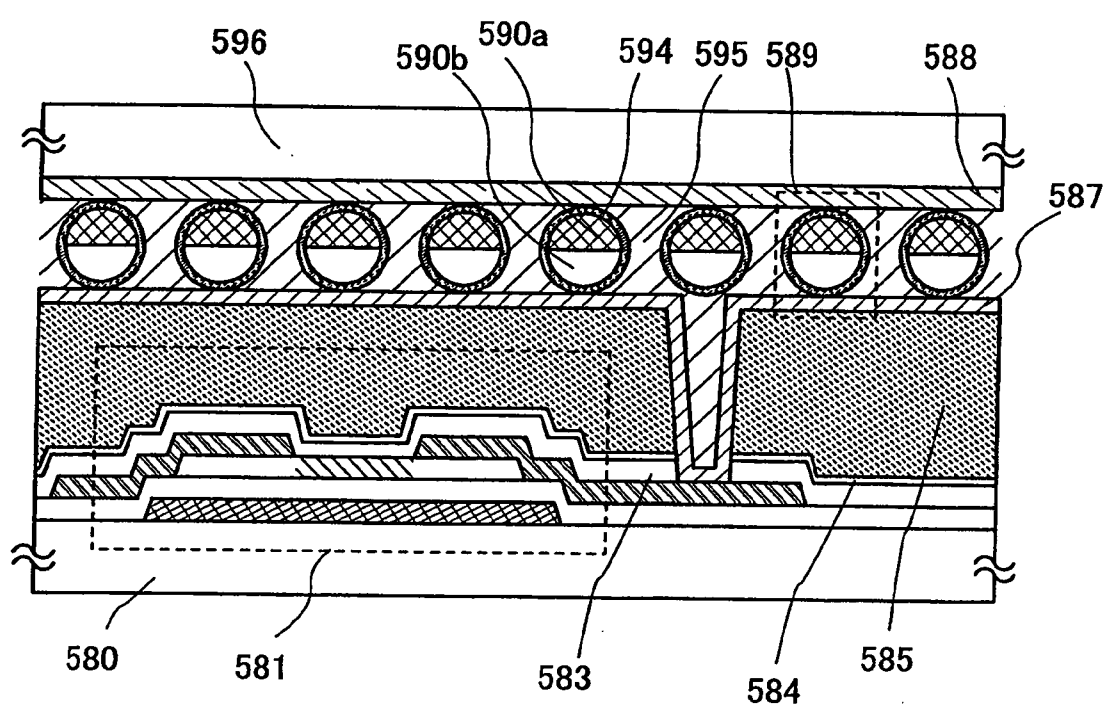


圖 24

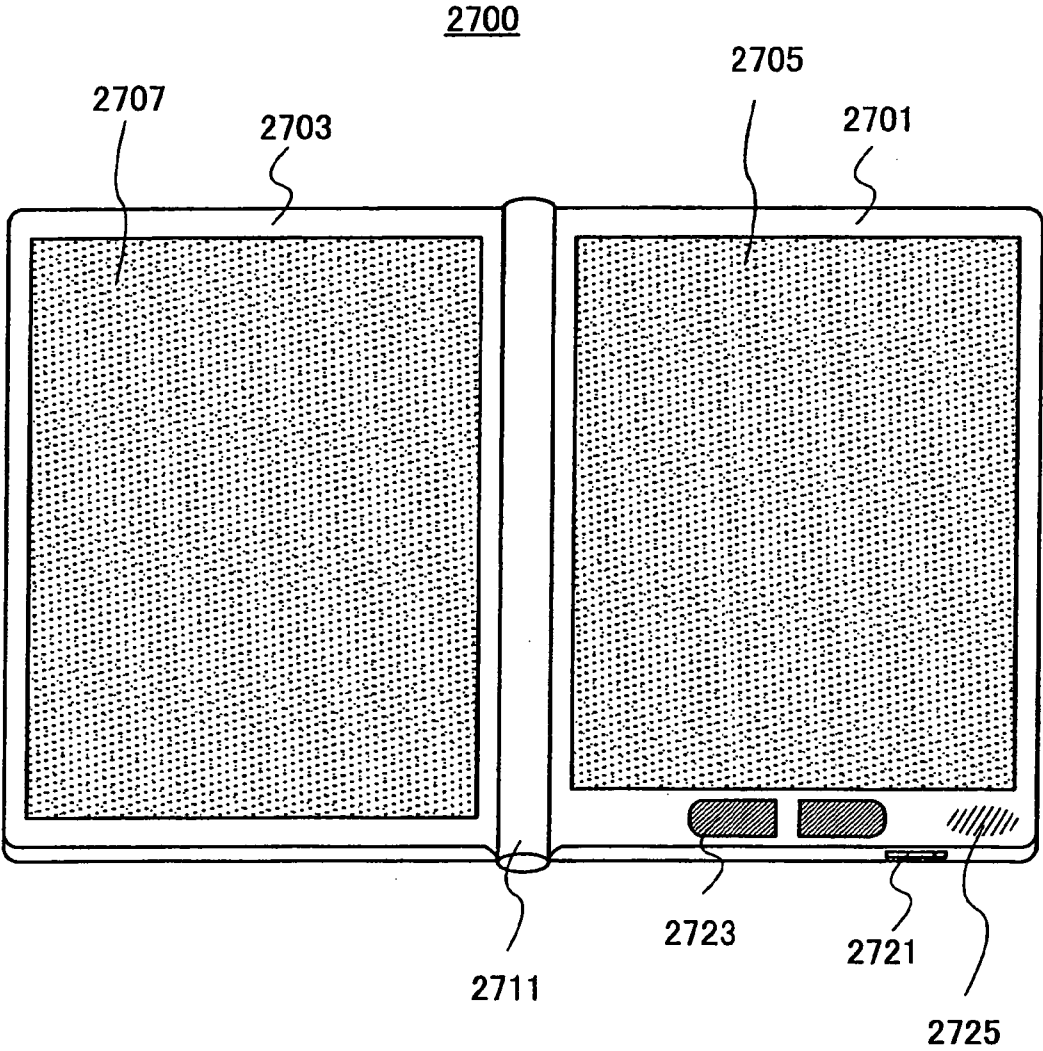


圖 25A1

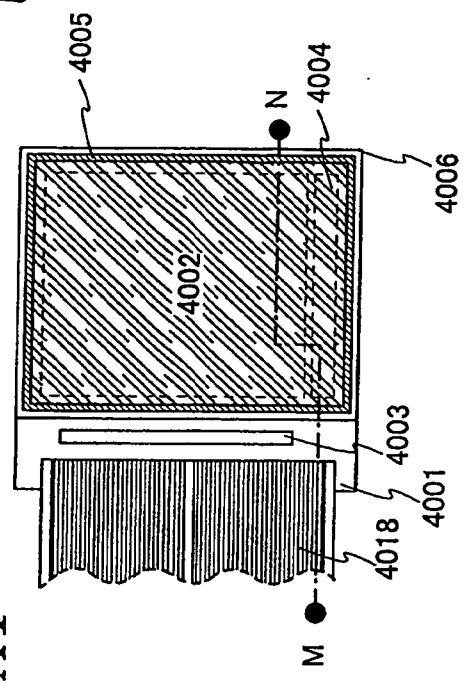


圖 25A2

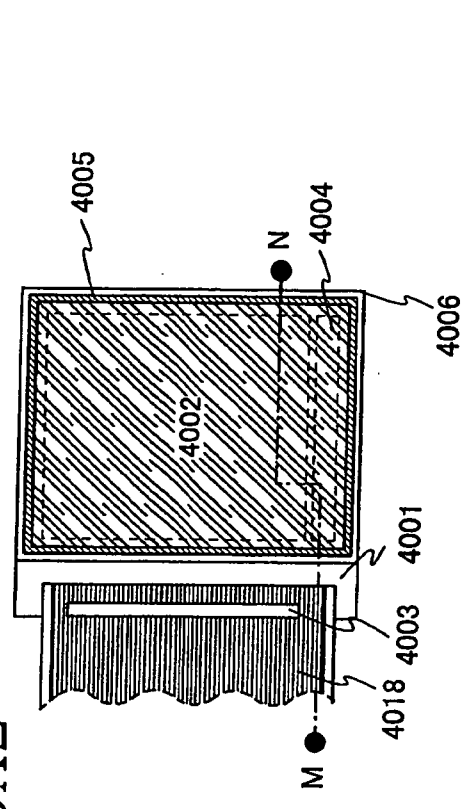


圖 25B

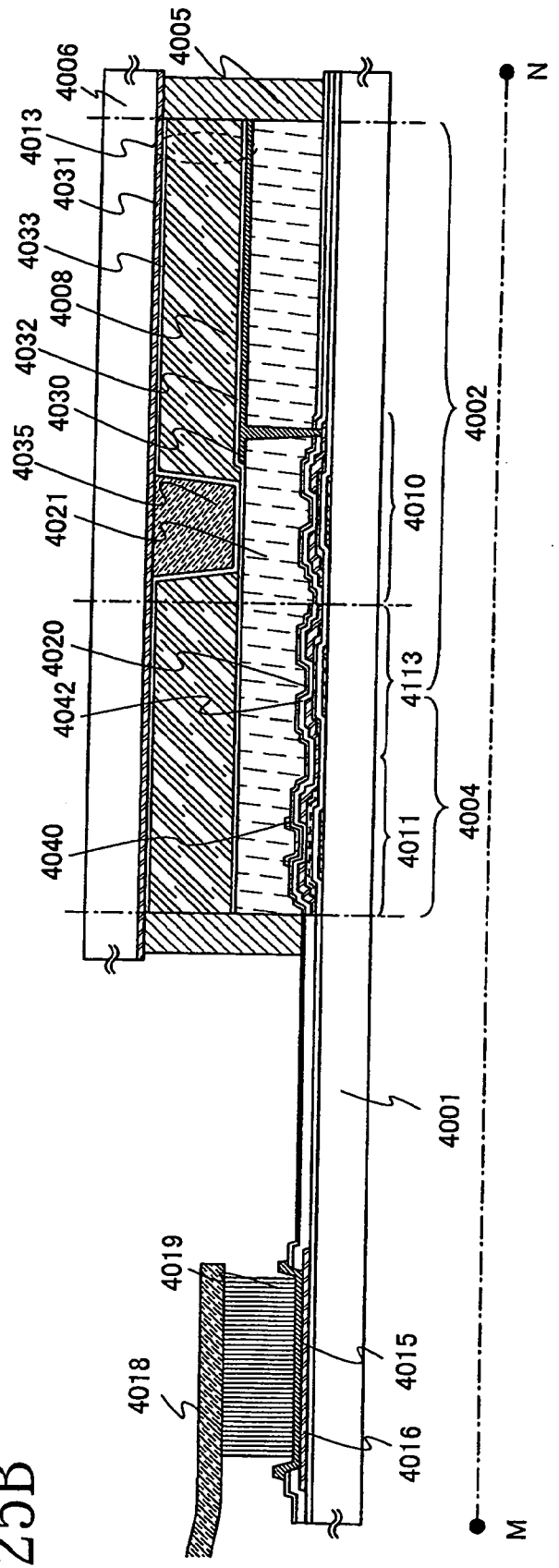


圖 26A

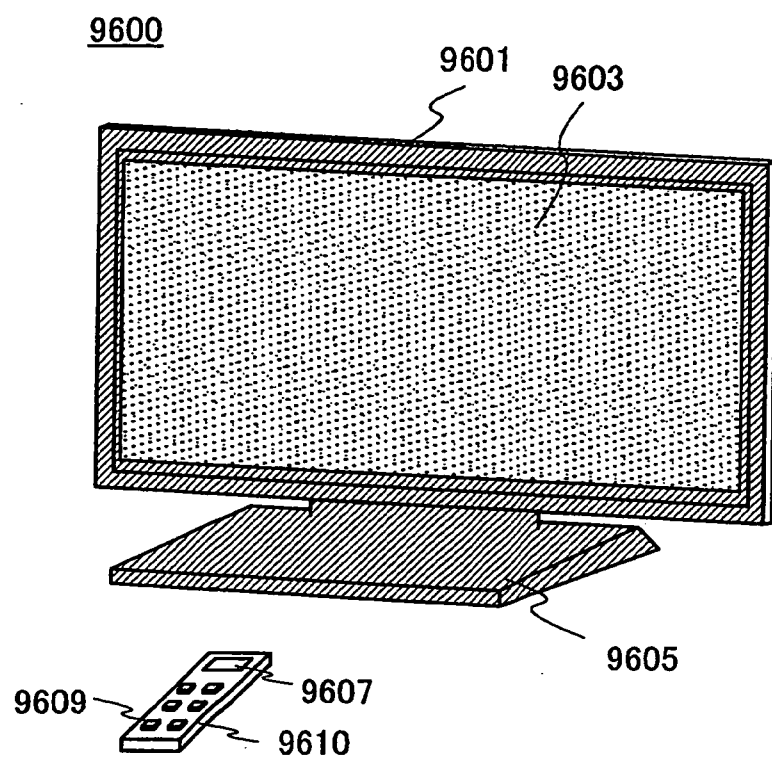


圖 26B

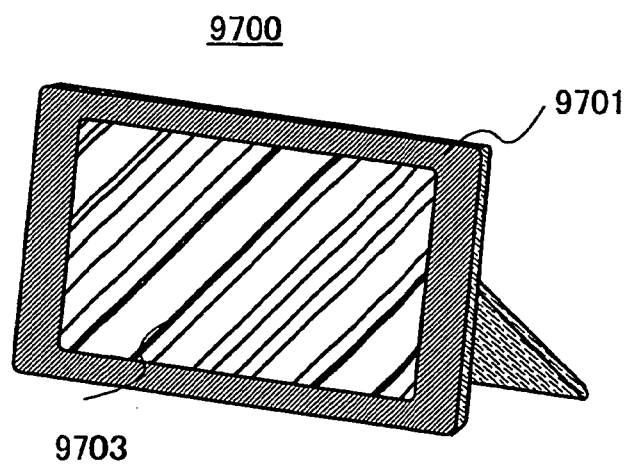


圖 27A

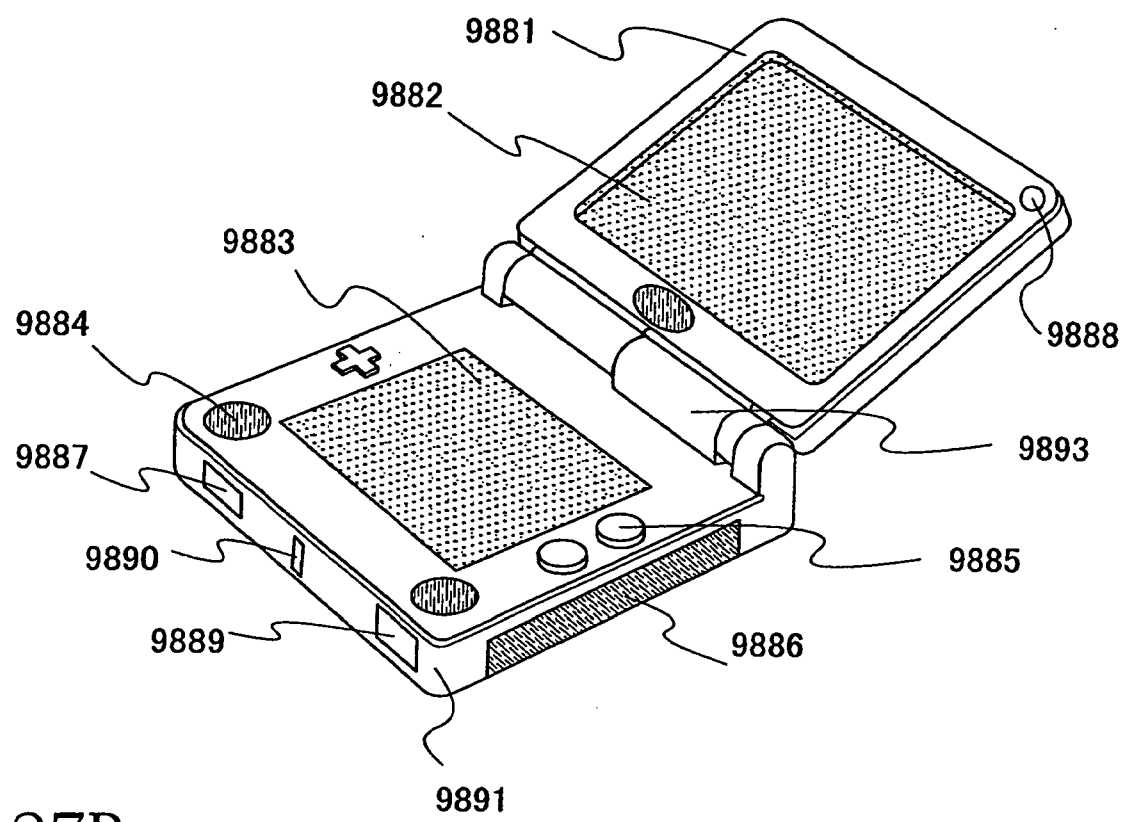


圖 27B

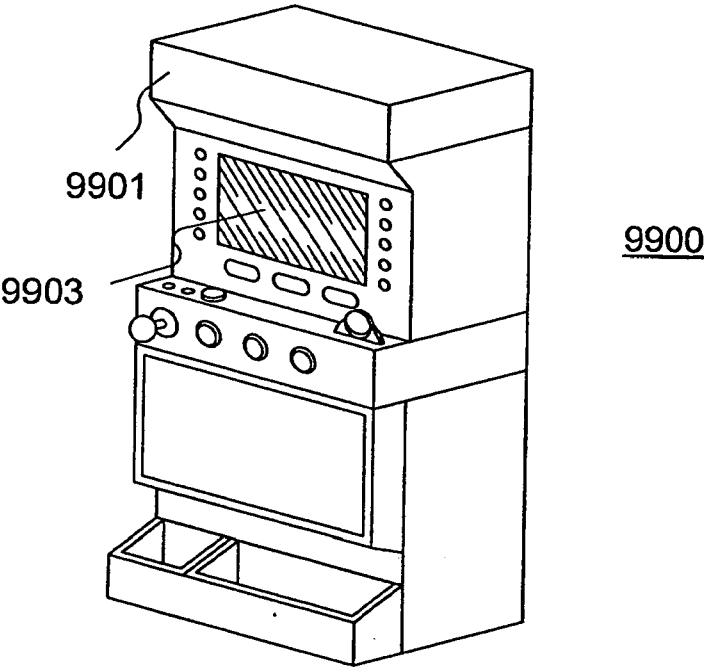


圖 28A

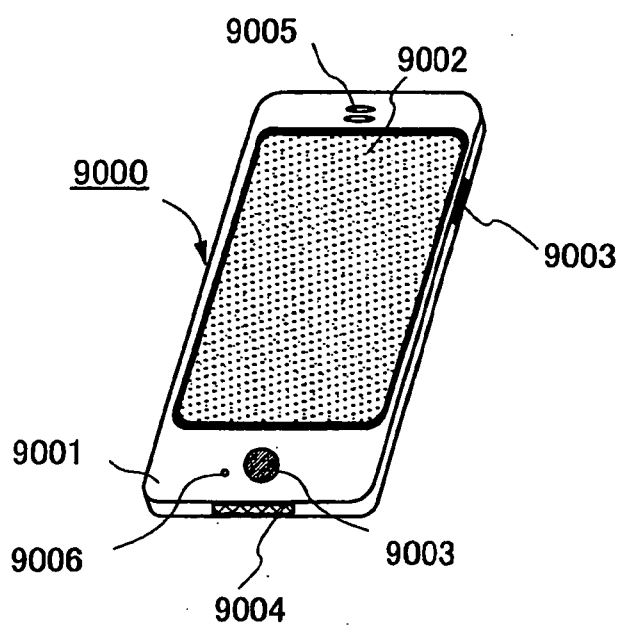


圖 28B

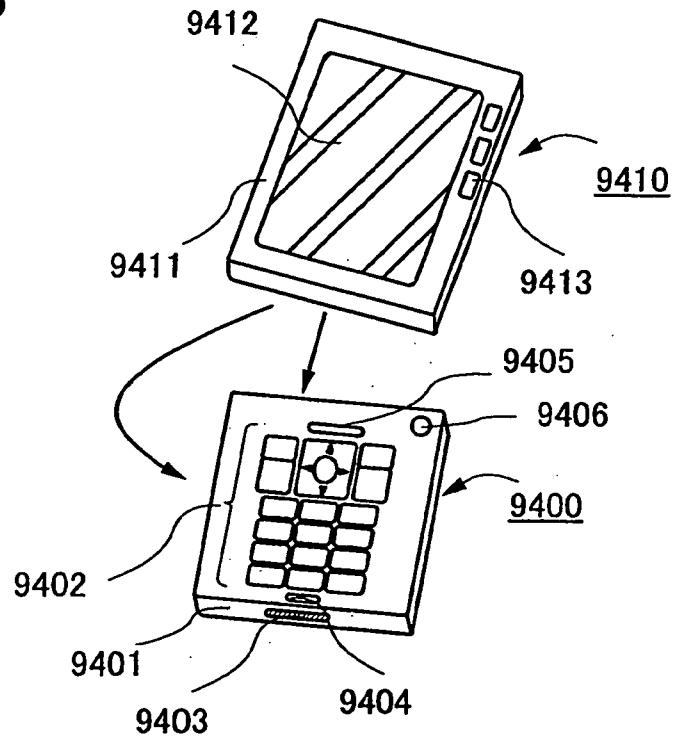


圖 29A

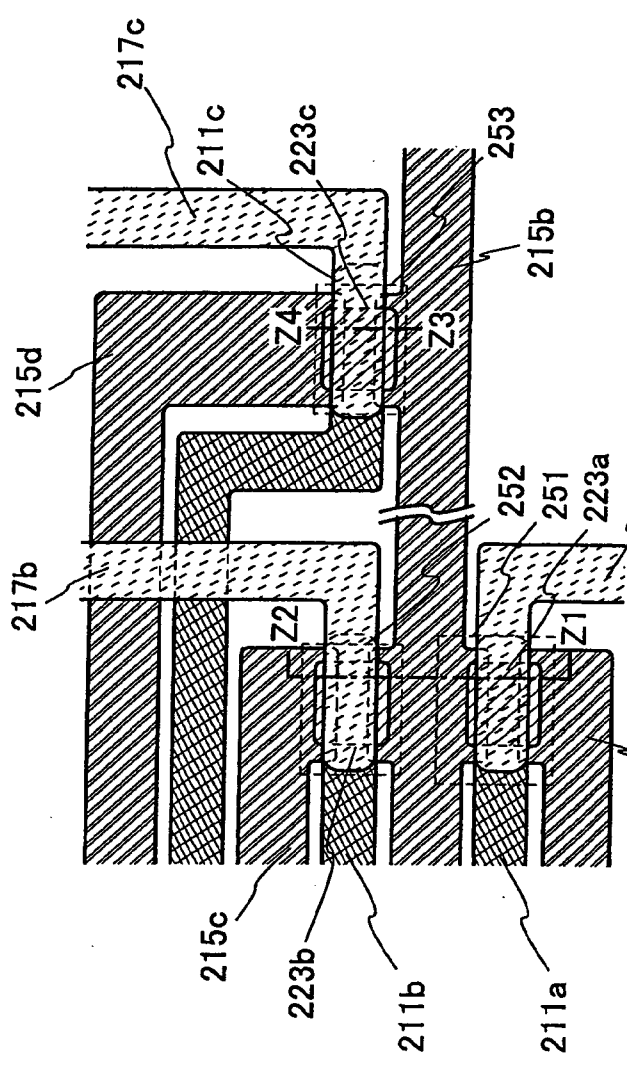


圖 29B

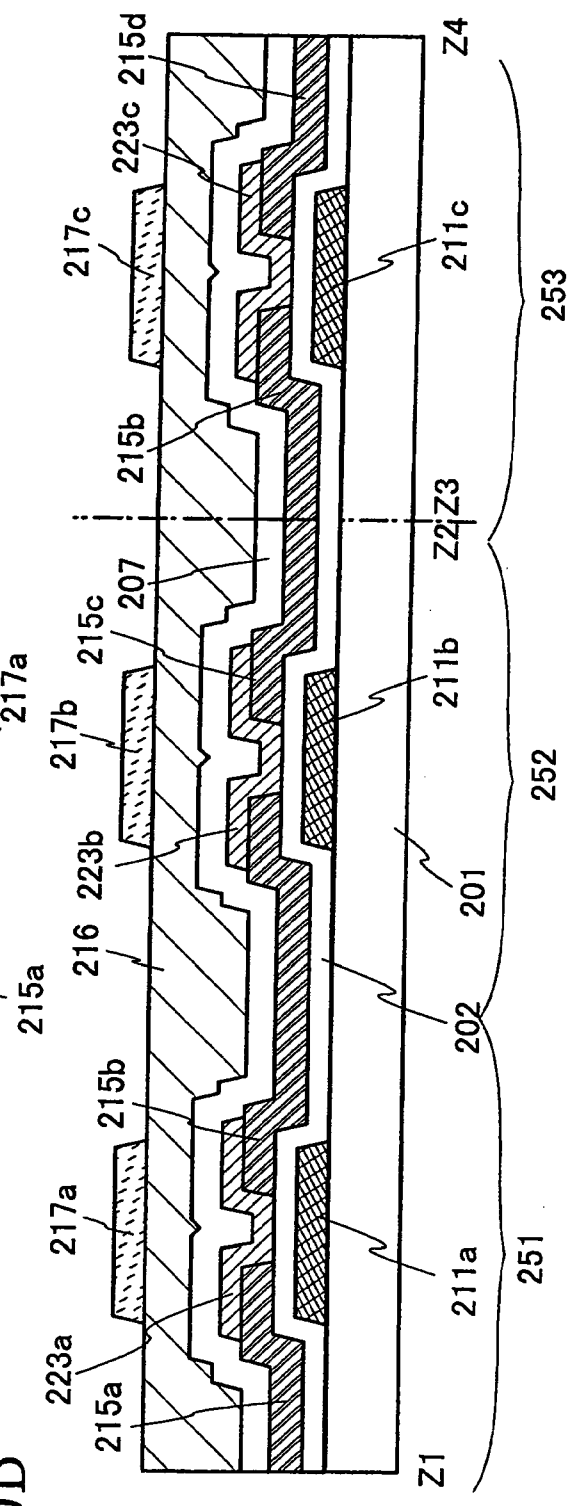


圖 30A

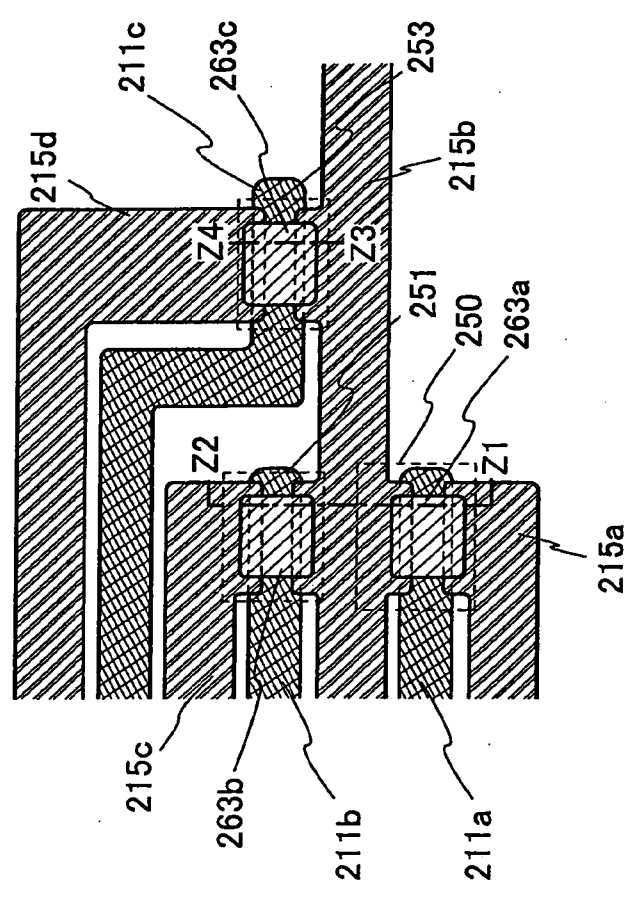


圖 30B

