



(21) 申請案號：100131345

(22) 申請日：中華民國 100 (2011) 年 08 月 31 日

(51) Int. Cl. : H01L27/115 (2006.01)

H01L27/102 (2006.01)

(30) 優先權：2010/08/31 美國

12/872,368

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：山德胡 古堤 S SANDHU, GURTEJ S. (US) ; 斯尼法珊 巴哈斯卡 SRINIVASAN, BHASKAR (US)

(74) 代理人：陳長文

(56) 參考文獻：

TW 200421345A

US 2006/0001053A1

審查人員：王世賢

申請專利範圍項數：24 項 圖式數：5 共 32 頁

(54) 名稱

記憶體單元結構及方法

MEMORY CELL STRUCTURES AND METHODS

(57) 摘要

在本文中描述記憶體單元結構及方法。一或多個記憶體單元包括：具有一電荷儲存節點之一電晶體；定位於該電荷儲存節點與該電晶體之一通道區之間的一介電材料，該通道區定位於一源極區與一汲極區之間；及一個二極體之耦接至該電荷儲存節點之一第一電極。

Memory cell structures and methods are described herein. One or more memory cells include a transistor having a charge storage node, a dielectric material positioned between the charge storage node and a channel region of the transistor, the channel region positioned between a source region and a drain region, and a first electrode of a diode coupled to the charge storage node.

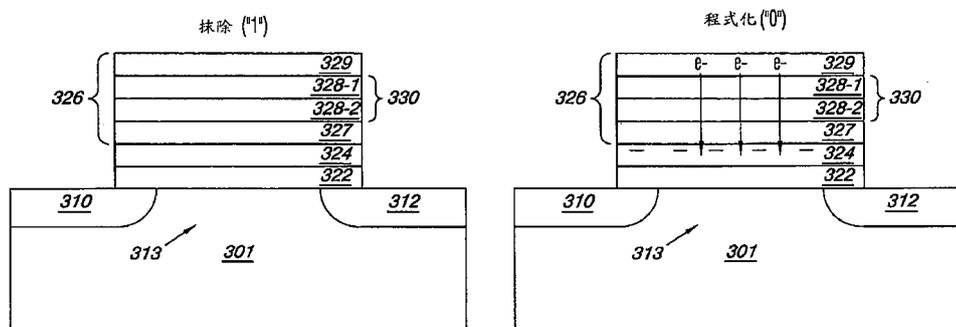


圖 3A

301 . . . 基板

310 . . . N+源極區

312 . . . N+汲極區

313 . . . 通道區

322 . . . 介電材料

324 . . . 電荷儲存節  
點/浮動閘極

326 . . . 二極體

327 . . . 第一電極

328-1 . . . 第一絕緣  
材料

328-2 . . . 第二絕緣  
材料

329 . . . 第二電極

330 . . . 絕緣體堆疊

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：(00)31345

※申請日：(00.8.31)

※IPC 分類：H01L 27/15 (2006.01)  
H01L 27/102 (2006.01)

## 一、發明名稱：(中文/英文)

記憶體單元結構及方法

MEMORY CELL STRUCTURES AND METHODS

## 二、中文發明摘要：

在本文中描述記憶體單元結構及方法。一或多個記憶體單元包括：具有一電荷儲存節點之一電晶體；定位於該電荷儲存節點與該電晶體之一通道區之間的一介電材料，該通道區定位於一源極區與一汲極區之間；及一個二極體之耦接至該電荷儲存節點之一第一電極。

## 三、英文發明摘要：

Memory cell structures and methods are described herein. One or more memory cells include a transistor having a charge storage node, a dielectric material positioned between the charge storage node and a channel region of the transistor, the channel region positioned between a source region and a drain region, and a first electrode of a diode coupled to the charge storage node.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 3A ) 圖。

(二)本代表圖之元件符號簡單說明：

|       |             |
|-------|-------------|
| 301   | 基板          |
| 310   | N+源極區       |
| 312   | N+汲極區       |
| 313   | 通道區         |
| 322   | 介電材料        |
| 324   | 電荷儲存節點/浮動閘極 |
| 326   | 二極體         |
| 327   | 第一電極        |
| 328-1 | 第一絕緣材料      |
| 328-2 | 第二絕緣材料      |
| 329   | 第二電極        |
| 330   | 絕緣體堆疊       |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大體上係關於半導體記憶體裝置、方法及系統，且更特定而言，係關於記憶體單元結構及方法。

### 【先前技術】

通常將記憶體裝置提供為電腦或其他電子裝置中之內部半導體積體電路。存在許多不同類型之記憶體，包括隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)、快閃記憶體、電阻可變記憶體(諸如，相變隨機存取記憶體(PCRAM)及電阻式隨機存取記憶體(RRAM))，及磁性隨機存取記憶體(MRAM)(諸如，自旋力矩轉移隨機存取記憶體(STT RAM))，以及其他記憶體。

一些記憶體單元(諸如，快閃記憶體單元)可為1-電晶體(1T)記憶體單元。在圖1中展示快閃記憶體單元之實例。快閃記憶體單元103具有包括電容性耦接至控制閘極120之浮動閘極116之堆疊式閘極結構。浮動閘極116及控制閘極120常由多晶矽材料形成，且由可厚約150埃至300埃之介電材料118(例如，多晶矽間介電質(interpoly dielectric))分離。

快閃記憶體單元103包括在P基板101之井區內的N+汲極區112及N+源極區110。記憶體單元103亦包括上覆於基板101之通道區上(例如，在浮動閘極116與基板101之通道區之間)之穿隧氧化物層114。穿隧氧化物層114常為二氧化

矽且可厚約70埃至120埃。

在操作中，可藉由將源極端子接地、將5伏特至10伏特之信號施加至汲極112(例如，經由未圖示之位元線)及將(例如)18伏特至20伏特之高程式化電壓施加至控制閘極120來程式化記憶體單元103。施加至控制閘極120之高電壓產生跨越穿隧氧化物114之高電場，從而在通道中產生具有足夠能量來橫越穿隧氧化物114之熱電子。接著將此等熱電子捕集於浮動閘極116中，從而導致電晶體之較高臨限電壓，該較高臨限電壓可對應於記憶體單元103正程式化為OFF(例如，非導電)狀態中。

可藉由將控制閘極120及汲極區112接地以及將高電壓(例如，18伏特至20伏特)施加至源極區110或基板101之P井區來抹除記憶體單元103。大電壓差導致在浮動閘極116上捕集之電子藉由已知為Fowler-Nordheim穿隧之機制而穿隧通過薄氧化物層114。

諸如快閃記憶體單元103之1-電晶體記憶體單元具有在效能方面之數個缺點。舉例而言，用以經由通過穿隧氧化物114之穿隧來程式化及/或抹除記憶體單元之相對高電壓(例如，18 V至20 V)可減低縮放記憶體單元103之能力。且，相對薄的穿隧氧化物114可隨時間之流逝(例如，經過多個程式化/抹除循環)而降級，其可影響記憶體單元103之可靠性。

### 【發明內容】

在本文中描述記憶體單元結構及方法。一或多個記憶體

單元包括：具有一電荷儲存節點之一電晶體；定位於該電荷儲存節點與該電晶體之一通道區之間的一介電材料，該通道區定位於一源極區與一汲極區之間；及一個二極體之耦接至該電荷儲存節點之一第一電極。

一或多個實施例包括：以一第一電壓加偏壓於一個二極體以經由該二極體將電荷添加至一電晶體之一電荷儲存節點；及以一第二電壓加偏壓於該二極體以經由該二極體自該電荷儲存節點移除電荷。該二極體之一第一電極耦接至該電荷儲存節點。且，該第一電壓及該第二電壓不足以提供通過該電荷儲存節點與該電晶體之一通道區之間的一介電材料之電荷穿隧。

與先前做法相比，本發明之實施例提供各種效益(諸如，減少與操作(例如，程式化、讀取及/或抹除)記憶體單元相關聯之電壓)以及其他效益。歸因於各種因素(諸如，減少之穿隧氧化物厚度及/或穿隧氧化物材料之減少之降級)，與先前記憶體單元相比，操作電壓之減少可導致記憶體單元具有增加之延展性及可靠性。

### 【實施方式】

本文中之諸圖遵循第一數位對應於圖式圖號且剩餘數位識別圖式中之元件或組件的編號規約。不同圖之間的相似元件或組件可藉由使用相似數字來識別。舉例而言，在圖2中，226可參考元件「26」，且在圖4中，可將相似元件參考為426。如應瞭解，可添加、交換及/或消除在本文中各種實施例中所展示之元件以便提供本發明之數個額外實

施例。另外，如應瞭解，圖中所提供之元件之比例及相對規模意欲說明本發明之實施例，且不應認為具有限制性意義。

圖2說明根據本發明之一或多個實施例之記憶體單元211的橫截面圖。記憶體單元211包括形成於基板201中之電晶體。基板201可為矽基板、絕緣體上矽(SOI)基板或藍寶石上矽(SOS)基板以及其他基板。電晶體包括由通道區213分離之源極區210及汲極區212。在此實例中，電晶體形成於p型基板201中且包括N+源極區210及N+汲極區212；然而，實施例不限於此。

記憶體單元211之電晶體包括形成於基板201上且位於通道區213與電荷儲存節點224之間的介電材料222。在各種實施例中，介電材料222可為穿隧氧化物材料(例如， $\text{SiO}_2$ )且儲存節點224可為電晶體之浮動閘極。電荷儲存節點224可為金屬材料、多晶矽材料或奈米晶體材料，以及適合於儲存電荷之其他材料。作為實例，在一些實施例中，電荷儲存節點224可為電荷捕集快閃記憶體(CTF)。

在一或多個實施例中，記憶體單元211包括具有耦接至電晶體之電荷儲存節點224之第一電極(例如，底部電極)的二極體226。如下文進一步所描述，在各種實施例中，二極體226可為金屬-絕緣體二極體。金屬-絕緣體二極體可在二極體之兩個電極之間(例如，在陽極與陰極之間)包括一或多個絕緣材料。舉例而言，二極體226可為金屬-絕緣體-絕緣體-金屬二極體(MIIM二極體)或金屬-絕緣體-絕緣體-

絕緣體-金屬二極體(MIIM)。如本文中所未使用，術語「金屬-絕緣體二極體」包括在二極體之電極之間具有一或多個絕緣材料的二極體。實施例不限於特定類型之二極體226。舉例而言，在一些實施例中，二極體226可為PIN二極體、齊納二極體、肖特基二極體、共振穿隧二極體(RTD)或閘流體。

在操作中，可與記憶體單元103之操作類似地將電荷添加至電荷儲存節點224及/或自其移除以便程式化或抹除記憶體單元211。舉例而言，改變電荷儲存節點224所儲存之電荷之量會改變電晶體之臨限電壓( $V_t$ )，該臨限電壓可指示記憶體單元之特定邏輯狀態。可藉由感測回應於被提供至二極體226(例如，至頂部電極)之特定電壓的在源極210與汲極212之間的電流來判定(例如，讀取)記憶體單元211之狀態。舉例而言，如下文結合圖4進一步所描述，二極體226之第二電極可耦接至對應於記憶體單元211之存取線(例如，字線)，汲極212可耦接至資料/感測線(例如，位元線)，且源極210可耦接至接地。可將讀取電壓施加至字線且可藉由感測位元線之電流/電壓來判定取決於電晶體之 $V_t$ 的記憶體單元211之狀態。

與圖1中所說明之1-電晶體快閃記憶體單元103不同，1-電晶體記憶體單元211不經由通過介電穿隧材料222之Fowler-Nordheim穿隧及/或熱電子注入來操作。實情為，本發明之實施例可經由通過二極體226而非通過介電材料222之導電路徑(例如，經由通過二極體226之一或多個絕

緣體材料之電荷穿隧)將電荷添加至電荷儲存節點224及/或自其移除電荷。

因為與操作記憶體單元211之二極體226相關聯之電壓低於與操作記憶體單元(諸如，圖1中所展示之記憶體單元103)相關聯之電壓，所以記憶體單元211可提供減少之電力消耗及介電穿隧材料222之減少之降級。介電材料222之減少之降級亦可允許介電材料222比與記憶體單元103相關聯之穿隧材料114薄。舉例而言，在一些實施例中，材料222可具有約40埃至60埃之厚度。

圖3A說明根據本發明之一或多個實施例之處於抹除狀態及程式化狀態中的記憶體單元。類似於圖2中所展示之記憶體單元211，圖3A中所說明之記憶體單元包括形成於基板301中之電晶體。在此實例中，電晶體形成於p型基板301中且包括N+源極區310及N+汲極區312。電晶體包括形成於基板301上且位於通道區313與電荷儲存節點324之間的介電材料322。在此實例中，電荷儲存節點324為電晶體之浮動閘極。浮動閘極324可為金屬材料、多晶矽材料或奈米晶體材料，以及適合於儲存電荷之其他材料。

圖3A中所說明之記憶體單元包括具有耦接至浮動閘極324之第一電極327之二極體326。在此實例中，二極體326為具有定位於第一電極327與第二電極329之間的絕緣體堆疊330之金屬-絕緣體二極體。絕緣體堆疊330包括第一絕緣材料328-1及第二絕緣材料328-2。因而，在此實例中，二極體326為MIIM二極體。

圖 3A 之左側說明處於抹除狀態中之記憶體單元且圖 3A 之右側說明處於程式化狀態中之記憶體單元。為了將記憶體單元置於抹除狀態中，可加偏壓於二極體 326 以經由絕緣體堆疊 330 自浮動閘極 324 移除電荷(例如，電子)。為了將記憶體單元置於程式化狀態中，可加偏壓於二極體 326 以經由絕緣體堆疊 330 將電荷添加至浮動閘極 324。

對應於本發明之一或多個記憶體單元實施例的二極體 326 之特定組態可取決於各種因素，諸如對於(例如)程式化及/或抹除記憶體單元所要之電流位準。所要電流位準可取決於各種因素，諸如所要程式化時間。舉例而言，為了達成奈秒(ns)級至毫秒(ms)級之程式化時間，可使用約 5 kA/cm<sup>2</sup> 至約 5 mA/cm<sup>2</sup> 之電流密度。實施例不限於特定程式化時間及/或電流密度要求。用以達成特定程式化/抹除時間之電流密度可取決於各種因素，包括材料之類型、大小及/或浮動閘極 324 之厚度，以及其他因素。

在一或多個實施例中，二極體 326 可為不對稱 MIIM 二極體，諸如矽化鉭/氧化矽/氧化鋯/氮化鈦(TaSi/SiO<sub>x</sub>/ZrO<sub>x</sub>/TiN)MIIM 二極體或氮化矽鉭/氧化矽/氧化鈣/氮化鈦(TaSiN/SiO<sub>x</sub>/HfO<sub>x</sub>/TiN)MIIM 二極體。在一或多個實施例中，二極體 326 可為對稱 MIIM 二極體，諸如氮化鈦/氮化矽/氧化鋁/氧化鈣/氮化鈦(TiN/Si<sub>3</sub>N<sub>4</sub>/AlO<sub>x</sub>/HfO<sub>x</sub>/TiN)MIIM 二極體或矽化鉭/氮化矽/氧化鋁/氧化鋯/矽化鉭(TaSi/Si<sub>3</sub>N<sub>4</sub>/AlO<sub>x</sub>/ZrO<sub>x</sub>/TaSi)MIIM 二極體。對稱二極體指代具有相同材料之兩個電極(例如，使得頂部/底部電極之功函數相同)

的二極體，而非對稱二極體包括由不同材料製成之電極。實施例不限於此等實例。舉例而言，二極體326之各種結構可產生適合於程式化、讀取及/或抹除根據本文中所描述之實施例之記憶體單元的對應電流密度對電壓信號。

圖3B為說明對應於圖3A中所展示之記憶體單元之電流對電壓曲線的圖。該圖說明汲極至源極之電流( $I_{ds}$ )對跨越二極體326之電壓( $V_d$ )。曲線332表示針對處於抹除狀態中之記憶體單元的電流對電壓曲線，而曲線333表示針對處於程式化狀態中之記憶體單元的電流對電壓曲線。如上文所描述，可藉由感測回應於施加至二極體326之特定電壓 $V_d$ 的電流 $I_{ds}$ 來判定記憶體單元之狀態。曲線332與曲線333之間的差異係歸因於記憶體單元之不同臨限電壓( $V_t$ )，不同臨限電壓取決於是程式化記憶體單元(例如，經由絕緣體堆疊330將電子儲存於浮動閘極324上)還是抹除記憶體單元(例如，經由絕緣體堆疊330自浮動閘極324移除電子)。

圖4說明具有根據本發明之實施例之一或多個記憶體單元的記憶體陣列400之部分。圖4之實施例說明類似於NAND快閃架構之架構。然而，實施例不限於此實例。如圖4中所展示，記憶體陣列400包括存取線(例如，字線405-1、405-2、...、405-N)及對應感測線(例如，區域位元線407-1、407-2、...、407-M)。為了容易在數位環境中定址，字線405-1、405-2、...、405-N之數目及區域位元線407-1、407-2、...、407-M之數目可為2的某個冪(例如，

256個字線乘4,096個位元線)。

記憶體陣列400包括NAND串409-1、409-2、...、409-M。每一NAND串包括記憶體單元411-1、411-2、...、411-N，每一記憶體單元與各別字線405-1、405-2、...、405-N相關聯。每一NAND串409-1、409-2、...、409-M(及其構成記憶體單元)亦與區域位元線407-1、407-2、...、407-M相關聯。在源極選擇閘(SGS)(例如，場效電晶體(FET)413)與汲極選擇閘(SGD)(例如，FET 419)之間源極至汲極地串聯連接每一NAND串409-1、409-2、...、409-M之記憶體單元411-1、411-2、...、411-N。每一源極選擇閘413經組態以回應於源極選擇線417上之信號而選擇性地將各別NAND串409耦接至共同源極423，而每一汲極選擇閘419經組態以回應於汲極選擇線415上之信號而選擇性地將各別NAND串409耦接至各別位元線407。

如圖4中所說明之實施例中所展示，源極選擇閘413之源極連接至共同源極線423。源極選擇閘413之汲極連接至對應NAND串409-1之記憶體單元411-1之源極。汲極選擇閘419之汲極在汲極接點421-1處連接至針對對應NAND串409-1之區域位元線407-1。汲極選擇閘419之源極連接至對應NAND串409-1之最後記憶體單元411-N之汲極。

記憶體單元411-1、411-2、...、411-N可為記憶體單元，諸如圖2中所說明之記憶體單元211。舉例而言，在一或多個實施例中，記憶體單元411-1、411-2、...、411-N之建構包括具有源極、汲極、浮動閘極或其他電荷儲存節點424

之電晶體及二極體426。記憶體單元411-1、411-2、...、411-N之二極體426具有耦接至電荷儲存節點424之第一電極及耦接至各別字線405-1、405-2、...、405-N之第二電極。

因而，記憶體單元411-1、411-2、...、411-N之「行」組成NAND串409-1、409-2、...、409-M且分別耦接至給定區域位元線407-1、407-2、...、407-M。記憶體單元411-1、411-2、...、411-N之「列」為共同耦接至給定字線405-1、405-2、...、405-N之彼等記憶體單元。術語「行」及「列」之使用不意欲暗示特定線性(例如，記憶體單元之垂直及/或水平定向)。將類似地佈置NOR陣列架構，不同僅在於將在選擇閘之間並聯地耦接記憶體單元之串。

記憶體陣列400之操作可類似於NAND快閃記憶體單元(諸如，結合圖1描述之記憶體單元103)之陣列之操作。舉例而言，耦接至目標(例如，選定)字線(例如，405-1、405-2、...、405-N)之記憶體單元的子集可作為一群組在一起程式化及/或讀取。在程式化操作期間，與作為程式化操作之目標的記憶體單元相關聯之選定字線將接收第一電壓(例如，程式化電壓)，該第一電壓經設計以在選定字線未被禁止程式化(例如，經由提供至記憶體單元所耦接之位元線的禁止電壓)之情況下改變耦接至選定字線之記憶體單元之資料狀態。施加至二極體426之頂部電極(例如，經由選定字線)之程式化電壓為足以啟動(例如，接通)二極體426來產生通過二極體之導電路徑以將電荷添加至浮動

閘極424的電壓。在各種實施例中，程式化電壓不足以提供通過記憶體單元之穿隧介電材料(例如，圖2中所展示之材料222或圖3A中所展示之材料322)的電子穿隧。作為實例，程式化電壓可具有約3伏特至5伏特之量值。

為了執行抹除操作，可以在極性上與程式化電壓相反之抹除電壓來加偏壓於記憶體單元411-1、411-2、...、411-N之二極體426。抹除電壓足以啟動二極體來產生通過二極體426之導電路徑以自浮動閘極422移除電荷。類似於程式化電壓，抹除電壓不足以提供通過記憶體單元之穿隧介電材料的電子穿隧。因而，抹除電壓足以產生通過二極體426之絕緣體材料(例如，通過圖3A中所展示之絕緣體堆疊330)的電子穿隧，但不足以提供通過位於浮動閘極422與電晶體之通道區之間的介電材料之Fowler-Nordheim穿隧及/或熱電子注入。舉例而言，抹除電壓可為約3伏特至5伏特。然而，程式化及/或抹除電壓之量值可取決於各種因素(諸如，二極體426之組態及所要程式化電流及/或所要程式化速度，以及其他因素)而變化。

在感測操作(諸如，讀取操作)期間，可感測耦接至選定記憶體單元之位元線之傳導(例如，經由位元線之經判定之電壓及/或電流改變)以便判定選定記憶體單元之狀態。感測操作可涉及以在量值上低於程式化及/或抹除電壓之電壓加偏壓於二極體426(例如，經由選定字線405-1、405-2、...、405-N)且接著感測對應於選定記憶體單元之位元線(例如，位元線407-1)上的電壓及/或電流。或者，讀取

操作可包括預先充電位元線(例如，407-1)及在選定記憶體單元開始導電的情況下感測放電。作為實例，跨越二極體426所施加之讀取電壓可為約-1伏特至-2伏特；然而，實施例不限於特定讀取電壓。

記憶體單元411-1、411-2、...、411-N可為非揮發性記憶體單元。然而，在一些實施例中，記憶體單元411-1、411-2、...、411-N可為揮發性的，使得需要電力來維持記憶體單元之所儲存狀態。

圖5A為對應於根據本發明之一或多個實施例之二極體的能帶圖550。圖550可對應於二極體，諸如圖2中所展示之二極體226。在圖5A中所說明之實例中，二極體為在頂部電極(TE)與底部電極(BE)之間具有三個絕緣體材料(I1、I2及I3)之堆疊的MIIM二極體。作為實例，頂部及/或底部電極可為諸如TaSi、TiN、TaSiN的材料，或摻雜多晶矽材料。絕緣體堆疊可包括各種不同絕緣體材料，包括但不限於各種氧化物及/或氮化物材料，諸如SiO<sub>x</sub>、ZrO<sub>x</sub>、HfO<sub>x</sub>、AlO<sub>x</sub>、Si<sub>3</sub>N<sub>4</sub>、TaO<sub>x</sub>、LaO<sub>x</sub>及SiON。在一或多個實施例中，絕緣體堆疊之絕緣體I1、I2及I3可具有氧化物-氮化物-氧化物(ONO)組態。在一或多個實施例中，絕緣體材料I1、I2及I3中之至少一者可為高K介電材料。

實施例不限於特定二極體組態。舉例而言，一些實施例可包括在絕緣體堆疊中具有三個以上或三個以下絕緣體材料之二極體。

在此實例中，第一(I1)及第三(I3)絕緣體具有約為5埃之

厚度且第二絕緣體(I2)具有約為10埃之厚度。然而，絕緣體I1、I2及I3之尺寸可取決於各種因素(諸如，絕緣體材料之類型及所要電流密度對電壓曲線，以及其他因素)而變化。

能帶圖550說明在反向偏壓下之MIIM二極體(例如，頂部電極之電位低於底部電極之電位)。在此反向偏壓下，電子可穿隧通過二極體之絕緣體材料(例如，自頂部電極至底部電極)且可儲存於如上文所論述的耦接至底部電極的電荷儲存節點(例如，圖2中所展示之電荷儲存節點224或圖4中所展示之浮動閘極424)中。雖然未在圖550中展示，跨越二極體所施加之正向偏壓可用以誘發自記憶體單元之電荷儲存節點通過絕緣體堆疊之電子穿隧以便自儲存節點移除電荷(例如，抹除記憶體單元)。

圖5B為說明與圖5A之二極體相關聯之電流密度對電壓的圖560。曲線562表示在反向偏壓下之金屬-絕緣體二極體且曲線564表示在正向偏壓下之金屬-絕緣體二極體。在此實例中，二極體為對稱二極體，使得正向偏壓及反向偏壓曲線為對稱的；然而，實施例不限於此實例。舉例而言，本發明之實施例可包括具有各種非對稱組態之二極體，使得正向偏壓及反向偏壓曲線為非對稱的。

圖560表示可根據本文中所描述之一或多個記憶體單元(例如，圖2中所展示之記憶體單元211)來使用之二極體的電流密度對電壓回應之一實例。在操作中，可以第一電壓(例如，Vwrite 566)加偏壓於二極體以便程式化記憶體單

元。寫入電壓 566 足以提供通過二極體之絕緣體堆疊之適合電流以便快速地將電荷積聚於記憶體單元之電荷儲存節點上。在此實例中， $V_{write\ 566}$  為約 -4 伏特，其提供約  $1 \times 10^6$  A/cm<sup>2</sup> 之電流密度。在各種實施例中，與程式化電壓 566 相關聯之電流密度為至少  $1 \times 10^4$  A/cm<sup>2</sup>。然而，電流密度可基於二極體之組態及/或記憶體單元之所要程式化時間以及其他因素而變化。

可以第二電壓(例如， $V_{erase\ 568}$ )加偏壓於二極體以便抹除記憶體單元。亦即，抹除電壓 568 足以提供通過二極體之絕緣體堆疊之適合電流以便快速地自記憶體單元之電荷儲存節點移除電荷。在此實例中， $V_{erase\ 568}$  為約 4 伏特，其提供約  $1 \times 10^6$  A/cm<sup>2</sup> 之電流密度。

在各種實施例中，寫入電壓(例如， $V_{write\ 566}$ )及抹除電壓(例如， $V_{erase\ 568}$ )不足以提供通過電荷儲存節點與電晶體之通道區之間的介電材料(例如，穿隧氧化物材料)之電荷穿隧。舉例而言，在一些實施例中，抹除電壓及寫入電壓可具有低於約 5 伏特之量值。以寫入電壓 566 及/或抹除電壓 568 加偏壓於二極體可包括在二極體之頂部電極與基板之井區之間產生特定電壓差。以不足以促進通過穿隧氧化物材料之 Fowler-Nordheim 穿隧及/或熱電子注入的電壓加偏壓於記憶體單元之二極體可防止穿隧氧化物材料之降級，以及具有其他益處。

為了讀取記憶體單元之狀態，可以第三電壓(例如， $V_{read\ 567}$ )加偏壓於二極體。讀取電壓 567 在量值上低於寫

入電壓566及抹除電壓568，此係因為需要在讀取操作期間具有較低之電流流動通過二極體。在此實例中，Vread 567為約-2伏特，其提供約 $1 \times 10^2$  A/cm<sup>2</sup>之電流密度。在各種實施例中，與讀取電壓567相關聯之電流密度為不超過 $1 \times 10^2$  A/cm<sup>2</sup>。可(例如)藉由感測回應於施加至金屬-絕緣體二極體之頂部電極之讀取電壓的在電晶體之源極與汲極之間的電流來判定邏輯狀態(例如，邏輯「0」或「1」)。

在本文中描述記憶體單元結構及方法。一或多個記憶體單元包括：具有一電荷儲存節點之一電晶體；定位於該電荷儲存節點與該電晶體之一通道區之間的一介電材料，該通道區定位於一源極區與一汲極區之間；及一個二極體之耦接至該電荷儲存節點之一第一電極。

一或多個實施例包括：以一第一電壓加偏壓於一個二極體以經由該二極體將電荷添加至一電晶體之一電荷儲存節點；及以一第二電壓加偏壓於該二極體以經由該二極體自該電荷儲存節點移除電荷。該二極體之一第一電極耦接至該電荷儲存節點。且，該第一電壓及該第二電壓不足以提供通過該電荷儲存節點與該電晶體之一通道區之間的一介電材料之電荷穿隧。

雖然已在本文中說明且描述特定實施例，但一般熟習此項技術者應瞭解，經考慮以達成相同結果之配置可替換所展示之特定實施例。本發明意欲涵蓋本發明之各種實施例之調適或變化。應理解，已以說明性方式而非限制性方式來進行以上描述。在審閱以上描述之後，熟習此項技術者

將顯而易見以上實施例及本文中未特定描述之其他實施例之組合。本發明之各種實施例之範疇包括使用以上結構及方法之其他應用。因此，應參考所附申請專利範圍連同此等申請專利範圍有權擁有之等效物之完整範圍來判定本發明之各種實施例之範疇。

在前文實施方式中，為了使本揭示內容流暢化之目的，在單一實施例中將各種特徵分組在一起。此揭示方法不應被解釋為反映本發明之所揭示之實施例必須使用比在每一技術方案中明確陳述之特徵多之特徵的意圖。更確切地，如以下申請專利範圍所反映，本發明標的物在於比單一所揭示實施例中之全部特徵少的特徵。因此，以下申請專利範圍特此併入於實施方式中，其中每一技術方案獨立地作為一單獨實施例。

### 【圖式簡單說明】

圖1說明根據先前技術之記憶體單元之橫截面圖。

圖2說明根據本發明之一或多個實施例之記憶體單元的橫截面圖。

圖3A說明根據本發明之一或多個實施例之處於抹除狀態及程式化狀態中的記憶體單元。

圖3B為說明對應於圖3A中所展示之記憶體單元之電流對電壓曲線的圖。

圖4說明具有根據本發明之實施例之一或多個記憶體單元的記憶體陣列之部分。

圖5A為對應於根據本發明之一或多個實施例之二極體的

能帶圖。

圖 5B 為說明與圖 5A 之二極體相關聯之電流密度對電壓的圖。

**【主要元件符號說明】**

|     |         |
|-----|---------|
| 101 | P 基板    |
| 103 | 快閃記憶體單元 |
| 110 | N+源極區   |
| 112 | N+汲極區   |
| 114 | 穿隧氧化物層  |
| 116 | 浮動閘極    |
| 118 | 介電材料    |
| 120 | 控制閘極    |
| 201 | 基板      |
| 210 | 源極區     |
| 211 | 記憶體單元   |
| 212 | 汲極區     |
| 213 | 通道區     |
| 222 | 介電材料    |
| 224 | 電荷儲存節點  |
| 226 | 二極體     |
| 301 | 基板      |
| 310 | N+源極區   |
| 312 | N+汲極區   |
| 313 | 通道區     |

|       |             |
|-------|-------------|
| 322   | 介電材料        |
| 324   | 電荷儲存節點/浮動閘極 |
| 326   | 二極體         |
| 327   | 第一電極        |
| 328-1 | 第一絕緣材料      |
| 328-2 | 第二絕緣材料      |
| 329   | 第二電極        |
| 330   | 絕緣體堆疊       |
| 332   | 曲線          |
| 333   | 曲線          |
| 400   | 記憶體陣列       |
| 405-1 | 字線          |
| 405-2 | 字線          |
| 405-N | 字線          |
| 407-1 | 區域位元線       |
| 407-2 | 區域位元線       |
| 407-M | 區域位元線       |
| 409-1 | NAND串       |
| 409-2 | NAND串       |
| 409-M | NAND串       |
| 411-1 | 記憶體單元       |
| 411-2 | 記憶體單元       |
| 411-N | 記憶體單元       |
| 413   | 場效電晶體       |

|       |             |
|-------|-------------|
| 415   | 汲極選擇線       |
| 417   | 源極選擇線       |
| 419   | 場效電晶體/汲極選擇閘 |
| 421-1 | 汲極接點        |
| 423   | 共同源極        |
| 424   | 電荷儲存節點      |
| 426   | 二極體         |
| 550   | 能帶圖         |
| 560   | 電流密度對電壓的圖   |
| 562   | 曲線          |
| 564   | 曲線          |
| 566   | 寫入電壓        |
| 567   | 讀取電壓        |
| 568   | 抹除電壓        |
| BE    | 底部電極        |
| I1    | 絕緣體材料       |
| I2    | 絕緣體材料       |
| I3    | 絕緣體材料       |
| TE    | 頂部電極        |

## 七、申請專利範圍：

1. 一種記憶體單元，其包含：

包括一電荷儲存節點之一電晶體；

定位於該電荷儲存節點與該電晶體之一通道區之間的一介電材料，該通道區定位於一源極區與一汲極區之間；及

一個二極體之耦接至該電荷儲存節點之一第一電極；及

其中該二極體包括定位於該第一電極與一第二電極之間的至少三個絕緣體材料之一堆疊。

2. 如請求項1之記憶體單元，其中該電荷儲存節點為該電晶體之一浮動閘極。

3. 如請求項1之記憶體單元，其中該二極體之一第二電極耦接至對應於該記憶體單元之一字線。

4. 如請求項1之記憶體單元，其中該源極區及該汲極區中之至少一者耦接至對應於該記憶體單元之一位元線。

5. 如請求項1之記憶體單元，其中該儲存節點包括自包括以下各者之群組選擇的一材料：

一金屬材料；

一多晶矽材料；及

一奈米晶體材料。

6. 如請求項1之記憶體單元，其包括將電荷提供至該儲存節點之通過該二極體之一導電路徑。

7. 如請求項1之記憶體單元，其包括自該儲存節點移除電荷之通過該二極體之一導電路徑。

8. 一種記憶體單元，其包含：

具有一浮動閘極的一電晶體，該浮動閘極藉由一介電材料而與一通道區分離；及

一個二極體之耦接至該浮動閘極之一第一電極；

其中該二極體為一金屬-絕緣體二極體，該金屬-絕緣體二極體包括定位於該金屬-絕緣體二極體之該第一電極與一第二電極之間的一絕緣體堆疊之一第一絕緣體材料及一第二絕緣體材料；及

其中該絕緣體堆疊包括定位於該第一電極與該第二電極之間的至少一第三絕緣體材料。

9. 如請求項8之記憶體單元，其中該二極體為自包括以下各者之群組選擇的一個二極體：

一金屬-絕緣體二極體；

一PIN二極體；

一齊納二極體；

一肖特基二極體；及

一共振穿隧二極體(RTD)。

10. 如請求項8之記憶體單元，其包括通過該絕緣體堆疊之一導電路徑，藉由該導電路徑將電荷提供至該浮動閘極及自該浮動閘極移除電荷。

11. 如請求項8之記憶體單元，其中該二極體經組態以回應具有約4 V之一量值之一第一所施加電壓以提供至少 $1 \times 10^4$  A/cm<sup>2</sup>之一第一電流密度。

12. 如請求項11之記憶體單元，其中該二極體經組態以回應

具有約 2 V 之一量值之一第二所施加電壓以提供不超過  $1 \times 10^2$  A/cm<sup>2</sup> 之一第二電流密度。

13. 如請求項 8 之記憶體單元，其中該絕緣體堆疊為一 ONO(氧化物-氮化物-氧化物)堆疊。

14. 如請求項 8 之記憶體單元，其中將該通道區與該浮動閘極分離之該介電材料之一厚度小於約 60 埃。

15. 一種操作一記憶體單元之方法，該方法包含：

以一第一電壓加偏壓於一個二極體以經由該二極體將電荷添加至一電晶體之一電荷儲存節點；及

以一第二電壓加偏壓於該二極體以經由該二極體自該電荷儲存節點移除電荷；

其中該二極體之一第一電極耦接至該電荷儲存節點；

其中該第一電壓及該第二電壓不足以提供通過該電荷儲存節點與該電晶體之一通道區之間的一介電材料之電荷穿隧；及

其中該二極體包括定位於該第一電極與一第二電極之間的至少三個絕緣體材料之一堆疊。

16. 如請求項 15 之方法，其中以該第一電壓加偏壓於該二極體包括程式化該記憶體單元。

17. 如請求項 16 之方法，其中以該第二電壓加偏壓於該二極體包括抹除該記憶體單元。

18. 如請求項 15 之方法，其中該第一電壓及該第二電壓具有少於約 5 V 之一量值。

19. 如請求項 15 之方法，其包括藉由感測回應於以在量值上

低於該第一電壓及該第二電壓之一第三電壓加偏壓於該二極體的在該電晶體之一源極與一汲極之間的一電流來判定該記憶體單元之一狀態。

20. 一種操作一記憶體單元之方法，該方法包含：

藉由經由具有耦接至一電晶體之一浮動閘極之一第一電極之一金屬-絕緣體二極體的一絕緣體堆疊將電荷提供至該浮動閘極來將該記憶體單元置於一第一狀態中；及

藉由感測回應於施加至該金屬-絕緣體二極體之一第二電極之一讀取電壓的在該電晶體之一源極與一汲極之間的一電流來判定該記憶體單元之一邏輯狀態；及

其中該絕緣體堆疊包括定位於該第一電極與該第二電極之間的至少三個絕緣體材料。

21. 如請求項20之方法，其包括藉由經由該金屬-絕緣體二極體之該絕緣體堆疊自該電晶體之該浮動閘極移除電荷來將該記憶體單元置於一第二狀態中。

22. 如請求項21之方法，其中該第一狀態為一程式化狀態且該第二狀態為一抹除狀態。

23. 如請求項20之方法，其中將該記憶體單元置於該第一狀態中包括提供該第二電極與與該電晶體相關聯之一井區之間的一第一電壓差，該第一電壓差不足以提供通過位於該浮動閘極與該電晶體之一通道區之間的一介電材料之電荷穿隧。

24. 如請求項20之方法，其中該絕緣體堆疊包括一第一絕緣體材料、一第二絕緣體材料及一第三絕緣體材料，且其

中該第一絕緣體材料、該第二絕緣體材料及該第三絕緣體材料中之至少一者為一高K介電質。

八、圖式：

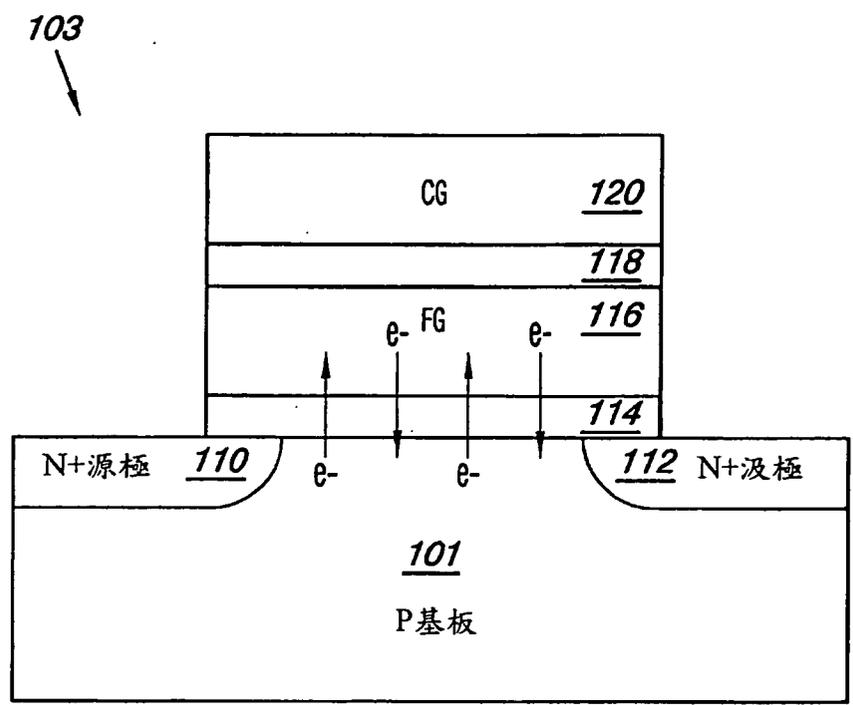


圖1

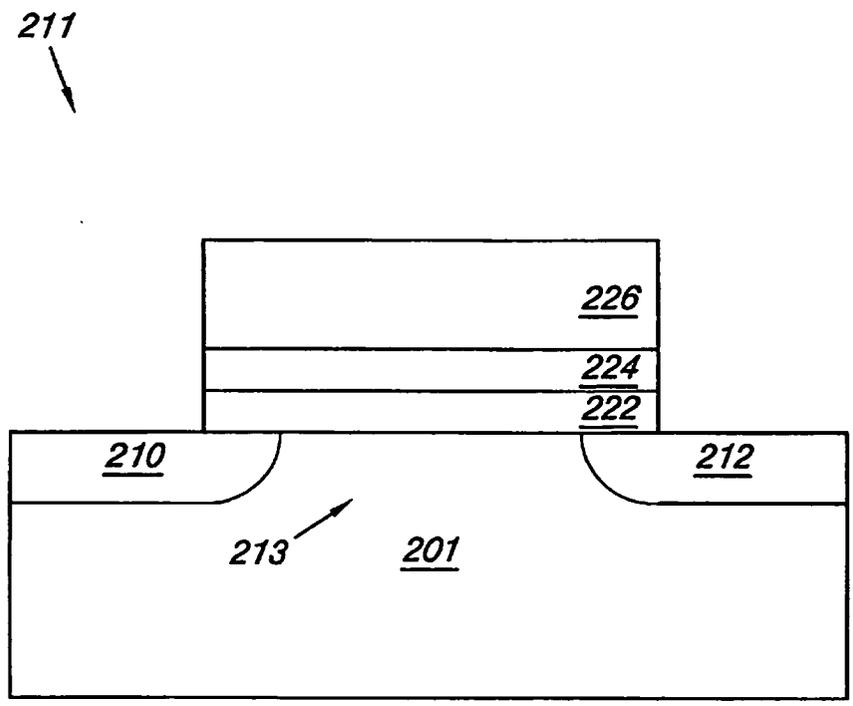


圖2

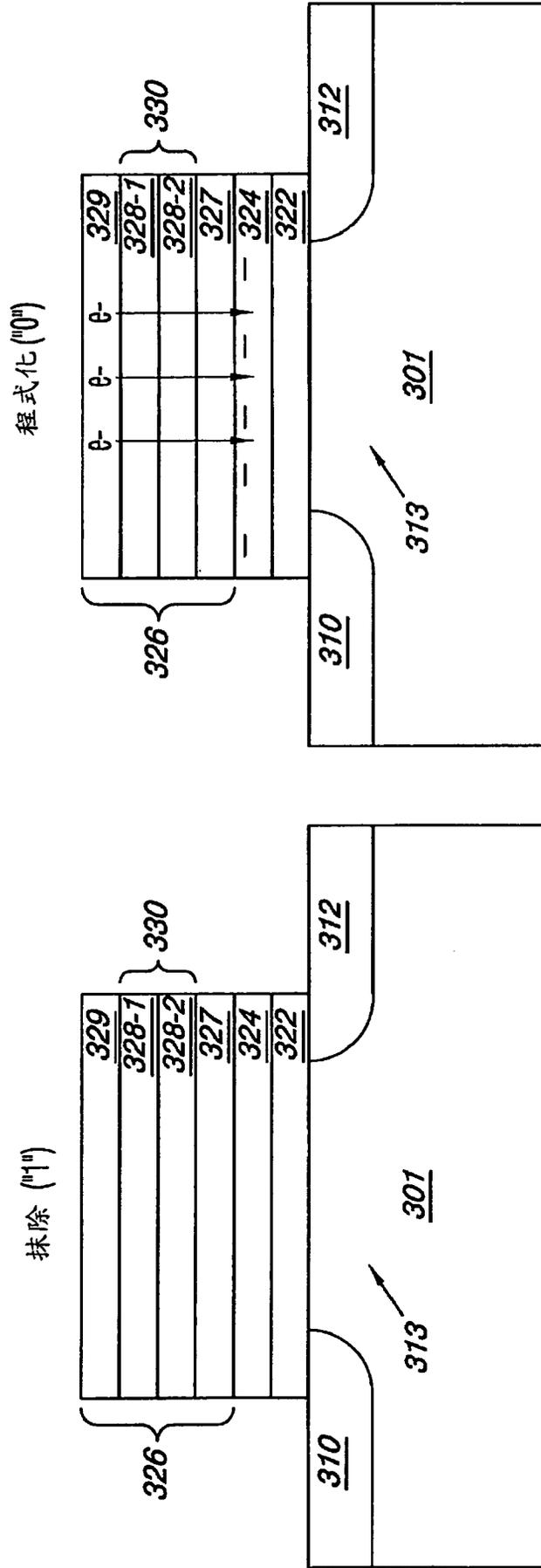


圖3A

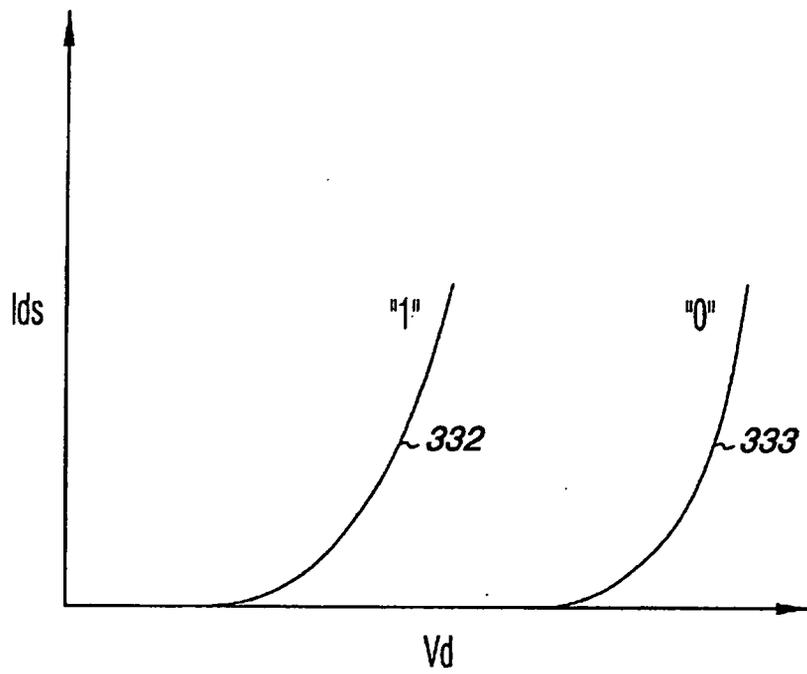


圖 3B

400 ↗

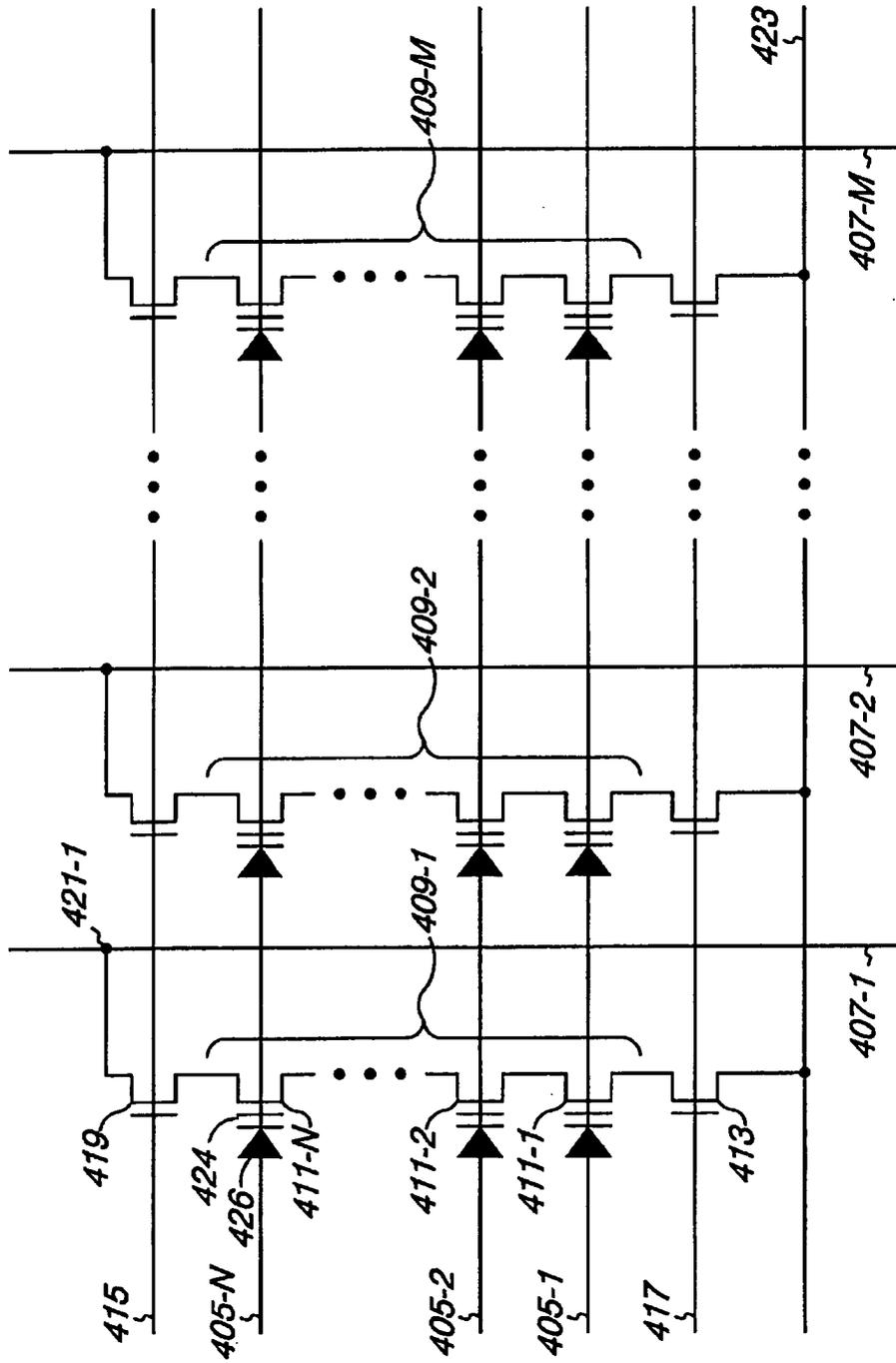


圖 4

550 →

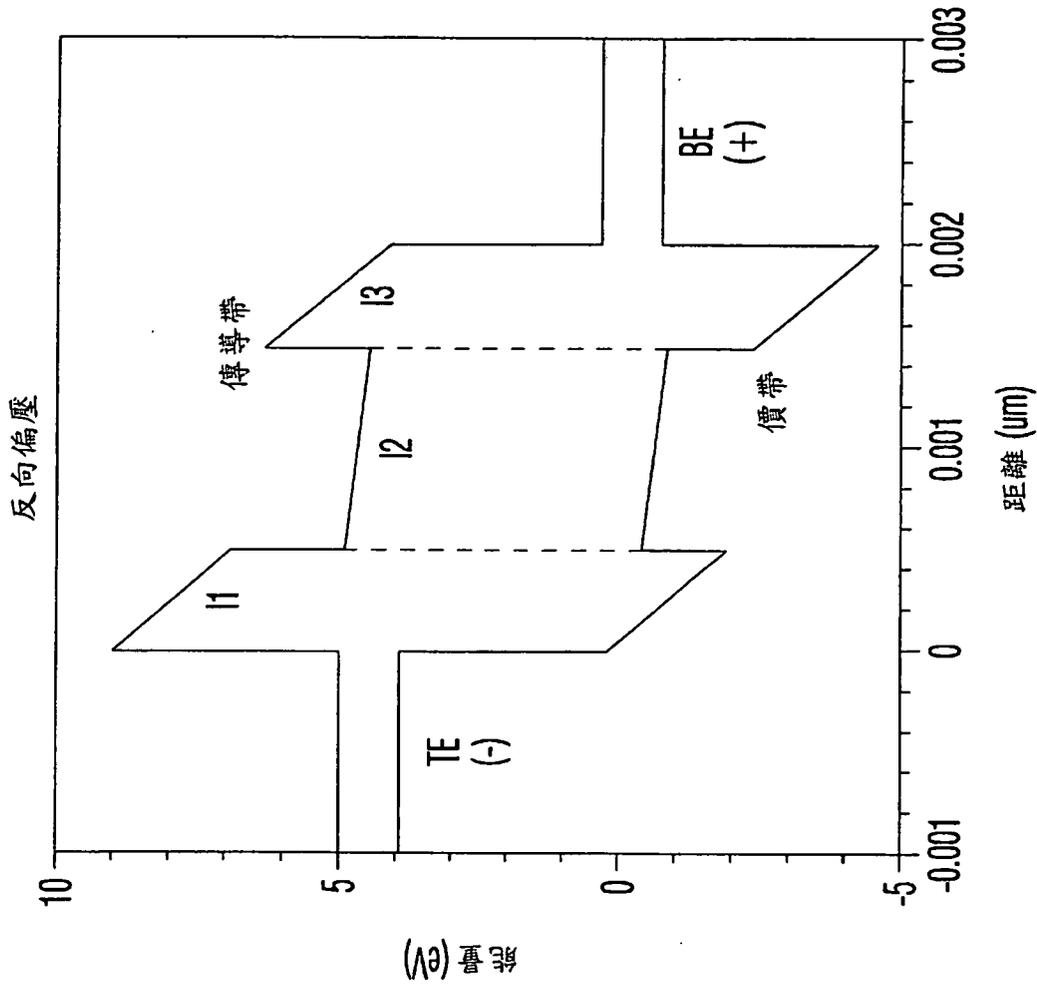


圖5A

560 →

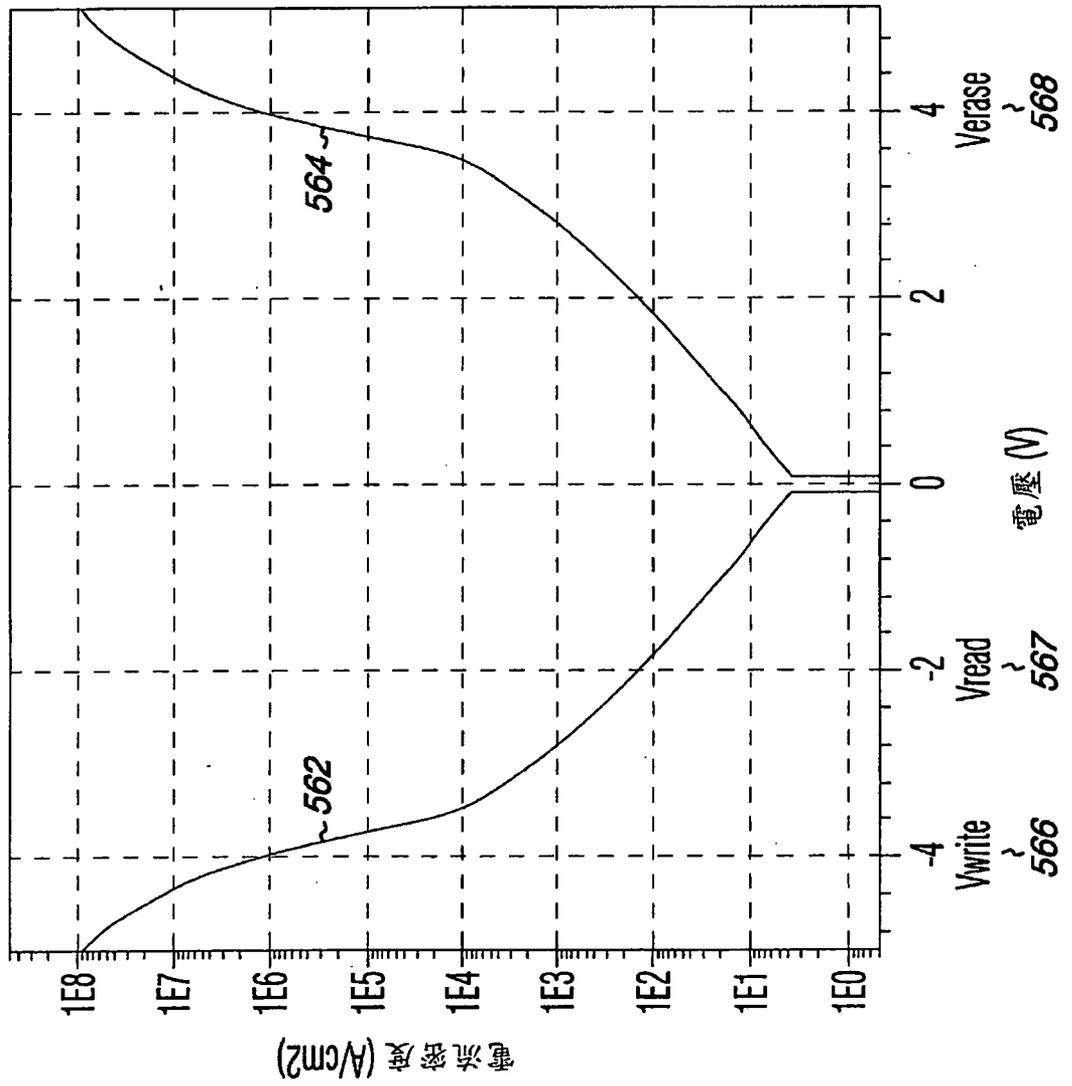


圖5B