



(12) 发明专利

(10) 授权公告号 CN 102257609 B

(45) 授权公告日 2014. 02. 12

(21) 申请号 200980150738. 3

(22) 申请日 2009. 11. 25

(30) 优先权数据

12/340, 202 2008. 12. 19 US

(85) PCT国际申请进入国家阶段日

2011. 06. 17

(86) PCT国际申请的申请数据

PCT/US2009/065905 2009. 11. 25

(87) PCT国际申请的公布数据

W02010/080229 EN 2010. 07. 15

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 L·Z·张 L·H·卡尔林

R·B·蒙特兹 朴佑泰

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

(51) Int. Cl.

H01L 21/76 (2006. 01)

B81B 7/00 (2006. 01)

(56) 对比文件

US 6170332 B1, 2001. 01. 09,

US 6960488 B2, 2005. 11. 01,

US 5580815 A, 1996. 12. 03,

US 2004/0099928 A1, 2004. 05. 27,

审查员 金政

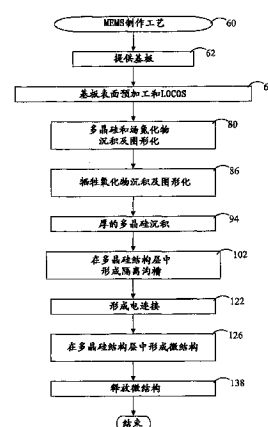
权利要求书2页 说明书8页 附图12页

(54) 发明名称

具有隔离的微结构的微机电器件及其生产方法

(57) 摘要

一种微机电系统 (MEMS) 器件 (20), 包括具有形成于其中并悬挂于基板 (22) 之上的可移动的微结构 (28) 的多晶硅结构层 (46)。隔离沟槽 (56) 延伸穿过层 (46) 使得微结构 (28) 横向紧固于隔离沟槽 (56)。牺牲层 (22) 形成于基板 (22) 之上, 以及结构层 (46) 形成于牺牲层 (22) 之上。隔离沟槽 (56) 通过蚀刻贯穿多晶硅结构层 (46) 并且将氮化物 (72) (例如富硅氮化物) 沉积于沟槽 (56) 内而形成。微结构 (28) 然后形成于结构层 (46) 内, 以及电连接 (30) 形成于隔离沟槽 (56) 之上。牺牲层 (22) 随后被去除以形成具有与基板 (22) 分隔开的隔离的微结构 (28) 的 MEMS 器件 (20)。



1. 一种用于生产微机械系统 MEMS 器件的方法, 该 MEMS 器件具有隔离的微结构, 该方法包括:

提供基板;

在所述基板之上形成牺牲层;

在所述牺牲层之上形成多晶硅结构层;

通过以下方式在所述多晶硅结构层内形成隔离沟槽: 蚀刻所述隔离沟槽贯穿所述多晶硅结构层, 并且将绝缘材料沉积于所述隔离沟槽内以在所述多晶硅结构层中形成横向紧固于所述隔离沟槽的隔离的微结构;

在所述隔离沟槽之上形成电连接; 以及

选择性地去除所述牺牲层使得所述 MEMS 器件的所述隔离的微结构与所述基板分隔开;

其中对所述隔离沟槽的所述蚀刻使下面的所述牺牲层的部分露出;

其中所述绝缘材料的所述沉积包括将绝缘膜沉积于所述隔离沟槽内, 所述绝缘膜衬于所述多晶硅结构层的侧壁以及下面的所述牺牲层的所露出的所述部分处以形成亚沟槽, 以及将所述绝缘材料沉积于所述亚沟槽内以填充所述亚沟槽;

其中所述绝缘材料的所述沉积还包括:

将掩模施加于所述多晶硅结构层的顶表面, 其中所述绝缘膜的所述沉积还将所述绝缘膜沉积于所述掩模之上;

将牺牲材料沉积于所述隔离沟槽内的所述绝缘膜之上以及位于所述掩模之上的所述绝缘膜上, 所述牺牲材料填充所述隔离沟槽;

使用第一蚀刻工艺从所述顶表面去除所述绝缘膜和所述牺牲材料; 以及

使用第二蚀刻工艺从所述隔离沟槽和所述掩模去除所述牺牲材料, 所述绝缘材料在所述亚沟槽中的所述沉积在所述牺牲材料的去除之后发生。

2. 根据权利要求 1 所述的方法, 其中所述绝缘材料是氮化物。

3. 根据权利要求 2 所述的方法, 其中所述氮化物是富硅氮化物。

4. 根据权利要求 3 所述的方法, 其中所述富硅氮化物展示出在 $2 \sim 2.5$ 的范围内的折射率。

5. 根据权利要求 1 所述的方法, 其中所述第一蚀刻工艺包括执行反应离子蚀刻。

6. 根据权利要求 1 所述的方法, 其中所述第二蚀刻工艺包括执行缓冲氧化物蚀刻。

7. 根据权利要求 1 所述的方法, 其中:

所述绝缘材料在所述亚沟槽中的所述沉积同时将所述绝缘材料沉积于所述多晶硅结构层的顶表面上; 并且

所述电连接的所述形成包括:

根据蚀刻图形从所述多晶硅结构层的所述顶表面上选择性地去除所述绝缘材料的一部分以使所述顶表面的互连区域露出;

在所述顶表面上的所述互连区域以及所述绝缘材料的剩余部分之上沉积导电层; 以及选择性地去除所述导电层以在所述隔离沟槽之上形成所述电连接。

8. 根据权利要求 1 所述的方法, 还包括: 图形化和蚀刻所述多晶硅结构层以界定将响应于所述去除操作而被释放的梁, 所述梁形成所述隔离的微结构中的可移动悬吊的微结

构。

9. 根据权利要求 8 所述的方法,其中所述图形化和蚀刻在所述电连接的所述形成之后发生。

10. 根据权利要求 8 所述的方法,其中所述图形化和蚀刻使所述牺牲层露出。

11. 一种用于生产微机械系统 MEMS 器件的方法,该 MEMS 器件具有隔离的微结构,该方法包括:

提供基板;

在所述基板之上形成牺牲层;

在所述牺牲层之上形成多晶硅结构层;

通过以下方式在所述多晶硅结构层内形成隔离沟槽:蚀刻所述隔离沟槽贯穿所述多晶硅结构层以使下面的所述牺牲层的部分露出,以及将氮化物沉积于所述隔离沟槽内以在所述多晶硅结构层中形成横向紧固于所述隔离沟槽的隔离的微结构,所述氮化物的所述沉积包括:

将氮化物膜沉积于所述隔离沟槽内,所述氮化物膜衬于所述多晶硅结构层的侧壁以及下面的所述牺牲层的所露出的所述部分处以形成亚沟槽;以及

将所述氮化物沉积于所述亚沟槽内以填充所述亚沟槽;

在所述隔离沟槽之上形成电连接;以及

选择性地去除所述牺牲层使得所述 MEMS 器件的所述隔离的微结构与所述基板分隔开;

其中所述氮化物的所述沉积还包括:

将掩模施加于所述多晶硅结构层的顶表面,其中所述氮化物膜的所述沉积同时将所述氮化物膜沉积于所述掩模之上;

将牺牲材料沉积于在所述隔离沟槽内的所述氮化物膜之上以及在位于掩模之上的所述氮化物膜上,所述牺牲材料填充所述隔离沟槽;

使用第一蚀刻工艺从所述顶表面去除所述氮化物膜和所述牺牲材料;以及

使用第二蚀刻工艺从所述隔离沟槽和所述掩模去除所述牺牲材料,所述氮化物在所述亚沟槽中的所述沉积在所述牺牲材料的去除之后发生。

12. 根据权利要求 11 所述的方法,其中所述氮化物是展示出在 $2 \sim 2.5$ 的范围内的折射率的富硅氮化物。

13. 根据权利要求 11 所述的方法,其中:

所述氮化物在所述亚沟槽中的所述沉积同时将所述氮化物沉积于所述多晶硅结构层的顶表面上;并且

所述电连接的所述形成包括:

根据蚀刻图形从所述多晶硅结构层的所述顶表面上选择性地去除所述氮化物的一部分以使所述顶表面的互连区域露出;

在所述顶表面上的所述互连区域以及所述氮化物的剩余部分之上沉积导电层;以及

选择性地去除所述导电层以将所述电连接形成于所述隔离沟槽之上。

14. 根据权利要求 11 所述的方法,还包括图形化和蚀刻所述多晶硅结构层以界定将响应于所述去除操作而被释放的梁,所述梁形成所述隔离的微结构中的可移动悬吊的微结构。

具有隔离的微结构的微机电器件及其生产方法

技术领域

[0001] 本发明一般地涉及微机电系统 (MEMS) 器件。更具体地,本发明涉及生产具有隔离的微结构的 MEMS 器件以及高宽比高的表面微机械加工。

背景技术

[0002] 微机电系统 (MEMS) 指的是将微机械结构 (以下称为微结构) 和微电子电路集成于同一基板上以制造集成器件的技术。MEMS 器件被使用于例如压力感测、加速度感测、惯性感测、开关、电动机等中。在微电子电路使用集成电路 (IC) 工艺顺序 (例如, CMOS、双极 (Bipolar) 或 BICMOS 工艺) 来制作时,微结构使用相容的“微机械加工”工艺来制作。

[0003] 用于实现 MEMS 技术的材料和制作工艺的选择取决于所制造的器件以及器件将要在其中操作的市场部门。例如,可以用于制作微结构的典型的微机械加工工艺包括表面微机械加工和体微机械加工。在表面微机械加工中, MEMS 器件通过将牺牲层沉积于基板之上来制作。作为结构微机械材料的多晶硅层然后被沉积于牺牲层之上并且被蚀刻以产生对于特定的微结构所期望的形状。然后可以蚀刻位于多晶硅之下的牺牲材料层以拓开在微结构的移动部分之间的通道或间隙。因而,表面微机械加工基于不同的结构层在基板之上的沉积及其蚀刻。相对照地,体微机械加工通过直接选择性地蚀刻到硅晶片之内以从单晶硅自身生产出机械微结构的方式来界定结构。

[0004] 常规的 MEMS 电容传感器操作使得柔性安装的振动质量 (也称为检测质量) 在至少一个方向上可因所感测的性质 (例如, 加速度) 而偏转。检测质量的偏转引起与它连接的差分电路的电容的变化。该电容变化是所感测性质的度量。机械微结构的高宽比是其高度相对其横向宽度之比。高宽比高的微结构能够在 MEMS 电容传感器件中有利地提供传感电容增加及横轴灵敏度降低的好处。

[0005] 体微机械加工工艺可以被用来生产这些高宽比高的微结构。但是,体微机械加工趋向于比表面微机械加工受到更多的限制并且成本更高。

[0006] 在表面微机械加工中,多晶硅堆积层的使用增加了用于集成复杂的、可移动的微结构特征的设计自由度。相对于体微机械加工,设计自由度包括能够实现的更多的可能的层。但是,多晶硅堆积层会由于残余应力而厚度受限,从而使薄膜层可弯曲到制作平面之外。应力可以引起裂纹、分层和空洞。另外,应力导致热膨胀系数的失配以及非均匀的变形。因而,应力可以降低元件的寿命并且可以在正常操作期间引起故障。因此,要使用表面微机械加工工艺来实现所期望的高的高宽比是困难的。

[0007] 随着微机械加工的器件的复杂度增加,提高它们的电灵活性 (electrical flexibility) 变得愈加重要。一种提高电灵活性的途径是提供在机械上仍然是单片的各个微结构元件之间的电隔离以及提供与微电子电路的电隔离以便增强 MEMS 器件的性能。在体微机械加工中,电隔离已经通过由绝缘介电层分离导电金属层以及通过实现使横向相邻的微结构分离的沟槽隔离结构来完成。但是,在体微机械加工工艺中实现的电隔离技术无法在表面微机械加工工艺中容易地实现。

附图说明

[0008] 通过在参看详细的描述和权利要求书时结合附图来考虑可以获得对本发明更全面的理解,在附图中相似的附图标记指的是全部附图中相似的项,并且:

[0009] 图 1 示出了布置于基板上的微机电系统 (MEMS) 器件的框图;

[0010] 图 2 示出了可以包含于 MEMS 器件中的多个微结构中的一部分的透视图;

[0011] 图 3 示出了用于生产 MEMS 器件的制作工艺的流程图;以及

[0012] 图 4- 图 26 示出了说明图 3 的制作工艺的操作的示意性截面图。

具体实施方式

[0013] 本发明的实施例引出包括多个隔离的微机械结构(在此称为微结构)的微机电 (MEMS) 器件以及用于生产 MEMS 器件的方法。该方法利用表面微机械加工工艺来生产微结构的高宽比高的多晶硅结构层。隔离沟槽在微结构之间形成以提供横向的电隔离和机械应力隔离,从而显著减小由温度系数失配及基板扭曲或弯曲所引起的电容偏移。而且,该方法的实现产生了高性能且低成本的 MEMS 器件架构。

[0014] 图 1 示出了在一种示例性的实施例中布置于基板 22 上的微机电系统 (MEMS) 器件 20 的框图。MEMS 器件 20 包括布置于基板 22(例如,硅基板)上的结构区 24 和电路区 26。

[0015] 结构区 24 包括机械加工的微机械结构,例如,标记为 M1、M2、M3、M4 的微结构 28。电路区 26 可以包括数据处理元件和接口电路。数据处理元件可以处理并分析由微结构 28(例如,换能器(transducer))产生的信息,和/或控制或监控微结构 28。接口电路可以将来自微结构 28 和/或数据处理元件的信息提供给外部器件(没有示出)。电路区 26 没有详细地示出,因为它的电路将取决于器件的用途。也就是说,电路将取决于 MEMS 器件 20 是角加速度计、陀螺仪、线性加速度计、开关、微致动器等中的哪一种。

[0016] 电路区 26 的数据处理元件和/或接口电路可以集成于基板 22 上。由此, MEMS 器件 20 可以是包括结构区 24 的微结构 28 以及电路区 26 的数据处理元件和/或接口电路的整体结构。但是,替代地,电路区 26 的数据处理单元和/或接口电路可以布置于分离的、分立的基板上,该基板可以在制作之后与基板 22 接合。

[0017] 在结构区 24 内的微结构 28 可以通过导电连接 30 与电路区 26 电连接。微结构 28 中的特定的一些可以另外通过电连接 30 相互电连接,这将在下面讨论。电连接 30 可以由多晶硅或金属(例如铝、铜或钨)形成。虽然在此仅示出四个微结构 28(M1、M2、M3、M4),但是应当理解, MEMS 器件 20 可以根据器件的用途包含任意数量的微结构 28。

[0018] 图 2 示出了可以包含于 MEMS 器件 20 的结构区 24 内的多个微结构 28 中的一部分的透视图。所示出的 MEMS 器件 20 是线性加速度计。但是,本发明的原理可应用于许多其他 MEMS 器件,例如角加速度计、陀螺仪、微致动器、压力传感器、开关等。

[0019] 在一个实施例中, MEMS 器件 20 包括通过挠性部分 (flexure)(没有示出)紧固于基板 22 的检测质量 32。如同本领域中所已知的,挠性部分被设计成悬吊与下面的基板 22 分隔开的检测质量 32 并且允许检测质量 32 沿着由箭头 34 表示的基本上平行于基板 22 的表面的 X 轴移动。多个可移动梁 36,有时称为可移动电极指 (electrode finger),从检测质量 32 突出,基本上平行于由箭头 38 表示的 Y 轴。多个固定梁 40,也称为固定电极指,从

固定的框架 42 伸出并且紧固于布置于基板 22 上的嵌入式电连接（不可见）。固定梁 40 可以是激励 / 驱动电极并且基本上平行于 Y 轴 38 向内突出。由此，每个可移动梁 36 被放置于一对固定梁 40 之间。

[0020] 具有可移动梁 36 的检测质量 32 以及具有固定梁 40 的固定框架 42 形成于多晶硅结构层 46 中。多晶硅结构层 46（因此微结构 28）展示出高度 48。在一个实施例中，高度 48 可以是大约 25 微米。但是，优选的高度 48 由应用和所期望的灵敏度来确定。另外，梁 36 和 40 展示出宽度 50，并且在可移动梁 36 和固定梁 40 之间的间隙展示出宽度 52。宽度 50 和 52 可以小于 5 微米，例如，大约 2 微米。同样，优选的宽度 50 和 52 由应用和所期望的灵敏度来确定。

[0021] 当宽度 50 为大约 2 微米时，在该示例性实施例中梁 36 和 40 具有 12 : 1 的高的高宽比（高度 48 与宽度 50 之比）。类似地，当宽度 52 为大约 2 微米时，在可移动梁 36 和固定梁 40 之间的间隙具有 12 : 1 的高的高宽比（高度与宽度 52 之比）。

[0022] 高的高宽比使在梁 36 和 40 之间的表面面积得以增大，并且因此得到较大的传感电容。所增加的传感电容还提供了增大的信噪比。另外，微结构 28 的高的垂直高宽比产生相对较大的质量和较大的转动惯量，并且因此产生降低的热噪声。而且，高的垂直高宽比产生相对于由箭头 54 表示的 Z 轴更刚性的微结构 28，并且因而不大可能移动到制作平面之外。

[0023] 在一个实施例中，检测质量 32 包括延伸贯穿多晶硅结构层 46 的高度 48 的隔离沟槽 56。检测质量 32 的横向紧固于至少一个隔离沟槽 56 的部分以及从检测质量 32 的该部分伸出的相应那个可移动梁 36 形成一个微结构 28。隔离沟槽 56 被用绝缘材料填充。在一个实施例中，该绝缘材料是氮化物，例如氮化硅。因此，绝缘沟槽 56 与微结构 28 相互电隔离。而且，隔离沟槽 56 提供了在横向相邻的微结构之间的机械应力隔离，这将在下面更详细地讨论。

[0024] 另外，隔离沟槽 56 可以提供桥来支撑在一些微结构 28 之间以及与电路区 26（图 1）的电接触（例如，电连接 30）。举例来说，标记为 M1 的第一个微结构 28 经由电连接 30 与标记为 M3 的另一个微结构 28 电连接。更具体地，导电通路由经由接触区 55 和 57、穿过第一微结构 28（M1）的多晶硅结构层 46 以及第二微结构 28（M3）的多晶硅结构层 46 的电连接 30 来提供。例如，电流从微结构 28（M1）流过接触区 55，流过电连接 30，返回流过接触 57，流过微结构 28（M3）等。但是，标记为 M2 和 M4 的微结构 28 由隔离沟槽 56 以及夹在微结构 28（M2 和 M4）及电连接 30 之间的绝缘层 59 与导电通路隔离。

[0025] 图 3 示出了用于生产 MEMS 器件 20 的制作工艺 60 的流程图。制作工艺 60 利用表面微机械加工技术以生产具有隔离的微结构 28 的高宽比高的 MEMS 器件 20。图 4-26 示出了说明图 3 的制作工艺的操作的示意性截面图。制作工艺 60 的操作将结合图 4-26 来讨论。由此，在关于制作工艺 60 的操作的全部讨论中，将参考图 4-26 中特定的那些图。

[0026] 虽然本发明的许多变化都是可能的，但是在图 4-26 中示出了基本的工艺，其中图 4-26 仅示出几个制作于基板 22 上的具有梁（即，可移动梁 36（图 2））的隔离的微结构 28。但是，应当理解，整个 MEMS 器件 20 的结构区 24 可以根据器件的功能包括任意数量的与隔离沟槽 56 横向连接的此类微结构 28。

[0027] 制作工艺 60 从任务 62 开始。在任务 62，提供基板 22。在一个实施例中，基板 22

是硅晶片。但是,由于制作工艺 60 使用了其中微结构 28 被构造于基板之上而不是在它之内(例如在体微机械加工中)的表面微机械加工技术,因而基板的性质并不是那么关键的。因此,基板 22 可以替代地由成本较小的材料(例如玻璃或塑料)形成。制作工艺 60 的下列操作描述了用于为单个 MEMS 器件 20(图 1)制作结构区 24 的隔离的微结构 28 的操作。但是,根据制作工艺,多个包括结构区 24(图 1)和电路区 26(图 1)的 MEMS 器件 20 可以同时生产于基板 22 上。

[0028] 制作工艺 60 继续执行任务 64。在任务 64 中,执行基板 22 的表面预加工并且按常规执行硅的局部氧化(LOCOS)工艺。参考图 4-6,图 4-6 示出了在制作工艺 60 的任务 64 中发生的操作。图例 66 与图 4 相关联。

[0029] 图例 66 提供了图 1、2 和 4-26 使用的一系列特定的图案,用来表示在微结构 28 的制作中使用的各种材料。因而,第一图案 68 代表氧化物,例如二氧化硅。第二图案 70 代表多晶硅(通常称为多晶硅)。第三图案 72 代表氮化物,例如氮化硅或富硅氮化物。第四图案 74 代表导电材料(例如掺杂硅、掺杂锗,或者各种金属中的一种,即铝、铜、钼、钽、钛、镍、钨等)。因此,在一些实施例中,氧化物可以用二氧化硅来实现,并且氮化物可以用氮化硅或富硅氮化物来实现。为了描述的清晰起见,氧化物在下文中称为氧化物 68。类似地,氮化物在下文中称为氮化物 72。多晶硅在下文中称为多晶硅 70,导电材料在下文中称为导电材料 74。

[0030] 在图 4 中,制作从基板 22 的清理开始。然后,可以执行热氧化工艺以产生位于基板 22 之上的氧化物衬垫(没有示出)。该氧化物衬垫(也称为缓冲氧化物)是应力消除层并且可以具有大约 50 纳米的沉积厚度。然后,氮化物 72 可以沉积于基板 22 上。氮化物 72(例如氮化硅)可以使用低压化学气相沉积(LPCVD)或等离子体增强化学气相沉积(PECVD)沉积以在基板 22 之上提供厚度为例如大约 140 纳米的氮化物层。可以使用光刻将图形转移至氮化物 72 之上。然后使用例如反应离子蚀刻(RIE)将该图形蚀刻到氮化物 72 之内以产生氮化物掩模层 76。

[0031] 在图 5 中,执行热场氧化工艺以在基板 22 上产生氧化物 68 的场氧化物层 78。氧化物 68 的场氧化物层 78 可以具有大约 2000 ~ 3000 纳米的厚度。在场氧化物层 78 的生长期间,氮化物掩模层 76 被沿着场氧化物层 78 和氮化物掩模层 76 的接合处向上推。在图 6 中,执行氮化物剥离工艺以去除氮化物掩模层 76 的任意氮氧化物和氮化物 72 以在基板 22 上留下剩余的场氧化物层 78。场氧化物层 78 在基板 22 上形成浸渍绝缘隔层以限制构造于场氧化物层 78 上的有源器件之间的串扰。虽然在此讨论了热场氧化工艺,但是应当理解,在替代的实施例中可以使用其他工艺来产生场氧化物层 78。

[0032] 返回参考图 3,在任务 64 之后,执行任务 80。在任务 80 中,多晶硅层和氮化物层被沉积并被图形化。图 7-9 示出了在制作工艺 60 的任务 80 中发生的操作。在图 7 中,多晶硅 70 沉积于基板 22 和场氧化物层 78 之上。多晶硅 70 可以具有大约 300 ~ 500 纳米的沉积厚度。多晶硅 70 可以使用例如光刻工艺来图形化,以及使用例如反应离子蚀刻(RIE)来蚀刻,以产生图形化的多晶硅层 82。在一些实施例中,高电导率是多晶硅层 82 所期望的。因此,可以在整个表面区域上掺杂多晶硅层 82,或者可以另外使其高度导电。在图形化和蚀刻之后,多晶硅层 82 可以产生埋置的多晶硅导体区。

[0033] 在图 8 中,氮化物 72 沉积于多晶硅层 82 以及基板 22 和场氧化物层 78 的露出部

分之上。氮化物 72 可以具有大约 300 ~ 600 纳米的沉积厚度。在图 9 中,氮化物 72 使用例如光刻工艺来图形化,并且使用例如 RIE 来蚀刻,以产生图形化的氮化物层 84。氮化物层 84 使多晶硅层 82 的各个区相互绝缘。

[0034] 返回参考图 3,在任务 80 之后,执行任务 86。在任务 86 中,牺牲氧化物被沉积并被图形化。图 10 和 11 示出了在制作工艺 60 的任务 86 中发生的操作。在图 10 中,氧化物 68 沉积于场氧化物层 78、多晶硅层 82 和氮化物层 84 之上以形成牺牲氧化物层的第一部分 88。在一个实施例中,牺牲氧化物层的第一部分 88 可以使用例如已知的原硅酸四乙酯 (TEOS) 沉积工艺来形成。一旦沉积了,TEOS 就被容易地转换成二氧化硅,即,氧化物 68。牺牲氧化物层的第一部分 88 可以具有大约 900 纳米的沉积厚度。牺牲氧化物层的第一部分 88 的氧化物 68 然后可以使用例如光刻工艺来图形化,并且使用例如氧化物湿法蚀刻工艺来蚀刻。

[0035] 在图 11 中,另一层氧化物 68 沉积于牺牲氧化物层的第一部分 88 之上以形成牺牲氧化物层的第二部分 90。第二部分 90 可以使用 TEOS 沉积工艺来形成并且使用光刻和氧化物反应离子蚀刻 (RIE) 来图形化。牺牲氧化物层的第二部分 90 可以具有大约 1.65 微米 (1650 纳米) 的沉积厚度。第一部分 88 和第二部分 90 的组合形成了位于基板 22 之上的牺牲氧化物层 92。在所示出的实施例中,执行双层牺牲氧化物沉积工艺以实现令人满意的沉积控制。但是,该双层牺牲氧化物沉积工艺并不是必须的。在替代实施例中,牺牲氧化物层 92 可以使用单层沉积和图形化技术来形成。

[0036] 返回参考图 3,在任务 86 之后,执行任务 94。在任务 94 中,执行厚的多晶硅沉积。图 12 示出了在制作工艺 60 的任务 94 中发生的操作。在图 12 中,多晶硅 70 形成于之前堆积于基板 22 上的各个结构之上以形成多晶硅结构层 46。多晶硅结构层 46 可以使用用于厚膜沉积的各种已知的和即将出现的工艺形成。在一个示例中,可以将厚度为大约 100 ~ 300 纳米的多晶硅的起始层或籽晶层沉积于图 12 所示的结构表面之上。然后可以在另一个工艺步骤中将厚度为大约 22000 ~ 28000 纳米的厚硅层沉积于多晶硅的起始层之上。

[0037] 厚硅层沉积可以发生在常规的单晶片化学气相沉积 (CVD) 反应器中。该单晶片 CVD 反应器是用于沉积硅层的装置,该装置在半导体行业中典型地被用来生产在单晶硅基板上的单晶硅层。但是,在该示例性的实施例中,在单晶片 CVD 反应器中的沉积不发生于单晶硅的起始层上,而是发生于多晶体硅 (即,多晶硅) 的起始层上。由此,没有长出厚的单晶硅层,而是长出了厚的多晶体硅层,即,多晶硅结构层 46。在另一个示例中,导电多晶硅的籽晶层和导电的厚的多晶硅层在单晶片 CVD 反应器工艺中连续地处理。由于多晶硅结构层 46 在该沉积之后具有粗糙的表面,因而它随后使用例如化学机械抛光工艺来平面化。

[0038] CVD 的优点是材料的高生长率,这允许形成具有相当大的厚度的膜。例如,多晶硅结构层 46 在沉积之后可以具有大约 30 微米的沉积厚度。但是,在平面化之后,多晶硅结构层 46 可以展示出大约 25 微米的高度 48 (图 2)。但是,优选的高度 48 由应用和所期望的灵敏度来确定。

[0039] 图 12 还示出了虚线 100。虚线 100 画出了图 12 的结构中将在图 13-26 中为了图示的清晰起见而以放大的形式示出的那部分。

[0040] 返回参考图 3,在任务 94 之后,执行任务 102。在任务 102 中,根据本发明的实施例形成隔离沟槽 56 (图 2)。图 13-20 示出了在制作工艺 60 的任务 102 中发生的操作。

[0041] 在图 13 中,氧化物 68 被沉积于多晶硅结构层 46 的顶表面 103 之上并且被图形化以形成掩模 104。在一个实施例中,掩模 104 可以通过 TEOS 沉积工艺来形成,在该 TEOS 沉积工艺中 TEOS 被转换成氧化物以形成掩模 104。掩模 104 可以具有大约 630 纳米的沉积厚度。可以根据蚀刻图形来执行光刻工艺和氧化物 RIE 以在掩模 104 中产生开口 106,从而使多晶硅结构层 46 在开口 106 处露出。

[0042] 在图 14 中,隔离沟槽 56 穿过开口 106 形成于多晶硅结构层 46 内。在一个实施例中,沟槽 56 可以通过使用例如多晶硅深反应离子蚀刻 (DRIE) 来蚀刻穿过多晶硅结构层 46 而形成。DRIE 是用来在材料中产生具有 20 : 1 或更大的高宽比的深的、陡倾的孔和沟槽的高度各向异性的蚀刻工艺。与 RIE 在达 1 微米 / 分钟的速度下限制于大约 10 微米的蚀刻深度相比,DRIE 的蚀刻深度可以达 600 微米或更大,速度达 20 微米 / 分钟。多晶硅结构层 46 的整个厚度被蚀刻贯穿以使下面的牺牲层 92 的部分 108 露出并且在多晶硅结构层 46 中形成沟槽 56 的侧壁 109。

[0043] 在图 15 中,绝缘膜被沉积于沟槽 56 中并且位于氧化物掩模 104 之上。在一个实施例中,以氮化物膜 110 的形式的氮化物 72 可以使用低压化学气相沉积 (LPCVD) 工艺来沉积 (使用预沉积清理)。氮化物膜 110 覆盖沟槽 56 中的侧壁 109 以及下面的牺牲层 92 的部分 108。氮化物膜可以具有大约 600 纳米的沉积厚度以在每个沟槽 56 中形成亚沟槽 112 (即,较小的沟槽)。

[0044] 在图 16 中,牺牲氧化物填塞物 114 被沉积于每个亚沟槽 112 内。在一个实施例中,氧化物 68 可以通过亚大气 (压) 化学气相沉积 (SA CVD) 来沉积。氧化物 68 完全堆填了亚沟槽 112,并且同时将氧化物层 116 沉积于位于掩模 104 之上的氮化物膜 110 上。牺牲氧化物填塞物 114 保护衬于沟槽 56 内的氮化物膜 110 免受后面的工艺操作的影响。

[0045] 在图 17 中,执行氧化物 / 氮化物 RIE 回蚀工艺以从掩模 104 去除氧化物层 116 和氮化物膜 110。由此,只有牺牲填塞物 114 保留于亚沟槽 112 内以保护沟槽 56 中的氮化物膜 110。

[0046] 在图 18 中,使用缓冲氧化物蚀刻 (BOE) 来去除残余氧化物。BOE 是主要在蚀刻例如二氧化硅的薄膜时使用的湿法蚀刻剂。BOE 包括缓冲剂的混合物,例如氟化铵和氢氟酸。在混合物中包含缓冲剂使蚀刻更可控,使得在这种情况下于 BOE 期间不会损害氮化物膜 110 和多晶硅结构层 46。掩模 104 (示出于图 17 中) 被去除以使多晶硅结构层 46 的顶表面 103 露出。另外,通过缓冲氧化物蚀刻工艺,牺牲填塞物 114 (示出于图 17 中) 被从亚沟槽 112 去除。因而,牺牲填塞物 114 在各种蚀刻操作中保护氮化物膜 110 直到这些操作完成。随后,在多晶硅结构层 46 的顶表面 103 以及衬于沟槽 56 内的氮化物 110 两者都保持完整的情况下去除掩模 104 和牺牲填塞物 114。

[0047] 在图 19 中,氮化物填塞物 118 形成于亚沟槽 112 内并且氮化物绝缘层 59 形成于多晶硅结构层 46 的顶表面 103 上。也就是说,亚沟槽 112 被用氮化物 72 填充。同时,氮化物 72 沉积于多晶硅结构层 46 的顶表面 103 上。氮化物 72 在亚沟槽 112 内以及在顶表面 103 上的沉积可以使用 LPCVD 来执行,以完全填充亚沟槽 112 并且在顶表面 103 上形成沉积厚度为大约 600 纳米的氮化物绝缘层 59。

[0048] 在图 20 中,沉积于顶表面上的氮化物 72 使用例如光刻工艺来图形化,并且使用例如 RIE 来蚀刻,以在氮化物绝缘层 59 中产生图形。氮化物绝缘层 59 使多晶硅结构层 46 的

顶表面 103 的各个区域相互绝缘。另外,氮化物绝缘层 59 的蚀刻可以导致多晶硅结构层 46 的顶表面 103 的区域 120 暴露,该区域 120 将被用来根据 MEMS 器件 20(图 1)的特定设计和功能与电连接 30(图 2)互连。也就是说,顶表面 103 的区域 120 是导电材料 74(图 4)可以针对电连接 30 的接触区 55 和 57(图 2)而沉积于其上的互连区域。

[0049] 在一个实施例中,氮化物填充物 118 和氮化物绝缘层 59 由富硅氮化硅形成。在隔离沟槽 56 中的双氮化物沉积操作以及富硅氮化物的使用提供了几个优点。双氮化物沉积工艺使氮化物 72 的厚度能够更加受控,并且在氮化物绝缘层 59 中界定氮化物 72 的厚度。关于富硅氮化硅的使用,化学计量的氮化硅 (Si_3N_4) 经历强的张应力。这种张应力可以使厚于 200 纳米的氮化物膜产生裂纹。通过 LPCVD 沉积的富硅氮化物包含较多的硅和较少的氮。富硅氮化物是具有高折射率的低应力的非晶材料。在氮化物膜 110 和氮化物填充物 118 中使用富硅氮化物可以提供在横向相邻的微结构 28 之间的应力消除,并且提供比化学计量的氮化硅更好的与多晶硅结构层 46 的粘合。

[0050] 在一个实施例中,用于氮化物膜 110 和 / 或氮化物填充物 118 的富硅氮化物展示出 2 ~ 2.5 的折射率 (R)。材料的折射率是关于光 (或其他波,例如声波) 的速度在该材料之内降低多少的度量。就富硅氮化物而言,折射率通常随硅含量的增加而线性增大。由此,富硅氮化物的折射率可以被用作富硅氮化物的硅含量的指示。在小于 2 的折射率下,富硅氮化物会在其中含有不充足的硅而不能增强材料与多晶硅结构层 46 的粘合性质。相反地,增加富硅氮化物的硅含量以致折射率大于 2.5,这会不合乎需要地增加或增强富硅氮化物的电导率。因此,它在其能力内不应当被用作隔离沟槽 56 内的绝缘材料。因此,具有 2 ~ 2.5 的范围内的折射率的富硅氮化物可以产生具有所期望的粘合性质的材料,相对于化学计量的氮化硅 (Si_3N_4) 电导率增加可忽略。

[0051] 因此,使用具有 2 ~ 2.5 的折射率的富硅氮化物的双氮化物沉积工艺可以提供沉积厚度能够被容易地控制的绝缘材料。另外,使用富硅氮化物的双氮化物沉积工艺具有材料纹裂的较低可能性,并且具有与隔离沟槽 56 的多晶硅侧壁 109 更好的粘合。

[0052] 返回参考图 3,在任务 102 之后,执行任务 122。在任务 122 中,形成电接触,例如电连接 30(图 2)。图 21 和 22 示出了在制作工艺 60 的任务 122 中发生的操作。在图 21 中,导电材料 74 沉积于氮化物绝缘层 59 之上以及沉积于多晶硅结构层 46 的露出区域 120 之上。在一个实施例中,导电材料 74 可以具有大约 0.3 ~ 1.2 微米的沉积厚度。而且,如上所述,导电材料 74 可以是掺杂硅、掺杂锗,或各种金属 (即,铝、铜、钼、钽、钛、镍、钨) 之一,或者任意其他适合的导电材料。

[0053] 在图 22 中,导电材料 74 被图形化并被蚀刻以使结构化的导电材料层 124 保留下来。导电材料 74 可以使用例如光刻工艺来图形化,并且使用例如 RIE 来蚀刻,以产生结构化的导电材料层 124。结构化的导电材料层 124 可以根据 MEMS 器件 20(图 1)的特定设计和功能用来形成位于沟槽 56、绝缘层 59 和 / 或多晶硅结构层 46 的顶表面 103 之上的电接触 (例如,电连接 30)。

[0054] 返回参考图 3,在任务 122 之后,执行任务 126。在任务 126 中,微结构 28(图 2)的检测质量 32(图 2)和梁 36(图 2)形成于多晶硅结构层 46 内。图 23-25 示出了在制作工艺 60 的任务 126 中发生的操作。在图 23 中,氧化物 68 被沉积于多晶硅结构层 46 的顶表面 103 及结构化的材料层 124 之上以形成氧化物硬掩模 128。在一个实施例中,氧化物硬

掩模 128 可以使用原硅酸四乙酯 (TEOS) 沉积工艺来形成。氧化物硬掩模 128 可以具有大约 630 纳米的沉积厚度。

[0055] 在图 24 中,氧化物硬掩模 128 使用例如光刻工艺来图形化,并且使用例如氧化物 RIE 工艺来蚀刻。氧化物硬掩模 128 的蚀刻被执行以根据多晶硅结构层 46 的结构图形在氧化物硬掩模 128 中产生开口 130,从而使多晶硅结构层 46 在开口 130 处露出。另外,结构化的导电材料层 124 可以被修整蚀刻。也就是说,层 124 的一部分可以被修整并且与多晶硅结构层 46 的结构图形自对齐。

[0056] 在图 25 中,通道 134 通过开口 130 (图 24) 形成于多晶硅结构层 46 内。在一个实施例中,通道 134 可以通过使用例如多晶硅深反应离子蚀刻 (DRIE) 来蚀刻穿过多晶硅结构层 46 而形成。多晶硅结构层 46 的整个厚度被蚀刻贯穿以使下面的牺牲层 92 的部分 136 露出,并且根据结构图形在多晶硅结构层 46 中形成微结构 28 (图 2) 的检测质量 32 和梁 36。

[0057] 返回参考图 3,在任务 126 之后,执行任务 138。在任务 138 中,释放微结构 28 (图 2)。图 26 示出了在制作工艺 60 的任务 138 中发生的操作。在图 26 中,蚀刻被执行以去除牺牲氧化物层 92 和氧化物硬掩模 128,其中牺牲氧化物层 92 和氧化物硬掩模 128 二者被示出于图 25 中,但是在图 26 中不再看得见。在一个实施例中,可以执行气相蚀刻 (VPE) 工艺。气相蚀刻是其中要蚀刻的材料在与气体分子的化学反应中于其表面溶解的干蚀刻法。在该示例中,氟化氢 (HF) 气体可以被用来去除牺牲氧化物层 92 和氧化物硬掩模 128。在牺牲氧化物层 92 去除之后,微结构 28 被释放并且与基板 22 分隔开。因此,微结构 28 的检测质量 32 (图 2) 和梁 36 (图 2) 现在被可移动地悬吊着,如同在上面结合图 2 所讨论的,但是根据 MEMS 器件 20 的特定设计经由隔离沟槽 56 相互电隔离。

[0058] 在此所描述的实施例包括含有多个隔离的微结构的微机电 (MEMS) 器件以及用于生产包含多个隔离的微结构的 MEMS 器件的方法。该方法利用表面微机械加工工艺来生产多个微结构的高宽比高的多晶硅结构层。隔离沟槽通过选择性地蚀刻穿过多晶硅结构层被形成于多晶硅结构层中。双层沉积工艺被执行以将第一层氮化物沉积于沟槽中,随后以另一层氮化物回填沟槽。电连接形成于顶部导电层中。微结构形成于多晶硅结构层中,并且微结构随后通过蚀刻下面的牺牲层来释放。氮化物优选是用于提供在横向相邻的微结构之间的电隔离和机械应力隔离的富硅氮化物。另外,选择富硅氮化物使之具有用于与多晶硅结构层接合的所期望的粘合性质以及具有可忽略的电导率。而且,该方法可以容易地实现以产生高性能且低成本的 MEMS 器件架构。

[0059] 虽然已经例示并详细讨论了本发明的优选实施例,但是对本领域技术人员而言易于明白的是在不脱离本发明的精神或所附权利要求书的范围的情况下可以进行各种修改。

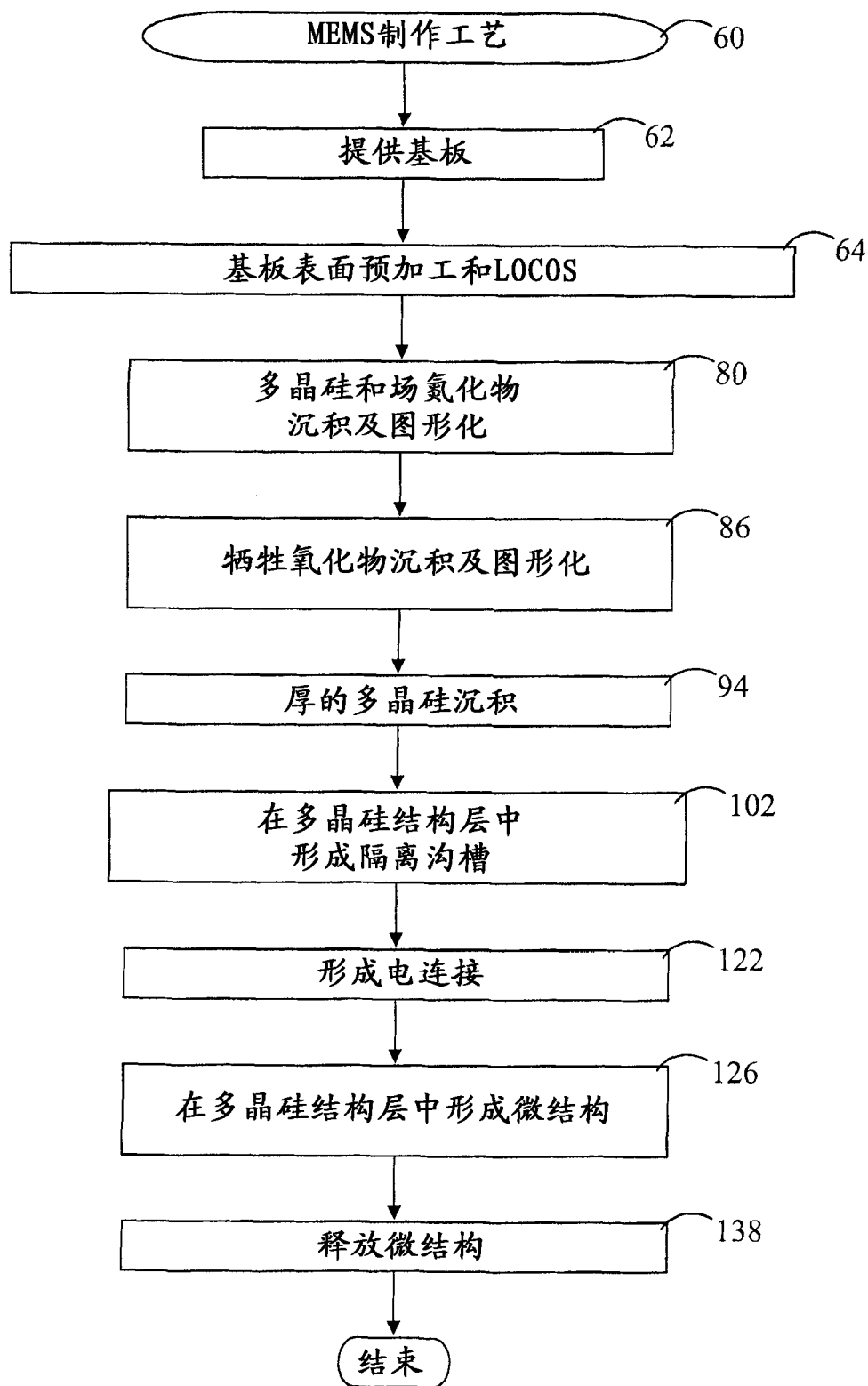


图 3

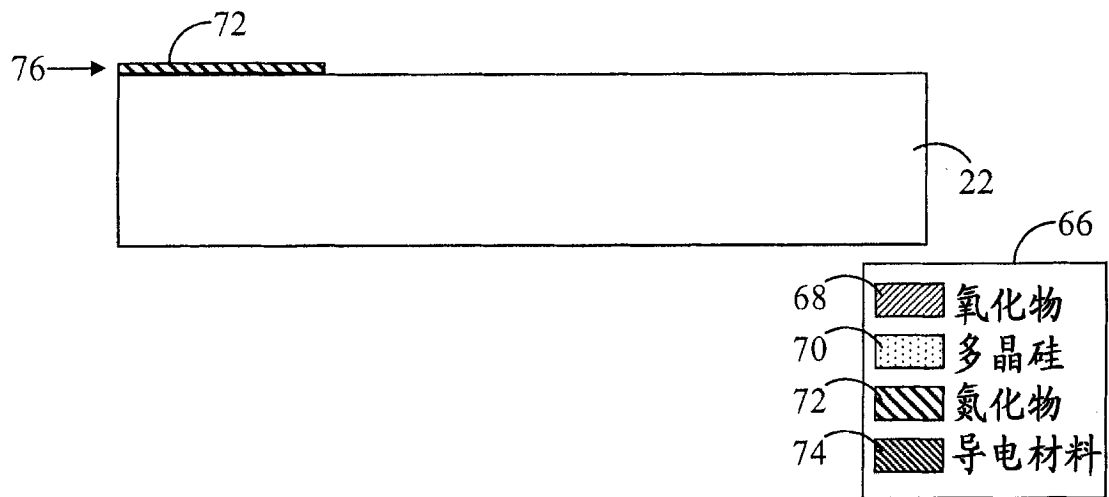


图 4

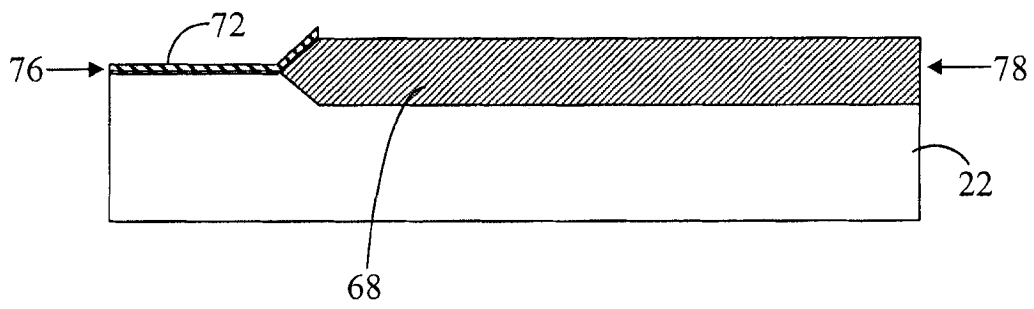


图 5

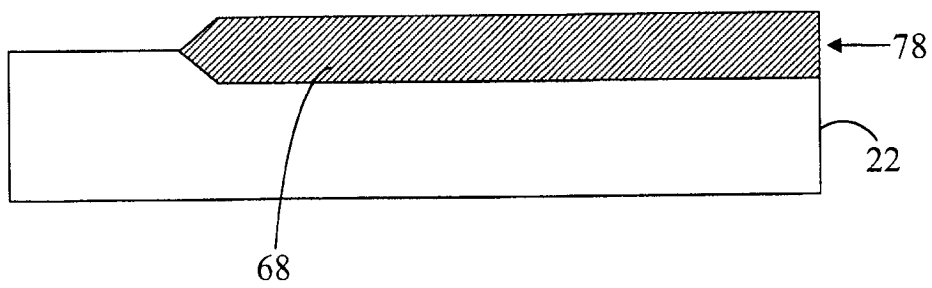


图 6

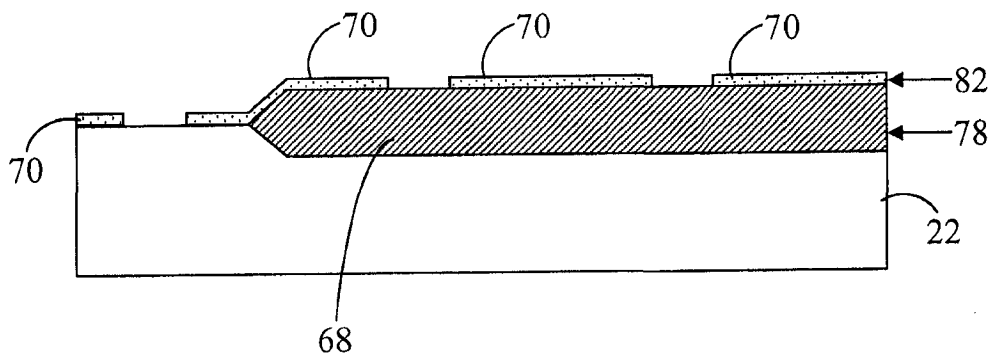


图 7

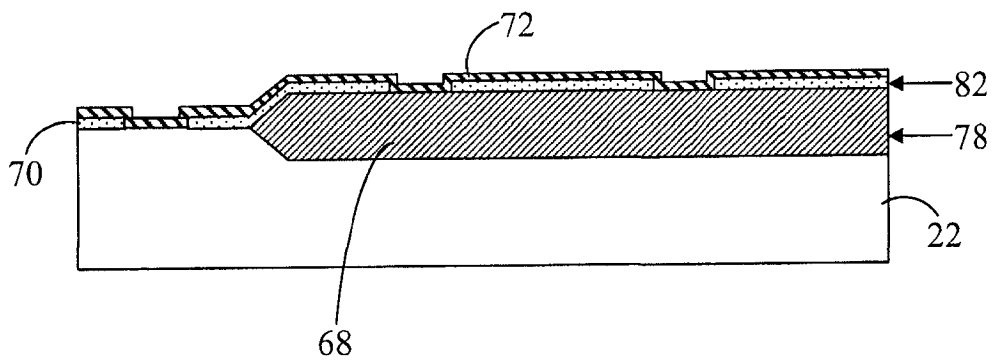


图 8

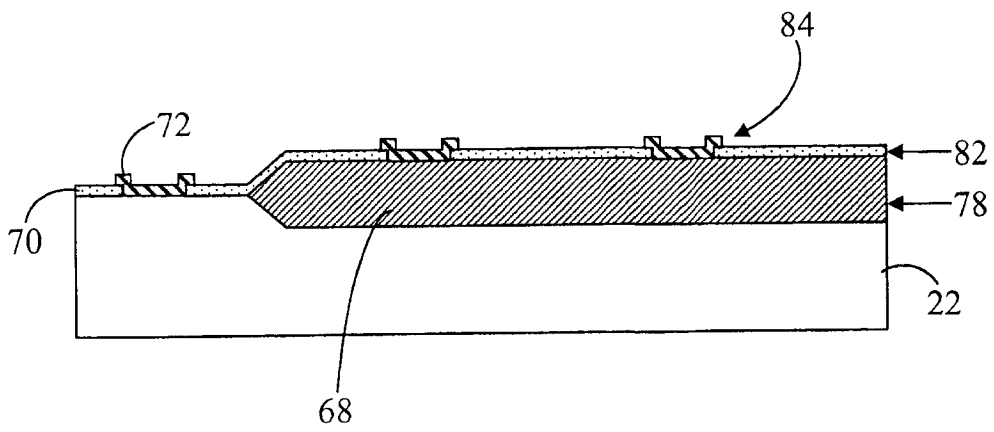


图 9

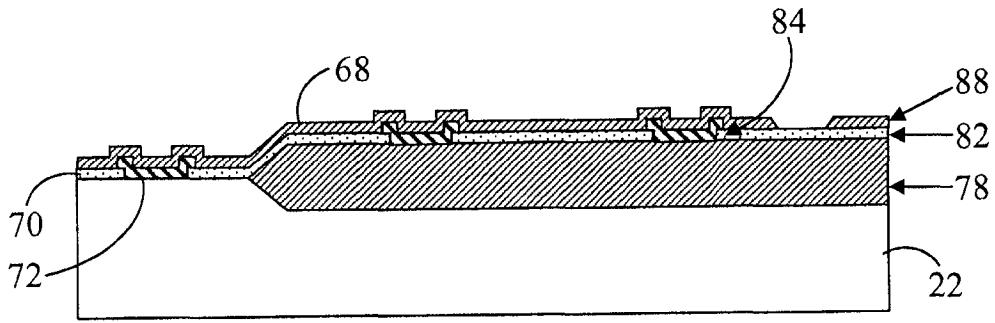


图 10

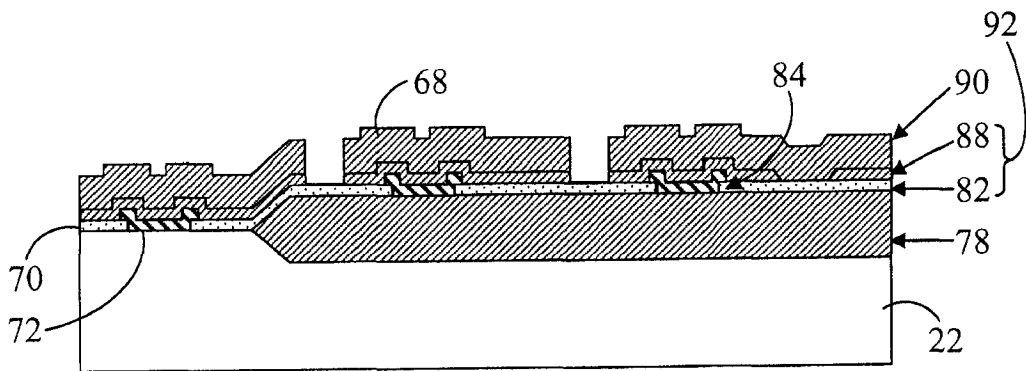


图 11

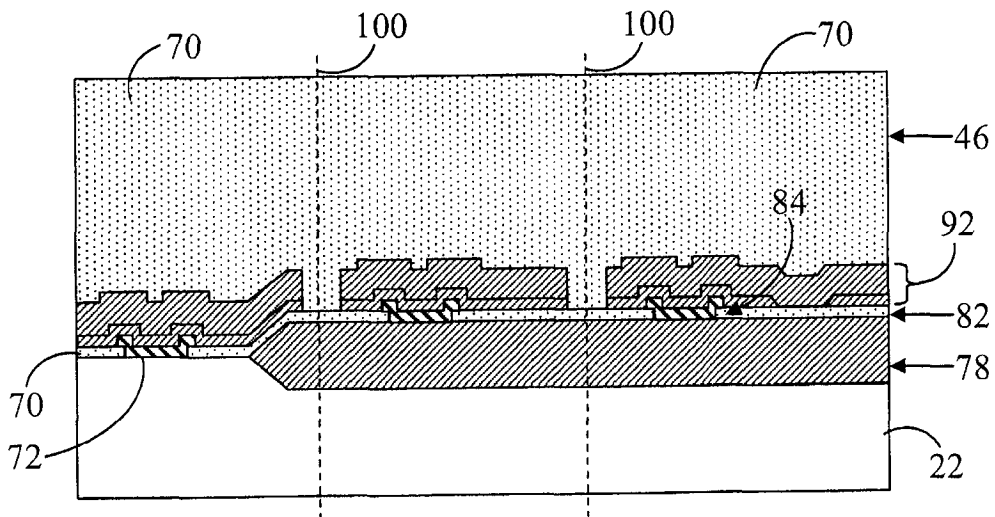


图 12

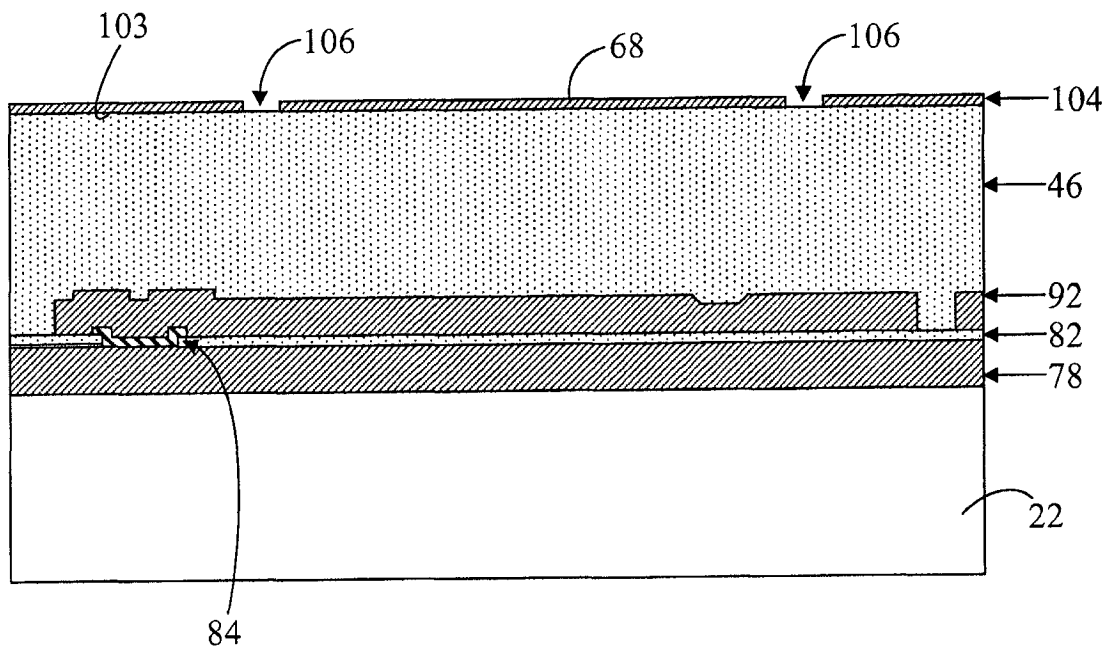


图 13

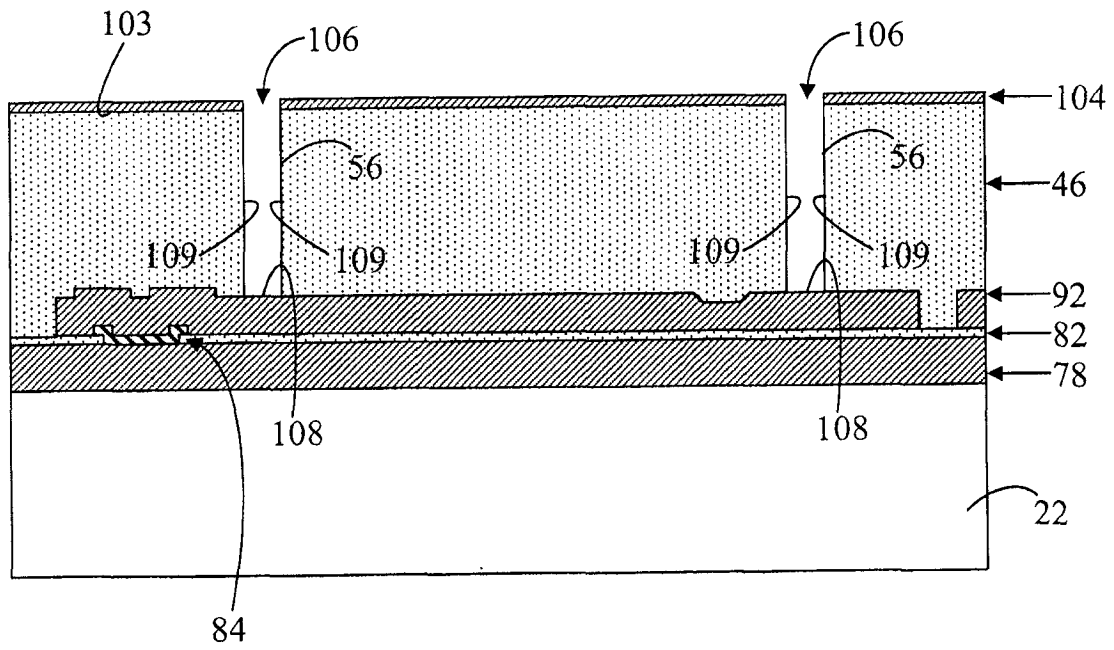


图 14

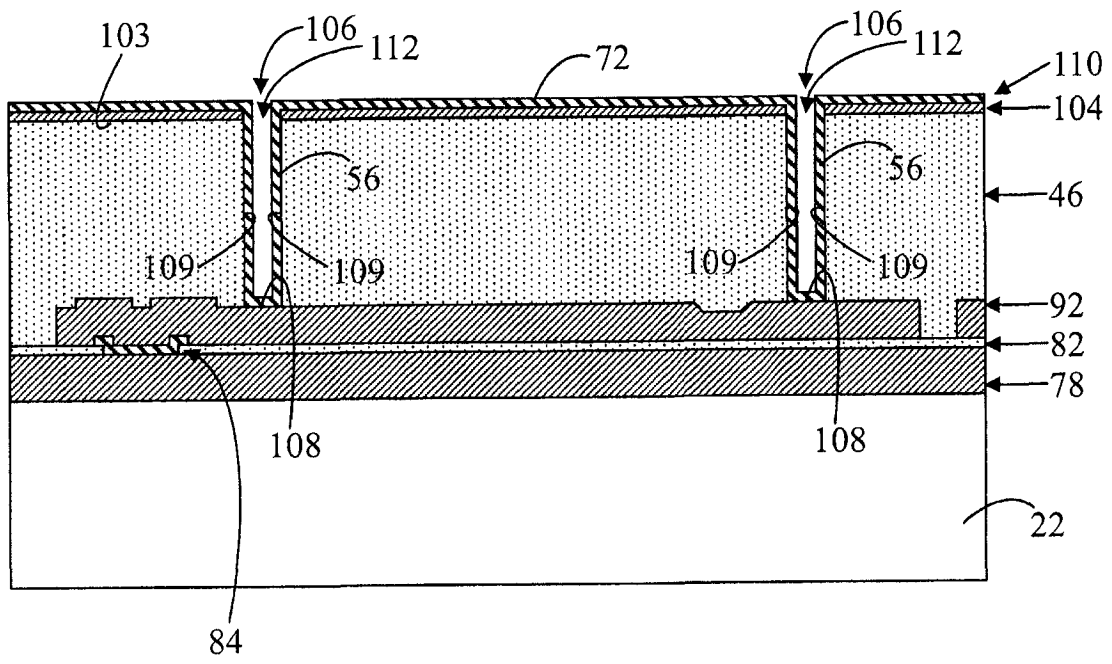


图 15

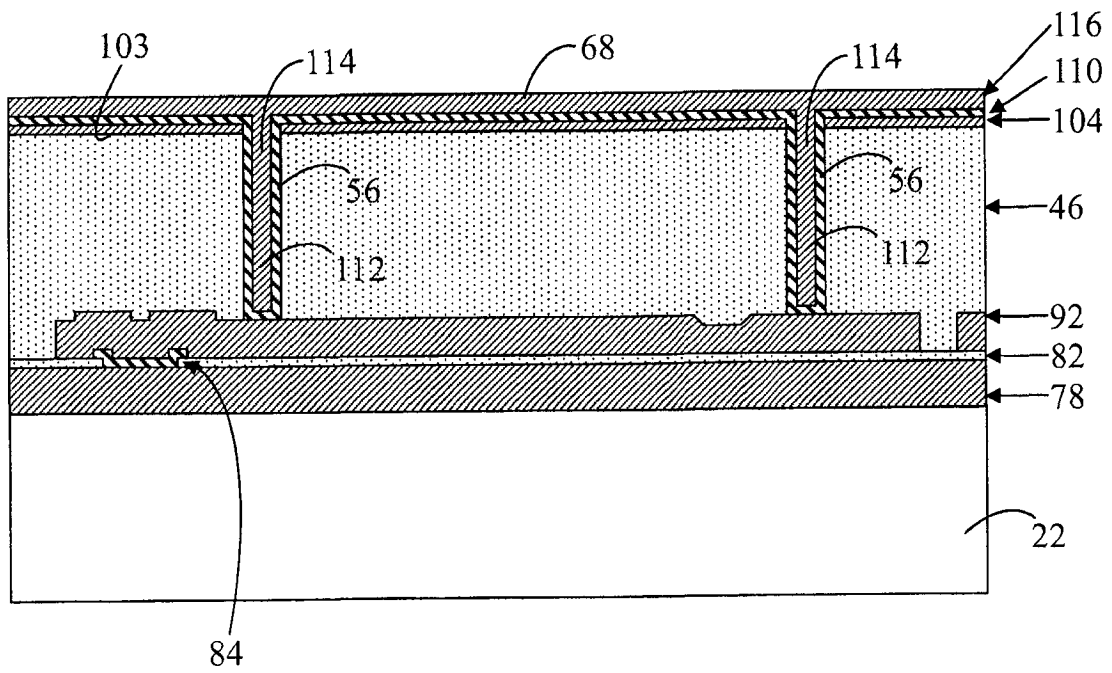


图 16

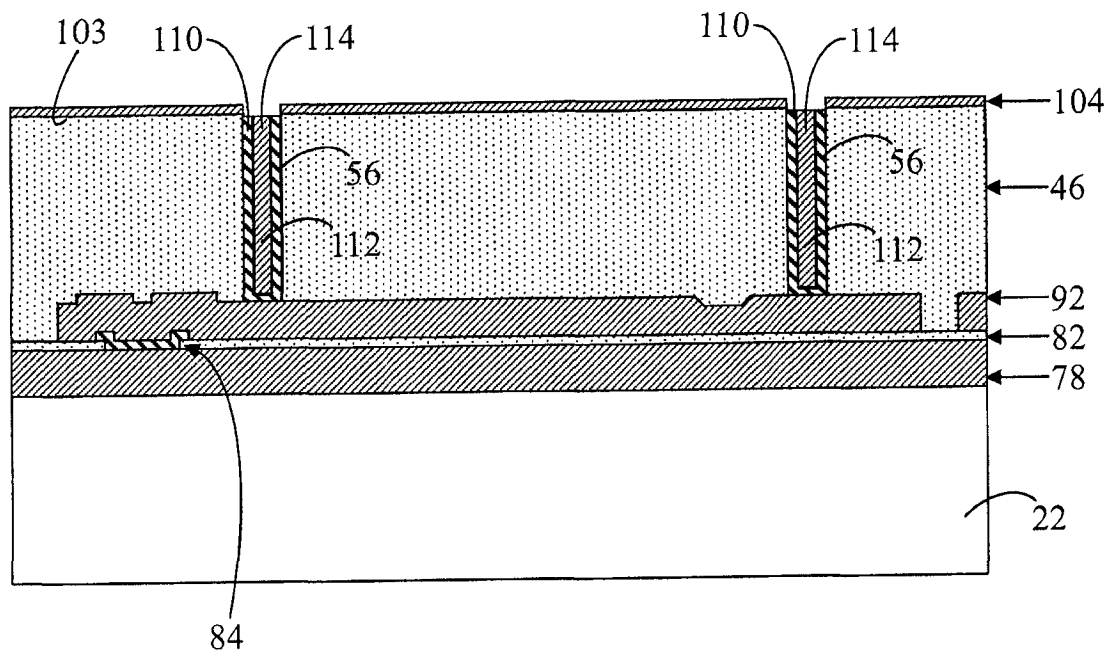


图 17

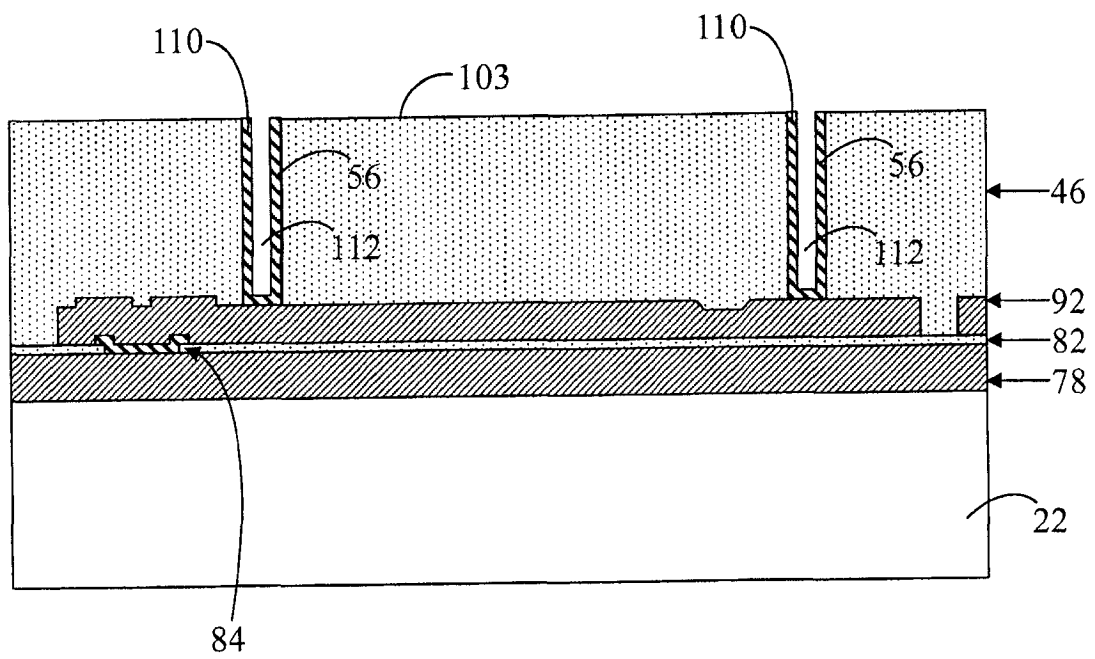


图 18

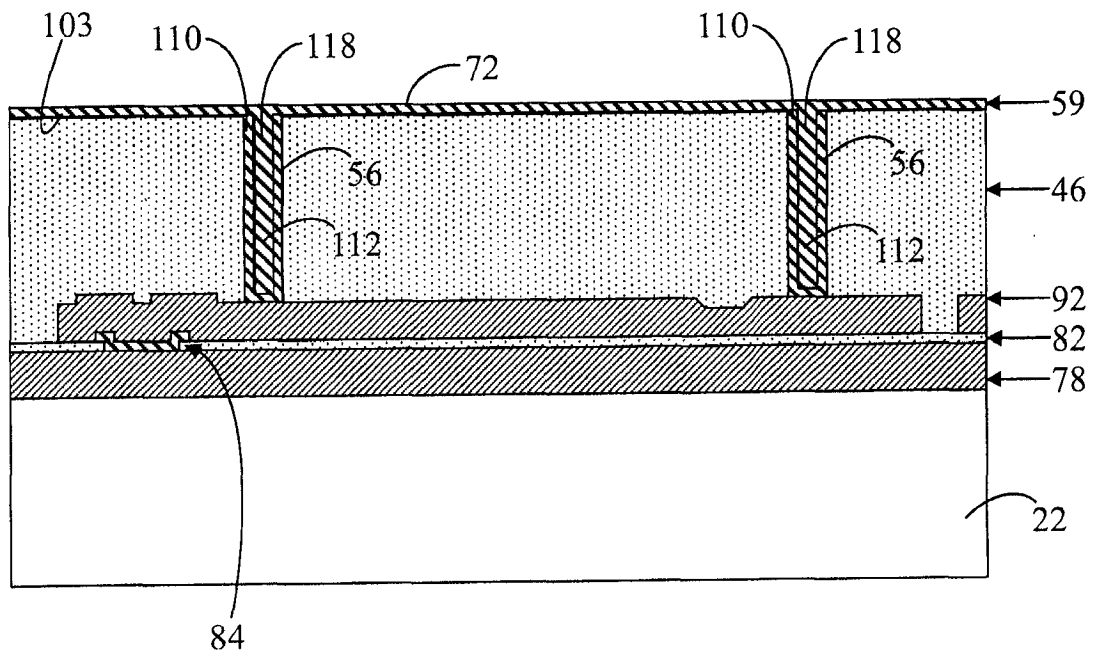


图 19

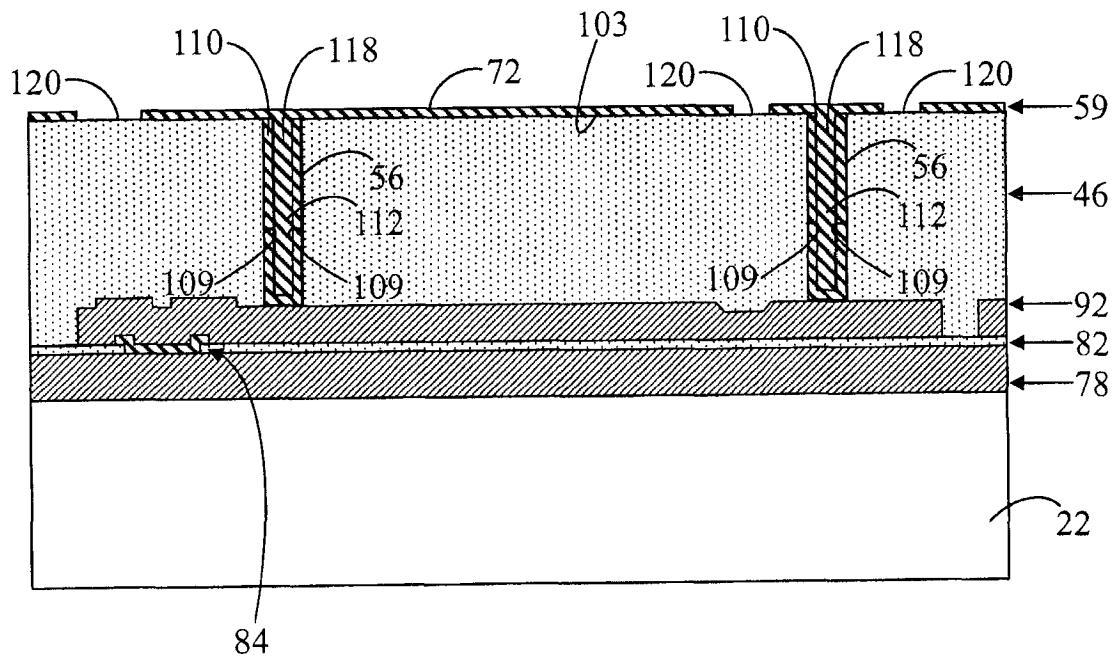


图 20

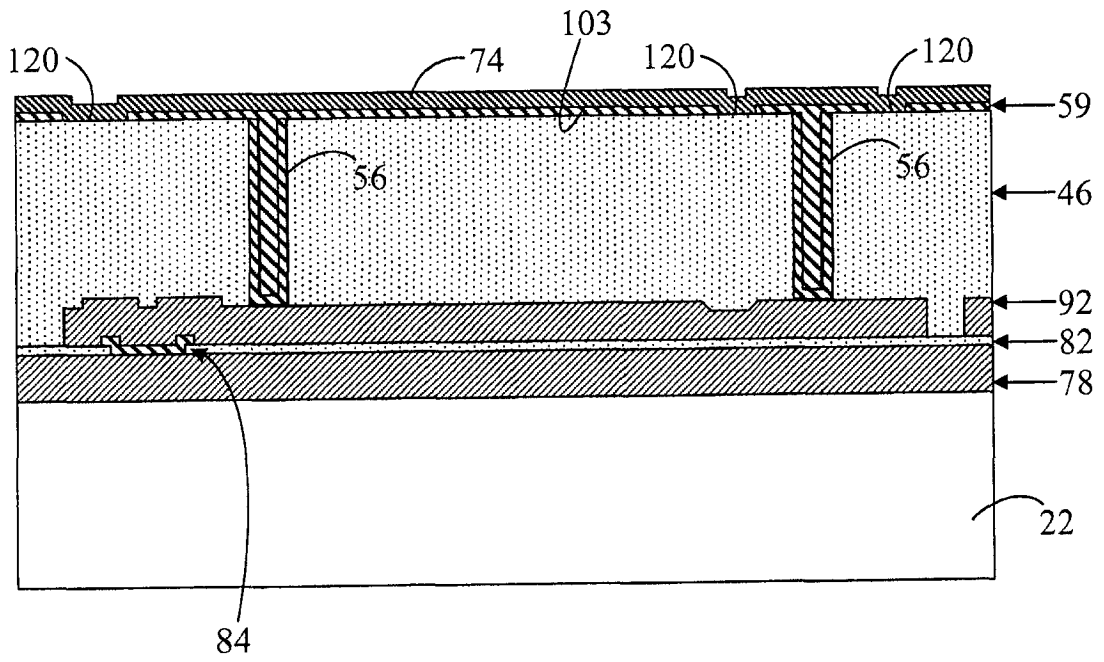


图 21

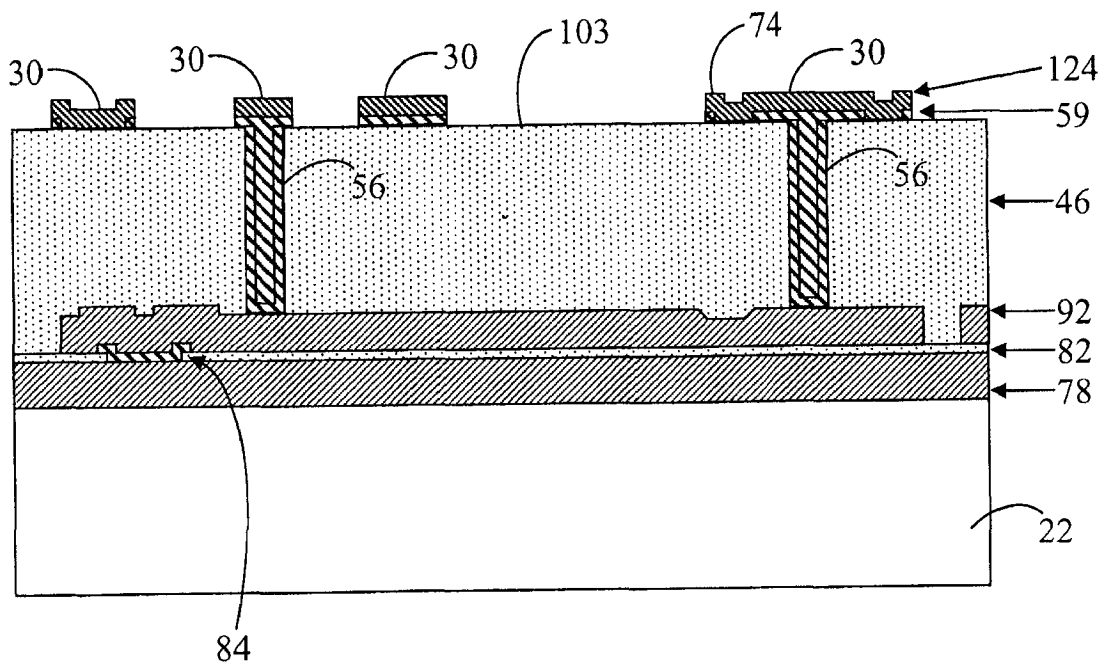


图 22

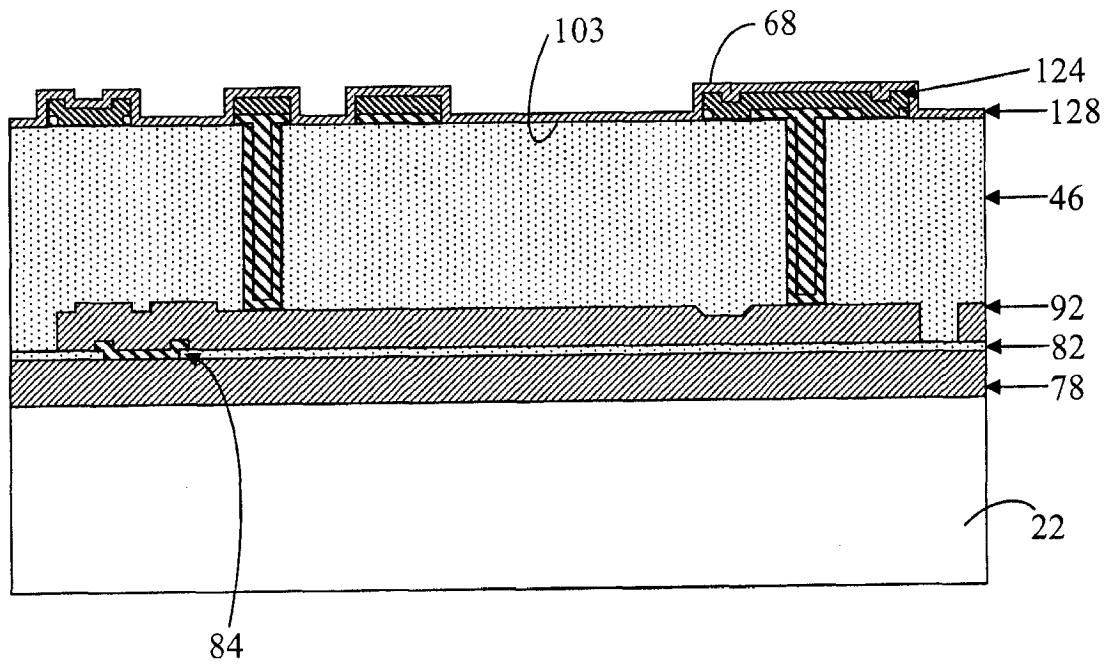


图 23

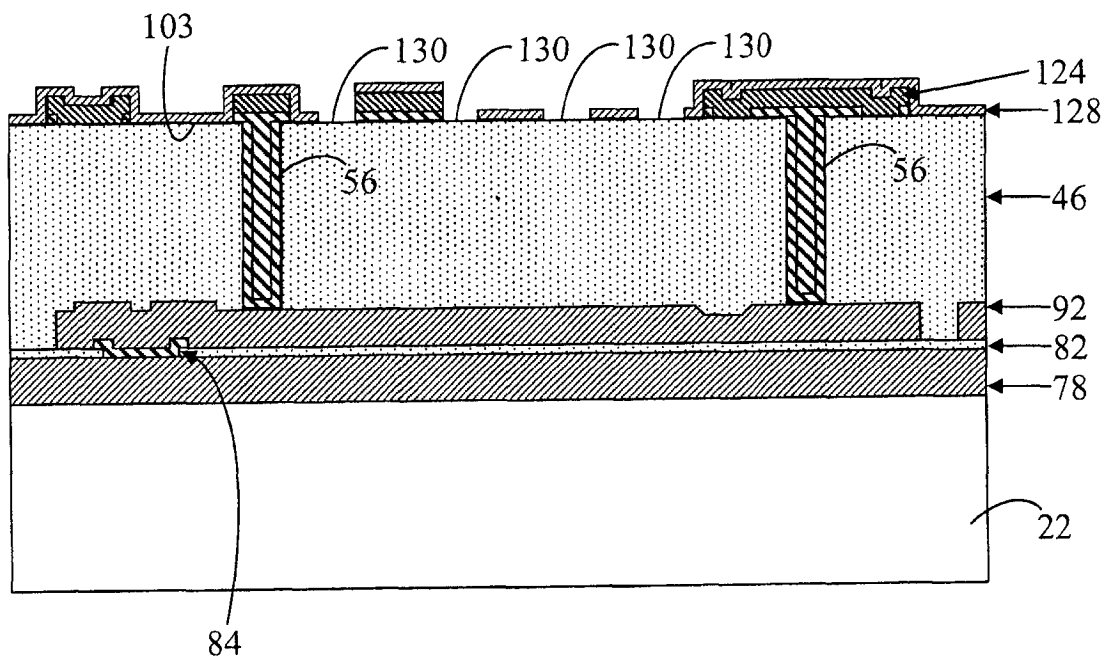


图 24

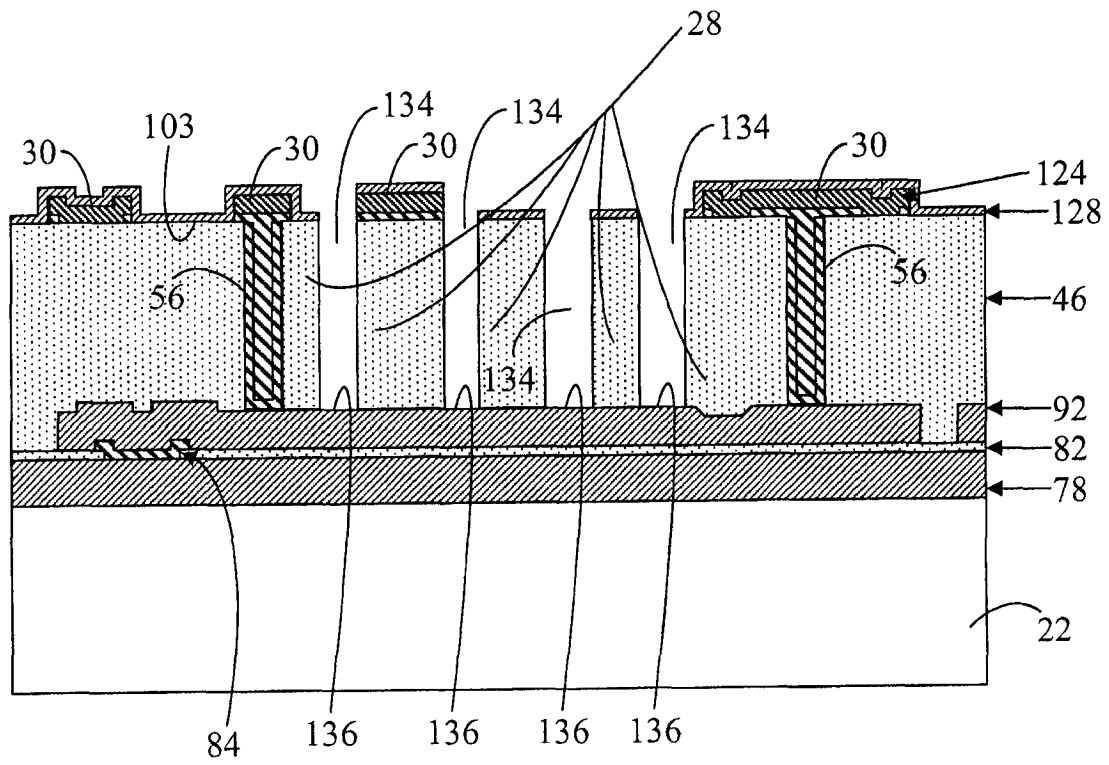


图 25

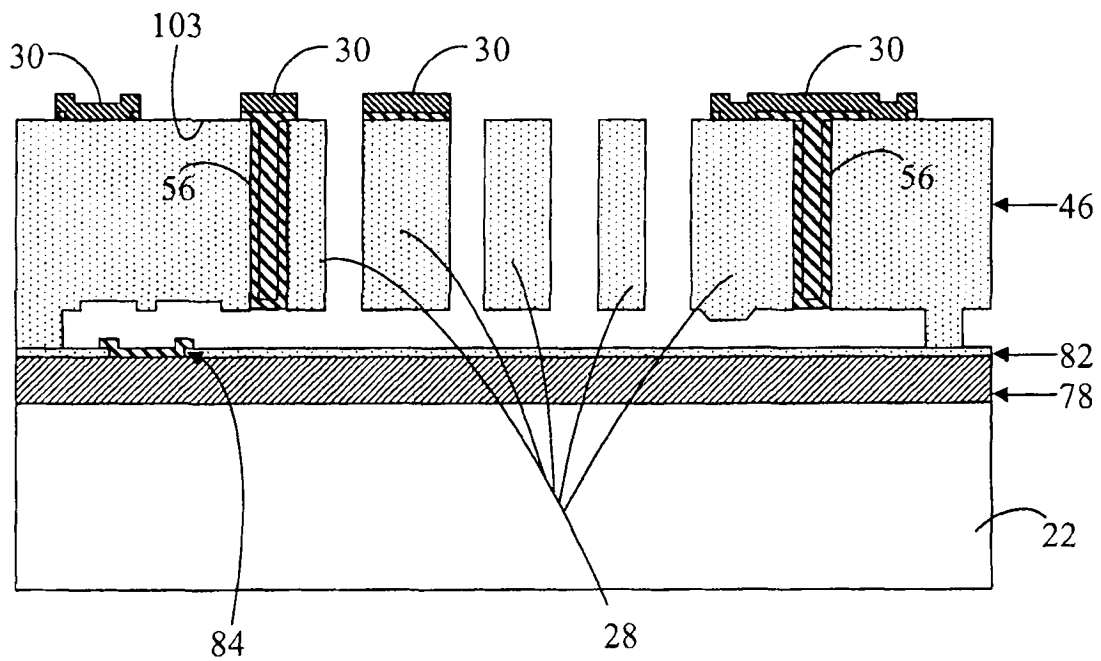


图 26