

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4342366号
(P4342366)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int.Cl.

H 0 1 L 23/12 (2006.01)

F I

H 0 1 L 23/12

N

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2004-116077 (P2004-116077)	(73) 特許権者	000004547
(22) 出願日	平成16年4月9日(2004.4.9)		日本特殊陶業株式会社
(65) 公開番号	特開2005-302968 (P2005-302968A)		愛知県名古屋市瑞穂区高辻町14番18号
(43) 公開日	平成17年10月27日(2005.10.27)	(74) 代理人	100095751
審査請求日	平成19年3月13日(2007.3.13)		弁理士 菅原 正倫
早期審査対象出願		(72) 発明者	伊藤 達也
			愛知県名古屋市瑞穂区高辻町14番18号
			日本特殊陶業株式会社内
		審査官	坂本 薫昭
			最終頁に続く

(54) 【発明の名称】 配線基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

第一主表面及び第二主表面が誘電体層にて形成されるように、複数の誘電体層とその間に配置した導体層とによって、誘電体層と導体層とが交互に積層され、前記導体層が前記誘電体層に形成したビアと導通している積層体と、その積層体の誘電体層の表面に位置して、前記誘電体層の前記ビアと導通し、半導体チップと接続する複数の金属端子パッドと、を備える配線基板の製造方法であって、

支持基盤の上に下地誘電体シートを配置する工程と、

分離可能な金属箔を含む金属箔密着体を前記下地誘電体シートの上に配置する工程と、

前記金属箔密着体の上に、熱膨張係数が $15\text{ ppm}/^\circ\text{C}$ 以上 $40\text{ ppm}/^\circ\text{C}$ 以下である前記誘電体層を用いる前記積層体を形成する工程と、

前記下地誘電体シートと前記積層体との間に配置した前記金属箔密着体に含まれて分離可能な金属箔を剥離して前記金属箔が付着した状態で前記支持基盤から分離する工程と、

前記積層体についている金属箔をエッチングする工程と、

前記半導体チップを接続する前記積層体の前記金属端子パッド側に熱膨張係数が $15\text{ ppm}/^\circ\text{C}$ 以上 $25\text{ ppm}/^\circ\text{C}$ 以下の補強枠を接着する工程と、

を備える、配線基板の製造方法。

【請求項2】

請求項1に記載の配線基板の製造方法であって、前記金属箔を剥離する工程には、前記積層体の周囲部を除去して前記金属箔密着体の端部を露出させる工程を備える、配線基板

10

20

の製造方法。

【請求項 3】

前記金属箔密着体は前記下地誘電体シートの主表面に包含されるように配されることを特徴とする請求項 2 に記載の配線基板の製造方法。

【請求項 4】

全ての前記導体層の熱膨張係数が 15 ppm/ 以上 25 ppm/ 以下である請求項 1 ないし 3 のいずれか 1 項に記載の配線基板の製造方法。

【請求項 5】

前記第一主表面に最も近い導体層の配線密度が 50% 以上 90% 以下であり、かつ、前記第二主表面に最も近い導体層の配線密度が 50% 以上 90% 以下である請求項 1 ないし 3 のいずれか 1 項に記載の配線基板の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板の製造方法に関するものである。

【背景技術】

【0002】

近年、電子機器における高機能化並びに軽薄短小化の要求により、ICチップやLSI等の電子部品では高密度集積化が急速に進んでおり、これに伴い、電子部品を搭載するパッケージ基板には、従来にも増して高密度配線化及び多端子化が求められている。

20

【0003】

このようなパッケージ基板としては、現状において、ビルドアップ多層配線基板が採用されている。ビルドアップ多層配線基板とは、補強繊維に樹脂を含浸させた絶縁性のコア基板（FR-4等のガラスエポキシ基板）のリジッド性を利用し、その両主表面上に、誘電体層と導体層とが交互に配されたビルドアップ層を形成したものである。このようなビルドアップ多層配線基板では、ビルドアップ層（以下、積層体とも記す）において高密度配線化が実現されており、一方、コア基板は補強の役割を果たす。そのため、コア基板は、積層体と比べて非常に厚く構成され、またその内部にはそれぞれの主表面に配された積層体間の導通を図るための配線（例えば、スルーホール導体と呼ばれる）が厚さ方向に貫通形成されている。ところが、使用する信号周波数が 1 GHz を超える高周波帯域となってきた現在では、そのような厚いコア基板を貫通する配線は、大きなインダクタンスとして寄与してしまうという問題があった。

30

【0004】

そこで、そのような問題を解決するため下記特許文献1のように、コア基板を有さないことで、高密度配線化を可能とした配線基板が提案されている。このような配線基板ではコア基板が省略されているため、全体の配線長が短く構成され、高周波用途に供するのに好適である。このような配線基板を製造するためには、特許文献1の段落0012～0029及び図1～4に記載されているように、金属板上に積層体を形成した後、該金属板をエッチングすることにより薄膜の積層体のみを得る。そして、この積層体が配線基板とされる。

40

【特許文献1】特開2002-26171号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

金属板から分離された薄膜の積層体には、IC接続側に配線基板のリジッド性を確保するための補強枠（以下、スティフナとも記す）が設置される。補強枠の材料としては銅合金やSUS304が用いられ、誘電体層としてはエポキシ系樹脂が使用される。補強枠を積層体に接続するときには接着剤を用い、接着剤を固化するために 150 程度で真空キュアする。補強枠に用いる銅合金の熱膨張係数は 17.7 ppm/ 程度である。誘電体層はエポキシ系樹脂を主成分としており、その熱膨張係数は 55 ppm/ 程度である。

50

従来の配線基板では、これらの熱膨張係数の違いから、配線基板に反りが生じてしまう問題があった。すなわち、真空キュアが終了して冷却される時に補強枠は僅かしか縮まないが、誘電体層を含む配線基板は大きく縮むため図3のように弓型になるのである。

【0006】

一方、導体層の配線密度の差に起因する反りもある。導体層は、各層によって配線密度が異なる。例えば半導体チップ接続側の導体層は配線密度が小さく、マザーボード接続側の導体層は配線密度が高い。その理由は、半導体チップ接続側の金属端子パッドは一般に小さく作られているためである。導体層に銅合金を用いた場合、その熱膨張率は 17.7 ppm/ 程度であり、エポキシ樹脂を主成分とする誘電体層は 55 ppm/ 程度である。そのため、配線密度の低い半導体チップ接続側の面と、配線密度の高いマザーボード

10

接続側の面で熱膨張率に差が生じて、反りが発生してしまう。ビルドアップ工程は 170 程度の高温がかかるので、ビルドアップ工程が終了して冷却された配線基板に応力がかかり、反りが生じるのである。半導体チップを接続する金属端子パッドは配線基板の中央部に配置されているので、図4のように、中央部が凹むように変形する。

【0007】

本発明は上述のような事情を背景になされたもので、導体層と誘電体層を交互に積層した積層体と、該積層体を補強して平坦度を確保する補強枠を備え、反りの低減が可能な配線基板を提供することを課題とする。

【課題を解決するための手段および発明の効果】

【0008】

20

上記課題を解決するために本発明の配線基板の製造方法は、

第一主表面及び第二主表面が誘電体層にて形成されるように、複数の誘電体層とその間に配置した導体層とによって、誘電体層と導体層とが交互に積層され、前記導体層が前記誘電体層に形成したビアと導通している積層体と、その積層体の誘電体層の表面に位置して、前記誘電体層の前記ビアと導通し、半導体チップと接続する複数の金属端子パッドと、を備える配線基板の製造方法であって、支持基盤の上に下地誘電体シートを配置する工程と、分離可能な金属箔を含む金属箔密着体を前記下地誘電体シートの上に配置する工程と、前記金属箔密着体の上に、熱膨張係数が 15 ppm/ 以上 40 ppm/ 以下である前記誘電体層を用いる前記積層体を形成する工程と、前記下地誘電体シートと前記積層体との間に配置した前記金属箔密着体に含まれて分離可能な金属箔を剥離して前記金属箔が付着した状態で前記支持基盤から分離する工程と、前記積層体についている金属箔をエッチングする工程と、前記半導体チップを接続する前記積層体の前記金属端子パッド側に熱膨張係数が 15 ppm/ 以上 25 ppm/ 以下の補強枠を接着する工程と、を備える、配線基板の製造方法を主要な特徴とする。

30

【0009】

また、金属箔を剥離する工程には、積層体の周囲部を除去して金属箔密着体の端部を露出させる工程を備えたり、また、金属箔密着体は前記下地誘電体シートの主表面に包含されるように配される。また、全ての導体層の熱膨張係数が 15 ppm/ 以上 25 ppm/ 以下である。

【0010】

40

さらに、本発明の配線基板は、上記第一主表面に最も近い導体層の配線密度 50% 以上 90% 以下であり、かつ、上記第二主表面に最も近い導体層の配線密度が 50% 以上 90% 以下である。

【0011】

配線基板に生じる反りが誘電体層と補強枠の熱膨張係数の差に起因する場合は、それぞれの熱膨張係数が略同じになるように材料を組み合わせればよい。本発明では誘電体層と補強枠との熱膨張係数の差を 25 ppm/ 以下とすることで、反りの少ない配線基板を提供する。熱膨張係数の差が 25 ppm/ 以上になると、反りが発生する。具体的には、全ての誘電体層の熱膨張係数が 15 ppm/ 以上 40 ppm/ 以下であり、補強枠の熱膨張係数が 15 ppm/ 以上 25 ppm/ 以下であることが望ましい。例えば補

50

強棒の材料として熱膨張係数が 16 ppm/ 以上 20 ppm/ 以下の純銅または銅合金を用いた場合は、誘電体層として熱膨張係数が 20 ppm/ 以上 30 ppm/ 以下の材料を使用すればよい。このような材料としては、例えばA B F - G X T H 3 (商品名: 味の素ファインテクノ株式会社製) が挙げられる。

【0012】

配線基板の反りが導体層の配線密度の差に起因する場合は、導体層と誘電体層の熱膨張係数を略同じにすれば、反りを低減できる。本発明では、誘電体層と導体層との熱膨張係数の差を 25 ppm/ 以下とすることで、反りの少ない配線基板を提供する。具体的には、全ての誘電体層の熱膨張係数が 15 ppm/ 以上 40 ppm/ 以下であり、かつ、配線を構成する導体層の熱膨張係数が 15 ppm/ 以上 25 ppm/ 以下であることが望ましい。誘電体層と導体層の熱膨張係数は、完全に同一であることが望ましいが、現実にはそのような材料の組み合わせを適用することは困難である。そこで、熱膨張係数の差を小さくするとともに、導体層の配線密度の差を小さくすることで、さらに反りを低減することができる。具体的には、半導体チップ接続側の主表面に最も近い導体層の配線密度を 50% 以上 90% 以下とし、かつ、半導体チップ接続側の主表面から最も遠い導体層の配線密度を 50% 以上 90% 以下とする。このようにすると各導体層の配線密度の差は 40% 以下となり、反りが低減できるのである。

【発明を実施するための最良の形態】

【0013】

以下、本発明に係わる実施形態を、図面を用いて説明する。

図1(a)は、本発明の一実施形態を示す概略断面図である。誘電体層と導体層が交互に積層されて、積層体B Uを構成している。その第一主表面M P 1には半導体チップと接続するための、周知の半田で構成された突起状の金属端子(半田バンプ)F Bが形成されている。また、第一主表面M P 1には配線基板100を補強して平坦性を確保するための補強棒(スティフナー)S Tが接着されている。本発明の配線基板はコア基板を有さないもので、補強棒を使用しないと曲がりやすく、半田バンプF Bと半導体チップとの接続が難しくなる。

【0014】

次に図1(b)を用いて、さらに詳細に説明をする。図1(b)は、本発明の配線基板の要部断面図である。積層体100は、導体層M 1~M 4と誘電体層B 1~B 4が交互に積層されてなる。そして、誘電体層B 4の表面にはソルダーレジストS Rが形成されている。導体層M 1~M 4は銅を主成分としている。第一主表面M P 1には複数の金属端子パッドP D 1が形成されている。金属端子パッドP D 1は、半導体チップなどをフリップチップ接続するためのパッドである半田ランドを構成する。また、第二主表面M P 2側の金属端子パッドP D 2は、配線基板自体をマザーボードにピングリッドアレイ(P G A)あるいはボールグリッドアレイ(B G A)により接続するための裏面ランドとして利用されるものである。一方、導体層M 1およびM 2はビアV 1によって層間接続されている。同様に、導体層M 2およびM 3はビアV 2によって、導体層M 3およびM 4はビアV 3によって層間接続がなされている。このようにして、ハンダバンプF Bから金属端子パッドP D 2への電気導通路が形成されている。

【0015】

半導体チップ接続用の金属端子パッドP D 1と比較すると、マザーボード接続用の金属端子パッドP D 2は大きく作られている。そのため、導体層M 1の配線密度は低く、導体層M 4の配線密度は高くなっている。前述したように、この配線密度の違いが反りを生じる原因となる。

【0016】

図2(a)に示すように、金属端子パッドP D 1は配線基板1の中央部分に格子状に配列し、各々その上に形成された半田バンプF Bとともにチップ搭載部40を形成している。また、図2(b)に示すように、金属端子パッドP D 2も、格子状に配列形成されている。

【 0 0 1 7 】

以上説明した積層体 B U は、例えば金属基板に周知のビルドアップ法を用いて積層形成し、金属板をエッチング除去することで製造できる。図 3 は、補強枠を接着した時の反り発生を示す概念図である。本実施形態では誘電体層としてエポキシ樹脂を用いている。図 3 に示すように、積層体 B U の第一主表面 M P 1 側に、平坦性を確保するための補強枠 S T を接着する。補強枠 S T の接着は接着剤を用いて行われ、接着剤の固化のために高温（例えば 1 5 0 程度）がかけられる。ここで、誘電体層 B 1 ~ B 4 としてエポキシ樹脂を使用しているので、その熱膨張係数は 5 5 p p m / 程度である。その値は、補強枠 S T の熱膨張係数 1 6 p p m / 以上 2 0 p p m / 以下と比較すると、大きく異なる。このように熱膨張係数の差が大きいと、冷却した時に積層体 B U の収縮率が大きいため、弓状に変形してしまう。しかし誘電体層 B 1 ~ B 4 の材料を変更し、その熱膨張係数と、補強枠 S T の熱膨張係数との差が 2 5 p p m / 以下となるようにすれば、反りは低減される。具体的には、全ての誘電体層の熱膨張係数を 1 5 p p m / 以上 4 0 p p m / 以下とし、補強枠の熱膨張係数を 1 5 p p m / 以上 2 5 p p m / 以下とする。

10

【 0 0 1 8 】

図 4 は、導体層間の配線密度に起因する反り発生を説明する概略断面図である。図 4 においては、誘電体層 B 1 ~ B 4 としてエポキシ樹脂を用いている。金属板をエッチング除去して積層体 B U を分離すると、反りが発生する。上述したように、第一主表面側と、第二主表面側では導体層の密度が異なる。配線密度の低い第一主表面 M P 1 側（フリップチップ接続側）は熱膨張係数が高く、配線密度が高い第二主表面 M P 2 側（マザーボード接続側）は熱膨張係数が低い。ビルドアップ工程時には 1 7 0 程度の高温状態となるが、冷却された後に、金属板をエッチング除去して積層体 B U を分離すると、中央部分が凹んでしまう。中央部分が特に凹む理由は、中央部に金属端子パッドが配置されているためである。しかし誘電体層の熱膨張係数と、導体層の熱膨張係数との差が 2 5 p p m / 以下となるようにすれば、このような反りは低減される。具体的には、全ての誘電体層の熱膨張係数を 1 5 p p m / 以上 4 0 p p m / 以下とし、全ての導体層の熱膨張係数を 1 5 p p m / 以上 2 5 p p m / 以下とする。なお、第一主表面に最も近い導体層 M 1 の配線密度を 5 0 % 以上 9 0 % 以下とし、第二主表面に最も近い導体層 M 4 の配線密度を 5 0 % 以上 9 0 % 以下とすることで、これら導体層 M 1 と M 4 の配線密度の差を 4 0 % 以下とすると、より望ましい。

20

30

【 0 0 1 9 】

図 4 のように、積層体 B U を金属板上に積層した後、該金属板をエッチング除去する方法では、金属板が支持基盤としての強度を保つ必要があるため、その厚さを例えば 0 . 8 m m 程度とする必要がある。この場合、金属板をエッチング除去するのに 3 0 分程度の比較的長い時間が必要とされていた。このような問題点は、下記のような製造方法によって解決できる。図 5 および図 6 に配線基板の製造方法の一例を示す。この製造方法は金属箔 M 1 , M 1 ' が密着してなる金属箔密着体を使用する点に特徴がある。工程 1 では、支持基盤 2 0 上に形成された下地誘電体シート 2 1 上に積層体 B U が形成されている。また、下地誘電体シート 2 1 の主表面に包含されるように金属箔密着体が配され、該金属箔密着体を包むように第一誘電体層 B 2 が配されている。そして金属箔密着体の上に、周知のビルドアップ工程を用いて、誘電体層 B 2 ~ B 4 および導体層 M 2 ~ M 4 が積層されている。熱膨張係数が 1 6 p p m / 以上 2 0 p p m / 以下の純銅または銅合金を導体層に用い、熱膨張係数が 2 0 p p m / 以上 3 0 p p m / 以下の高分子材料を誘電体層に使用する。次に積層体 B U の周辺部（図中の破線部）を除去し、積層体の端面 1 0 1 を露出させる（工程 2）。そして、金属箔密着体を剥離することで、積層体 B U を支持基盤 2 0 および下地誘電体シート 2 1 から分離する（工程 3）。次に積層体 B U 側についた金属箔 M 1 にパターニングを施し、エッチングすることで半導体チップ接続側の金属端子パッド P D 1 を形成する（工程 4）。すなわち、金属箔 M 1 は金属端子パッド P D 1 を構成するための導体層として使用される。この後、金属端子パッド P D 1 側に誘電体層 B 1 を積層し、金属パッド P D 1 が開口するように選択的にエッチングする。このように形成された積層

40

50

体 B U の、半導体チップ接続側 (P D 1 側) に補強枠を接着すると、図 1 (a) , (b) に示す構造の配線基板 1 が形成される。上記方法によると金属板をエッチングする必要はないので、工程時間の短縮化を図ることができる。また、導体層と誘電体層の熱膨張係数の差が小さいので、反りを低減できる。

【実施例 1】

【 0 0 2 0 】

本発明の効果を確認するために、以下の実験をおこなった。まず、上述の製造方法を用いて、図 1 (b) の構造を有する薄膜の積層体 B U を得た。本発明に属する実施例には、誘電体層 B 1 ~ B 4 として熱膨張係数が 2 3 p p m / の A B F - G X T H 3 (商品名 : 味の素ファインテクノ株式会社製) を使用した。一方、本発明外の比較例のサンプルには、誘電体層 B 1 ~ B 4 として熱膨張係数が 5 5 p p m / のエポキシ樹脂を主体とした A B F - G X C o d e 3 (商品名 : 味の素ファインテクノ株式会社製) を使用した。その後、実施例および比較例の第一主表面に補強枠 S T を 1 5 0 で接着した。各サンプルとも、導体層 M 1 ~ M 4 および補強枠 S T の材料として熱膨張係数が 1 7 . 7 p p m / の銅合金を用いた。実施例および比較例の配線密度は、半導体チップ接続側は 6 0 % 、マザーボード接続側は 8 0 % であった。以上説明した内容を、表 1 にまとめる。

【 0 0 2 1 】

【表 1】

	誘電体層	誘電体層の 熱膨張係数	導体層	導体層の 熱膨張係数	スティフナー	スティフナーの 熱膨張係数	フリップチップ接 続側の配線密度	マザーボード接続側 の配線密度
比較例	エポキシ樹脂	55ppm/°C	銅合金	17.7ppm/°C	銅合金	17.7ppm/°C	60%	80%
実施例	ABF-GX TH3	23ppm/°C	銅合金	17.7ppm/°C	銅合金	17.7ppm/°C	60%	80%

10

20

30

40

【0022】

各サンプルの、反り量を測定した結果を図7(a)および図7(b)に示す。図7(a)はスティフナーを接着する前に測定した結果で、図7(b)はスティフナーを接着した後に測定した結果である。1サンプルにつき、マザーボード接続側から25点の高さを測

50

定し、測定値の差が最大になる値を反り値とした。図 7 (a) に関しては各 6 サンプル、図 7 (b) に関しては各 1 2 サンプル測定した。図 7 (a) から、スティフナーを接着する前では実施例と比較例の反り量は同程度であるが、実施例の方が反り量のバラツキが小さいことがわかる。また、図 7 (b) から、スティフナーを接着した後では、実施例の反り量は比較例よりも小さくなっており、改善されていることがわかる。

【 0 0 2 3 】

さらに図 8 に、配線基板の半導体チップエリアの反り量を測定した結果を示す。図 8 (a) は、マザーボード接続側からみた半導体チップエリアの反り量を示すグラフである。半導体チップエリアだけの高さを測定し、測定値の差が最大になる値を反り値とした。図 8 (b) は半田バンプ F B の平坦度を示すグラフである。1 サンプルにつき 2 5 点の半田バンプ F B の高さを測定し、測定値の差が最大になる値を反り値とした。図 8 (a) および図 8 (b) はスティフナーを接着した後に、各 1 2 サンプルずつ測定した。図 8 (a) から、半導体チップエリアの反り量は、実施例の方が小さいことがわかる。さらに図 8 (b) から、半田バンプの平坦度は実施例の方が比較例よりも小さくなっており、改善されていることがわかる。

10

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】本発明の一実施形態を示す (a) 概略断面図および (b) 要部断面図。

【図 2】本発明の一実施形態を示す (a) 表面図および (b) 裏面図。

【図 3】補強枠を接着した時の反り発生を示す断面図。

20

【図 4】導体層間の配線密度に起因する反り発生を示す断面図。

【図 5】配線基板の製造方法の一例を示す工程図。

【図 6】図 5 に続く工程図。

【図 7】誘電体層の材質と反り量の関係を示すグラフ。

【図 8】誘電体層の材質と、半導体チップエリアの反り量の関係を示すグラフ。

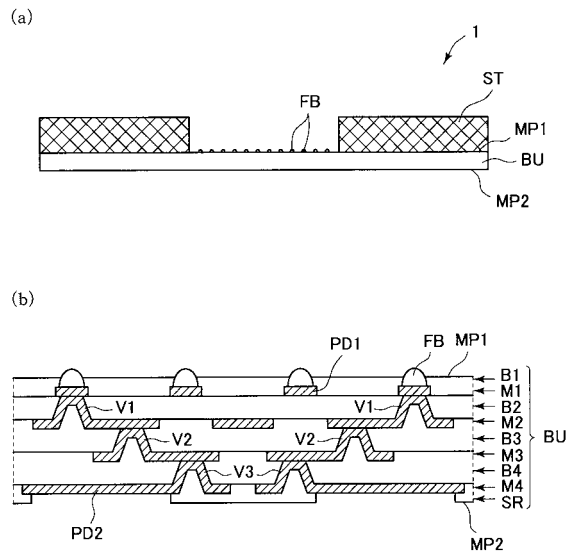
【符号の説明】

【 0 0 2 5 】

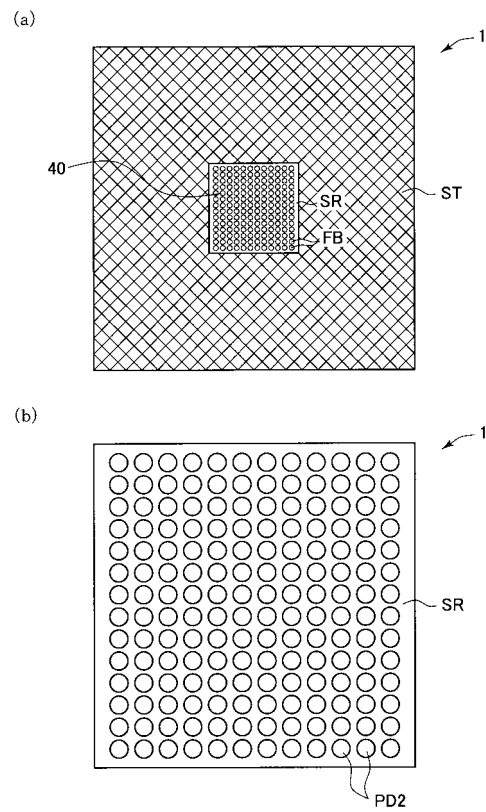
1	配線基板
2 0	支持基盤
2 1	下地誘電体層
B U	積層体
M P 1	第一主表面
M P 2	第二主表面
M 1	第一導体層 (金属箔)
B 1	第一誘電体層
P D 1	金属端子パッド
S T	補強枠
F B	半田バンプ

30

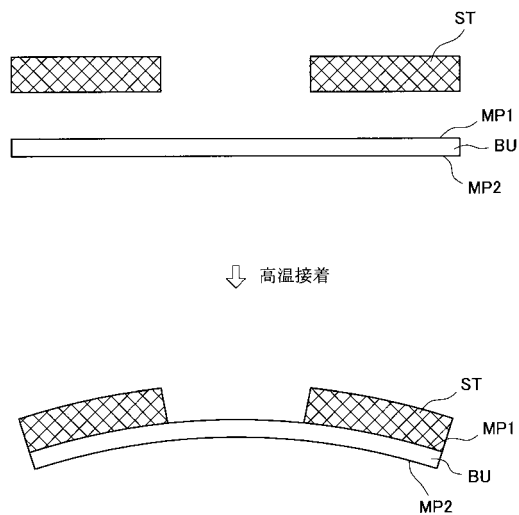
【図 1】



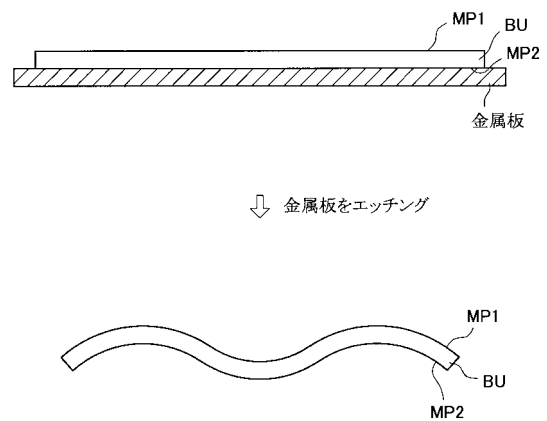
【図 2】



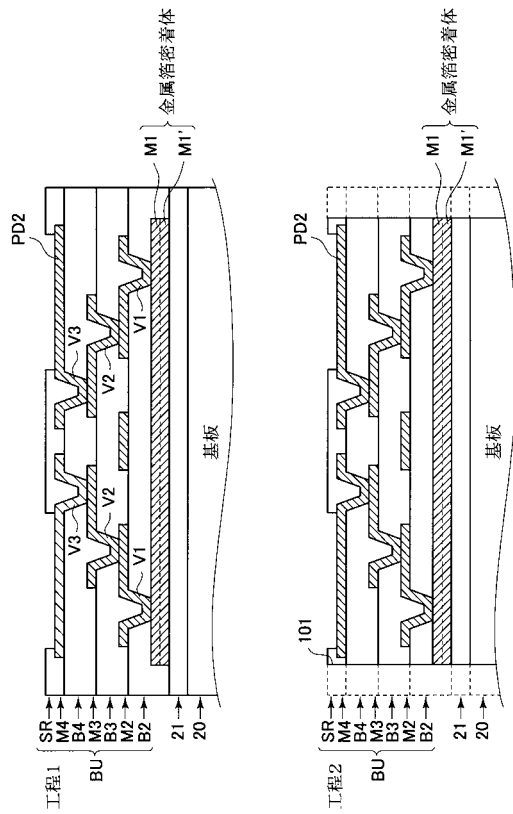
【図 3】



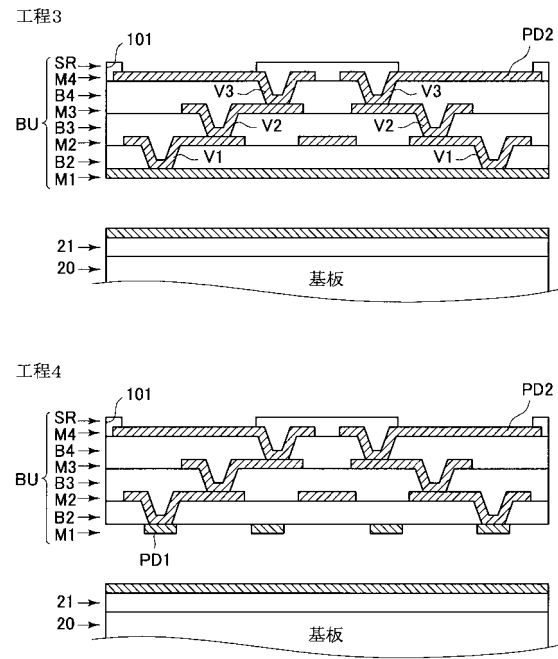
【図 4】



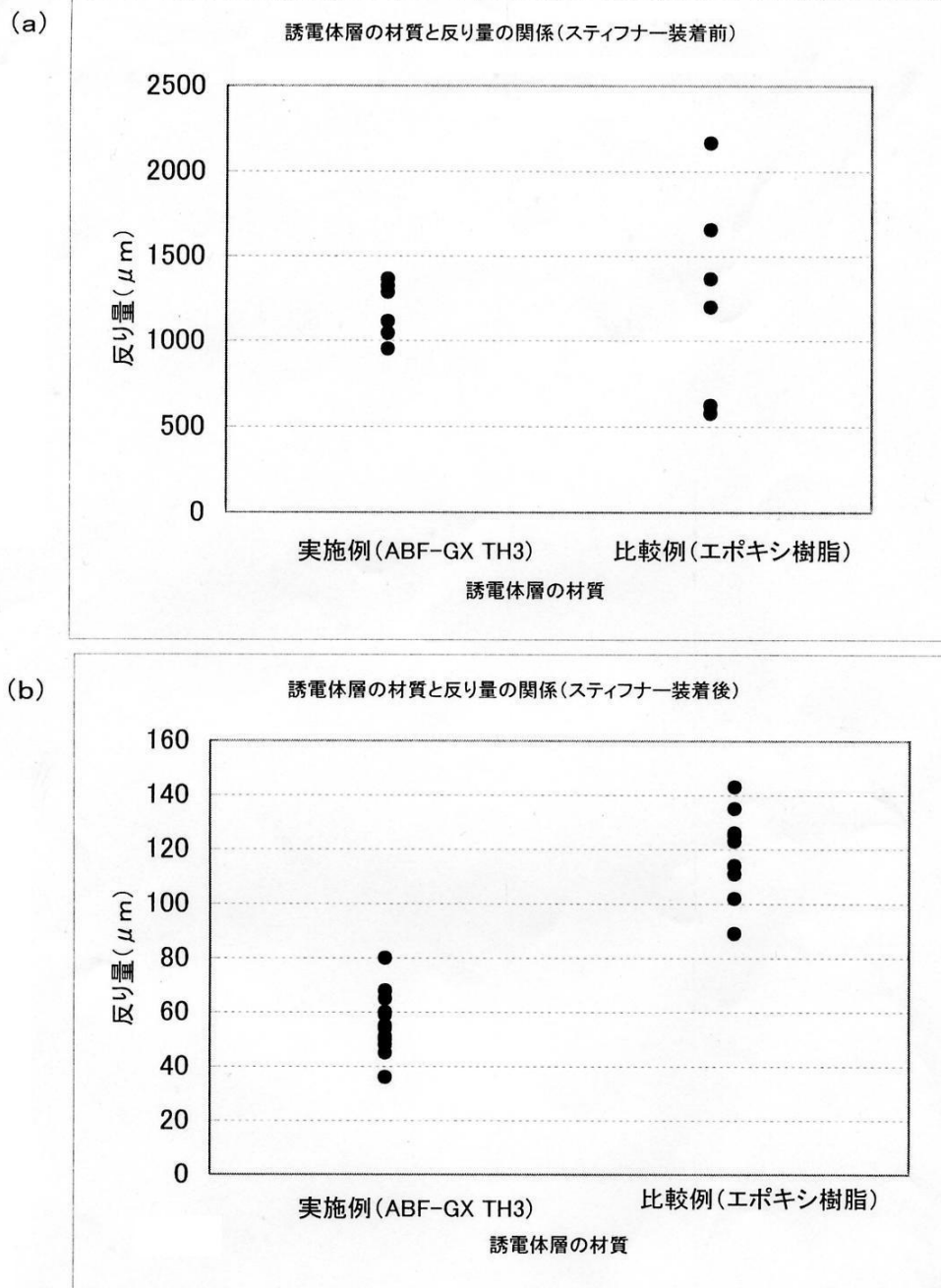
【図5】



【図6】

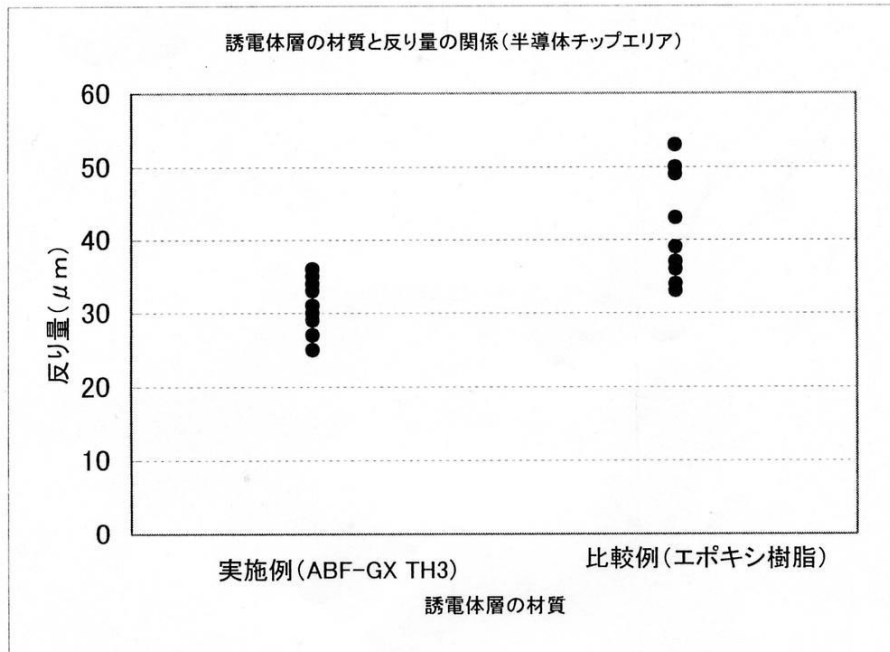


【図 7】

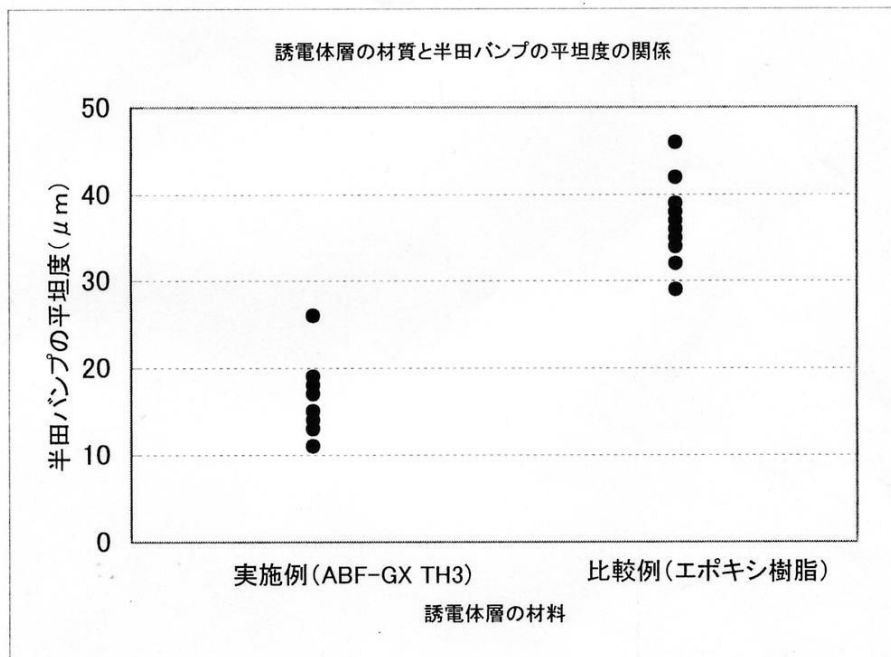


【図 8】

(a)



(b)



フロントページの続き

(56)参考文献 特開平09-260527(JP,A)
特開2001-015929(JP,A)
特開2004-006989(JP,A)
特開2004-063532(JP,A)
特開2000-323613(JP,A)
特開2004-111536(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12