



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201131717 A1

(43)公開日：中華民國 100 (2011) 年 09 月 16 日

(21)申請案號：099144602

(22)申請日：中華民國 99 (2010) 年 12 月 17 日

(51)Int. Cl. : *H01L23/48 (2006.01)*

H01L21/768 (2006.01)

(30)優先權：2009/12/17 美國

12/640,111

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：白雪 BAI, XUE (CN) ; 雷 優米 RAY, URMI (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：19 項 圖式數：5 共 19 頁

(54)名稱

用於控制半導體晶粒翹曲的裝置及方法

APPARATUS AND METHOD FOR CONTROLLING SEMICONDUCTOR DIE WARPAGE

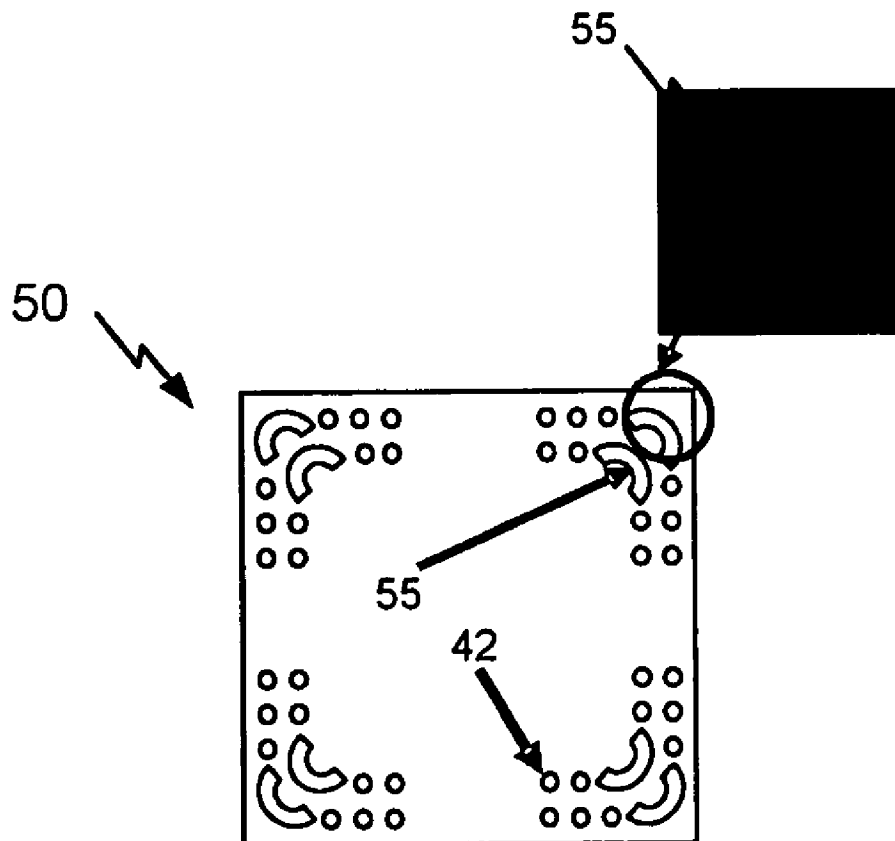
(57)摘要

一種半導體晶粒具有經配置以減少翹曲之矽通孔。該等矽通孔調整該半導體晶粒之熱膨脹係數、准許基板變形，且亦消除殘餘應力。該等矽通孔可位於該半導體晶粒之邊緣及/或隅角中。該等矽通孔為可用圓角介層孔進行補充以減少該半導體晶粒之翹曲的應力消除介層孔。

42：應力消除介層孔

50：晶粒

55：圓角介層孔





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201131717 A1

(43)公開日：中華民國 100 (2011) 年 09 月 16 日

(21)申請案號：099144602

(22)申請日：中華民國 99 (2010) 年 12 月 17 日

(51)Int. Cl. : H01L23/48 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2009/12/17 美國

12/640,111

(71)申請人：高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：白雪 BAI, XUE (CN) ; 雷 優米 RAY, URMI (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：19 項 圖式數：5 共 19 頁

(54)名稱

用於控制半導體晶粒翹曲的裝置及方法

APPARATUS AND METHOD FOR CONTROLLING SEMICONDUCTOR DIE WARPAGE

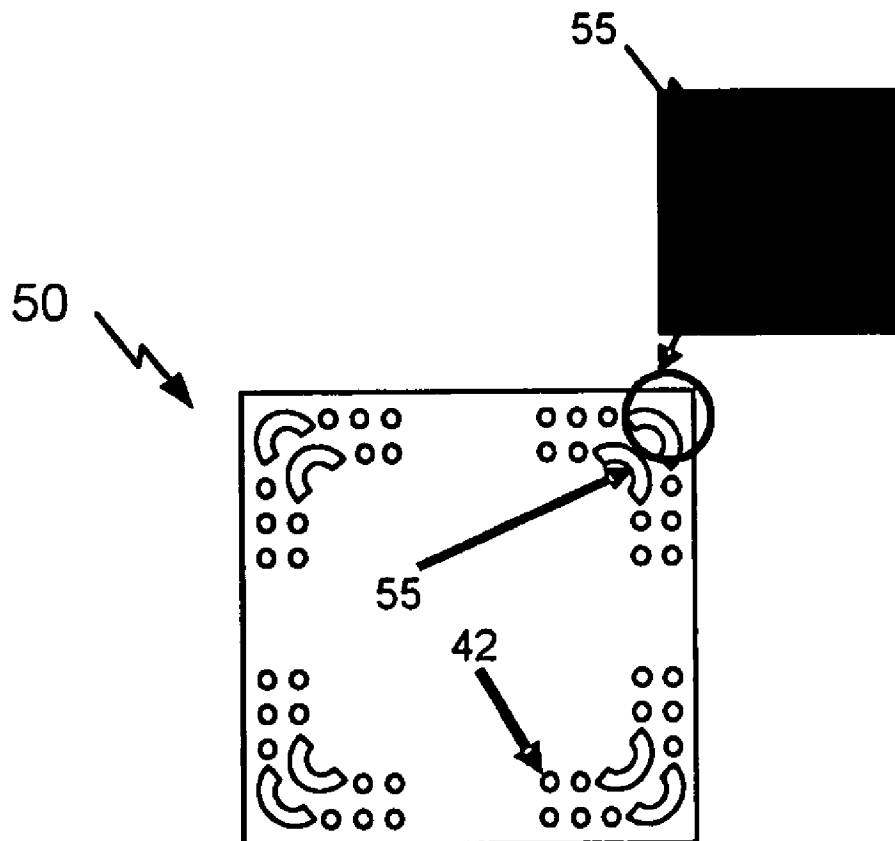
(57)摘要

一種半導體晶粒具有經配置以減少翹曲之矽通孔。該等矽通孔調整該半導體晶粒之熱膨脹係數、准許基板變形，且亦消除殘餘應力。該等矽通孔可位於該半導體晶粒之邊緣及/或隅角中。該等矽通孔為可用圓角介層孔進行補充以減少該半導體晶粒之翹曲的應力消除介層孔。

42：應力消除介層孔

50：晶粒

55：圓角介層孔



六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於半導體晶粒製造。更具體言之，本發明係關於在製造半導體晶粒時控制翹曲。

【先前技術】

半導體晶圓及晶粒中之殘餘應力會造成翹曲。舉例而言，晶圓上之沈積材料(例如，用以產生電晶體)可經工程設計以具有不同於基板之應力的應力，從而導致不平衡應力。在其他狀況下，該等應力未被工程設計，而僅僅係由不同材料引起。當基板與沈積材料之間的應力不平衡時，基板可翹曲或彎曲以達到均勢應力。

另外，已封裝晶粒所經歷之溫度改變可造成翹曲。封裝之熱膨脹係數(CTE)不同於晶粒之CTE。由於封裝及晶粒之材料集合之間的CTE失配而發生翹曲。當在封裝與晶粒之間存在實質厚度差時，會加劇翹曲。

在封裝與晶粒之間具有實質厚度差之產品的一個實例為堆疊IC。通常在堆疊IC中使用薄晶圓以協助矽通孔之製造。在一些狀況下，可使晶粒變薄至小於50微米，而不改變1毫米封裝之厚度。由於實質厚度差，可發生嚴重翹曲。

當翹曲嚴重時，會發生晶粒至封裝之不充分接合。換言之，翹曲可在封裝組裝程序期間防礙一些凸塊或支柱附接至基板。若在組裝之後發生翹曲，則凸塊或支柱可在終端使用者器件為消費者所持有時去附接。

在圖3中看出，翹曲封裝基板310在中心未耦接至翹曲晶粒320。亦即，位於中心之互連件330未接觸封裝基板310。儘管圖中未展示，但熱失配可在隅角中加應力於互連件330，從而使封裝基板310自晶粒320斷開。

另外，當晶粒與封裝基板之間的熱膨脹係數(CTE)失配時，互連件疲勞壽命會減少。當溫度改變時，組裝件彎曲以適應膨脹失配。基於量測及機械模型，翹曲似乎發生在晶粒之周邊處，尤其是在隅角處。集中於晶片之隅角處的張力導致自隅角擴張開之裂痕。隨著裂痕擴張，其顯露出晶片-底膠界面或另一弱界面，從而在晶片介電質中造成互連件疲勞或電氣故障。

儘管存在涉及晶粒介電質界面之應力工程設計解決方案，但此等解決方案相對複雜且昂貴。因此，存在對有效率地控制晶粒之翹曲的需要。

【發明內容】

根據本發明之一態樣，一種半導體晶粒具有位於一周邊區域中之矽通孔。該等矽通孔減少該半導體晶粒之翹曲。

在另一態樣中，一種用於製造一半導體晶粒之方法包括在該半導體晶粒之一周邊區域中製造複數個非信號載運矽通孔以減少該晶粒之翹曲。

在又一態樣中，一種半導體晶粒具有用於增加該半導體晶粒之一熱膨脹係數(CTE)之構件，該CTE增加構件位於該半導體晶粒之一周邊區域中。該CTE增加構件減少該半導體晶粒之翹曲。

在再一態樣中，一種用於設計一半導體晶粒之電腦化方法包括判定用於應力消除矽通孔之位置，以便減少晶粒翹曲。

前文已相當廣泛地概述本發明之特徵及技術優點，以便可更好地理解隨後之詳細描述。下文將描述形成本發明之申請專利範圍之主題的額外特徵及優點。熟習此項技術者應瞭解，所揭示之概念及特定實施例可易於用作修改或設計用於進行本發明之相同目的之其他結構的基礎。熟習此項技術者亦應認識到，此等等效構造不脫離在附加申請專利範圍中所闡述的本發明之技術。當結合附圖考慮時，自以下描述將更好地理解或信為本發明所特有之新穎特徵(關於其組織及操作方法兩者)，以及另外目的及優點。然而，應明確地理解，諸圖中之每一者僅係出於說明及描述之目的而被提供，且不意欲界定本發明之限制。

【實施方式】

為了更完整地理解本發明，現參考結合隨附圖式所考慮之以下描述。

圖1為展示可有利地使用本發明之實施例之例示性無線通信系統100的方塊圖。出於說明之目的，圖1展示三個遠端單元120、130及150，以及兩個基地台140。應認識到，無線通信系統可具有更多遠端單元及基地台。遠端單元120、130及150包括IC器件125A、125B及125C，IC器件125A、125B及125C包括所揭示之半導體晶粒。應認識到，含有IC之任何器件亦可包括此處所揭示之晶粒，包括

基地台、開關器件及網路設備。圖1展示自基地台140至遠端單元120、130及150之前向鏈路信號180，及自遠端單元120、130及150至基地台140之反向鏈路信號190。

在圖1中，遠端單元120被展示為行動電話，遠端單元130被展示為攜帶型電腦，且遠端單元150被展示為在無線區域迴路系統中之固定位置遠端單元。舉例而言，該等遠端單元可為行動電話、手持型個人通信系統(PCS)單元、諸如個人資料助理之攜帶型資料單元、具備GPS功能之器件、導航器件、機上盒、音樂播放器、視訊播放器、娛樂單元、諸如儀錶讀取設備之固定位置資料單元，或儲存或擷取資料或電腦指令之任何其他器件，或其任何組合。儘管圖1說明根據本發明之教示的遠端單元，但本發明不限於此等例示性說明單元。本發明之實施例可適當地用於包括積體電路之任何器件中。

圖2為說明用於所揭示之半導體積體電路之電路及佈局設計之設計工作站的方塊圖。設計工作站200包括硬碟201，硬碟201含有作業系統軟體、支援檔案，及諸如Cadence或OrCAD之設計軟體。設計工作站200亦包括用以促進電路及佈局210之設計的顯示器。電路及佈局210可包括介層孔組態，如下文所揭示。提供儲存媒體204以用於有形地儲存電路及佈局設計210。電路及佈局設計210可以諸如GDSII或GERBER之檔案格式儲存於儲存媒體204上。儲存媒體204可為CD-ROM、DVD、硬碟、快閃記憶體，或其他適當器件。此外，設計工作站200包括用於自儲存

媒體204接受輸入或將輸出寫入至儲存媒體204之驅動裝置203。

記錄於儲存媒體204上之資料可規定邏輯電路組態、用於光微影光罩之圖案資料，或用於諸如電子束微影之串列寫入工具之光罩圖案資料。資料可進一步包括諸如與邏輯模擬相關聯之時序圖或網狀電路的邏輯驗證資料。在儲存媒體204上提供資料會藉由減少用於設計半導體IC之程序的數目來促進電路及佈局210之設計。

根據本發明，在半導體晶粒(或晶圓)內製造具有導電填充物(例如，金屬)之矽通孔以控制翹曲。該等矽通孔改良晶粒/基板之熱膨脹係數(CTE)匹配。因此，互連件之疲勞壽命及可靠性會增加。

此外，該等矽通孔消除殘餘應力且產生更多空間以供基板變形，從而減輕翹曲。在一實施例中，該等矽通孔為提供於晶粒之周邊中的應力消除介層孔及圓角介層孔。

在圖4中看出，晶粒40包括應力消除介層孔42。該等應力消除介層孔為安置於晶粒隅角周圍以控制翹曲且亦釋放殘餘應力之矽通孔。另外，應力消除介層孔44可安置於中心以再散佈殘餘應力。應力消除介層孔44可有助於減少或增加晶粒40之關鍵功能區塊之應力以滿足設計參數。

在一實施例中，應力消除介層孔42填充有金屬，從而幫助改良熱膨脹係數(CTE)失配。例示性非限制填充材料包括銅及鎢。適當填充材料之選擇視所要封裝效能及成本而定。鎢具有較大模數，但具有較小熱膨脹係數(CTE)。舉

例而言，在堆疊晶粒(雙層)封裝中，鎢填充材料在介層孔中導致較低應力且在堆疊之各層之間的晶粒至晶粒互連件中導致較高應力。因此，當選擇填充材料時，在介層孔與互連件之間存在效能取捨。

在一實施例中，應力消除介層孔42、44不會載運信號。然而，在另一實施例中，應力消除介層孔42、44確實載運信號。

對於不同晶粒，應力消除介層孔42、44之數目及確切位置尤其基於晶粒大小、介層孔直徑及應力消除介層孔之填充材料而變化。可在半導體晶粒設計階段期間藉由分析晶粒40之熱機械模型計算應力消除介層孔42、44之所要數目及應力消除介層孔44之位置。使應力消除介層孔42位於晶粒之隅角中的一個優點為：此區域常常不用於晶粒40之功能介層孔。

在圖5中看出，除了應力消除介層孔42以外，晶粒50亦包括圓角介層孔55。在一實施例中，應力消除介層孔42為用於應力消除之主要機構。若應力消除介層孔自身不足以消除應力，則將圓角介層孔55用作次要機構。在另一實施例中，圓角介層孔55為主要機構。

圓角介層孔55亦可填充有金屬，以幫助增加晶粒50之熱膨脹係數。藉由增加晶粒50之熱膨脹係數，晶粒50之熱膨脹係數將更好地匹配於封裝(圖中未展示)之熱膨脹係數，從而減少翹曲。此外，額外晶粒切斷區域產生更多空間以供基板變形且消除殘餘應力。

圓角介層孔55之形式可變化。在一實施例中，在縮放視圖中看出，該形式為矽通孔陣列。

可基於熱機械模型化及預期翹曲之量來判定圓角介層孔55及應力消除介層孔42之特定配置。若翹曲較顯著，則可提供圓角介層孔55，此係因為圓角介層孔55相較於應力消除介層孔42移除較多晶粒材料，從而給予晶粒50更多空間以供變形。作為一般經驗規則，若介層孔區域對晶粒區域之比率增加，則翹曲受到更多地控制。換言之，移除更多晶粒材料會更好地控制翹曲。

在一實施例中，不用於晶粒50之功能的區域影響對在何處定位應力消除介層孔42、44及圓角介層孔55之決策。或者，當翹曲問題變得更關鍵時，晶粒50之功能區塊經設計以容納應力消除介層孔42、44及圓角介層孔55。

應力消除介層孔42、44及圓角介層孔55可在習知矽通孔形成程序期間予以製造。因此，不需要額外製造程序。此外，因為易於製造應力消除介層孔42、44及圓角介層孔55，所以幾乎不會增加額外製造成本。最終，應力消除介層孔42、44及圓角介層孔55藉由減少CTE失配而增強封裝基板/晶粒互連件之可靠性。亦即，互連件疲勞壽命會增加。

儘管術語「矽通孔」包括詞語「矽」，但應注意，矽通孔未必被建構於矽中。相反地，材料可為任何器件基板材料。

儘管已詳細地描述本發明及其優點，但應理解，可在本

文中進行各種改變、取代及更改，而不脫離藉由附加申請專利範圍界定的本發明之技術。此外，本申請案之範疇不意欲限於本說明書中所描述之程序、機器、製造、物質組成、構件、方法及步驟之特定實施例。一般熟習此項技術者將易於自本發明瞭解，可根據本發明利用目前存在或以後待開發的執行與本文中所描述之相應實施例實質上相同之功能或達成實質上相同之結果的程序、機器、製造、物質組成、構件、方法或步驟。因此，附加申請專利範圍意欲在其範疇內包括此等程序、機器、製造、物質組成、構件、方法或步驟。

【圖式簡單說明】

圖1為展示可有利地使用本發明之實施例之例示性無線通信系統的方塊圖。

圖2為說明用於所揭示之半導體晶粒之電路及佈局設計之設計工作站的方塊圖。

圖3為說明翹曲半導體晶粒及翹曲封裝基板的方塊圖。

圖4為說明具有應力消除介層孔之半導體晶粒之俯視圖的方塊圖。

圖5為說明具有應力消除介層孔及圓角介層孔之半導體晶粒之俯視圖的方塊圖。

【主要元件符號說明】

40	晶粒
42	應力消除介層孔
44	應力消除介層孔

50	晶粒
55	圓角介層孔
100	無線通信系統
120	遠端單元
125A	積體電路器件
125B	積體電路器件
125C	積體電路器件
130	遠端單元
140	基地台
150	遠端單元
180	前向鏈路信號
190	反向鏈路信號
200	設計工作站
201	硬碟
203	驅動裝置
204	儲存媒體
210	電路及佈局/電路及佈局設計
310	翹曲封裝基板
320	翹曲晶粒
330	互連件

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99144602

※申請日： 99.12.19

※IPC 分類：H01L 23/48 ·2006.01

一、發明名稱：(中文/英文)

H01L 23/48 ·2006.01

用於控制半導體晶粒翹曲的裝置及方法

APPARATUS AND METHOD FOR CONTROLLING
SEMICONDUCTOR DIE WARPAGE

二、中文發明摘要：

一種半導體晶粒具有經配置以減少翹曲之矽通孔。該等矽通孔調整該半導體晶粒之熱膨脹係數、准許基板變形，且亦消除殘餘應力。該等矽通孔可位於該半導體晶粒之邊緣及/或隅角中。該等矽通孔為可用圓角介層孔進行補充以減少該半導體晶粒之翹曲的應力消除介層孔。

三、英文發明摘要：

A semiconductor die has through silicon vias arranged to reduce warpage. The through silicon vias adjust the coefficient of thermal expansion of the semiconductor die, permit substrate deformation, and also relieve residual stress. The through silicon vias may be located in the edges and/or corners of the semiconductor die. The through silicon vias are stress relief vias that can be supplemented with round corner vias to reducing warpage of the semiconductor die.

七、申請專利範圍：

1. 一種半導體晶粒，其包含：

位於該半導體晶粒之一周邊區域中的複數個矽通孔，
該等矽通孔減少該半導體晶粒之翹曲。

2. 如請求項1之半導體晶粒，其中該等矽通孔為非信號載運矽通孔。

3. 如請求項2之半導體晶粒，其進一步包含位於鄰近於該半導體晶粒之一功能區塊之一中心區域中的至少一額外非信號載運矽通孔。

4. 如請求項2之半導體晶粒，其中該等矽通孔包含應力消除介層孔。

5. 如請求項4之半導體晶粒，其中該等應力消除介層孔包含圓角介層孔。

6. 如請求項5之半導體晶粒，其中每一圓角介層孔包含一矽通孔陣列。

7. 如請求項2之半導體晶粒，其中該周邊區域包含該半導體晶粒之至少一隅角。

8. 如請求項2之半導體晶粒，其中該周邊區域包含該半導體晶粒之至少一邊緣。

9. 如請求項1之半導體晶粒，其係整合至選自由一手持型器件及一個人電腦組成之一群組的一項目中。

10. 如請求項1之半導體晶粒，其係整合至一堆疊IC中。

11. 一種用於製造一半導體晶粒之方法，其包含：

在該半導體晶粒之一周邊區域中製造複數個非信號載

運矽通孔以減少該晶粒之翹曲。

12. 如請求項11之方法，其進一步包含與製造該等非信號載運矽通孔實質上同時地製造信號載運矽通孔。

13. 如請求項11之方法，其進一步包含在鄰近於該半導體晶粒之一功能區塊之一中心區域中製造至少一額外非信號載運矽通孔。

14. 如請求項11之方法，其中該製造包含在該半導體晶粒之一隅角中製造至少一非信號載運矽通孔陣列。

15. 如請求項14之方法，其中製造該至少一陣列包含製造至少一圓角介層孔。

16. 如請求項11之方法，其進一步包含將該半導體晶粒整合至選自由一手持型器件及一個人電腦組成之一群組的一項目中。

17. 一種半導體晶粒，其包含：

用於增加該半導體晶粒之一熱膨脹係數(CTE)之構件，該CTE增加構件位於該半導體晶粒之一周邊區域中，該CTE增加構件減少該半導體晶粒之翹曲。

18. 一種用於設計一半導體晶粒之電腦化方法，其包含：

判定用於應力消除矽通孔之位置，以便減少晶粒翹曲。

19. 如請求項18之電腦化方法，其中該判定包含相對於一封裝基板之一熱膨脹係數分析該半導體晶粒之一熱膨脹係數。

八、圖式：

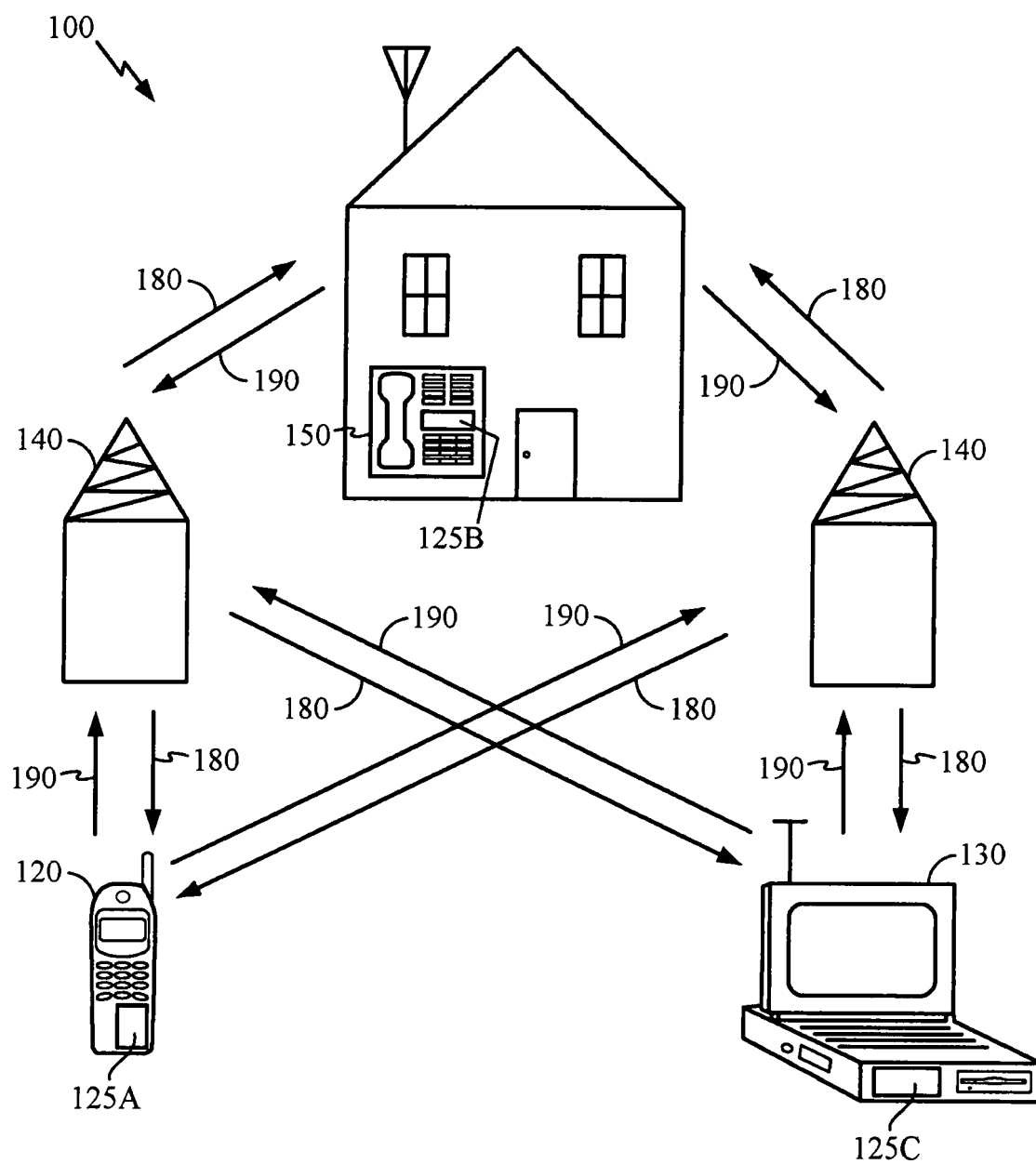


圖1

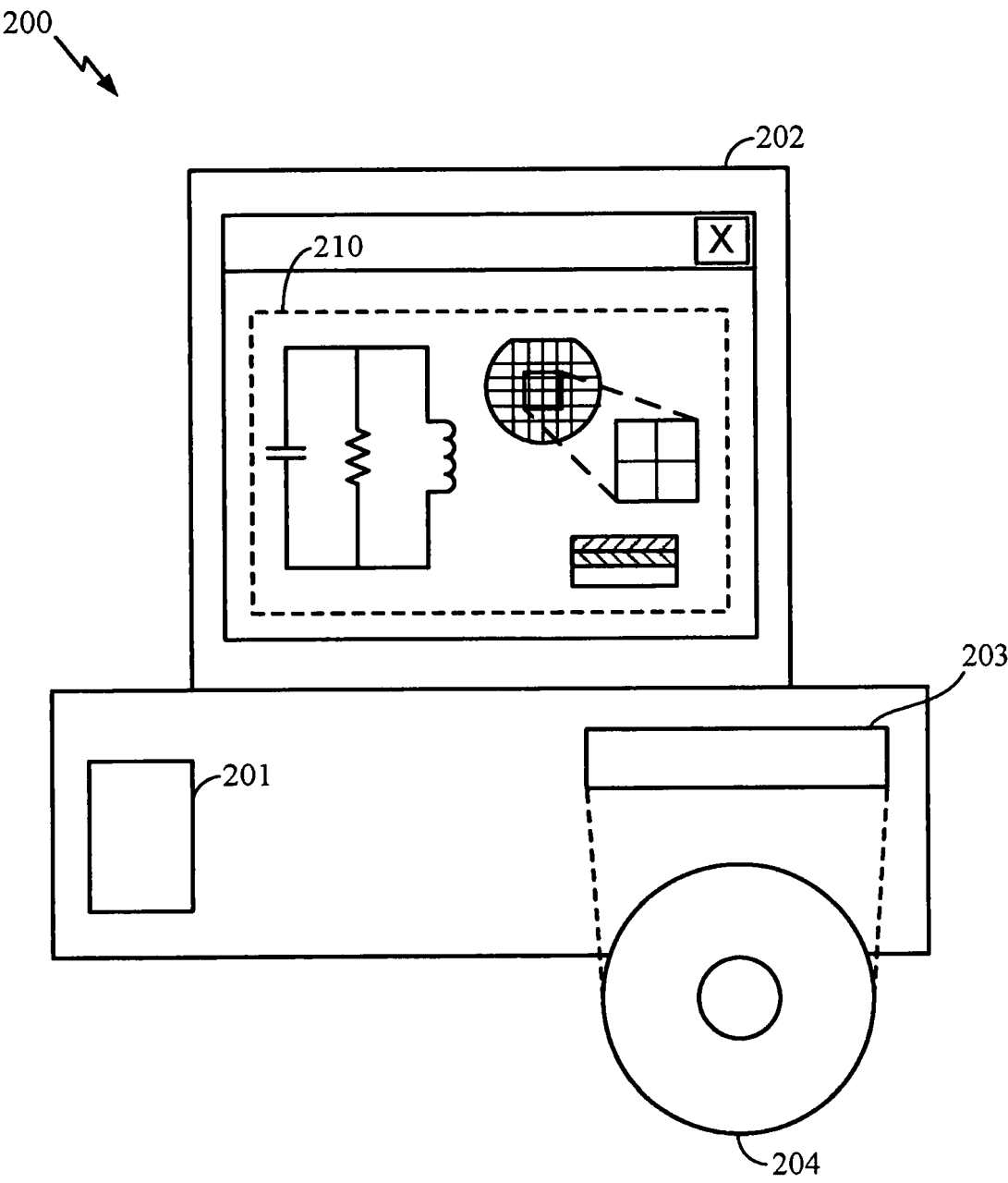


圖2

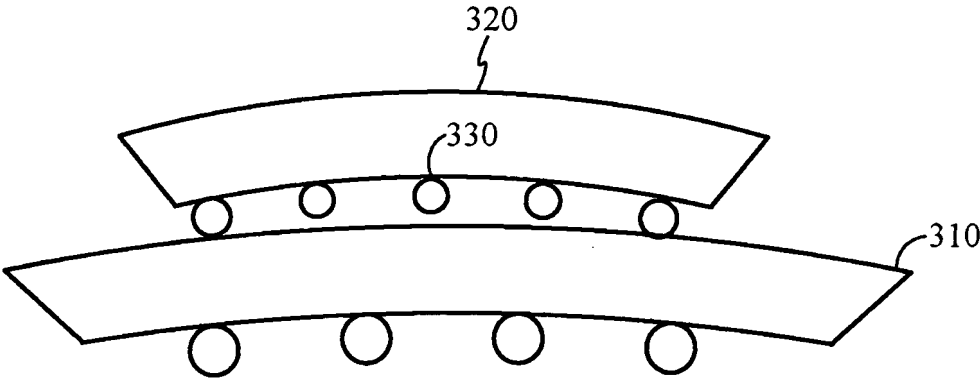


圖 3

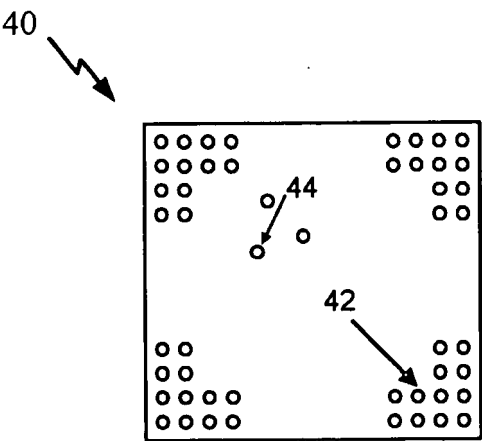


圖4

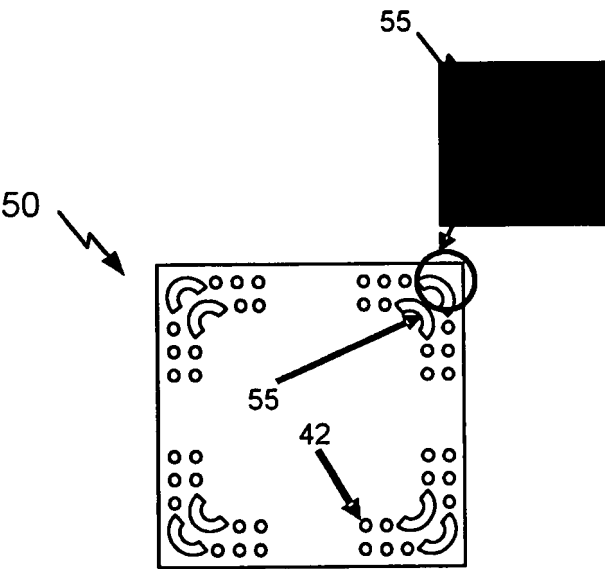


圖5

四、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

42 應力消除介層孔

50 晶粒

55 圓角介層孔

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)