

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5103182号

(P5103182)

(45) 発行日 平成24年12月19日 (2012.12.19)

(24) 登録日 平成24年10月5日 (2012.10.5)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 29/792 (2006.01)

H O 1 L 21/8247 (2006.01)

H O 1 L 27/115 (2006.01)

請求項の数 3 (全 14 頁)

(21) 出願番号 特願2007-532334 (P2007-532334)  
 (86) (22) 出願日 平成17年8月15日 (2005.8.15)  
 (65) 公表番号 特表2008-513999 (P2008-513999A)  
 (43) 公表日 平成20年5月1日 (2008.5.1)  
 (86) 国際出願番号 PCT/US2005/028828  
 (87) 国際公開番号 W02006/036334  
 (87) 国際公開日 平成18年4月6日 (2006.4.6)  
 審査請求日 平成20年8月1日 (2008.8.1)  
 (31) 優先権主張番号 10/944,244  
 (32) 優先日 平成16年9月17日 (2004.9.17)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 テキサス州 78735  
 オースティン ウィリアム キャノン  
 ドライブ ウェスト 6501  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 チンダロア、ゴーリシャンカー エル.  
 アメリカ合衆国 78749 テキサス州  
 オースティン ソーテル レーン 91  
 01

最終頁に続く

(54) 【発明の名称】 フローティングゲート素子を形成する方法

(57) 【特許請求の範囲】

【請求項 1】

フローティングゲート素子 (100) を形成する方法であって、  
 半導体基板 (112) を設けることと；  
 前記半導体基板 (112) 上にゲート誘電体層 (116) を形成することと；  
 前記ゲート誘電体層上に第1フローティングゲート層 (118) を形成することと；  
 前記第1フローティングゲート層 (118) 上にエッチング停止層 (120) を形成することと；  
 前記第1フローティングゲート層 (118) とエッチング停止層 (120) の上に犠牲層 (122) を形成することと；  
 前記犠牲層 (122) 上にパターンニングされた第1マスク層 (123) を形成することと；  
 前記パターンニングされた前記第1マスク層 (123) を使用することによって、前記犠牲層 (122) の一部分を除去し、前記エッチング停止層 (120) の一部分を露出することと；  
 前記犠牲層 (122) と、前記エッチング停止層 (120) との上に、第2フローティングゲート層 (124) を形成することであって、前記エッチング停止層 (120) は、  
 前記第1フローティングゲート層 (118) と前記第2フローティングゲート層 (124) との間で電子が通過できるように、電気的透過性を備えることと；  
 前記第2フローティングゲート層 (124) を異方性エッチングすることによって、前

10

20

記第2フローティングゲート層(124)からなるサイドウォールスペーサ(126, 128)を、残留した前記犠牲層(122)の側壁に形成し、且つ前記エッチング停止層(120)の一部分を露出することと；

残留した前記犠牲層(122)を除去することと；

前記第2フローティングゲート層(124)と、前記エッチング停止層(120)との上に第2マスク層(129)を形成することであって、前記第2マスク層(129)は、前記フローティングゲート素子(100)の分離領域(114)の上で開口している開口部を有することと；

前記開口部の上に位置する、前記エッチング停止層(120)および前記第1フローティングゲート層(118)を、エッチング除去することであって、前記開口部に位置する前記分離領域(114)および前記第1フローティングゲート層(118)は、露出されることと；

前記第2マスク層(129)を除去することと；

前記エッチング停止層(120)と、前記サイドウォールスペーサ(126, 128)と、露出された前記分離領域(114)および前記第1フローティングゲート層(118)との上に、誘電体層(130)を形成することと；

前記誘電体層(130)上にコントロールゲート層(132)を形成することとを有する、方法。

#### 【請求項2】

前記エッチング停止層(120)は、15～20オングストロームの範囲の膜厚を有する、

請求項1記載の方法。

#### 【請求項3】

前記エッチング停止層(120)は、窒化膜または酸化膜の内の1つからなる、

請求項1記載の方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は半導体素子に関し、特にフローティングゲートメモリセルに有用な半導体素子構造に関する。

#### 【背景技術】

#### 【0002】

フローティングゲートメモリの望ましい特性の一つとして、コントロールゲートとフローティングゲートとの間に非常に大きな容量性結合を有することが挙げられる。これにより、所定のコントロールゲートバイアス下での書き込み及び消去中に、コントロールゲートからフローティングゲートへの電圧移動が大きくなる。従ってコントロールゲートとフローティングゲートとの間の容量が大きくなると、書き込み、及び消去を行なうために、そして/または書き込み速度、及び消去速度を速めるために必要な電圧が小さくなる。別の望ましい特性として、このコントロールゲートとフローティングゲートとの間の容量の変動を小さくすることができることが挙げられる。この容量が変動する場合、消去状態に関する閾値電圧範囲が広がってしまう。消去閾値電圧の分布が広がると、消去ビットに対する読み出し、及び消去ビットに対する書き込みがリーク電流に起因して困難になる。コントロールゲートとフローティングゲートとの間の容量を大きくするとともに当該容量の変動を最小にする一の方法では、分離領域上のフローティングゲート中へのエッチングを使用する。これにより、容量をかなり大きくすることができ、それでも更なる改善が望ましい。この手法の問題は、技術が進歩して寸法が小さくなるのに合わせたスケール

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0003】

従って、書き込み及び消去を改善し、そして／または書き込み及び消去に必要な電圧を小さくする素子構造が必要になる。

【課題を解決するための手段】

【0004】

一の態様では、フローティングゲートメモリセルはフローティングゲートを有し、フローティングゲートには、2つのフローティングゲート層が設けられる。上側層をエッチングして下側層をそのまま変えずに残しながら上側層には凹凸を設ける。コントロールゲートがフローティングゲートの凹凸に沿って形成されてコントロールゲートとフローティングゲートとの間の容量を大きくする。フローティングゲートの2つの層は、ポリシリコンの非常に薄いエッチング停止層により分離される。このエッチング停止層は、ポリシリコンエッチングの間のエッチング停止層となるために十分に厚いが、電気的接続が行なわれるためには十分に薄い。エッチング停止層は薄いので、電子は2つの層の間を移動することができる。従って、停止層のエッチングは下側層に及ぶことはないが、第1及び第2層には、フローティングゲートを連続導電層とするような電気的効果を発揮させることができる。この様子は図及び以下の記述を参照することにより一層深く理解される。

10

【発明を実施するための最良の形態】

【0005】

本発明は例を通して示され、そして添付の図によって制限されるものではなく、これらの図では、同様の参照記号は同様の構成要素を指す。当業者であれば、これらの図における構成要素が説明を簡単かつ明瞭にするために示され、そして必ずしも寸法通りには描かれていないことが分かるであろう。例えば、これらの図における幾つかの構成要素の寸法を他の構成要素に対して誇張して描いて本発明の実施形態を理解し易くしている。

20

【0006】

図1に示すのは素子構造10であり、素子構造は基板12と、分離領域14と、トンネル誘電体16と、そして好適にはポリシリコンから成るフローティングゲート層18と、を備える。この構造は、フローティングゲート層18の膜厚が従来のフローティングゲートポリシリコン層の膜厚よりも薄いことを除いて従来の構造と同じである。この例における膜厚は約500オングストロームであることが好ましく、この膜厚は従来のフローティングゲート層の膜厚よりも薄い。基板12はバルクシリコン基板であることが好ましいが、SOI基板、及び／又は単なるシリコンとは異なる半導体材料とすることができる。分離領域14は、トレンチを形成し、そしてトレンチを誘電体、好ましくは酸化膜で充填する普通の方法を使用して形成されるが、窒化膜のような別の誘電体材料とすることができる。

30

【0007】

図2に示すのは、酸化膜であることが好ましいエッチング停止層20をフローティングゲート層18の上に形成した後の素子構造10である。層20は約15オングストロームの膜厚の成長酸化膜であることが好ましい。層20は堆積法により形成することもでき、かつ別の材料、例えば窒化膜とすることができる。

【0008】

図3に示すのは、シリコンから成ることが好ましいフローティングゲート層22を形成した後の素子構造10である。この層22はフローティングゲート層18とほぼ同じ膜厚であることが好ましい。

40

【0009】

図4に示すのは、分離領域14の上に開口30及び32を有するパターンニング済みフォトレジスト層26を形成した後の素子構造10である。これらの開口30及び32は、分離領域14の対向する側の上に設けられる。

【0010】

図5に示すのは、層22、20、及び18を開口30及び32を通してエッチングした後の素子構造10である。このエッチングはポリシリコンであることが好ましい層22に対して最初に行なわれる。次に、化学薬品を変えて層20をエッチングする。次に、エッ

50

チング化学薬品を、層 22 をエッチングするために使用された化学薬品に戻す。これにより、開口 30 及び 32 がフローティングゲート層 18 及び 22、及びエッチング停止層 20 を貫通して延びる。

【0011】

図 6 に示すのは、開口 34 を開口 30 と 32 との間に有するパターニング済みフォトリジスト層 33 を形成した後の素子構造 10 である。開口 34 はこの断面図では分離領域 14 の間のほぼ中心に配置する。

【0012】

図 7 に示すのは、層 22 のエッチングを、層 20 の上で停止するように開口 34 を通して行なった後の素子構造 10 である。エッチング化学薬品を変えることにより、開口 34 が層 20 にも延びる。開口 34 を、リソグラフィで描くパターンよりも細かいパターン (sublithographic feature) として画定することが望ましい場合、パターニング済みフォトリジスト 33 を使用するのではなく、例えば窒化膜から成るハードマスクをパターニングすることができ、そしてハードマスクの開口を部分的にサイドウォールスペースで充填する。開口を部分的にサイドウォールスペースで充填して開口を小さくする方法はこの技術分野では良く知られている。

【0013】

図 8 に示すのは、誘電体層 36 及びコントロールゲート層 38 を形成した後の素子構造 10 である。誘電体層 36 は、約 125 ~ 150 オングストロームの膜厚を有する、従来の 3 層誘電体構造の酸化膜 - 窒化膜 - 酸化膜層であることが好ましい。誘電体層 36 は、フローティングゲートメモリセルのコントロールゲートとフローティングゲートとの間の層間誘電体として機能する。コントロールゲート 38 はポリシリコン層であることが好ましく、このポリシリコン層は約 1000 ~ 2000 オングストロームの膜厚を有する。このコントロールゲート層 38 を形成した後、この層をエッチングして実際のコントロールゲートを形成する。このエッチングにより実際のコントロールゲートを形成する処理によって、図 8 に示す断面が変わる訳ではない。従って、結果として得られる図 8 の構造は、不揮発性メモリセルでもあるフローティングゲートメモリセルとして有用なフローティングトランジスタの最終構造である。

【0014】

この素子構造は、コントロールゲート 38 では、開口 30 及び 32 においてフローティングゲート層 18 及び 22 に隣接する表面積を保持しながら、開口 34 においてフローティングゲート層 22 に隣接する表面積が増加することを示している。層 22 のこの残留部分の側壁によって、容量が大きくなるだけでなく、非常に再現性良く容量を大きくすることができる。層 22 の膜厚は非常に容易に制御することができる。層 20 は非常に薄いので、電子は当該構造を極めて容易に通過する。この酸化膜はゲート誘電体として使用される酸化膜と同じ膜質ではないので、電子の通過が、特に普通に使用される書き込み電圧及び消去電圧で阻止されるということがない。酸化膜が最高の膜質を有する場合でも、15 オングストロームの膜厚になるとリーク電流が生じる。従って、薄いゲート酸化膜を有するトランジスタに使用される電圧よりも電圧を高くすると、かなり強い電子流が酸化膜を通過する。従って、フローティングゲート層 22 に書き込み動作の間に蓄積される電子はフローティングゲート層 18 に自由に到達することができ、そしてこれらの特性を実現するために、層 20 は電氣的透過性を有すると考えることができる。更なる改善を行なうために、開口 34 のような開口を一つよりも多数だけ形成する処理を図 5 と図 6 との間のプロセスにおいて行なうことができる。開口 34 のような開口を更に多く設けることにより利点がもたらされる、というのは、これらの開口によってコントロールゲートとフローティングゲートとの間の層間容量を更に大きくすることができるからである。

【0015】

図 9 に示すのは素子構造 50 であり、この素子構造は、基板 12 の構造に類似する基板 52 と、トレンチ 14 に類似するトレンチ 54 と、トンネル誘電体 16 の構造に類似するトンネル誘電体 58 と、そしてトンネル誘電体 58 上に位置し、かつフローティングゲート

10

20

30

40

50

ト層 18 に類似するコントロールゲート層 60 と、を備える。図 9 は従来構造を示すが、フローティングゲート層 60 が従来構造におけるものほどには厚くはなっていない点異なっている。フローティングゲート層 60 は約 500 オングストロームの膜厚であることが好ましい。素子構造 50 では、分離領域 54 はフローティングゲート層 60 を取り囲み、かつフローティングゲート層の上方にまで延びる。

#### 【0016】

図 10 に示すのは、エッチング停止層 20 に類似するエッチング停止層 62 をフローティングゲート層 60 の上に、そしてフローティングゲート層 22 に類似するフローティングゲート層 64 をエッチング停止層 62 の上に形成した後の素子構造 50 である。エッチング停止層 62 は、分離領域 54 の側壁の上を覆い、かつ分離領域 54 上に延びる形で示される。酸化膜として成長させる場合、エッチング停止層はトレンチ 54 上に観察することはできないが、エッチング停止層 62 を、例えば堆積窒化膜のように堆積させる場合には、図示される。

#### 【0017】

図 11 に示すのは、パターンニング済みフォトリソ部分 66 を形成し、そしてフローティングゲート層 64 を、パターンニング済みフォトリソ部分 66 をマスクとして使用してエッチングした後の素子構造 50 である。この処理により、開口 67 及び 68 がフローティングゲート層 64 の残留部分とトレンチ 54 との間に残る。図 10 ~ 図 11 のプロセスでは、フォトリソ 66 によって保護される領域以外の層 64 の全てが除去される。

#### 【0018】

図 12 に示すのは、エッチング停止層 62 の内、パターンニング済みフォトリソ部分 66 下に位置しない部分を除去し、パターンニング済みフォトリソ部分 66 を除去し、層 36 に類似する誘電体層 69 をフローティングゲート層 60 の上に、層 64 の残留部分を覆って、更にはトレンチ 54 の露出部分の上に形成し、そしてコントロールゲート層 38 に類似するコントロールゲート層 70 を誘電体層 69 の上に形成した後の素子構造 50 である。次に、層 70, 69, 64, 62, 及び 60 に対するエッチングを連続して行なうことにより、図 8 の構造に関するものに類似するフローティングゲートメモリセル構造が形成される。従って、図 12 の素子構造は、メモリセルに関して結果として得られる素子構造である。この構造は、コントロールゲート層 70 の内、フローティングゲート層 64 に隣接する表面が、層 64 がコントロールゲート層 70 の形成の前にエッチングされるので増えることを示している。層 64 のこの残留部分の側壁によって、容量が大きくなるだけでなく、非常に再現性良く容量を大きくすることができる。層 64 の膜厚は非常に容易に制御することができる。

#### 【0019】

図 13 に示すのは、図 10 の後に、図 11 の素子構造 50 に対して形成される別の素子構造 71 である。素子構造 71 は図 11 の素子構造 50 とは、サイドウォールスペーサ 72 及び 73 をフローティングゲート層 64 を用いて分離領域 54 の側壁の上に、図 10 のフローティングゲート層 64 に対して異方性エッチングを行なうことにより形成している点異なる。サイドウォールスペーサ 72 及び 73 はほとんどの部分が、層 64 をエッチングしている間に形成される。図 13 の素子構造 71 の場合、層 64 に対するこのエッチングは、エッチングが層 62 にまで達した後に、かつこれらのサイドウォールスペーサ 72 及び 73 が除去される前に停止させる。図 11 の素子構造 50 の場合、このエッチングを継続してサイドウォールスペーサを除去する。

#### 【0020】

図 14 に示すのは、誘電体層 36 に類似する誘電体層 76 をサイドウォールスペーサ 72 及び 73、及びフローティングゲート層 64 の残留部分の上に形成し、更にコントロールゲート層 38 に類似するコントロールゲート層 74 を誘電体層 76 の上に形成した後の素子構造 71 である。この断面図では、図 14 は完成したメモリ素子を示している。この場合、サイドウォールスペーサ 72 及び 73 はメモリ素子のフローティングゲート層の一

部分になる。これらのサイドウォールスペースは水平寸法よりも垂直寸法の方が大きいので、これらのサイドウォールスペースを設けることにより、コントロールゲートとフローティングゲートとの間の層間容量が大きくなるという利点がもたらされる。考えられる不具合は、これらのサイドウォールスペースの垂直寸法を制御するのが難しいので、コントロールゲートとフローティングゲートとの間の層間容量の変動が大きくなる恐れがあることである。

#### 【 0 0 2 1 】

図 1 5 に示すのは素子構造 1 0 0 であり、この素子構造は、基板 1 2 に類似する基板 1 1 2 と、分離領域 1 4 に類似する分離領域 1 1 4 と、ゲート誘電体層 1 6 に類似するゲート誘電体層 1 1 6 と、フローティングゲート層 1 8 に類似するフローティングゲート層 1 1 8 と、エッチング停止層 2 0 に類似するエッチング停止層 1 2 0 と、そしてエッチング停止層 2 0 上の犠牲層 1 2 2 と、を備える。犠牲層 1 2 2 は酸化膜または窒化膜、或いは他の材料とすることができるが、エッチング停止層 1 2 0 の材料をエッチングしないように選択的にエッチングすることができる材料により形成することができる。犠牲層はこの例では、フローティングゲート層 1 1 8 とほぼ同じ膜厚である。他の膜厚も効果的となり得る。

10

#### 【 0 0 2 2 】

図 1 6 に示すのは、パターニング済みフォトリソ部分 1 2 3 を犠牲層 1 2 2 の上に、図示の寸法では分離領域 1 1 4 の間のほぼ中心に位置するように形成した後の素子構造 1 0 0 である。

20

#### 【 0 0 2 3 】

図 1 7 に示すのは、犠牲層 1 2 2 を、パターニング済みフォトリソ部分 1 2 3 をマスクとして使用してエッチングした後の素子構造 1 0 0 である。このエッチングはエッチング停止層 1 2 0 によって停止する。

#### 【 0 0 2 4 】

図 1 8 に示すのは、フォトリソ部分 1 2 3 を除去し、そしてポリシリコンであることが好ましいコンフォーマルなフローティングゲート層 1 2 4 を形成した後の素子構造 1 0 0 である。フローティングゲート層 1 2 4 はフローティングゲート層 1 1 8 とほぼ同じ膜厚である。

#### 【 0 0 2 5 】

図 1 9 に示すのは、異方性エッチングを行なって、フローティングゲート層 1 2 4 から成るサイドウォールスペース 1 2 6 及び 1 2 8 を、犠牲層 1 2 2 の残留部分の側壁の上に形成した後の素子構造 1 0 0 である。

30

#### 【 0 0 2 6 】

図 2 0 に示すのは、犠牲層 1 2 2 の残留部分を除去して、サイドウォールスペース 1 2 6 及び 1 2 8 がエッチング停止層 2 0 の上で、犠牲層の支えを失った形で立っている状態になった後の素子構造 1 0 0 である。サイドウォールスペース 1 2 6 及び 1 2 8 の幅は、所望通りに変えることができるフローティングゲート層 1 2 4 の膜厚によってほぼ決まる。フローティングゲート層 1 2 4 は、サイドウォールスペース 1 2 6 及び 1 2 8 がどの位置でも再現性良く、犠牲層の支えを失った形で立っている状態になるように十分に厚くする必要がある。

40

#### 【 0 0 2 7 】

図 2 1 に示すのは、分離領域 1 1 4 上の領域を開口したパターニング済みフォトリソ層 1 2 9 を形成し、そしてエッチング停止層 1 2 0 及びフローティングゲート層 1 1 8 をエッチング除去した後の素子構造 1 0 0 である。

#### 【 0 0 2 8 】

図 2 2 に示すのは、パターニング済みフォトリソ層 1 2 9 を除去し、誘電体層 3 6 に類似する誘電体層 1 3 0 をエッチング停止層 2 0 の上に、かつ分離領域 1 1 4 上の開口の中に形成し、更にコントロールゲート層 3 8 に類似するコントロールゲート層 1 3 2 を誘電体層 1 3 0 の上に形成した後の素子構造 1 0 0 である。図 2 2 のこの断面は、完成

50

したフローティングゲートメモリセル構造を示している。従って、メモリセルのフローティングゲート材料の一部分を構成するサイドウォールスペーサ 126 及び 128 は、分離領域上の領域におけるフローティングゲート層の側壁に沿って大きくなった容量も維持しながら、コントロールゲートとフローティングゲートとの間の層間容量を更に大きくする構造となる。リソグラフィ技術によって可能になる場合には、サイドウォールスペーサ 126 及び 128 と同様の更に別のサイドウォールスペーサを、フローティングゲート層 124 の一つよりも多くの部分を分離領域 114 の間のエッチング停止層 120 の上に残すことにより形成することができる。

#### 【0029】

図 23 に示すのは素子構造 140 であり、この素子構造は基板 12 に類似する基板 142 と、分離領域 14 に類似する分離領域 144 と、ゲート誘電体層 16 に類似するゲート誘電体層 146 と、フローティングゲート層 18 に類似するフローティングゲート層 148 と、そしてフローティングゲート層 148 上の犠牲層 150 と、を備える。犠牲層 150 は酸化膜であることが好ましいが、窒化膜のような別の材料とすることができる。犠牲層 150 はフローティングゲート層 148 をエッチングすることがないように選択的にエッチングすることができる。フローティングゲート層 148 がポリシリコンである好適な事例では、酸化膜または窒化膜のいずれかが犠牲層 150 として効果的である。犠牲層はフローティングゲート層 148 とほぼ同じ膜厚であることが好ましい。

#### 【0030】

図 24 に示すのは、パターニング済みフォトレジスト部分 152 を形成し、そして犠牲層 150 を、パターニング済みフォトレジスト部分 152 をマスクとして使用してエッチング除去して犠牲層 150 の一部分を分離領域 144 の間に残した後の素子構造 140 である。犠牲層 150 の残留部分は、図 24 の断面に示す寸法では、分離領域 144 の内側の間にほぼ位置する。

#### 【0031】

図 25 に示すのは、パターニング済みフォトレジスト部分 152 を除去し、そしてフローティングゲート層 154 を、フローティングゲート層 148、及び犠牲層 150 の残留部分の上に形成した後の素子構造 140 である。フローティングゲート層 154 がポリシリコンである好適な事例では、フローティングゲート層 154 がコンフォーマルに形成されるので、フローティングゲート層 154 の一部分が犠牲層 150 の残留部分を覆って高くなる。

#### 【0032】

図 26 に示すのは、化学的機械研磨 (CMP) プロセスを実施してフローティングゲート層 154 に、犠牲層 150 の残留部分の上側表面と同じ高さに並んだ上側表面が残るようにした後の素子構造 140 である。このようにして行なわれる CMP プロセスによって、犠牲層 150 の残留部分の上側表面が露出した状態になる。

#### 【0033】

図 27 に示すのは、犠牲層 150 の残留部分を除去した後の素子構造 140 である。これにより、フローティングゲート層 154 に開口 155 が残る。開口 155 はこの断面に示す向きでは、分離領域 144 のほぼ中心に位置する。

#### 【0034】

図 28 に示すのは、複数の開口を分離領域 144 の上に有するパターニング済みフォトレジスト層 156 を形成し、そしてこれらの開口を通してフローティングゲート層 154 及びフローティングゲート層 148 をエッチング除去した後の素子構造 140 である。

#### 【0035】

図 29 に示すのは、誘電体層 158 を分離領域 144 上の開口に、更に開口 155 に形成し、そしてコントロールゲート層 160 を形成した後の素子構造 140 である。誘電体層 158 は誘電体層 36 に類似する。断面として、図 29 は完成したメモリ素子を示し、このメモリ素子では、分離領域 144 上の開口において大きくなった容量が維持されつつ、コントロールゲート層とフローティングゲート層との間の層間容量が開口 155 を設け

10

20

30

40

50

る結果として大きくなる。

【 0 0 3 6 】

図 3 0 に示すのは素子構造 1 7 0 であり、この素子構造は、基板 1 2 に類似する基板 1 7 2 と、分離領域 5 4 に類似する分離領域 1 7 4 と、ゲート誘電体層 5 8 に類似するゲート誘電体層 1 7 6 と、フローティングゲート層 6 0 に類似するフローティングゲート層 1 7 8 と、フローティングゲート層 1 7 8 上の犠牲層 1 8 0 と、そして犠牲層 1 8 0 上のパターンニング済みフォトレジスト部分 1 8 2 と、を備える。フォトレジスト部分 1 8 2 は分離領域 1 7 4 の間に、かつこの断面図のほぼ中心に設けられる。犠牲層 1 8 0 は酸化膜であることが好ましいが、窒化膜のような別の材料とすることができる。犠牲層 1 8 0 はフローティングゲート層 1 4 8 をエッチングすることがないように選択的にエッチングすることができるようになる必要がある。

10

【 0 0 3 7 】

図 3 1 に示すのは、犠牲層 1 8 0 をフォトレジスト部分 1 8 2 をマスクとして使用してエッチングし、そしてフローティングゲート層 1 8 4 を分離領域 1 7 4、フローティングゲート層 1 7 8、及び犠牲層 1 8 0 の残留部分の上に形成した後の素子構造 1 7 0 である。好適には、フローティングゲート層 1 8 4 はポリシリコンであり、このポリシリコンはコンフォーマルに堆積するが、平坦表面を有する構造として示されている。これは、犠牲層 1 8 0 の残留部分の側面、及び分離領域 1 7 4 の側面が近接しているために、コンフォーマルに堆積する層が、当該層の表面が平坦になるように形成されるからである。近接度を小さくすると、フローティングゲート層 1 8 4 をコンフォーマルに形成することができるが、このコンフォーマル性はフローティングゲート層が十分に厚い限り問題とはならない。フローティングゲート層は、犠牲層 1 8 0 の残留部分の高さと同じになるような膜厚を有するように形成することが好ましい。

20

【 0 0 3 8 】

図 3 2 に示すのは、CMP プロセスを適用した後の素子構造 1 7 0 である。これにより、フローティングゲート層 1 8 4 の高さが犠牲層 1 8 0 の残留部分の高さと同じになり、更にはフローティングゲート層 1 8 4 の表面が分離領域 1 7 4 の上側表面と同じ高さになるように非常に平坦な表面が形成される。これにより、犠牲層 1 8 0 の残留部分の上側表面が露出する。

【 0 0 3 9 】

図 3 3 に示すのは、犠牲層 1 8 0 の残留部分を除去して開口 1 8 6 を形成し、誘電体層 3 6 に類似する誘電体層 1 8 8 を開口 1 8 6 に、かつフローティングゲート層 1 8 4 の上に形成し、そしてコントロールゲート層 3 8 に類似するコントロールゲート層 1 9 0 を誘電体層 1 8 8 上に形成した後の素子構造 1 7 0 である。完成したメモリセルをこの断面図に示す。メモリセルでは、コントロールゲート 1 9 0 が開口 1 8 6 の中に形成されるために容量が大きくなる。

30

【 0 0 4 0 】

図 3 3 の開口 1 8 6 及び図 2 9 の開口 1 5 5 の側壁はほぼ垂直であり、この構造は開口を使用して容量を大きくするためには好都合である。開口 1 8 6 及び 1 5 5 の側壁が傾いて、開口 1 8 6 及び 1 5 5 が下部よりも上部において大きくなってしまうと、開口 1 8 6 及び 1 5 5 をコントロールゲート材料で充填することに起因する容量増分が小さくなる。

40

【 0 0 4 1 】

本明細書ではこれまで、本発明について特定の実施形態を参照しながら説明してきた。しかしながら、この技術分野の当業者であれば、種々の変形及び変更を、以下の請求項に示す本発明の技術範囲から逸脱しない範囲において加え得ることが分かるであろう。例えば、或る材料及び膜厚について記載したが、これらは変えることができる。更に、多くの場合において、容量を大きくするために形成されたパターンの数を分離領域の内側で増やすことができる。従って、明細書及び図は、本発明を制限するものではなく例示として捉えられるべきであり、そしてこのような変更の全てが本発明の技術範囲に含まれるべきものである。

50



## 【 0 0 4 2 】

効果、他の利点、及び技術的問題に対する解決法について、特定の実施形態に関して上に記載してきた。しかしながら、効果、利点、及び問題解決法、及びいずれかの効果、利点、または問題解決法をもたらす、またはさらに顕著にし得る全ての要素（群）が、いずれかの請求項または全ての請求項の必須の、必要な、または基本的な特徴または要素であると解釈されるべきではない。本明細書で使用されるように、「*comprises*」、「*comprising*」という用語、または他の全てのこれらの変形は包括的な意味で適用されるものであり、一連の要素を備えるプロセス、方法、製品、または装置がこれらの要素のみを含むのではなく、明らかに列挙されていない、またはそのようなプロセス、方法、製品、または装置に固有の他の要素も含むことができる。

10

## 【図面の簡単な説明】

## 【 0 0 4 3 】

【図 1】本発明の第 1 の実施形態による素子構造を形成するために有用な処理を行なう工程での素子構造の断面図。

【図 2】図 1 に示す処理に続く処理工程での図 1 の素子構造の断面図。

【図 3】図 2 に示す処理に続く処理工程での図 2 の素子構造の断面図。

【図 4】図 3 に示す処理に続く処理工程での図 3 の素子構造の断面図。

【図 5】図 4 に示す処理に続く処理工程での図 4 の素子構造の断面図。

【図 6】図 5 に示す処理に続く処理工程での図 5 の素子構造の断面図。

【図 7】図 6 に示す処理に続く処理工程での図 6 の素子構造の断面図。

20

【図 8】図 7 に示す処理に続く処理工程での図 7 の素子構造の断面図。

【図 9】処理を行なう一の工程での本発明の第 2 の実施形態としての素子構造の断面図。

【図 10】図 9 に示す処理に続く処理工程での図 9 の素子構造の断面図。

【図 11】図 10 に示す処理に続く処理工程での図 10 の素子構造の断面図。

【図 12】図 11 に示す処理に続く処理工程での図 11 の素子構造の断面図。

【図 13】図 10 に示す処理に続く処理工程での図 10 の素子構造であって、本発明の第 3 の実施形態としての素子構造の断面図。

【図 14】図 13 に示す処理に続く処理工程での図 13 の素子構造の断面図。

【図 15】処理を行なう一の工程での本発明の第 4 の実施形態としての素子構造の断面図

30

。 【図 16】図 15 に示す処理に続く処理工程での図 15 の素子構造の断面図。

【図 17】図 16 に示す処理に続く処理工程での図 16 の素子構造の断面図。

【図 18】図 17 に示す処理に続く処理工程での図 17 の素子構造の断面図。

【図 19】図 18 に示す処理に続く処理工程での図 18 の素子構造の断面図。

【図 20】図 19 に示す処理に続く処理工程での図 19 の素子構造の断面図。

【図 21】図 20 に示す処理に続く処理工程での図 20 の素子構造の断面図。

【図 22】図 21 に示す処理に続く処理工程での図 21 の素子構造の断面図。

【図 23】処理を行なう一の工程での本発明の第 5 の実施形態としての素子構造の断面図

。

【図 24】図 23 に示す処理に続く処理を行なう工程での図 23 の素子構造の断面図。

40

【図 25】図 24 に示す処理に続く処理を行なう工程での図 24 の素子構造の断面図。

【図 26】図 25 に示す処理に続く処理を行なう工程での図 25 の素子構造の断面図。

【図 27】図 26 に示す処理に続く処理を行なう工程での図 26 の素子構造の断面図。

【図 28】図 27 に示す処理に続く処理を行なう工程での図 27 の素子構造の断面図。

【図 29】図 28 に示す処理に続く処理を行なう工程での図 28 の素子構造の断面図。

【図 30】処理を行なう一の工程での本発明の第 6 の実施形態としての素子構造の断面である。

【図 31】図 30 に示す処理に続く処理工程での図 30 の素子構造の断面図。

【図 32】図 31 に示す処理に続く処理工程での図 31 の素子構造の断面である。

【図 33】図 32 に示す処理に続く処理工程での図 32 の素子構造の断面である。

50

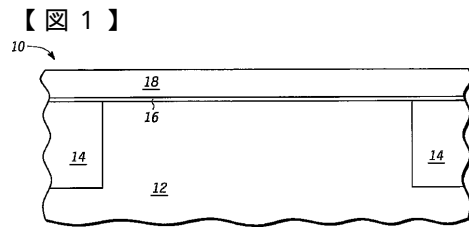


FIG. 1

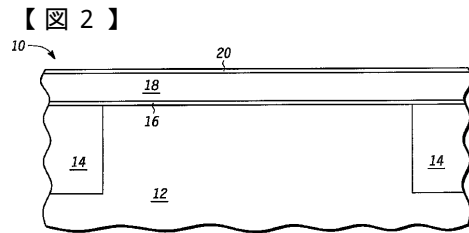


FIG. 2

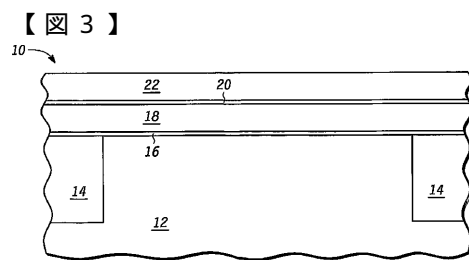


FIG. 3

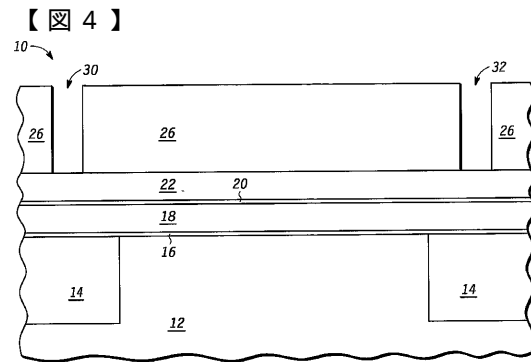


FIG. 4

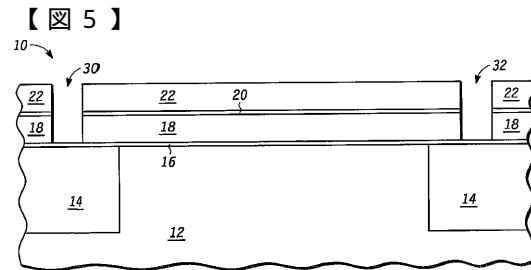


FIG. 5

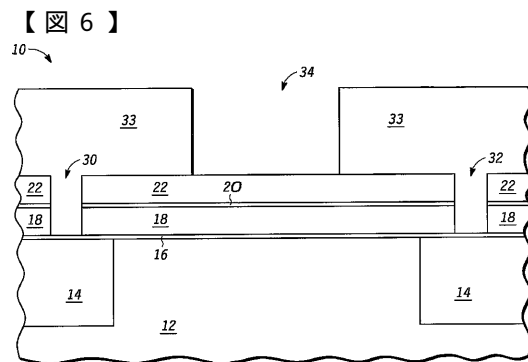


FIG. 6

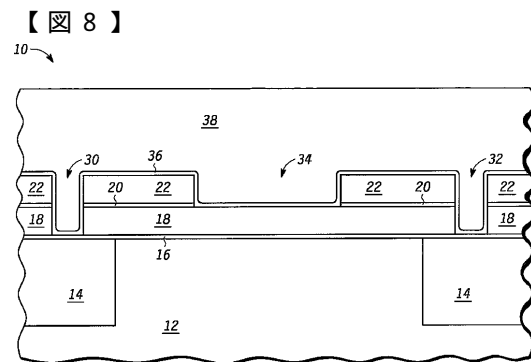


FIG. 8

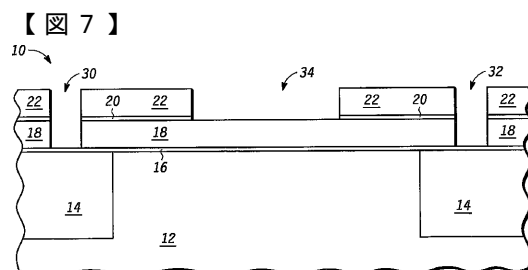


FIG. 7

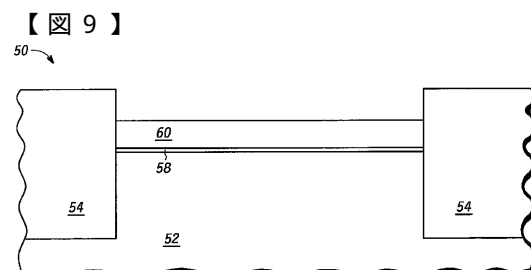


FIG. 9

【図 10】

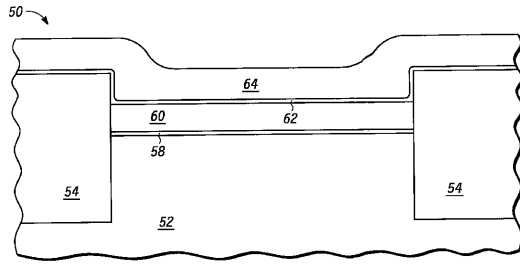


FIG. 10

【図 11】

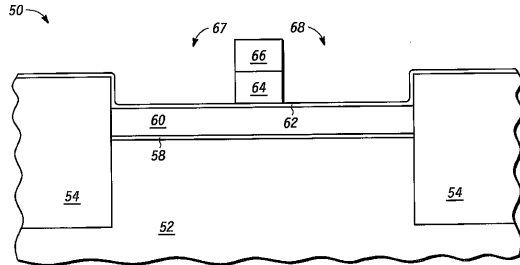


FIG. 11

【図 12】

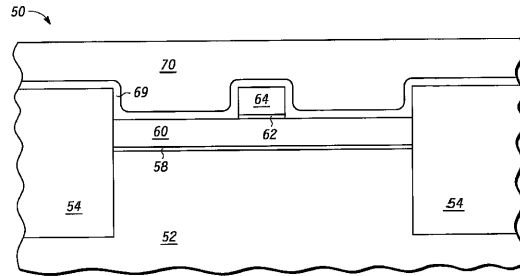


FIG. 12

【図 13】

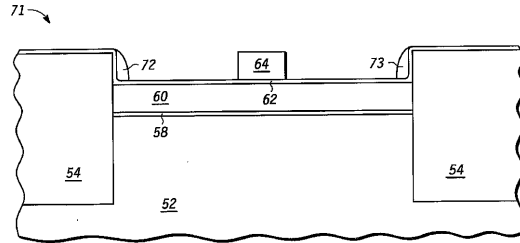


FIG. 13

【図 14】

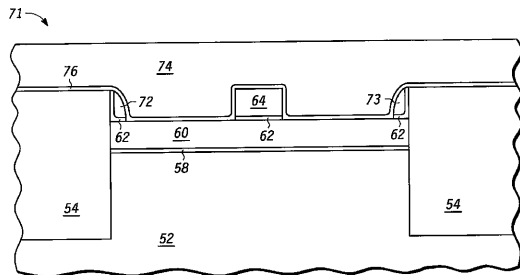


FIG. 14

【図 15】

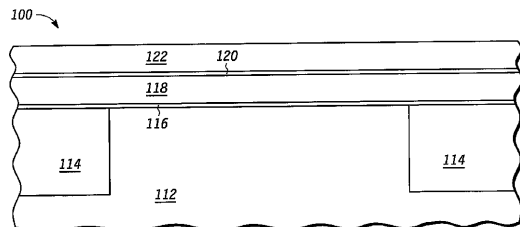


FIG. 15

【図 16】

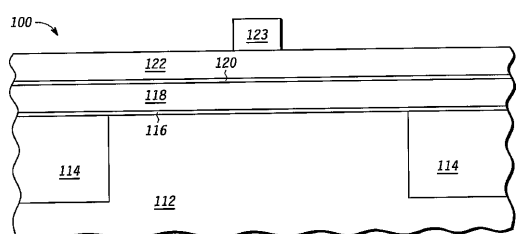


FIG. 16

【図 17】

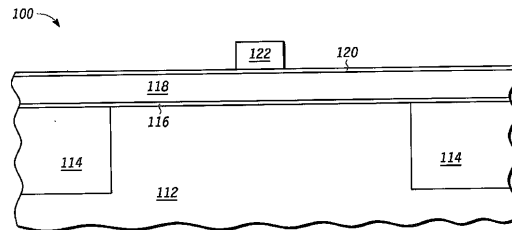


FIG. 17

【図 18】

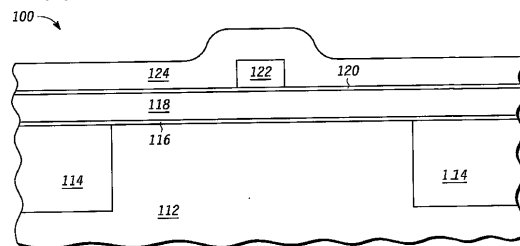


FIG. 18

【図 19】

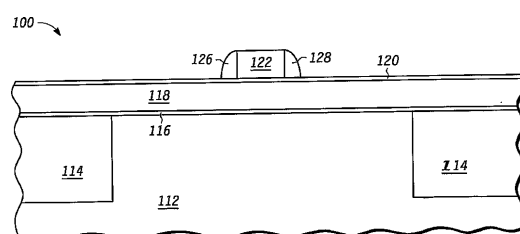


FIG. 19

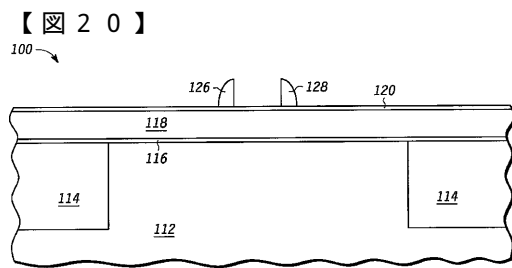


FIG. 20

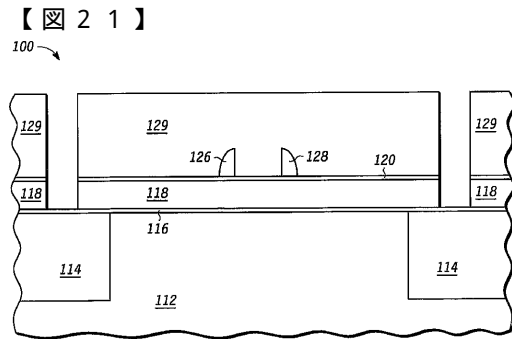


FIG. 21

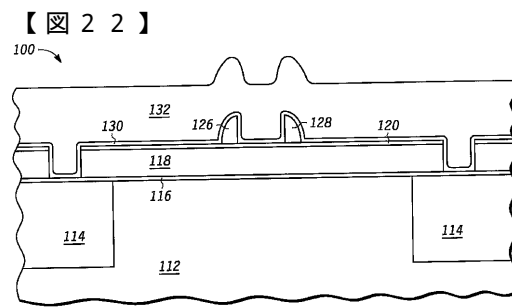


FIG. 22

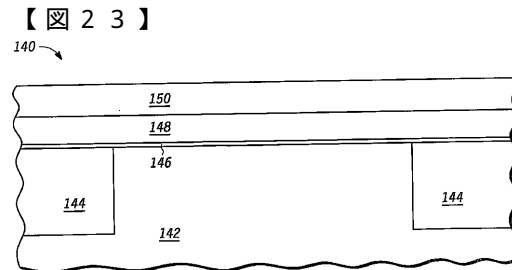


FIG. 23

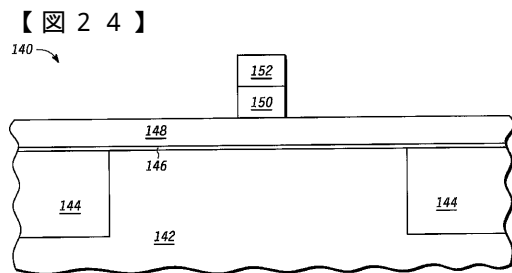


FIG. 24

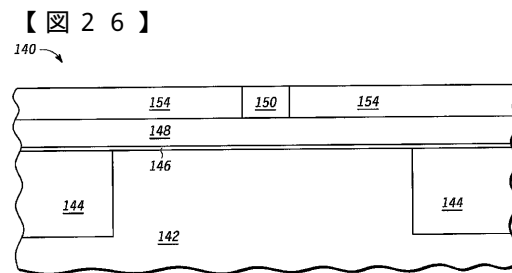


FIG. 26

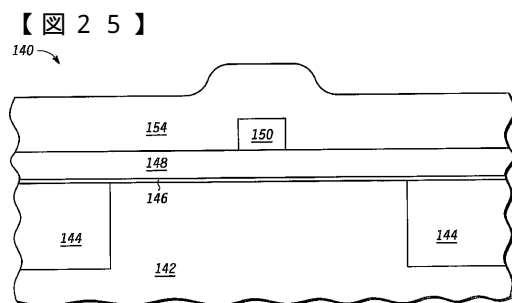


FIG. 25

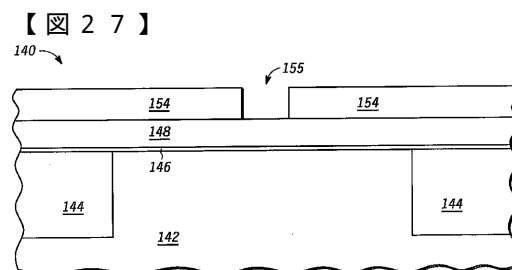


FIG. 27

【図 28】

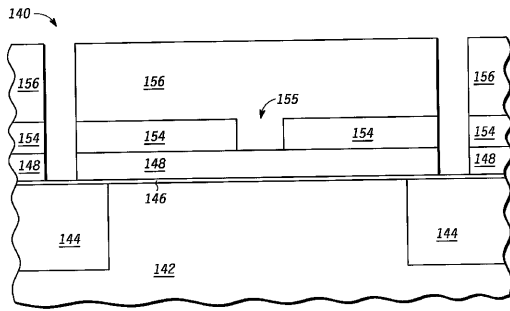


FIG. 28

【図 29】

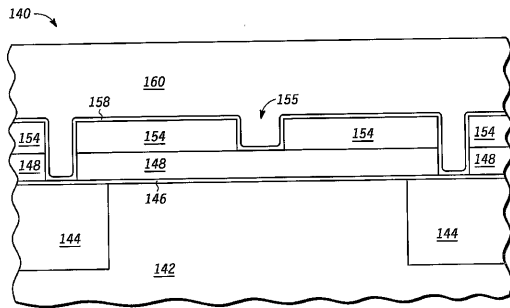


FIG. 29

【図 30】

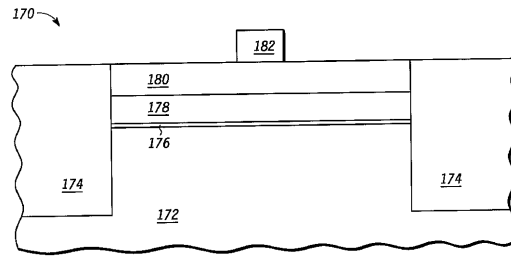


FIG. 30

【図 31】

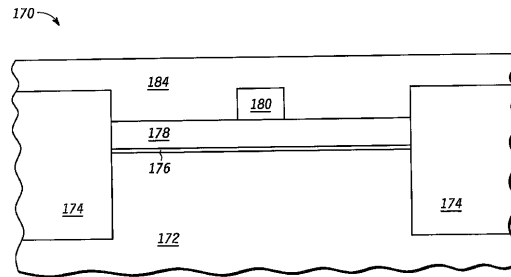


FIG. 31

【図 32】

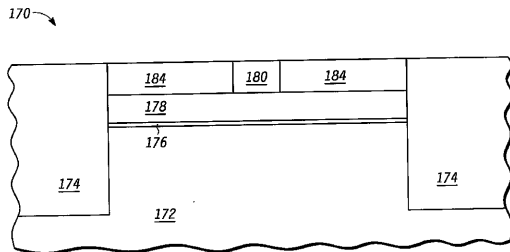


FIG. 32

【図 33】

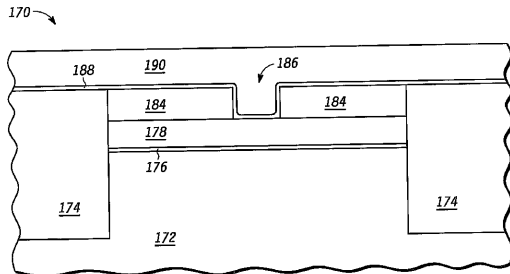


FIG. 33

---

フロントページの続き

(72)発明者 スウィフト、クレイグ ティ.

アメリカ合衆国 78749 テキサス州 オースティン ソーミル ドライブ 3613

審査官 井原 純

- (56)参考文献 特開平06-252412(JP,A)  
特開2002-203919(JP,A)  
特開2003-197788(JP,A)  
特開平02-032539(JP,A)  
特開2002-016155(JP,A)  
特開平10-261725(JP,A)  
特開2004-193583(JP,A)  
特開2000-311956(JP,A)  
特開平09-186257(JP,A)  
米国特許第06153472(US,A)  
米国特許第06323088(US,B1)  
米国特許第06495467(US,B1)  
特開平09-148460(JP,A)  
特開2000-188346(JP,A)  
特開平08-046066(JP,A)  
特開平09-307071(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 21/8247  
H01L 27/115  
H01L 29/788  
H01L 29/792